

诚信应考,考试作弊将带来严重后果!

考试中心填写:

\_\_\_\_年\_\_\_\_月\_\_\_\_日

考 试 用

# 湖南大学课程考试试卷

课程名称: 数字电路与逻辑设计(数字逻辑)

课程编码: CS04005 (EI04017)

试卷编号: A 考试时间: 120 分钟

题 号	一	二	三	四	五	六	七	八	九	十	总分
应得分	10	15	15	15	15	10	10	10			100
实得分											
评卷人											

## 一、简答题(共 10 分)

根据图 1 说明使用传输延迟模型的必要性。

1、为什么 F(模拟)的波形如图所示? (4 分)

2、相比零延迟模型,使用传输延迟模型有什么利与弊? (6 分)

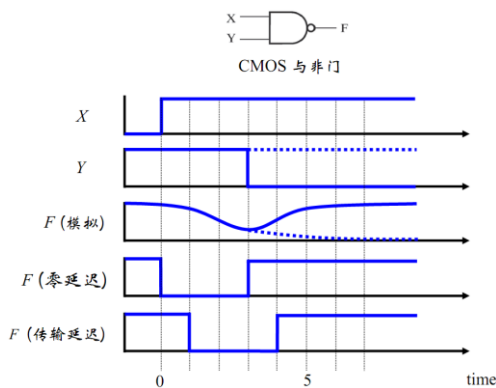


图 1

二、设计一个 2-1 MUX, 并利用若干个这样的电路构建一个 16-1 MUX。要求:  
(共 15 分)

1、做出 2-1 MUX 的简化真值表; (5 分)

2、写出 2-1 MUX 的输出函数表达式; (2 分)

3、画出 16-1 MUX 的层次结构图, 并正确标注输入、输出变量。 (8 分)

三、设计一个时序电路。该电路只在连续三个或三个以上时钟期间, 两个输入信号 X1 和 X2 相同时, 输出信号 Z 才是 1, 其余情况 Z 为 0。要求做出电路的状态图和状态表, 并且合并多余的状态。 (15 分)

四、对图 2 所示的同步时序电路进行分析，要求写出状态方程和输出方程，做出状态图和状态表，并分析当输入 X 在触发器的建立时间和保持时间之内发生上跳时可能出现的异常情况。假设复位时电路所处的初始状态为  $Q_2Q_1=01$ 。（15 分）

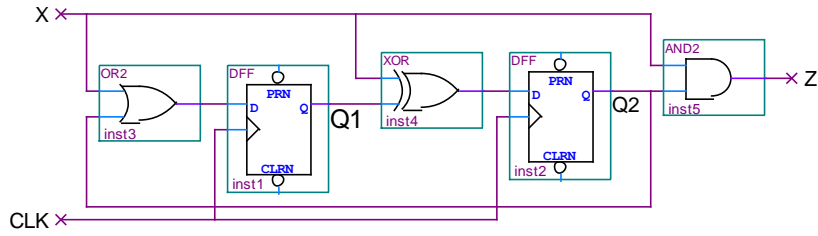


图 2

五、根据表 1 所示的状态表用 VHDL 设计一个时序电路，要求使用三个进程分别描述触发器、输出逻辑和下一状态逻辑。（15 分）

表 1

当前状态	下一状态/输出(Z)	
	X=0	X=1
A	A/0	B/0
B	C/0	B/0
C	A/0	D/1
D	C/0	B/0

六、利用图 3 所示的可编程逻辑块，实现表 2 所示状态表所描述的 Moore 状态机。请给出逻辑块中各配置位的逻辑值。（10 分）

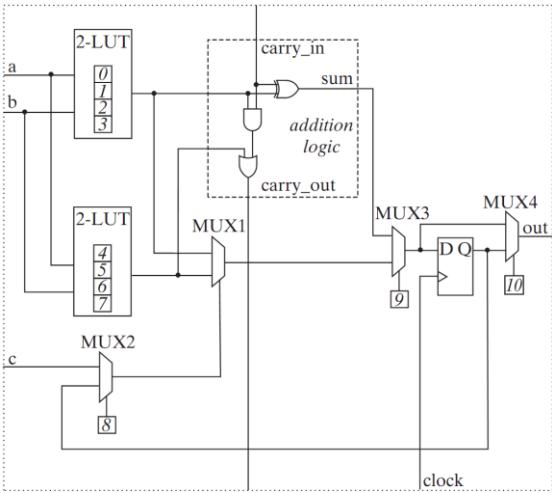


图 3

表 2

当前状态	输入		下一状态	输出 (Z)
	A	B		
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	0
1	0	0	1	1
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

七、将表 3 所示的状态表转换成状态机图，并讨论状态 D 和 C 的跳变条件和输出条件是否满足约束。（10 分）

表 3

当前状态	下一状态/输出(Z)			
	XY=00	XY=01	XY=10	XY=11
A	C/0	D/1	D/0	D/1
B	B/1	A/0	A/1	A/0
C	D/1	B/1	B/0	C/0
D	A/0	B/0	C/1	D/1

八、4 个 8 位寄存器 R0、R1、R2 和 R3 之间进行以下传输操作：

C0:  $R0 \leftarrow R1$

C1:  $R1 \leftarrow R3$

C2:  $R2 \leftarrow R0$

C3:  $R3 \leftarrow R2, R0 \leftarrow R2$

所有控制变量互斥（即同一时间只有一个可以为 1，其他均为 0），而且在所有控制变量为 0 的情况下，寄存器之间没有传输操作。试采用总线方式画出寄存器传输的硬件逻辑图。（10 分）