

诚信应考,考试作弊将带来严重后果!

考试中心填写:

____年____月____日

考 试 用

湖南大学课程考试试卷

课程名称: 数字电路与逻辑设计 (数字逻辑)

课程编码: CS05054 (EI04017)

试卷编号: A 考试时间: 120 分钟

题 号	一	二	三	四	五	六	七	八	九	十	总分
应得分	10	15	20	15	10	10	10	10			100
实得分											
评卷人											

一、简答题 (10 分)

如果同步时序电路的输入信号与时钟信号异步, 则电路会出现什么问题, 有什么比较好的解决办法? 若电路只使用了一个触发器, 情况会有什么不同?

二、试采用分层设计方法, 设计一个能计算 12 位二进制数 D 中“1”的个数的组合逻辑电路, 要求: (共 15 分)

- 1、画出整个电路的层次结构图: (6 分)
- 2、写出各层子电路的真值表和表达式。(9 分)

三、使用 D 触发器和单热点状态分配法, 设计一个“01101”序列检测器。凡收到输入序列为“01101”时, 输出为 1。假定检测的“01101”序列首尾可以重叠。要求: (共 20 分)

- 1、画出电路的 Mealy 型状态图, 且没有多余的状态: (10 分)
- 2、做出二进制状态表: (5 分)
- 3、写出触发器的输入表达式和输出函数表达式: (5 分)。

典型的输入输出序列如下:

输入 X: 0 1 1 0 1 1 0 1 1 0 1 1 1 0 1

输出 Z: 0 0 0 0 1 0 0 1 0 0 1 0 0 0 0

四、分析下面的逻辑电路, 要求: (共 15 分)

- 1、写出触发器的输入方程和电路的输出方程: (5 分)
- 2、做出状态表与状态图: (5 分)
- 3、画出 CLK、EN、Q0、Q1 和 MIN 在 10 个时钟周期以内的定时波形, 假设电路的初始状态 Q0Q1=00。(5 分)

湖南大学课程考试试卷

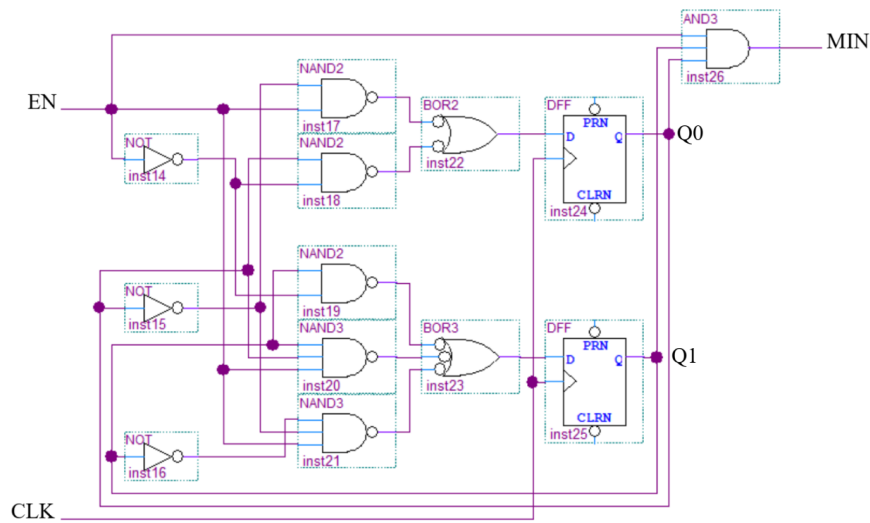
专业班级:

装订线 (题目不得超过此线)

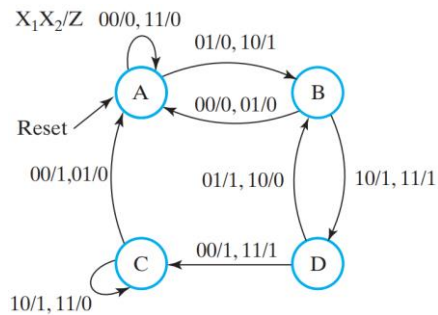
学号:

湖南大学教务处考试中心

姓名:



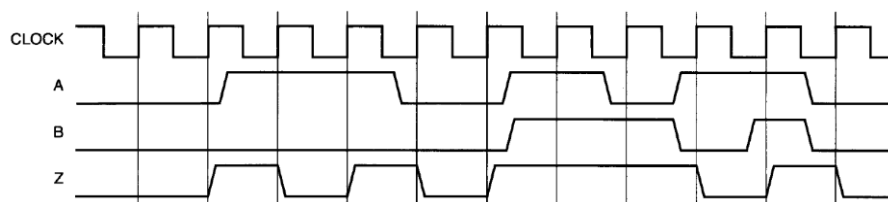
五、根据下面的状态图用 VHDL 设计一个时序电路，要求使用三个进程分别描述触发器、输出逻辑和下一状态逻辑。（10 分）



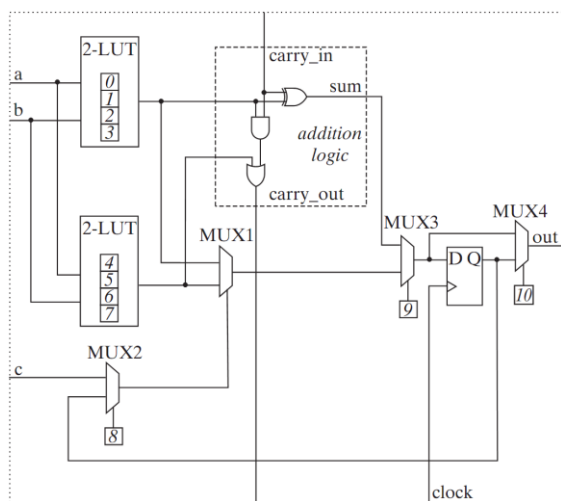
六、设计一个有 2 个输入 A 和 B，1 个输出 Z 的时钟同步时序电路，Z 为 1 的条件是：

- 1、在前 2 个脉冲触发沿上，A 的值相同；或者
- 2、从上一次第 1 个条件为真起，B 的值一直为 1；
- 3、否则，输出为 0。

要求画出电路的状态机图。电路典型的输入与输出波形如下：（10 分）



七、用下图所示的一个 FPGA 模块，实现 $Q^*=JQ'+K'Q$ 。（10 分）



八、用逻辑门、多路开关和 D 触发器重新设计第四题所示的电路。要求所用逻辑门的数量尽可能地少。（10 分）