## 诚信应考,考试作弊将带来严重后果!

考试中心填写:

\_\_\_年\_\_月\_\_日 考 试 用

## 湖南大学课程考试试卷

课程名称: 数字电路与逻辑设计(数字逻辑) 课程编码: <u>CS04005(EI04017)</u>

试卷编号: A 考试时间: 120分钟

题 号	_		三	四	五.	六	七	八	九	+	总分
应得分	10	15	20	15	15	15	10				100
实得分											
评卷人											

- 一、简答题(共10分)
- 1. 请从电路结构和输入输出关系阐述组合电路与时序电路的区别。(4分)
- 2. 请简述状态机图的条件约束。(6分)

二、一个比较电路的输入有两个 4 位无符号二进制整数 X 和 Y,以及一个控制信号 MIN/MAX,输出是 4 位无符号二进制整数 Z。输入与输出之间的关系为: 如果 MIN/MAX =1,则  $Z=\min (X,Y)$ ;如果 MIN/MAX=0,则  $Z=\max (X,Y)$ 。试用比较器 74x85 和 4 重 2-1 多数复用器实现这个电路。(15 分)

74x85	
2	D <sub>0,1</sub> Y <sub>0</sub> Y <sub>0</sub> D <sub>0,3</sub> Y <sub>1</sub> Y <sub>1</sub>

	输	i入		级联输入			输出			
A3 B3	A2 B2	A1 B1	A0 B0	ALTBIN	AEQBIN	AGTBIN	ALTBOUT	AEQBOUT	AGTBOUT	
A3>B3	X	X	X	X	X	X	0	0	1	
A3=B3	A2>B2	X	X	X	X	X	0	0	1	
A3=B3	A2=B2	A1>B1	X	X	X	X	0	0	1	
A3=B3	A2=B2	A1=B1	A0>B0	X	X	X	0	0	1	
A3 <b3< td=""><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>1</td><td>0</td><td>0</td></b3<>	X	X	X	X	X	X	1	0	0	
A3=B3	A2 <b2< td=""><td>X</td><td>X</td><td>X</td><td>X</td><td>X</td><td>1</td><td>0</td><td>0</td></b2<>	X	X	X	X	X	1	0	0	
A3=B3	A2=B2	A1 <b1< td=""><td>X</td><td>X</td><td>X</td><td>X</td><td>1</td><td>0</td><td>0</td></b1<>	X	X	X	X	1	0	0	
A3=B3	A2=B2	A1=B1	A0 <b0< td=""><td>X</td><td>X</td><td>X</td><td>1</td><td>0</td><td>0</td></b0<>	X	X	X	1	0	0	
A3=B3	A2=B2	A1=B1	A0=B0	1	0	0	1	0	0	
A3=B3	A2=B2	A1=B1	A0=B0	0	1	0	0	1	0	
A3=B3	A2=B2	A1=B1	A0=B0	0	0	1	0	0	1	

装订线(题目不得超过此线)

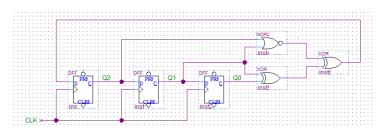
专业班级

张忠.

姓名:

## 三、试分析下图所示的同步时序电路。(20分)

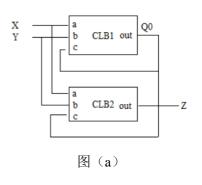
- 1. 写出状态方程;
- 2. 做出状态图和状态表;
- 3. 画出 10 个时钟周期 Q2、Q1、Q0 的波形图, 假设起始状态 Q2Q1Q0=000;
- 4. 描述电路的功能。



四、采用 D 触发器和逻辑门设计一个计数器,该计数器的计数顺序为: 0,3,1,2, 5, 6, 4, 7。(15分)

五、用图 (a) 所示的可编程逻辑块 CLB1 和 CLB2, 实现以下状态表描述的 Moore 机。要求给出 CLB1 和 CLB2 内部(图(b) 所示) 0-10 各位的逻辑值。(15 分)

当前状态		输出 Z			
Q1Q0	XY=00	XY=01	XY=11	XY=10	制山乙
00	00	00	01	01	0
01	11	10	01	01	0
11	11	10	01	01	1
10	00	00	01	01	1



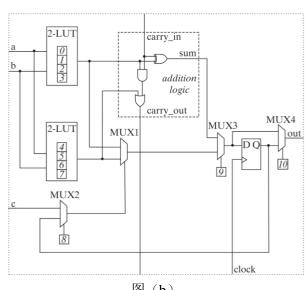


图 (b)

六、已知 6 个寄存器 A、B、C、D、E、F,当寄存器的 EN=0 时,其输出为高阻。如果 LOAD=1,则当时钟上升沿到来时总线上的数据被装入寄存器中。在信号  $C_1$  和  $C_0$  的控制下,可完成如下操作:

如果  $C_1C_0=00$ ,则 A 存储到 C;

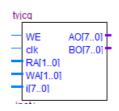
如果 C<sub>1</sub>C<sub>0</sub>=01,则 B 存储到 D;

如果 C<sub>1</sub>C<sub>0</sub>=10,则 A 存储到 E;

如果  $C_1C_0=11$ ,则 B 存储到 F。

请运用相关部件或逻辑门,采用总线方式实现寄存器传输,画出电路图。(15分)

七、试采用 VHDL 设计一个寄存器组,该寄存器组由 3 个 8 位寄存器 A、B、C 组成,实现对这 3 个寄存器的读写操作。其接口及功能如下:(10 分)



CLK	WE	RA[10]	WA[10]	功能
	1	00或01或10	00或01或10	根据RA[10]的值从A、B、C中选择一
		或11	或11	个寄存器,将其中的值由AO口输出,
				如RA[10]=00,则AO<=A寄存器的值
				RA[10]=01,则AO<=B寄存器的值
				RA[10]=10、11,则AO<=C寄存器的值
				根据WA[10]的值从A、B、C中选择一
				个寄存器,将其中的值由BO口输出,
				如WA[10]=00,则BO<=A寄存器的值
				WA[10]=01,则BO<=B寄存器的值
				WA[10]=10、11,则BO<=C寄存器的值
	0	XX	00或01或10	根据WA[10]的值,将外部输入i[70]写
				入A、B、C三个寄存器中的一个寄存器
				内。