

诚信应考,考试作弊将带来严重后果!

教务处填写:

湖南大学课程考试试卷

课程名称: 数字电路与逻辑设计 (数字逻辑) 课程编码: CS04005 (EI04017)

试卷编号: B 考试时间: 120 分钟

题号	一	二	三	四	五	六	七	八	九	十	总分
应得分	10	10	15	15	15	12	10	13			100
实得分											
评卷人											

一、简答题 (共 10 分)

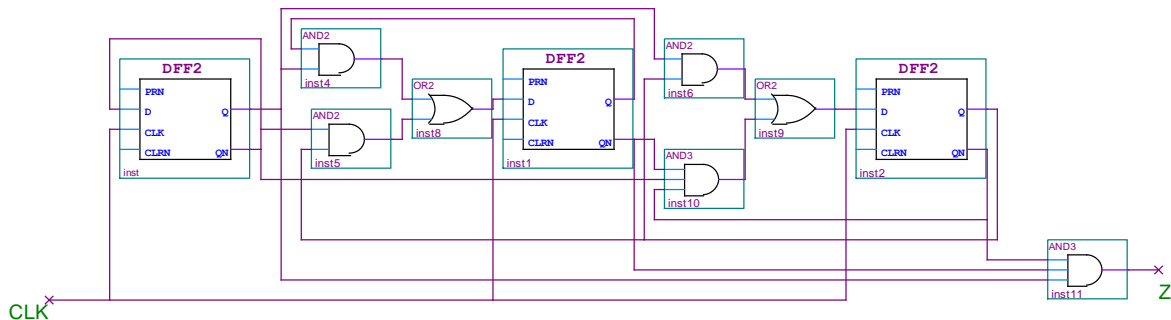
1、简述迭代电路的特点,什么时候使用迭代电路比较合适。(6分)

2、举例说明,用时序电路进行设计有时比用组合电路来得更为简单。(4分)

二、请给出 8-1 多路开关输出信号的紧凑真值表及其函数表达式。(10分)

三、试采用层次设计法实现两个 1 位余 3 码相加的加法器。要求第一层实现两个余 3 码的加法,第二层对结果进行修正。(15分)

四、对下面的同步时序电路进行分析,作出状态图和状态表(状态 $Q_1Q_2Q_3=000\sim101$ 分别使用 A、B、C、D、E 表示)。请画出 CLK、Z、 Q_1 、 Q_2 和 Q_3 在 10 个时钟触发沿以内的定时图。假设机器的起始状态为 000。(15分)

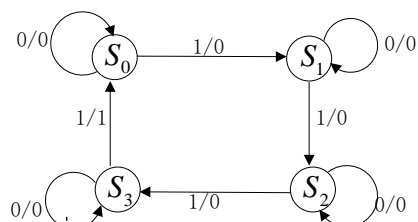


五、作出“1001”序列检测器的 Mealy 型状态图和状态表,要求合并多余的状态。凡收到的输入序列为“1001”时,输出为 1,要求检测序列“1001”不能重叠。典型的输入输出序列如下:(15分)

输入： 1 0 0 1 0 0 1 1 0 0 1 0 1

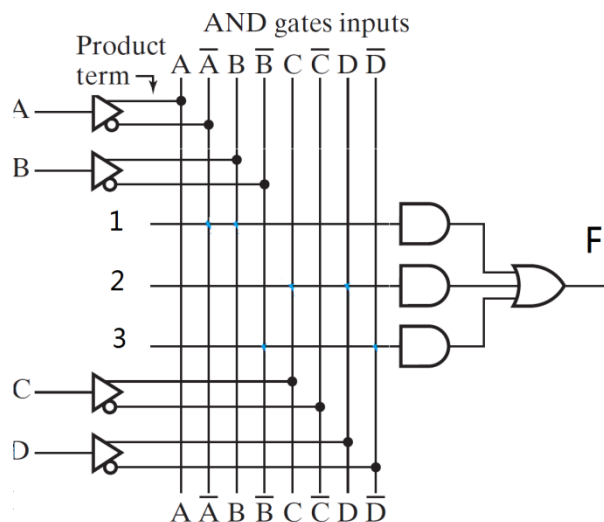
输出： 0 0 0 1 0 0 0 0 0 0 1 0 0

六、根据下面的状态图用 VHDL 设计一个时序电路，要求使用三个进程分别描述触发器、输出逻辑和下一状态逻辑。（12 分）



七、化简并使用下图所示的 PAL 器件实现以下函数（连接处打“×”）：（10 分）

$$F = ABC\bar{C} + \bar{A}CD + \bar{B}\bar{C}\bar{D} + \bar{B}CD + AB\bar{D}$$



八、用逻辑门、多路复用器和 D 触发器设计一个 4 位计数器，功能要求如下表所示。要求画出计数器中某一级（某一位）的逻辑图。（13 分）

控制模式		寄存器操作
S ₁	S ₀	
0	0	计数器清 0
0	1	保持不变
1	0	加 1 计数
1	1	并行加载