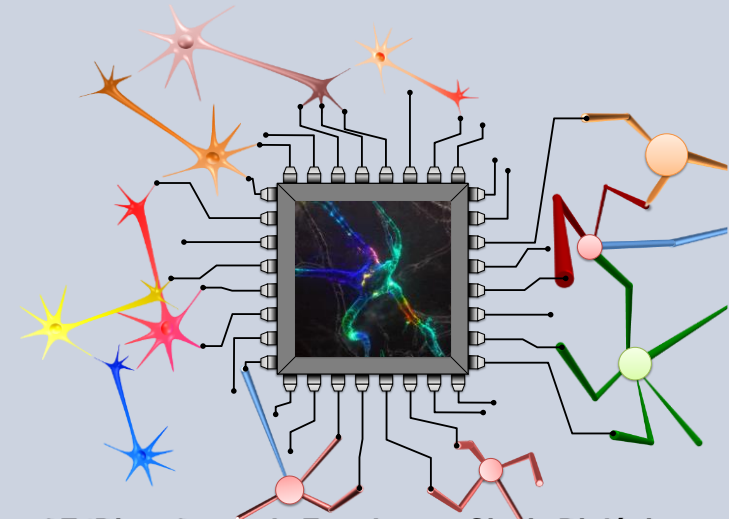


Universidade de São Paulo
Instituto de Ciências Matemáticas e de Computação
Departamento de Sistemas de Computação

SSC108
Prática em Sistemas Digitais

Contadores



GE4Bio – Grupo de Estudos em Sinais Biológicos

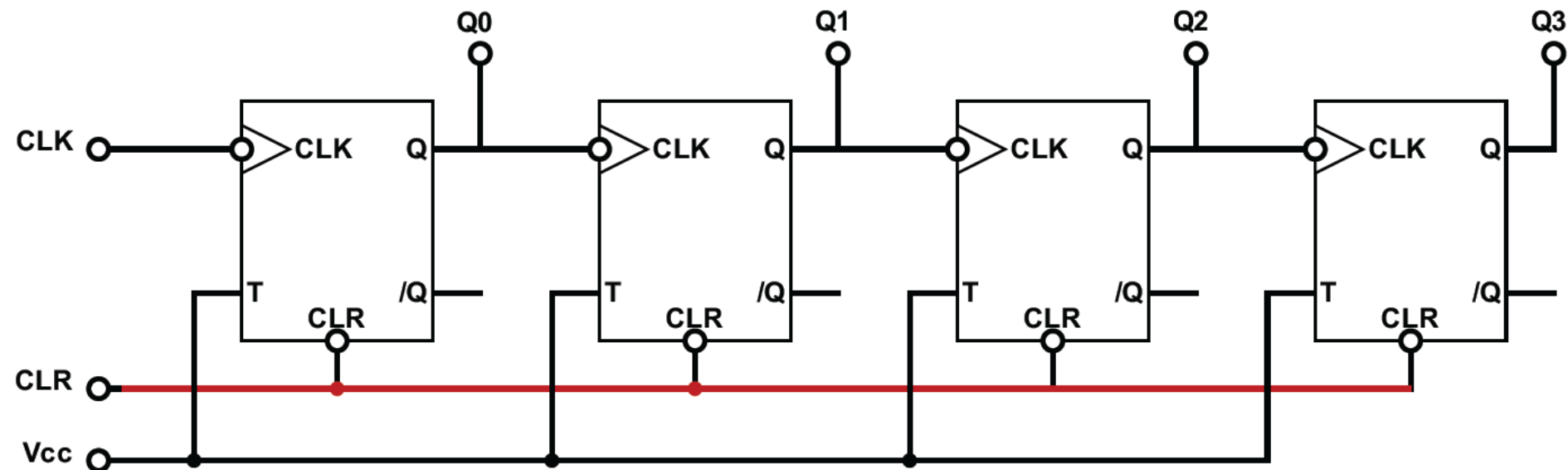
Prof.Dr. Danilo Spatti

São Carlos

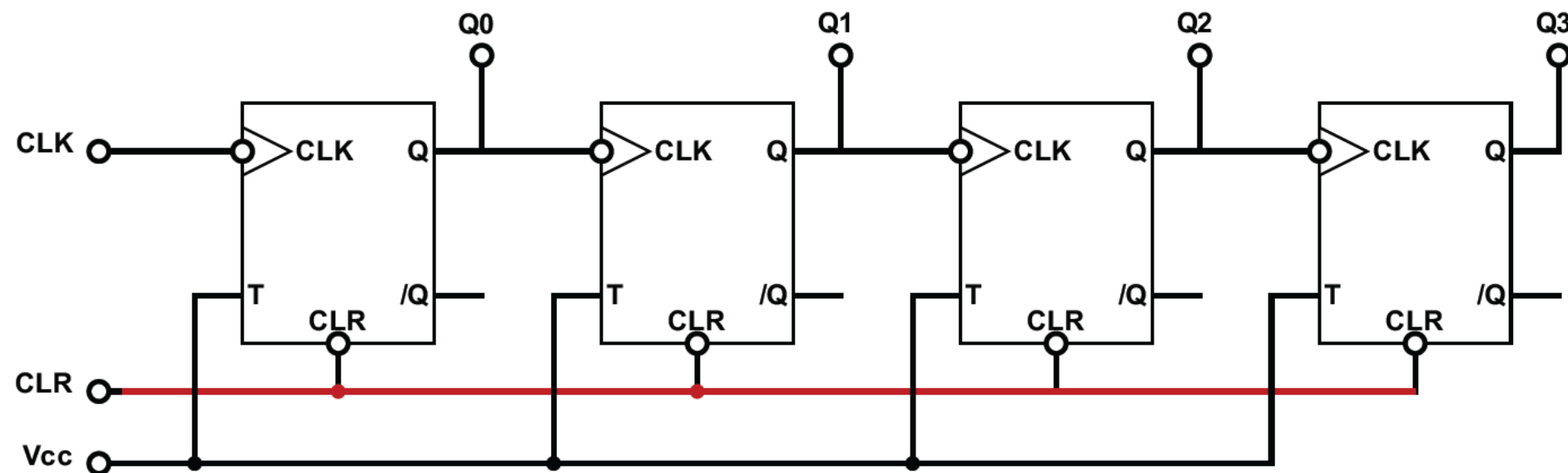
- São circuitos **digitais** que **geram** determinada **sequência** de **estados**, sob o comando de um **signal** de **clock**.
- São utilizados:
 - na **contagem** de **pulsos** provenientes de chaves e de sensores.
 - na **construção** de **temporizadores** e relógios digitais
 - para gerar **sequências** de pulsos e **medir** **frequência**.

- Neste tipo de circuito, a **entrada CLK** se faz **apenas** no **primeiro** flip-flop.
- As **outras** são derivadas das **saídas** dos blocos **anteriores**.

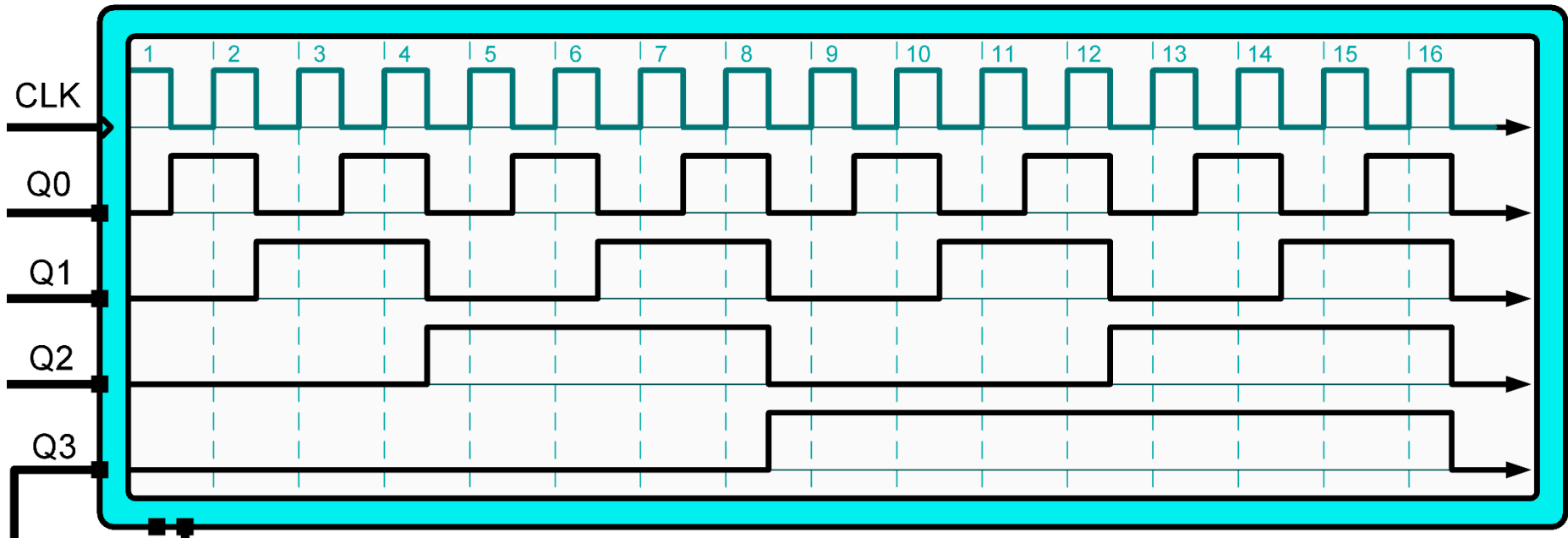
T	CLK	SAÍDA
0	↓	Mantém
1	↓	Comuta



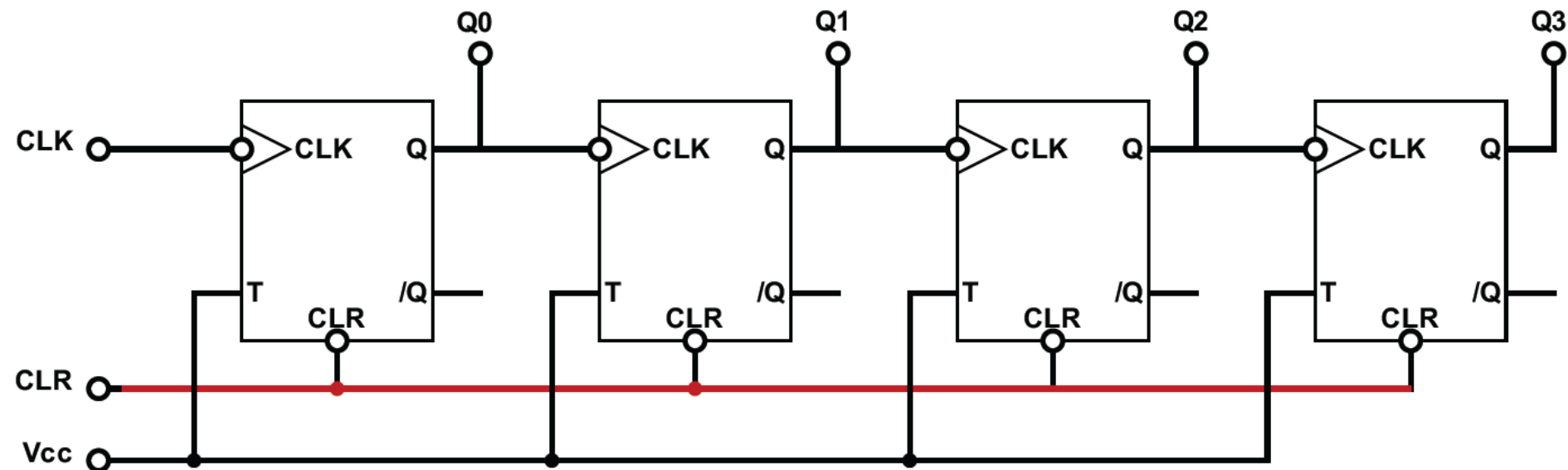
- Todos os flip-flops assumem saídas iguais a 0, através da **aplicação** de um nível **lógico 0** à entrada **CLR**.
- A cada descida do **pulso** de **CLK**, o 1º flip-flop irá **mudar** de **estado**, sendo esta troca aplicada à **entrada** do 2º flip-flop, fazendo com que este troque de **estado** a cada descida da saída Q0, assim **sucessivamente**.



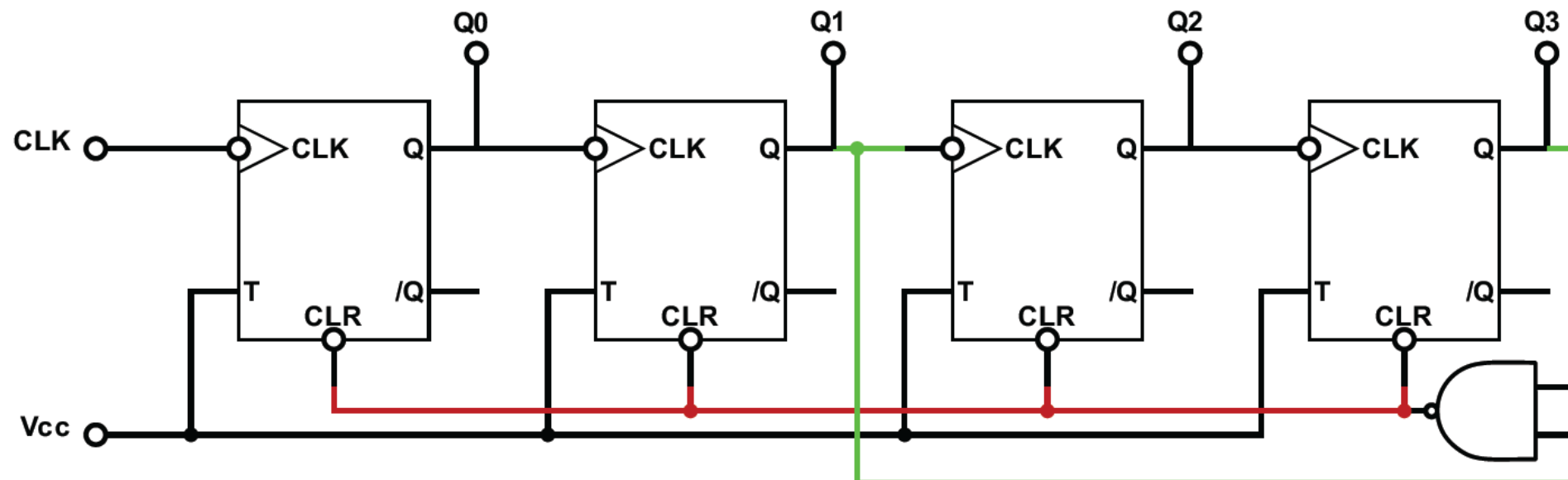
- Considerando Q0 como bit menos significativo (**LSB**) e Q3 como mais significativo (**MSB**), temos nas saídas o sistema **binário** em **sequência** (0000 a 1111).
- Notamos ainda, que após a **16ª descida de clock**, o contador irá reiniciar a **contagem**.



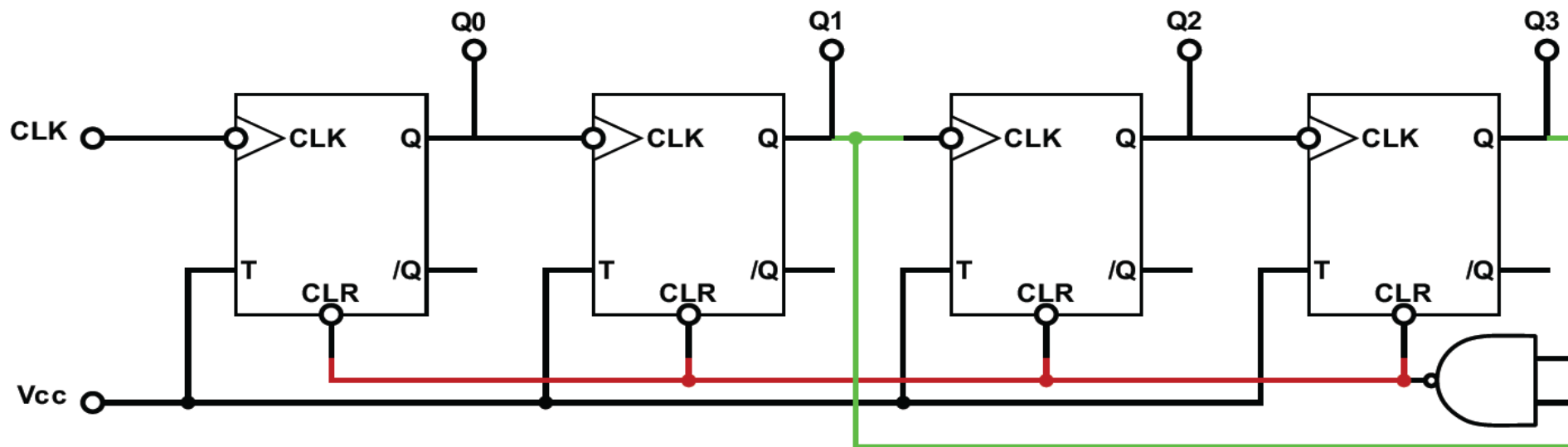
- O **período** de Q0 é o **dobro** do período do **CLK**. **Frequência** de Q0 será a **metade** da **frequência** do **CLK**, pois $f = 1/T$.
- A saída Q1 tem **período duas** vezes Q0 e o **quádruplo** do **CLK**. Sua **frequência** será a **metade** de Q0 e 1/4 da **frequência** do pulso de **CLK**.
- Essa análise se **estenderá** aos **demaís** flip-flops.



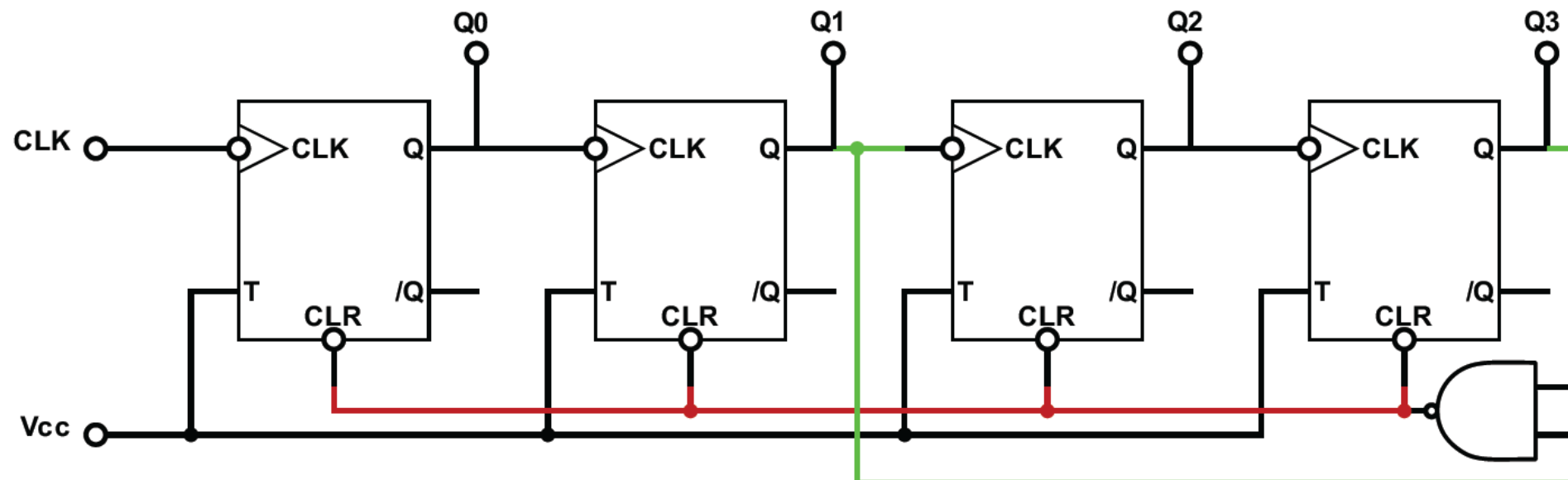
- É o circuito que **efetua a contagem** em números **binários** de 0 a 9_{10} (10 algarismos).
- Isso **significa acompanhar** a sequência do código **BCD** de 0000 até 1001.
- Para que o contador **conte somente** de 0 a 9, deve-se jogar um **nível 0** na entrada **CLR** assim que **surgir** o caso 10 (1010), ou seja, no 10^{o} pulso.



CLK	Q3	Q2	Q1	Q0	CLR
1	0	0	0	0	1
2	0	0	0	1	1
3	0	0	1	0	1
4	0	0	1	1	1
5	0	1	0	0	1
6	0	1	0	1	1
7	0	1	1	0	1
8	0	1	1	1	1
9	1	0	0	0	1
10	1	0	0	1	1
	1	0	1	0	0



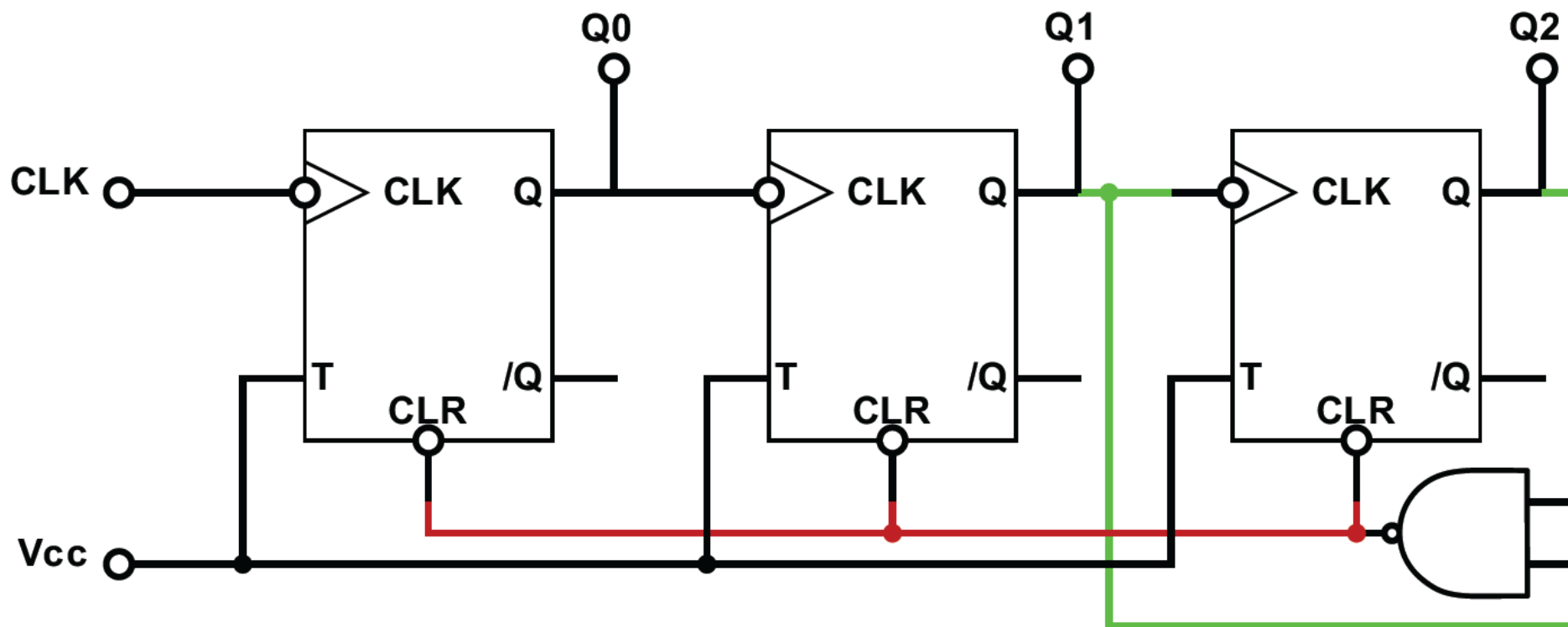
- Após a 10ª **descida** de **clock**, o contador assume o estado $Q0 = 0, Q1 = 1, Q2 = 0, Q3 = 1$ (1010_2).
- Neste **instante**, a entrada **CLR** vai para **0**, ou seja, zerando o contador, fazendo com que **assuma** o **estado** 0 (0000), **reiniciando** a contagem.
- Este contador poderá ser **utilizado** como **divisor** de **frequência** por 10 para uma onda **quadrada** aplicada à **entrada CLK**, pois possui 10 **estados** de saída.



- Utilizando o mesmo **processo** descrito **anteriormente**, podemos fazer um **contador** contar de 0 até um **número n qualquer**.
- Para isso, temos que **verificar** quais as **saídas** do contador para o **caso seguinte** a n, **colocarmos** estas saídas numa porta **NAND** e à saída desta **ligarmos** as entradas **CLR** dos flip-flops.
- Em qualquer contador, o sinal do último Flip-Flop, ou seja, o MSB, tem uma frequência igual a **$CLK / \text{Módulo}$** do contador.

- Neste caso, desejamos que o contador recomece a contagem após o estado 5, ou seja, passe para 0 todos os flip-flops.
- Neste caso, o estado seguinte a n será o 6, ocasionando nas saídas $Q3 = 0$, $Q2 = 1$, $Q1 = 1$, $Q0 = 0$ (0110_2).
- Quando ocorrer o estado 6, deverá haver um 0 nas entradas CLR interligadas, levando o contador a 0.

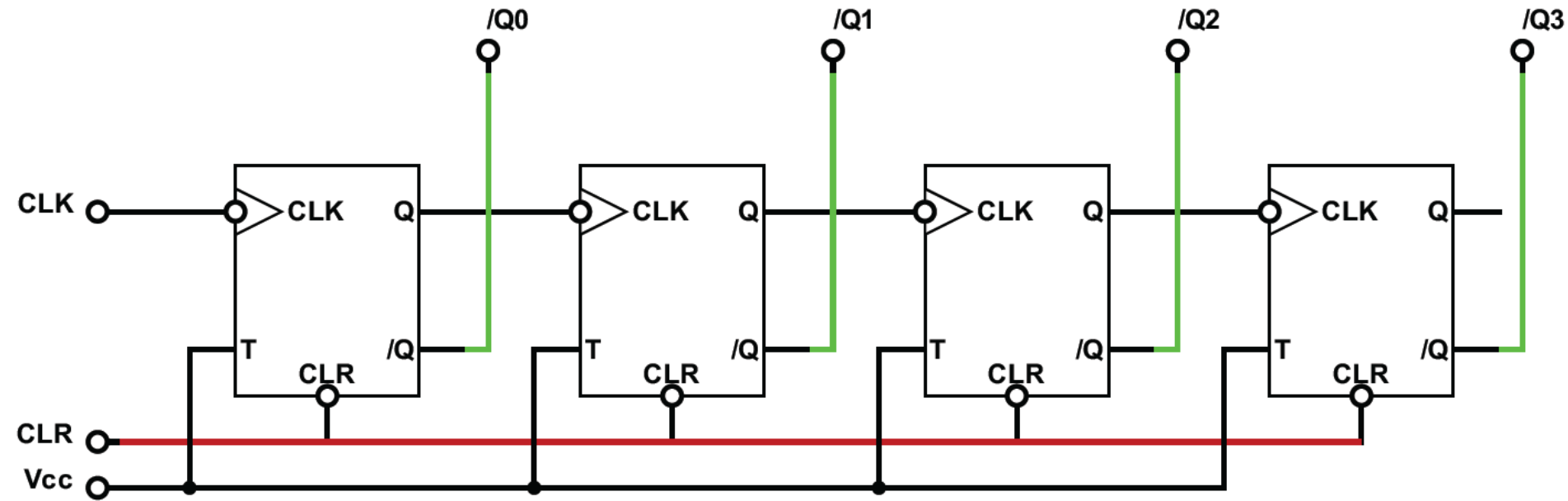
- Devemos, para tanto, ter na **entrada** da porta **NAND**, a ligação de Q2 e Q1, pois na **sequência** da **contagem**, estas irão **assumir** níveis 1 **simultaneamente** apenas no caso 0110_2 .



- O circuito para a **contagem** crescente ou decrescente é o **mesmo**.
- A contagem **decrescente** nada mais é que o **complemento** da contagem **crescente**.

Decimal	Binário			
15	1	1	1	1
14	1	1	1	0
13	1	1	0	1
12	1	1	0	0
11	1	0	1	1
10	1	0	1	0
9	1	0	0	1
8	1	0	0	0
7	0	1	1	1
6	0	1	1	0
5	0	1	0	1
4	0	1	0	0
3	0	0	1	1
2	0	0	1	0
1	0	0	0	1
0	0	0	0	0

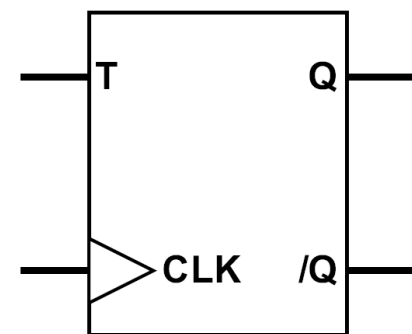
- O estado **inicial** (1111) pode ser obtido **aplicando-se** nível 0 na entrada **CLR**.



- Neste tipo de circuito, a **entrada CLK** se faz **conectada** em **todos** os flip-flops.
- Os contadores são **elementos** de **memória**, ou seja, armazenam os **estados anteriores** e os **futuros**.
- Necessitam de **lógica adicional** para **efetivar** a contagem.
- Empregados em circuitos de **alta velocidade**.

- Considere um circuito contador de **3 bits**, com **cada** saída Q2, Q1 e Q0, sendo **mapeadas** por um flip-flop **tipo T**, FF2, FF1 e FF0, respectivamente.
- O flip-flop tipo T **Comuta** com o **CLK** quando a entrada **T** recebe nível **1** e **Mantém** quando em nível **0**.

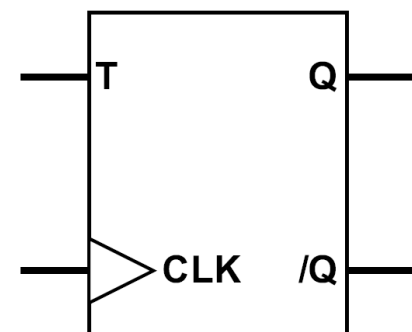
Estado	Q2	Q1	Q0
1	0	0	0
2	0	0	1
3	0	1	0
4	0	1	1
5	1	0	0
6	1	0	1
7	1	1	0



T	CLK	SAÍDA
0	↑	Mantém
1	↑	Comuta

- De acordo com a tabela, Q0 está **continuamente comutando**.
- Logo, o FF0 tem sua entrada T em nível **1** continuamente.
- Q1 comuta quando seu estado anterior é **Q0 = 1**.
- Logo, a **entrada** do FF1 é a **saída** do FF0.

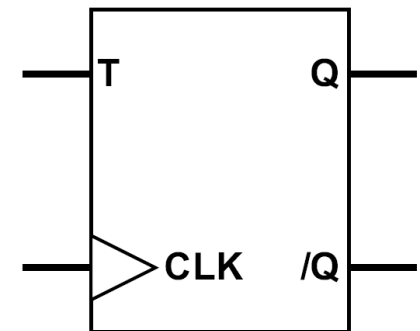
Estado	Q2	Q1	Q0
1	0	0	0
2	0	0	1
3	0	1	0
4	0	1	1
5	1	0	0
6	1	0	1
7	1	1	0



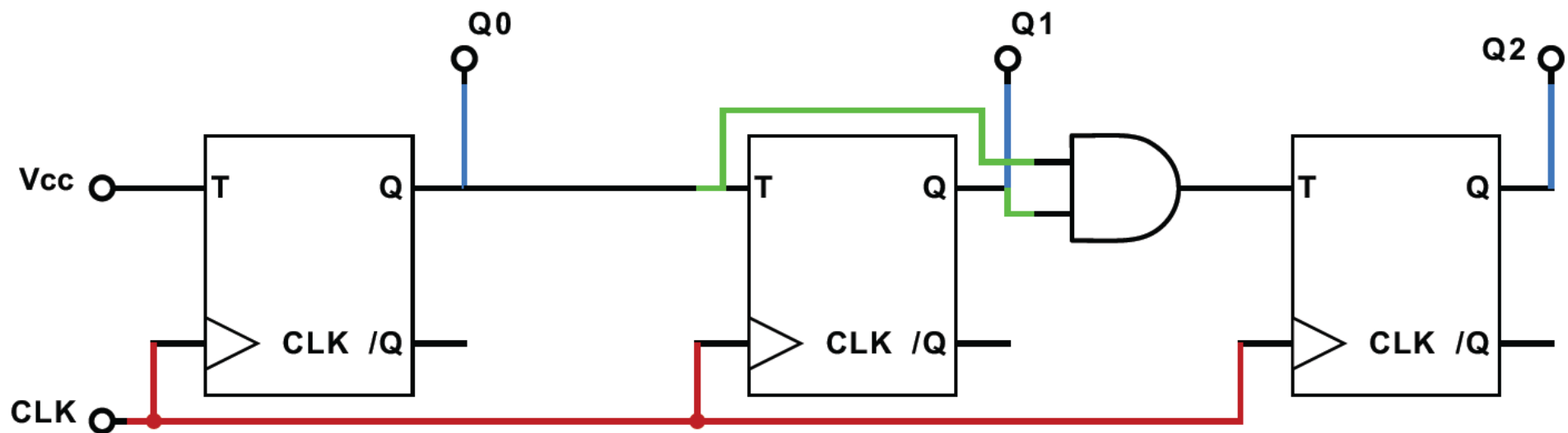
T	CLK	SAÍDA
0	↑	Mantém
1	↑	Comuta

- Q2 comuta quando **ambos** Q0 e Q1 são **1**.
- Logo, a **entrada** do FF2 é **Q1 and Q0**.

Estado	Q2	Q1	Q0
1	0	0	0
2	0	0	1
3	0	1	0
4	0	1	1
5	1	0	0
6	1	0	1
7	1	1	0

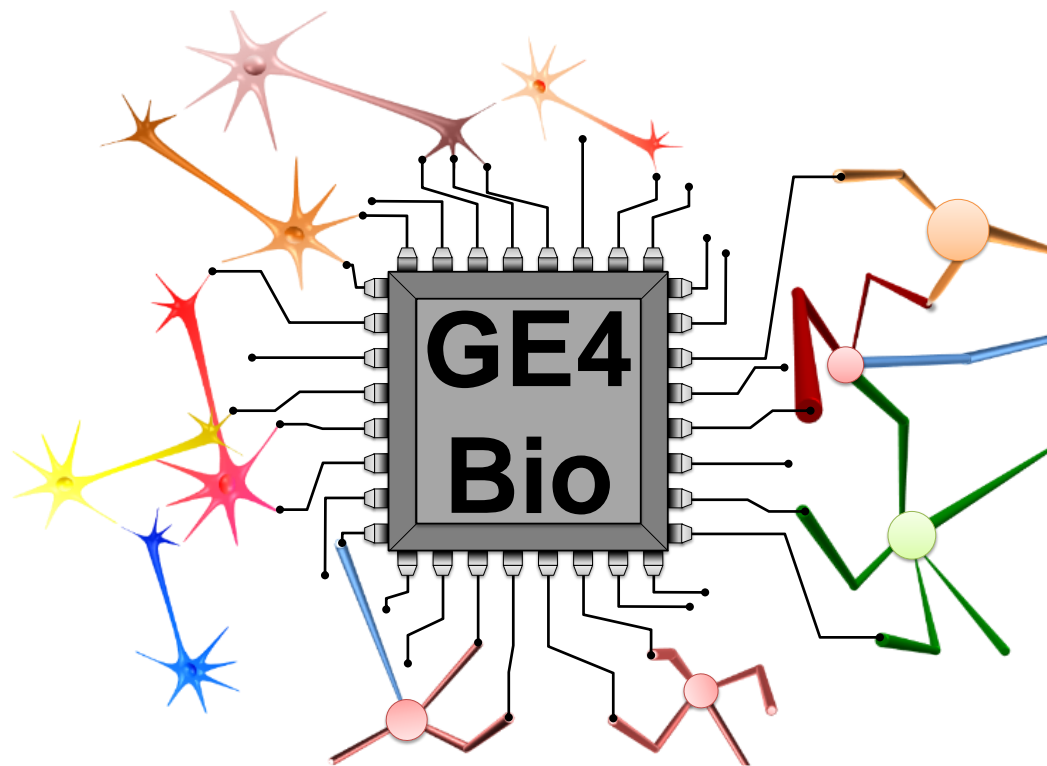


T	CLK	SAÍDA
0	↑	Mantém
1	↑	Comuta



- No Projeto da CPU **não será** eficiente a utilização de um Contador Assíncrono.
- Crie um **Contador Síncrono** de 8 bits (256 estados).
- Utilize a tabela verdade para poder otimizar os resultados.
- É desejável que este contador seja criado como um **subcircuito**.
- Apresente simulações.

spatti@icmc.usp.br



GE4Bio – Grupo de Estudos em Sinais Biológicos