学号：19200135221 姓名：胡恒宇　实验日期：2022.04.15 成绩评定：　　　　　。

|  |  |
| --- | --- |
| 实验名称： | 实验一 运算部件实验：加法器 |
| 实验内容：  1. 设计一个全加器。  2. 设计一个8位行波进位加法器。 | |
| 实验目的：  1. 熟悉用Quartus II进行逻辑电路设计的方法。  2. 通过8位加法器的设计，掌握行波进位加法器的基本原理。 | |
| **图形设计电路图：**   1. 全加器   能对两个1 位二进制数相加并考虑低位来的进位（即相当于3 个1 位二进制数的相加）得到“和”及“进位”的逻辑电路，称之为全加器，其中A和B分别为两个1 位二进制数的输入；Cin 为低位来的进位输入；S 和Cout 分别为相加后形成的“和”及向高位的“进位”输出。            2．8位行波进位加法器  行波进位加法器是把n位全加器串联起来，低位全加器的进位输出连到相邻的高位全加器的进位输入，各位相加是并行的，但其进位信号是由低位向高位逐级传递的，好像行波一样，高位的和要等低位的进位形成后才能确定，最后最高位的进位和符号位的进位进行异或运算，可以得到是否溢出的信息。          **仿真结果与分析：**   1. 全加器   仿真波形图　注意使用2进制，有计划仿真，要包含真值表中的所有情况      　 结果分析 需在仿真图中的对数据标号，并列表显示，然后分析     |  |  |  |  |  | | --- | --- | --- | --- | --- | | 输入 | | | 输出 | | | Ai | Bi | Ci | Cout | S | | 0 | 0 | 0 | 0 | 0 | | 0 | 0 | 1 | 0 | 1 | | 0 | 1 | 0 | 0 | 1 | | 0 | 1 | 1 | 1 | 0 | | 1 | 0 | 0 | 0 | 1 | | 1 | 0 | 1 | 1 | 0 | | 1 | 1 | 0 | 1 | 0 | | 1 | 1 | 1 | 1 | 1 |   结果与全加器真值表相符，根据全加器的真值表，可得出全加器的逻辑表达式为  Si = Ai Bi Ci-1 + Ai Bi Ci-1 − + Ai Bi Ci-1 + Ai Bi Ci-1  Ci = AiBi + AiCi-1 + BiCi-1   1. 8位加法器   注意使用十进制数表示，实验数值A、B、C采用随机数方式，以有符号数形式显示  选取一组随机数，包含（正正、负负、正负、负正）、溢出（正溢、负溢）的情况，  如果随机生成的数不合适，可以手动修改，注意采用与其他同学不同的数据。  避免因雷同导致报告扣分。  　　仿真波形图      　　结果分析：要全面，（正正、负负、正负、负正）、溢出（正溢、负溢）   |  |  |  |  |  | | --- | --- | --- | --- | --- | |  | A | B | S | Overflow | | 正正 | 32 | 54 | 86 | 0 | | 正负 | 15 | -42 | -27 | 0 | | 负负 | -101 | -22 | -123 | 0 | | 负正 | -87 | 8 | -79 | 0 | | 正溢 | 107 | 96 | -53 | 1 | | 负溢 | -56 | -118 | 82 | 1 |   Overflow为0表示无正溢、负溢，结果正确；  A为107，B为96，相加后超过128，求补为-53，正溢出；  A为-56，B为-118，相加后超过-128，求补为82，负溢出；结果正确  **心得体会：**  通过本次实验，设计了一个全加器，一个8位行波进位加法器，熟悉用Quartus II进行逻辑电路设计的方法，通过8位加法器的设计，熟悉行波进位加法器的基本原理。 | |