### 1.(单选题)计算机的软硬件逻辑等价性是指

A. 计算机功能上的等效能力

答案解析：因为任何操作可以由软件来实现，也可以由硬件来实现；

任何指令的执行可以由硬件完成，也可以由软件来完成。

### 2.(单选题)运算器虽有许多部件组成,但核心部分是

B. 算术逻辑运算单元

### 3.(单选题)程序P在机器M上的执行时间是20秒,编译优化后,P执行的指令条数减少到原来的70%, 而CPI增加到原来的1.2倍,则P在M上的执行时间是\_\_。

A. 16.8秒

答案解析：CPI clocks per instruction 每条指令周期数

一段程序的执行时间=指令条数\*每条指令的执行时间=指令条数\*每条指令周期数\*每周期时间

新执行时间=0.7\*指令条数\*1.2\*每条指令的执行时间=0.84\*20

### 4.(单选题)对计算机的产生有重要影响的是:\_\_。

B. 莱布尼兹、布尔、图灵

莱布尼兹系统地阐述了二进制计数法

布尔用一套符号来进行逻辑演算,把数学建立在严格逻辑基础上

图灵是计算机逻辑的奠基者,提出了“图灵机”和“图灵测试”等重要概念。

### 5.(单选题)至今为止,计算机中的所有信息仍以二进制方式表示的理由是\_\_。

C. 物理器件的性能决定

### 6.(填空题)一个定点数由和数值域两部分组成。 (1) 符号位

### 7.(填空题)冯.诺依曼计算机的主要设计思想是。

(1) 存储程序并按地址顺序执行

### 8.(填空题)二进制数1101010.01转换为8进制为Q、16进制数为H。

(1) 152.2 (2) 6A.4

### 9.(填空题)用于识别存储器中每个存储单元的编号,称为。 (1) 单元地址

### 10.(填空题)冯.诺依曼计算机主要包括:、运算器、控制器、和输出五部分组成。

(1) 存储器 (2) 输入

### 11.(填空题)计算机中,一个机器浮点数由和尾数和符号位组成。 (1) 阶码

### 12.(填空题)计算机性能指标中,是指每条指令执行的周期数,表示每秒执行的浮点操作次数,用来衡量机器的浮点操作的性能。 (1) CPI (2) FLOPS

### 13.(填空题)一个完整的计算机系统由和软件系统构成。 (1) 硬件

### 14.(填空题)计算机的体系结构一般分为冯诺依曼结构和结构两种,在后一种结构中指令和数据存放在不同的存储器。 (1) 哈佛

### 15.(填空题)十六进制数 12A.C对应的十进制数为。 (1) 298.75

### 16.(填空题)十进制数11,表示为8位的二进制数为B。 (1) 00001011

### 17.能够表示计算机中的一个基本操作的代码或二进制串,称为。用于求解某一问题的一串指令序列,称为该问题的计算程序,简称为。 (指令 （程序

### 18.(填空题)早期将运算器和控制器在一起称为。运算器由许多部件组成,其核心部分是。(英文缩写) (1) CPU (2) ALU

### 19.计算机中除了主存和CPU外的设备称为外围设备,简称,它们种类繁多速度各异,因而不是直接与高速主机相连,而是通过与主机相连。 (1) 外设(2) 适配器

### 20.(填空题)存储器所能保存二进制数据的总数,称为。常用单位为KB、MB、GB等。 (1) 存储容量

### 21.(填空题)表示计算机所要处理数据的计算机字,称为。表示一条指令的计算机字,称为。 (1) 数据字 (2) 指令字

### 22.(填空题)计算机系统通常由、一般机器级、、、高级语言级组成,每一级上都能进行程序设计,且得到下面各级的支持。

(1) 微程序设计级 (2) 操作系统级 (3) 汇编语言级

### 23.(填空题)指令和数据均存放在内存中,计算机对指令和数据的区分是依靠指令的执行阶段来决定的,在阶段,从存储器中读取的均是CPU要执行的指令,流向;在阶段,从存储器中读取的一定是指令执行所需要的操作数,流向。

(1) 取指 (2) 控制器 (4) 运算器

### 24.(填空题)计算机的系统软件包括和应用程序。 (1) 系统程序

### 25.(填空题)十进制数22.25,转换为二进制为B、8进制为Q、16进制为H。

(1) 10110.01 (2) 26.2 (3) 16.4

### 1.若采用双符号位,则两个正数相加产生溢出的特征时,双符号位为( )。 C. 01

### 2. (单选题, 4分)在补码加减法中,用两位符号位判断溢出,两位符号位为10时,表示****\_\_****。 C. 结果负溢出

### 3.采用规格化的浮点数最主要是为了( )。 D. 提高数据的表示精度

### 4. (填空题, 4分)十进制数25对应二进制数为()2。用8位二进制编码并设最高位为符号位,-25的原码表示为,反码表示为,补码表示为,移码表示为。

(1) 11001 (2) 10011001 (3) 11100110 (4) 11100111

(5) 01100111

答案解析：负整数的原码符号位为1;数值位为绝对值,不足7位,高位补0。 负整数的反码符号位为1;数值位在原码基础上按位取反。 负整数的补码符号位为1;数值位在原码基础上按位取反加1。 **移码在补码的基础上符号位取反**。

### 5. (填空题, 4分)将十进制数-27/64表示成IEEE754标准的32位浮点规格化数。27= B,1/64=2-6,27/64 = B =1. \* 2-2,e=-2,则E= ,所以32位浮点规格化表示中,数符S为 ,8位阶码E为 ,尾数M为 ,即32位浮点规格化数为,为方便阅读,转换成16进制显示为H。

(1) 11011 (2) 0.011011 (3) 1011 (4) 125

(5) 1 (6) 01111101 (7) 10110000000000000000000

(8) 10111110110110000000000000000000 (9) BED80000

答案解析：一个规格化的32位浮点数x的真值表示为 x=(-1)S×(1.M)×2E-127,即e=E-127。 转换为二进制,怎么算容易:27/64，1/64=2-6 ，27=11011B，27/64=0.011011B= 1.1011 \* 2-2,e=-2,则E=e+127=125=01111101B 规格化数格式:10111110110110000000000000000000,即 (BED80000)16。数值为负,S为1,E为01111101,M为1011

### 6.八位二进制无符号数所能表示的十进制整数范围是。 (1) 0~255

### 7. (填空题, 4分)已知加法器中,A、B为两个加数,C为进位输入,则进位输出的逻辑表达式Ci+1=Gi+PiCi,其中Gi=。 (1) AiBi

### 8. (填空题, 4分)主存储器容量通常以GB表示,其中G = 。(为方便比对,请使用乘方表示,n^m表示n的m次方) (1) 2^30

### 9.八位二进制补码所能表示的十进制整数范围是。 (1) -128~127

### 10. (填空题, 4分)已知加法器中,A、B为两个加数,C为进位输入,则进位输出的逻辑表达式Ci+1=Gi+PiCi,其中Pi=。 (1) Ai+Bi

### 11.冯诺依曼计算机的基本原理包括和。 (1) 存储程序 (2) 程序控制

### 12. (填空题, 4分)在定点运算器中,无论采用双符号位还是单符号位,必须有溢出判别电路,它一般用门来实现。 (1) 异或

### 13. (填空题, 4分)设[X]补=a7a6 a5··· a0 ,其中ai 取0或1,若要-32≤X<0,则a0 a1 a2 ··· a7 的取值情况为,a7为,a6为,a5为。 【提示:补码真值公式】 (1) 1 (2) 1 (3) 1

答案解析：补码真值公式:X<0,a7为1, [X]真值= -128+a6\*64+a5\*32+a4/\*16+……+a0≥-32 a6 =1 ,a5 =1, a4··· a0可以取任意值。

### 14. (填空题, 4分)设[X]补=a7.a6 a5··· a0 ,其中ai 取0或1,若要X>0.5,则a0 a1 a2 ··· a7 的取值情况为,a7为,a6为,且a5··· a0不全为。【提示:补码真值公式】 (1) 0 (2) 1 (3) 0

答案解析：补码真值公式: [X]真值= - a7+a6/2+a5/4+a4/8+……+a0/128> 0.5

X为正数,a7 =0,a6 =1 且a5··· a0不全为0。

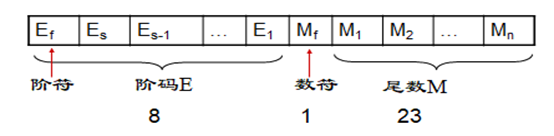
### 15. (填空题, 4分)已知二进制数X=1001,Y=-1010, 用变形补码进行运算时，设数值位为4位，[X]补=\_\_, [Y]补=\_\_,[-Y]补=\_\_,计算X-Y，[X-Y]补=[X]补+[-Y]补 =\_\_,符号位为\_\_，\_(有/无)溢出, 即X-Y超出运算范围。

(1) 001001 (2) 110110 (3) 001010 (4) 010011 (5) 01 (6) 有

### 16. (填空题, 4分)三态门的三态指高电平、低电平和。 (1) 高阻态

答案解析：三态门输出既可以是一般二值逻辑电路,即正常的高电平(逻辑1)或低电平(逻辑0),又可以保持特有的高阻抗状态。高阻态相当于隔断状态(电阻很大,相当于开路)。

### 17. 有一个字长为32位的浮点数，格式如下：（注意：这里是按规定的某种格式，非IEEE754）



即阶码8位（含阶符），用移码表示；符号位1位，尾数23位，用补码表示；基数为2。请写出规格化数所能表示的数的范围。提示：补码规格化数的符号位与数位的最高位相反。（为方便比对十进制数请采用参考格式）

最大数的浮点表示为**\_\_，对应的真值的十进制数为\_\_\_**（格式：+尾数\*2^指数）；

最小的正数的浮点表示为**\_\_，对应的真值的十进制数为\_\_\_**（格式：+2^指数）；

最大的负数的浮点表示为**\_\_，对应的真值的十进制数为\_\_\_**（：-尾数\*2^指数）；

最小数的浮点表示为**\_\_，对应的真值的十进制数为\_\_\_**（格式：-2^指数）。

(1)11111111011111111111111111111111 (2) +(1-2^-23)\*2^127

(3)00000000010000000000000000000000 (4)+2^-129

(5)00000000101111111111111111111111 (6)-(2^-1+2^-23)\*2^-128

(7)11111111100000000000000000000000 (8) -2^127  **18.**已知二进制数X=1011,Y=-1000, 用变形补码进行运算时，设数值位为4位，[X]补=\_\_, [Y]补=\_\_,计算X+Y，[X+Y]补=[X]补+[Y]补 =\_\_,符号位为\_\_，\_(有/无)溢出, X+Y=\_\_。

正确答案：(1) 001011 (2) 111000 (3) 000011 (4) 00 (5) 无 (6) +0011

### 19. 下面的数使用IEEE754的32位浮点数格式，1 10000001 110 0000 0000 0000 0000 0000其中数符S为，阶码E为\_,尾数M为\_\_\_。代入真值公式（-1）s 1.M\*2E-127，符号为\_\_(正/负)，指数e为(\_)10，包含隐藏位1的尾数1.M为\_(为方便比对，省略尾部的0)，得到对应的十进制数为\_。

正确答案：(1) 1 (2) 10000001 (3) 11000000000000000000000

(4) 负 (5) 2 (6) 1.11 (7) -7

### 20. (填空题, 4分)浮点数的范围由的位数决定,浮点数的精确度由的位数决定。

正确答案：(1) 阶码 (2) 尾数

### 21. (填空题, 4分)某视频文件的大小为200MB,此处M= 。(为方便比对,请使用乘方表示,n^m表示n的m次方)正确答案： (1) 2^20

### 22. “存储程序”和“程序控制”的概念是提出来的。(1) 冯诺依曼

### 23. (填空题, 4分)十进制数17对应二进制数为()2。用8位二进制编码并设最高位为符号位,17的原码表示为,反码表示为,补码表示为,移码表示为。

(1) 10001 (2) 00010001 (3) 00010001 (4) 00010001 (5) 10010001

答案解析：正整数的原码、反码、补码相同, 符号位为0;其他位为数值,数值位不足7位,在高位补0。 移码在补码的基础上符号位取反。

### 1. (单选题, 5分)用海明码对长度为8位的数据进行检纠错时, 若能纠正一位错,则检验位数至少为( )。 A. 4

答案解析：一般来说,若汉明码长为n,信息位数为k,则监督位数r=n-k。若希望用r个监督位构造出r个监督关系式来指示一位错码的n种可能位置,则要求: 2^r-1>=r+k 即2^r>=r+k+1 本题信息位k为8位,r最小为4。

### 2. (单选题, 5分)补码加/减法是指****\_\_****\_\_。

A. 操作数用补码表示, 连同符号位直接相加,减某数用加某数的机器负数代替,结果的符号在运算中形成;

### 3. (单选题, 5分)8位补码10010011等值扩展为16位后,其机器数为****\_\_****\_\_。

D. 1111111110010011

答案解析：补码扩展时,符号位保持不变,在符号位后的数值位重复符号位。 故10010011扩展时首位符号位1,其后补充11111111,然后数值位0010011, 即1 11111111 0010011。

### 4. (单选题, 5分)在定点二进制运算器中,减法运算一般通过****\_\_****\_\_来实现。

B. 补码运算的二进制加法器

### 5. (单选题, 5分)在双符号位判别溢出的方案中,出现正溢出时,双符号位应当为****\_\_****\_\_。 B. 01

答案解析：双符号位首位的符号即使在溢出时也不会受到影响,所以保留正负属性。 两个符号位不一致,表示溢出。10负溢,01正溢。

### 6. (单选题, 5分)当定点运算发生溢出时,应进行****\_\_****\_\_。 C. 发出出错信息

### 7. (单选题, 5分)在串行进位的并行加法器中,影响加法器运算速度的关键因素是****\_\_****\_\_。 C. 进位传递延迟

### 8. (单选题, 5分)原码加减交替除法又称为不恢复余数法,因此****\_\_****\_\_。

D. 仅当最后一步余数为负时,做恢复余数的操作

### 9.下列错误的是****\_\_****\_\_。A. 补码乘法器中, 被乘数和乘数的符号都不参加运算 10. (单选题, 5分)一个C语言程序在一台32位机器上运行。程序中定义了3个变量x、y和z, 其中x和y为int型, y为short型。(32位机int为4个字节,short为两个字节)。 当x=127,y=-9时,执行赋值语句z=x+y后,x、y和z的值分别是****\_\_****\_\_。C. x=0000007FH, y=FFF7H, z=00000076H

答案解析：x=127,y=-9,z=118,x、z32位,y16位, x=00000000 00000000 00000000 01111111B y=11111111 11111111 11111111 11110111B z=00000000 00000000 00000000 0111 0110B 为方便阅读将其转换为16进制(4位2进制对应一个16进制数) x=0000007FH y=FFFFFFF7H z=00000076H

### 11. 原码阵列乘法器的输入为原码，输出也为原码。用原码阵列乘法器计算x×y，x=-15，y=-10。运算过程如下：（设原码长度为5，符号位1位，数值位4位）机器内部原码数据：[x]原＝\_\_，[y]原＝\_\_；符号位单独运算： 1⊕1＝\_\_；其他位直接运算：|x|=\_，|y|=\_\_；乘法阵列：|x| ×|y| ＝\_\_（本步骤请在草稿纸上列出竖式）；算后加符号位输出：[x×y]原＝\_\_；所以 x×y =\_\_。(此处为十进制，为方便比对，请明确标出+、 -)

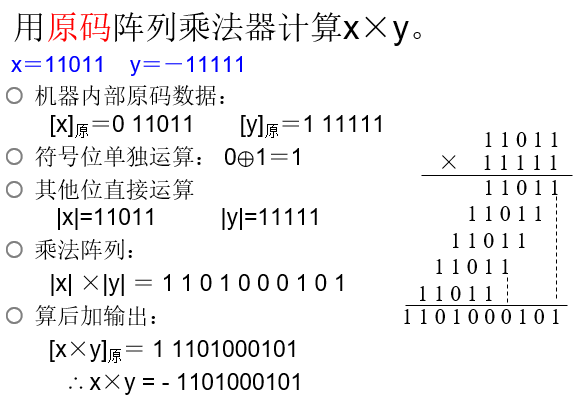
### 正确答案：(1)11111 (2)11010 (3)0 (4)1111 (5)1010

(6)10010110 (7)010010110 (8)+150

### 12.原码阵列乘法器的输入为原码，输出也为原码。用原码阵列乘法器计算x×y，设x、y为二进制数，x＝11011，y＝－11111。运算过程如下：（设原码长度为6，符号位1位，数值位5位）机器内部原码数据：[x]原＝\_\_，[y]原＝\_\_；符号位单独运算： 0⊕1＝\_\_；其他位直接运算：|x|=\_，|y|=\_\_；乘法阵列：|x| ×|y| ＝\_\_（本步骤请在草稿纸上列出竖式）；算后加符号位输出：[x×y]原＝\_\_；所以 x×y =\_\_。

正确答案：(1) 011011 (2)111111 (3)1 (4)11011 (5)11111

(6)1101000101 (7)11101000101 (8)-1101000101



### 13. (填空题, 8分)补码阵列乘法器的输入为补码，输出也为补码。用补码阵列乘法器计算x×y，x=-13，y=9。运算过程如下：（设补码长度为5，符号位1位，数值位4位）机器内部补码数据：[x]补＝\_\_，[y]补＝\_\_；符号位单独运算： 1⊕0＝\_\_；其他位算前求补器输出为：|x|=\_，|y|=\_\_；乘法阵列：|x| ×|y| ＝\_\_（为方便比对，数字写8位，本步骤请在草稿纸上列出竖式）；算后求补器加符号位输出为：[x×y]补＝\_\_；所以 x×y =\_\_。（本题开始给出的xy为十进制，此处为十进制，为方便比对请为数字加上+、-符号）

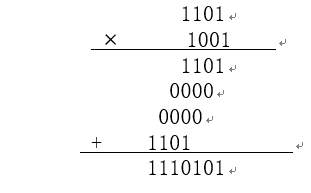
正确答案：(1) 10011 (2) 01001 (3) 1 (4) 1101 (5)1001

(6)01110101 (7)110001011 (8) -117

答案解析：[X]补=**1**0011 [Y]补=**0**1001 符号位单独计算 1⊕0=1

**算前求补器输出为 |X|=1101 |Y|=1001** |x| ×|y| =01110101（4位乘4位输出8位，不足前方补0） 算后求补器输出为[ X×Y]补=**1**10001011

X×Y=-117 验算 X=-13 Y=9 X×Y=-117 (可不验算)



### 14. (填空题, 8分)补码阵列乘法器的输入为补码，输出也为补码。用补码阵列乘法器计算x×y，设x、y为二进制数，x＝-10011，y＝11001。运算过程如下：（设补码长度为6，符号位1位，数值位5位）机器内部补码数据：[x]补＝\_\_，[y]补＝\_\_；符号位单独运算： 1⊕0＝\_\_；其他位算前求补器输出为：|x|=\_，|y|=\_\_；乘法阵列：|x| ×|y| ＝\_\_（为方便比对，数值位长度写10位，本步骤请在草稿纸上列出竖式）；算后求补器加符号位输出为：[x×y]补＝\_\_；所以 x×y =\_\_（为方便比对，数值位长度写10位）。

正确答案：(1)101101 (2)011001 (3)1 (4)10011 (5)11001

(6)0111011011 (7)11000100101 (8) -0111011011

### 15. 用原码阵列除法器计算X÷Y，设X、Y为二进制数，X=110000 Y=-11111。运算过程：先将X、Y乘一个比例系数化成小数，转换时需使被除数比除数小，使商也为一个小数。X=11000=0.11000×26= x×26,Y=-11111=-0.11111 ×25 = y×25[x]原=011000,[y]原=111111。符号位单独运算： 0⊕1＝1。用加减交替法计算|x|÷|y|,[|x|]补=011000, [|y|]补=011111,[-|y|]补=100001。

故|x|÷|y|=**\_\_**，余数为**\_\_**。故 [x÷y]原=**\_\_**。即 x÷y=**\_\_**。最后商和余数需要乘比例因子，余数修正时随被除数。X÷Y=**\_\_**,余数为**\_\_**。

正确答案：(1) 1.1100001 (2)1.11100001 (3)0.000011111 (4)011000

(5)0.0000011000 (6)111000 (7)-0.11000 (8)-1.1000 (9)1.1000

### 1. (单选题, 3分)四片74181 ALU和一片74182 CLA器件相配合,具有如下进位传递功能:****\_\_****\_\_。C. 组内先行进位,组间先行进位

### 2. (单选题, 3分)若浮点数的尾数用补码表示,则判断运算结果是否为规格化数的方法是****\_\_****。D. 数符与尾数小数点后第一位数字相异为规格化数

### 3. (单选题, 3分)float型数据通常用IEEE754单精度浮点数格式表示。 若编译器将float型变量x分配在一个32位浮点寄存器FR1中,且x=-8.25, 则FR1的内容是()。 A. C104 0000H

答案解析：-8.25=-1000.01B=-1.00001B\*2^3 数符:1 阶码 1000 0010 (3+127=1000 0010B) 尾数:000 0100 0000 0000 0000 0000 IEEE754格式为 数符 阶码 尾数 1100 0001 0000 0100 0000 0000 0000 0000 写成16进制为 C1040000

### 4. (单选题, 3分)float类型(即IEEE754单精度浮点数格式)能表示的最大正整数是( )。D. 2128-2104

答案解析：根据IEEE754格式,尾数最大为1.111111111111111111111, 即1+1-0.0000000000000000000001=2-2^23 阶码最大为255,但是255被用来表示非数NaN和无穷大了,所以最大为254,对应的指数为254-127=127 所以,最大的整数为(2-2^23)\*2^127,即2^128-2^104

### 5. (单选题, 3分)某数采用IEEE754单精度浮点数格式表示为C640 0000H,则该数的值是( )。 A. -1.5×213

答案解析：C640 0000H对应1100 0110 0100 0000 0000 0000 0000 0000B 数符:1 符号为负 阶码 10001100 指数10001100B-127=13 尾数 100 0000 0000 0000 0000 对应1.1B=1.5 故:该数的值为-1.5\*2^13

### 6. (单选题, 3分)float型数据通常用IEEE754单精度数浮点数表示。 假定两个float型变量x和y分别存放在32位寄存器f1和f2中,若(f1)=CC90 0000H,(f2)=B0C0 0000H,则x和y的关系为( )。D. x<y,且符号相同

答案解析：x CC90 0000H=1100 1100 1001 0000 0000 0000 0000 0000B y B0C0 0000H=1011 0000 1100 0000 0000 0000 0000 0000B 根据IEEE754的规定,最高位为数符,两数均为负 x的阶码为1001 1001 y的阶码为0110 0001 x阶码>y阶码,得到|x|>|y|,x、y均为负,故x<y,答案为D。

### 7. (单选题, 3分)当用一个16位的二进制数表示浮点数时,下列方案中第****\_****种最好。 C. 阶码取5位(含阶符1位),尾数取11位(含数符1 位);

答案解析：方案A阶码加上尾数超过16位。 方案C的尾数虽然比方案B少一位,但阶码有5位,可以表示的范围稍大一些; 而方案D的表示范围虽然比较大,但尾数太少,精度太低,失去了浮点数的意义.

### 8. 假定编译器规定int和short类型长度分别为32位和16位,执行下列C语言语句: unsigned short x=65530; unsigned int y=x; 得到y的机器数为()。

**提示：65536为64K** C. 0000 FFFAH

答案解析：65530=65535-5=65536-1-5=64K-1-5 =(2^16-1)-5=1111111111111111B-101B=1111 1111 1111 1010B 无符号短整数x 为16位,所有数位均可表示数值,故对应16进制FFFA 无符号整数y为32位,前面补16位0,写成十六进制位0000 FFFA

### 9. (单选题, 3分)按其数据流的传递过程和控制节拍来看,阵列乘法器可认为是()。 B. 全并行运算的乘法器

### 10. (单选题, 3分)在浮点运算中,下面的论述正确的是()。

C. 尾数相加后可能会溢出,但可采用向右规格化的方法得出正确结果

### 11. (单选题, 3分)下列8位二进制编码中包括7位数据位和1位偶校验位,其中有一组码至少有1位数据发生错误,错误组码是()。 B. 10101101

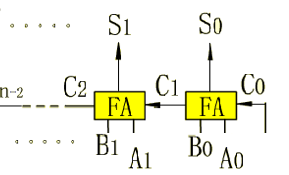
### 12. X=10111010,Y为01110111,逻辑运算: X非为,Y非为。 X+Y=,X•Y=,X⊕Y=

正确答案：(1) 01000101 (2) 10001000 (3) 11111111

(4) 00110010 (5) 11001101

### 13. 某加法器进位链小组信号为C4C3C2C1,低位来的进位信号为C0。两个加数分别为A3A2A1A0、B3B2B1B0,则第1位的进位输出C2按照串行进位的方法C2=,按照并行进位的方法C2=。(为方便比对(A+B)不展开)

正确答案：(1) A1B1+(A1+B1)C1 (2) A1B1+(A1+B1)A0B0+(A1+B1)(A0+B0)C0

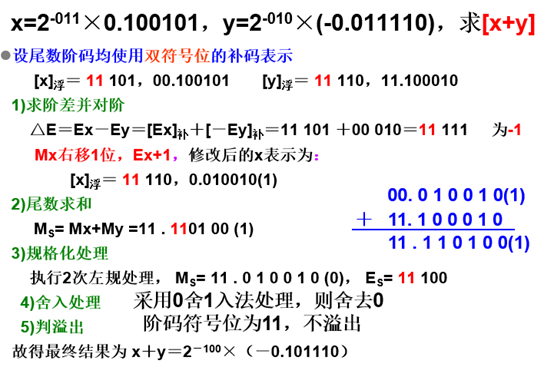


### 14.74181ALU是4位的运算器,可以进行种算术运算,16种。进位方式为(串行/并行)。Cn+4为先行进位输出,Cn+4=G+PCn,G称为,P称为,在电路中多加这两个进位输出的目的,是为了便于多片ALU之间的先行进位。正确答案：(1) 16 (2) 逻辑运算 (3) 并行 (4) 进位发生输出 (5) 进位传送输出

### 15. (填空题, 7分)浮点数加减时,需要将两数的阶码调整为相同,称为对阶,对阶的原则是。 若尾数运算时采用变形补码运算,当出现01.XXXX或者10.XXXX的形式,则表示尾数加减的结果超过,需要(向左/向右)规格化,即尾数(左移/右移)1位,阶码(加/减)1。

正确答案：(1) 小阶向大阶看齐 (2) 1 (3) 向右 (4) 右移 (5) 加

### 16.浮点数加减法运算。 已知x=2-011×0.100101,y=2-010×(-0.011110),求[x+y]。 设阶码3位,尾数6位,尾数、阶码均使用双符号位的补码表示: [x]浮= 11 101,00.100101 [y]浮=11 ,11.1)求阶差并对阶 △E=Ex-Ey=[Ex]补+[-Ey]补=11 101 +00 010=11111,为-1 Mx(左移/右移)1位,Ex+1,修改后的x表示为: [x]浮= 11,00.010010(1) 2)尾数求和MS= Mx+My =11 . 1101 00 (1) 3)规格化处理 执行(几次左/右规)处理(为方便比对几用1234表示) MS= 11 . (0), ES= 11 4)舍入处理:采用0舍1入法处理,则舍去0 5)判溢出:阶码符号位为11,不溢出 故得最终结果为 x+y=2-100×() 正确答案：(1) 110 (2) 100010 (3) 右移 (4) 110 (5) 2次左规 (6) 010010 (7) 100 (8) -0.101110



### 17. (填空题, 7分)浮点数加减法运算。 已知x=2-101×0.111001,y=2-110×(0.100111),求[x+y]。 设阶码3位,尾数6位,尾数、阶码均使用双符号位的补码表示: [x]浮= 11 011,00.111001 [y]浮=11 ,00.100111 1)求阶差并对阶 △E=Ex-Ey=[Ex]补+[-Ey]补=11 011 +00 110=00 001,为1 My(左移/右移)1位,Ey+1,修改后的y表示为: [y]浮= 11 011,00.(1) 2)尾数求和(本步骤请在纸上列竖式计算) MS= Mx+My =01.001100(1) 3)规格化处理 执行(几次左/右规)处理(为方便比对几用1234表示) MS= 00.(01), ES= 11 4)舍入处理:采用0舍1入法处理,则舍去01 5)判溢出:阶码符号位为11,不溢出 故得最终结果为 x+y=2-100×() 正确答案：(1) 010 (2) 右移 (3) 010011 (4) 1次右规

(5) 100110 (6) 100 (7) 0.100110

### 18.已知x=23×13/16 y=24×(-9/16),计算x×y。 简化的运算步骤: Ex = 3, Mx = 0.110100 Ey = 4, My = - 0.100100 E(x\*y) =Ex+Ey= M(xy)=MxMy= -0.01110101 规格化:尾数(左/右移n位),阶码(加/减n) 若尾数的舍入处理采用0舍1入,保留6位，舍入处理后尾数为\_\_。 x×y= (-59/64)× 26

正确答案：(1) 7 (2) 左移1位 (3) 减1 (4) -0.111011

### 19. 用浮点计算方法,计算 (2-2×13/32)÷ [23× (-15/16)]简化的计算步骤:设数的尾数6位, Ex = -2, Mx = 0.011010 Ey = 3, My = -0.111100 Ez = Ex-Ey = Mx÷My=-0.0110111 余数0.000000101100 规格化: 尾数(左/右移n位),阶码(加/减n) x÷y= × 2-6, (为方便比对，本空带符号二进制数，小数位数6位)​ 余数为0.000000101100 × 2-2 (余数修正用被除数阶码)写成十进制分数形式x÷y= ( \_\_\_ )× 2-6

正确答案：(1) -5 (2) 左移1位 (3) 减1 (4) -0.110111 (5) -55/64

### 20. (填空题, 7分)设有一个4级流水的浮点加法器,各过程段所需的时间为:零检查τ1=60ns,对阶τ2=60ns,相加τ3=80ns,规格化τ4=70ns,每个缓冲寄存器L的延时均为10ns。 采用流水线方式时,流水线的时钟周期应为ns,在流水线任务充足时,完成一次浮点加法的时间为ns;若不采用流水线方式,一次浮点加法的时间为ns;所以此流水线的加速比为。

正确答案：(1) 90 (2) 90 (3) 270 (4) 3

### 21. (判断题, 2分)三态门的三态是高电平、低电平和高阻态。正确答案: 对

### 22. (判断题, 2分)浮点数的溢出是指尾数的溢出。 正确答案: 错

答案解析：浮点数的尾数表示精度，阶码表示范围。尾数溢出时可以通过调整阶码，使尾数回到表示范围。

### 1. (单选题, 3分)计算机的存储器采用分级存储体系的主要目的是****\_\_****\_\_。

C. 解决存储容量、价格和存取速度之间的矛盾

### 2.存储器进行一次完整的读写操作所需的全部时间称为****\_\_****\_\_。B. 存取周期

### 3. (单选题, 3分)用户程序存放的主存空间属于\_\_\_\_。B. 随机存取存储器

### 4.计算机系统中的存贮器系统是指\_\_\_\_。B. cache、主存贮器和外存贮器

### 5. (单选题, 3分)某SRAM芯片,其存储容量为64K×16位,该芯片的地址线和数据线数目为****\_\_****\_\_ C. 16,16

### 6. (单选题, 3分)某计算机字长32位,其存储容量为4GB,若按双字编址,它的寻址范围是****\_\_****\_\_ 。 D. 0.5G

答案解析：4GB 字长32位，双字编址，一个地址存放字节数 32\*2/8=8

共有地址数 4G/8=0.5G

### 7. (单选题, 3分)下列说法正确的是****\_\_****\_\_ 。

B. 半导体RAM是易失性RAM,而静态RAM只有在不掉电时信息才不丢失

### 8.存储单元是指( )。 B. 存放 1 个机器字的所有存储元集合

### 9. (单选题, 3分)某 DRAM 芯片,其存储容量为 512×8 位,该芯片的地址线和数据线的数目是( )。 D. 9,8

### 10. (单选题, 3分)某机字长 32 位,存储容量 1MB,若按字编址,它的寻址范围是( )。 D. 0-256K

### 11. (单选题, 5分)某SRAM芯片，其容量为512×8位，除电源端和接地端外，该芯片引出线的最小数目应为****\_\_****。 D. 19

答案解析：某SRAM芯片，其容量为512×8位，数据线8，地址线 9

至少还包含2条：选片信号、读写信号的连接线。

### 12. SRAM靠存储信息。DRAM靠存储信息。答案：

### (1) 双稳态触发器(2) 电容

### 13. (填空题, 4分)若RAM芯片内有1024个单元,用单译码方式,地址译码器有条输入线,地址译码器有条输出线。

### 正确答案：(1) 10 (2) 1024

### 14. (填空题, 4分)若RAM芯片内有1024个单元,用双译码方式,地址译码器有条输入线, 地址译码器有条输出线。正确答案：(1) 10 (2) 64

答案解析：1024=2^10 共需10条地址线，5条输入行译码器，5条输入列译码器

行、列译码器各输出2^5=32条输出线 32+32=64

### 15.对存储器的要求是容量大、速度快、成本低,为了解决这三方面的矛盾,计算机采用多级存储体系结构。三级存储系统包含、、。（为方便比对，简写）

正确答案：(1) cache (2) 主存 (3) 外存

### 16.当一个存储字的字长高于8位时，就存在一个存储字内部的多字节的排列顺序问题，其排列方式称为端模式。****\_\_****(大端/小端)模式是将一个字的低有效字节放在内存的低地址端，高有效字节放在内存的高地址端。 答案：(1) 小端

### 17. (填空题, 5分)设有一个具有20位地址和32位字长的存储器,它能存储(nKB/MB/GB)的信息。 采用字存储方式,CPU中地址寄存器的宽度为,数据寄存器的宽度为。 如果存储器由512K×8位 SRAM芯片组成,需要片,组织方式为片1组,共组,需要位地址作芯片选择。 为方便比对,请输入阿拉伯数字。

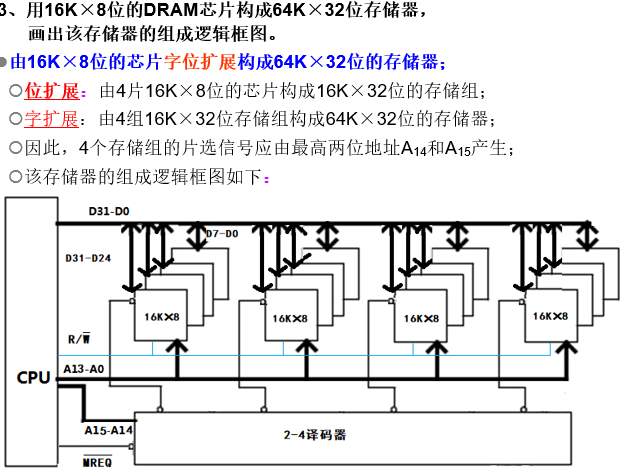
正确答案：(1) 4MB (2) 20 (3) 32 (4) 8 (5) 4 (6) 2 (7) 1

### 18. (填空题, 5分)若一个16M×64位的内存条,用4MX8位的DRAM芯片组成,需要片,组织方式,片1组,共组。 若某64位机主存采用半导体存储器,其地址码为26位,使用上述的内存条,最多可以插条。若采用顺序存储方式,各内存条共用地址线为条,A~A0,完成内存条内存储单元寻址。A25~A通过2-4译码器完成对各内存条的选择。

### 答案：(1) 32 (2)8 (3)4 (4)4 (5)24 (6)23 (7)24

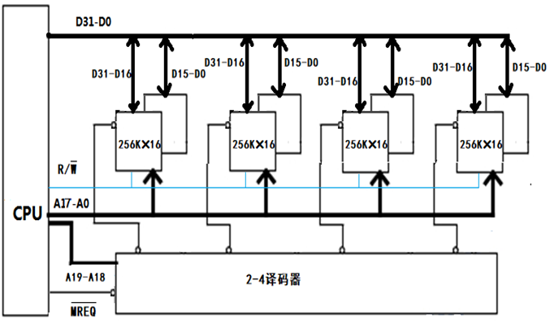
### 19. (填空题, 10分)用16K×8位的 DRAM 芯片构成64K×32位存储器, 请对该存储器的组成逻辑框图加以补充。 芯片扩展: 位扩展4片1组,字扩展共4组, 单片芯片大小为(nKxm)(为方便比对,乘写成字母x即可)。 (为方便比对,最低位为第0位,高位在前,中间用英文波浪线) 地址线 高位地址线(格式如:Am~An)通过2-4译码器选择第几组。 低位地址线共用,进行片内地址的选择。 数据线 数据线32位:(格式如:Dm~Dn),通过分支流入组内的4个芯片, 最高8位为,最低8位为。

答案：1) 16Kx8 2) A15~A14 3) A13~A0 4) D31~D0 5) D31~D24 6) D7~D0



### 20. (填空题, 10分)要求用256K×16位 SRAM 芯片设计 1024K×32位的存储器。 SRAM 芯片有两个控制端:当CS有效时,该片选中。当W#/R=1时执行读操作,当W#/R=0时执行写操作。 请对该存储器的组成逻辑框图加以补充。 芯片扩展: 位扩展2片1组,字扩展共4组, 单片芯片大小为(nKxm)(为方便比对,乘写成字母x即可)。 (为方便比对,最低位为第0位,高位在前,中间用英文波浪线) 地址线 高位地址线(格式如:Am~An)通过2-4译码器选择第几组。 低位地址线共用,进行片内地址的选择。 数据线 数据线32位:(格式如:Dm~Dn),通过分支流入组内的不同的芯片, 高位为,低位为。

答案：1) 256Kx16 2) A19~A18 3) A17~A0 4) D31~D0 5) D31~D16 6) D15~D0



### 21.某机器中,存储器由ROM和RAM芯片组成。 ROM区域的地址空间为 0000H~3FFFH 的 ROM区域。 RAM区域的起始地址为6000H,区域大小40K×16位,由8K×8的RAM芯片构成。 假设 CPU的地址总线为A15~A0,数据总线为D15~D0,绘制该存储器的组成逻辑框图。控制信号为R/W(读/写), MREQ(访存),RAM 芯片有 CS 和 WE 信号控制端略。请对解题步骤加以补充

### 解题步骤: 1）将ROM区域的地址0000H~3FFFH写成2进制形式 0000H即 0000000000000000B 3FFFH 即 B （16位2进制数） 访问这个区域需要条地址线,区域大小为K

### 2）RAM区域40K×16位,共需片8K×8RAM芯片,片1组,共5组。 8K芯片的地址 0~8K-1, 因此各组RAM芯片的地址区间:起始地址~起始地址+8K-1​ 8K-1 对应 1 1111 1111 1111B（13个1）

### 3）40K的RAM区域,地址分布从6000H开始,5个8K区域的地址为 6000H~6000H+8K-1、6000H+8K~6000H+8K+8K-1、……………………………… 即 0110 0000 0000 0000B~ 0111 1111 1111 1111 (8K=2^13) 1000 0000 0000 0000B~1001 1111 1111 1111 1010 0000 0000 0000B~1011 1111 1111 1111 1100 0000 0000 0000B~1101 1111 1111 1111 1110 0000 0000 0000B~1111 1111 1111 1111

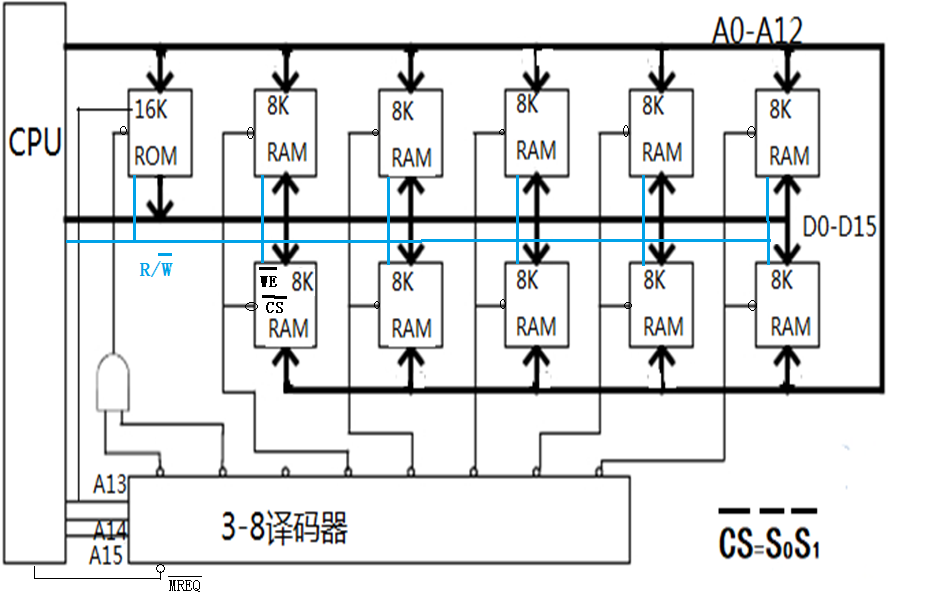
### 4）芯片容量位8K,因此地址线低13位均为片内地址,​ 共16条地址线，高3位地址线用来进行芯片选择。 5个区域的高3位地址线分别为、、101、110、111

5）用A15~A13作为选片信号, 经过3-8译码器选择RAM芯片。

​ ROM区域的高3位地址位、,因此3-8译码器输出为0、1时均选择ROM区域。

​ 因为3-8译码器输出为低电平有效,选片信号也为低电平有效,

​ 即3-8译码器0或1输出任何一个为低电平时选择ROM区域,因此如图示,用了(与/或)门连接后作为ROM的选片信号。



答案：(1) 0011111111111111 (2) 14 (3) 16 (4) 10 (5) 2 (6) 011

(7) 100 (8) 000 (9) 001 (10) 与

### 1.计算机的存储器系统是指****\_\_****。D. cache,主存储器和外存储器

### 2.和内存储器相比,外存储器的特点是****\_\_****。B. 容量大,速度慢,成本低

### 3. (单选题, 3分)存储单元是指****\_\_****。B. 存放一个机器字的所有存储元集合

### 4. (单选题, 3分)某存储器芯片的存储容量为8K×8位,则它的地址线和数据线引脚相加的和为****\_\_****。 C. 21

### 5. (单选题, 3分)某机字长64位,存储器容量是32MB。若按半字编址,那么它的寻址范围是****\_\_****。 D. 8M

答案解析：字长64位,半字32位,32b/8=4B 32MB/4B=8M

### 6.一个256K×8的存储器,其地址线和数据线总和为****\_\_****。 C. 26

### 7.某存储器芯片的存储容量为8K×12位,则它的地址线为。C. 13

### 8. (单选题, 3分)某DRAM芯片,其存储容量为512K×8位,该芯片的地址线和数据线数目为****\_\_**** 。 D. 19,8

### 9. (单选题, 3分)没有外存储器的计算机初始引导程序可以放在****\_\_**** 。B. ROM

### 10. (单选题, 3分)EPROM是指****\_\_****。D. 光擦除可编程的只读存储器

### 11. (单选题, 3分)某单片机的系统程序,不允许用户在执行时改变,则可以选用****\_\_****作为存储芯片。 B. 闪速存储器

### 12. “与非”门中的某一个输入值为“0”,那么它的输出值****\_\_****。B. 为“1”

### 13. (单选题, 3分)假定下列字符码中有奇偶校验位,但没有数据错误,采用奇校验的字符码有****\_\_****。 (四个数为 ①10011010 ②11010000 ③11010111 ④10111100) C. ②④

### 14.双端口存储器能高速进行读/写,是采用****\_\_****。C. 两套相互独立的读写电路

### 15.双端口存储器在****\_\_****时会发生读/写冲突。 B. 左端口与右端口的地址码相同

### 16. (单选题, 3分)模4交叉存储器有4个存储模块,它们有各自的****\_\_****。

C. 地址寄存器和数据缓冲寄存器

### 17. (单选题, 3分)某计算机使用4体交叉存储器,假定在存储器总线上出现的主存地址(十进制)序列为8005,8006,8007,8008,8001,8002,8003,8004,8000,则可能发生缓冲冲突的地址是 D. 8000,8004

### 18. (单选题, 3分)交叉存储器实质上是一种****\_\_****存贮器,它能****\_****执行****\_\_****独立的读写操作。 A. 模块式,并行,多个

### 19. (单选题, 3分)多总线结构的计算机系统,采用****\_\_****方法,对提高系统的吞吐率最有效。 A. 多端口存储器

### 20. (填空题, 3分)DRAM采用读出方式进行刷新。因为读出过程中恢复了存储单元的MOS栅极电容电荷,并保持原单元的内容,所以读出过程就是再生过程。常用的刷新方式由三种:式、式、式。 答案：(1) 集中(2) 分散(3) 异步

### 21. (填空题, 3分)能提供高性能、低功耗、高可靠性以及瞬间启动能力,因此作为固态盘用于便携式电脑中。 正确答案：(1) 闪速存储器

### 22. (填空题, 3分)存储器的性能指标主要是、、存取(存储)周期和存储器带宽。

正确答案：(1) 存储容量 (2) 存取时间

### 23. (填空题, 3分)由于存储器芯片的容量有限,所以往往需要在和两方面进行扩充才能满足实际需求。 答案：(1) 位 (2) 字

### 24. CPU能直接访问和,但不能直接访问磁盘和光盘。答案：(1) Cache(2) 主存

### 25.动态存储器的刷新按(行/列)进行;若存储单体的容量为64K,采用双译码且地址线平均送到两个译码器中, 刷新地址计数器位数为。 答案：(1) 行(2) 8

### 26.片选信号为101时,选定一个128K\*8位的存储芯片,则该芯片的所在存储单元空间的首地址为H,末地址为H。 正确答案：(1) A0000 (2) BFFFF

答案解析：128K--2^17,对应00000000000000000~1111111111111111的地址,加上片选信号101,构成起止地址。

首地址:1010 0000 0000 0000 0000 (A0000H)

末地址 1011 1111 1111 1111 1111 (BFFFFH)

### 27. (填空题, 5分)有一个1024K×32位的存储器,由128K×8位的DRAM构成,共需要片DRAM芯片,组织方式,片一组(位扩展),共组(字扩展)。

正确答案：(1) 32 (2) 4 (3) 8

### 28. (填空题, 5分)64K×8位的DRAM,存储矩阵行列数相同,则行数为,行地址线需要条,采用异步刷新,如果单元刷新间隔不超过8ms, 刷新信号周期为μs（即隔多久刷新一行）。 正确答案：(1) 256 (2) 8 (3) 31.25

答案解析：对于64K×8位的DRAM片子,64K个存储单元,64K-2^16,行列数相同,行列地址各8位,行数256。刷新,对于同一行上的2048个存储元(256×8个存储位元)同时进行刷新,采用异步式刷新,刷新信号的周期为8ms÷256 = 31.25μs

### 29. (填空题, 5分)定量分析对比顺序和交叉存储方式。设存储器容量为64MB,字长为64位,模块数m=8, 存储周期T=100ns,数据总线宽度为64位,总线传送周期τ= 50ns。若连续读出4个字。顺序存储器和交叉存储器连续读出m=4个字的信息总量都是bit。顺序存储器连续读出4个字所需的时间是ns,带宽为bps。

### 交叉存储器连续读出4个字所需的时间是ns,带宽为bps。

正确答案：(1) 256 (2) 400 (3) 640M (4) 250 (5) 1024M

答案解析：q=64bit x4=256bit

顺序存储器和交叉存储器连续读出4个字所需的时间分别是

t2=mT=4×100ns=400ns=4×10-7s

t1=T+(m-1)τ=100ns+3×50ns=250ns=2.5×10-7s

顺序存储器和交叉存储器的带宽分别是

W2=q/t2=256bit÷(4×10-7)s=640Mbit/s

### 30. (填空题, 5分)若存储器字长64位,模块数m = 8,用交叉方式进行组织,

### 存储周期T = 200ns, 数据总线宽度为64位,总线传输周期τ = 50ns。则连续读出 m=8 个字的信息量是位,连续读出 8 个字所需的时间是:ns,交叉存储器的带宽是:bps（为方便比对，nM，n四舍五入为整数）

正确答案：(1) 512 (2) 550 (3) 931M

答案解析：连续读出 m=8 个字的信息量是:q = 64位×8 = 512位

连续读出 8 个字所需的时间是:t = T + (m – 1)τ = 200 + 7×50 = 5.5×10-7s

交叉存储器的带宽是: W = q/t = 512/(5.5×10-7s) ≈ 93×107 位/s

### 1. (单选题, 3分)在主存和CPU之间增加cache存储器的目的是****\_\_****。

C. 解决CPU和主存之间的速度匹配问题

### 2.平常所说的cache一般存在于计算机系统中哪个位置****\_\_****。C. CPU

### 3.访问相联存储器时****\_\_****。A. 根据内容,不需要地址

### 4.相联存储器是按****\_\_****进行寻址的存贮器。 C. 内容指定方式

### 5. (单选题, 3分)在程序的执行过程中,Cache与主存的地址映象是由 。

D. 硬件自动完成的。

### 6. (单选题, 3分)下面有关Cache的说法中错误的是 。

C. Cache与主存统一编址,Cache地址空间是主存的一部分

### 7. (单选题, 3分)采用虚拟存储器的主要目的是****\_\_****。

B. 扩大主存储器空间,并能进行自动管理

### 8. (单选题, 3分)下列不属于虚拟存储器的是****\_\_****。 D. 块状式

### 9. (单选题, 3分)虚拟段页式存储管理方案的特点为

D. 空间浪费小、存储共享容易、存储保护容易、能动态连接

### 10. (单选题, 3分)当CPU读写内存时,发生哪种下列情况在读写操作完成后Cache和主存的内容可能不一致。 D. 采用写回法时,CPU写Cache命中。

答案解析：写回法:对一个Cache行的多次写命中都在Cache完成,仅当该Cache行被替换到主存时才写回速度较慢的主存

### 11. (填空题, 2分)相联存储器不按地址而是按内容访问的存储器,在cache中用来存放行地址表,在虚拟存储器中用来存放。 正确答案：(1) 快表

### 12. (填空题, 2分)Cache是一种存储器,是为了解决CPU和主存之间速度不匹配而采用的一项重要硬件技术。 正确答案：(1) 高速缓冲

### 13. (填空题, 4分)主存与Cache的地址映射方式有三种:全相联映射、和组相联映射。其中方式,硬件比较容易实现,且具有一定的灵活,被普遍采用。

正确答案：(1) 直接映射 (2) 组相联映射

### 14. (填空题, 4分)主存和cache在存储管理上常用的替换算法有、和随机替换。命中率最高的是。(为方便比对,此处写英文简写)

正确答案：(1) LFU (2) LRU (3) LRU

### 15. (填空题, 4分)CPU执行一段程序时,cache完成存取的次数为3800次,主存完成存取的次数为200次。Cache的命中率为,已知cache存取周期为20ns,主存为120ns,主存慢于cache的倍率为,cache/主存系统的效率为%,平均访问时间为ns。 正确答案：(1) 0.95 (2) 6 (3) 80 (4) 25

答案解析：命中率 H = Ne / (NC + Nm) = 3800 / (3800 + 200) = 0.95

主存慢于cache的倍率 :r = tm / tc = 120ns / 20ns = 6

访问效率 :e = 1 / [r + (1 – r)H] = 1 / [6 + (1 – 6)×0.95] = 80%

平均访问时间 :ta = tc / e = 20ns / 0.8 = 25ns

### 16. (填空题, 4分)已知cache/主存系统效率为85%,平均访问时间为60ns,主存与Cache访问时间比为5,则Cache的存储周期为ns,主存储器周期为ns。

正确答案：(1) 51 (2) 255

### 17. (填空题, 4分)CPU执行一段程序时,cache完成存取的次数为2420次,主存完成存取的次数为80次,已知 cache存储周期为40ns,主存存储周期为240ns,则Cache命中率为,主存与Cache访问时间比为,cache主存系统的效率为%(保留1位小数),平均访问时间为ns。(保留1位小数)

正确答案：(1) 0.968 (2) 6 (3) 86.2 (4) 46.4

IMG_274 IMG_275

IMG_276 IMG_277

### 18. Cache被分成256行(行号为0~255),每个主存块只与唯一的Cache行对应,主存第N块映射到Cache的行号为N Mod 256,这称为映射 答案： 直接

### 19.一个全相联映射的Cache,有64个行组成,主存储器包含4K个块,每块128个字,则主存地址共位,其中标记位,字地址位。 答案：(1) 19 (2) 12 (3) 7

20. (填空题, 6分)主存容量1MB,字长1B,块大小16B,Cache容量32KB,若Cache采用直接映射方式,主存地址位,内存地址的格式为:标记位,行号位,字地址位。

正确答案：(1) 20 (2) 5 (3) 11 (4) 4

答案解析：主存容量1MB,字长1B,共1M个字,内存地址20位,

每块16个字,块内地址4位

Cache 2K行(32KB/16B),行号11位 标记20-4-11=5

直接映射下的主存格式为: 标记5 行号11 块内地址 4

### 21. (填空题, 6分)主存容量2MB,字长2B,块大小64B,Cache采用组相联方式,Cache容量32KB,每组4行,假定主存以字进行组织,则主存地址位,内存地址的格式为:标记位,组号位,字地址位。

正确答案：(1) 20 (2) 8 (3) 7 (4) 5

答案解析：主存有2MB/2B=1M个字,主存地址20位

每块有64/2=32个字,字地址5位

Cache有32KB/64B=512行,每组4行,共有512/4=128组,故组号7位

标记长度为20-5-7=8

内存格式为:标记8位、组号7位、字地址5位

### 22. (填空题, 4分)主存容量为4MB,虚存容量为1GB,则虚存地址位,物理地址位,如页面大小为8KB,则页表长度是。

正确答案：(1) 30 (2) 22 (3) 128K

答案解析： 1GB/8KB

### 23. (填空题, 4分)设某系统采用页式虚拟存储管理,页表存放在内存中。如果一次内存访问使用50ns,访问一次主存需用ns。如果增加TLB,忽略查找页表项占用的时间,并且75%的页表访问命中TLB,内存的有效访问时间是ns。

正确答案：(1) 100 (2) 62.5

答案解析：(1)因为页表存放在主存中,所以则要实现一次主存访问需

​ 访问主存两次:

​ 第一次是访问页表,确定所存取页面的物理地址;

​ 第二次才根据该地址存取页面数据。

​ 故访问一次主存的时间为50×2=100(ns)

(2) 增加了TLB,大部分时候访问TLB中的页表即可获得页面 的物理地址,此时只需一次访存。 ​ 75%×50+(1-75%) ×2×50=62.5(ns)

### 24. (填空题, 4分)某计算机的存储系统由cache,主存和磁盘构成。cache的访问时间为15ns;

### 如果被访问的单元在主存中但不在cache中,需要用60ns的时间将其先装入cache,然后再进行访问;如果被访问的单元不在主存中,则需要10ms的时间将其从磁盘中读入主存,然后再装入cache中并开始访问。若cache的命中率为90%,主存的命中率为60%,则该系统中访问一个字的平均时间为Cache访问时间、主存访问时间、外存访问时间之和,

### ns+ (1-%)60ns+(1-90%)(1-%)\*10ms=ns。

正确答案：(1) 15 (2) 90 (3) 60 (4) 400021

答案解析：所有的都先访问cache

​ 10%要从主存调取,即访问主存

​ 10%的40%要访问磁盘

​ 15ns+60ns0.1+10ms0.1\*0.4=21ns+400000ns=400021(ns)

### 25. (填空题, 8分)虚拟存储器(虚实地址转换)

### 在一个分页虚存系统中,页长为1KB,则页内地址位,

### 用户虚地址空间为1K页,虚页号位,虚地址位,

### 主存物理为64KB,物理页号位,物理地址位。

### 已知用户程序有10页长,若虚页0、1、2、3已经被调入到主存9、3、8、7页中。

### 计算虚地址00C12(十六进制)对应的物理地址,首先展开虚地址为(二进制),虚页号为(填十进制数),物理页号为(填十进制数),对应的物理地址为(二进制),表示成16进制为H。

正确答案：(1) 10 (2) 10 (3) 20 (4) 6 (5) 16

(6) 00000000110000010010 (7) 3 (8) 7

(9) 0001110000010010 (10) 1C12

答案解析：(1)地址空间分配情况

页长1KB-210,页内地址10位

物理地址空间:

64KB/1KB=64页-26, 页面地址6位,页内地址10位,共16位地址码

虚地址空间:

​ 1K页-210,页面地址10位,页内地址10位。共20位地址码

(2)地址对应情况

当前内存状况在反映在页表中,页表的内容 为9、3、8、7

虚地址00C12H=0000 0000 1100 0001 0010B,页面号为3,查表得已被调入到主存页7,

所以,物理地址中的页面号为7,页内地址与虚地址的页内地址相同,

​ 所以物理地址是:00011100 0001 0010B =1C12H

### 26. (填空题, 8分)虚拟存储器(虚实地址转换)

### 在一个分页虚存系统中,页长为1KB,则页内地址位,

### 用户虚地址空间为32页,虚页号位,虚地址位,

### 主存物理为16KB,物理页号位,物理地址位。

### 已知用户程序有10页长,若虚页0、1、2、3已经被调入到主存8、7、4、10页中。

### 计算虚地址0AC5(十六进制)对应的物理地址,首先展开虚地址为(二进制),虚页号为(填十进制数),物理页号为(填十进制数),对应的物理地址为(二进制),表示成16进制为H。

正确答案：(1) 10 (2) 5 (3) 15 (4) 4 (5) 14 (6) 000101011000101

(7) 2 (8) 4 (9) 01001011000101 (10) 12C5

答案解析：物理地址空间:

16页-2^4,页面地址4位;页长1KB-2^10,页内地址10位。共14位地址码

虚地址空间：

32页—2^5,页面地址5位；页长1KB—210，页内地址10位。共15位地址码

当前内存状况在反映在页表中，

0AC5H=000101011000101B，页面号为2，查表得已被调入到主存页4，所以，物理地址中的页面号为4，页内地址与虚地址的页内地址相同，所以物理地址是：

01001011000101=12C5H

### 1. (单选题, 2分)计算机硬件能直接执行的只有****\_****。D. 机器语言

### 2. (单选题, 2分)一条指令的格式包括:操作码字段和****\_****。B. 地址码字段

### 3. (单选题, 2分)指令系统中采用不同寻址方式的目的主要是

D. 缩短指令长度,扩大寻址空间,提高编程灵活性

### 4. (单选题, 2分)在如下的寻址方式中,****\_\_****\_\_便于处理数组问题。D. 变址寻址

### 5. (单选题, 2分)下面关于RISC 技术的描述中,正确的是( )。

C. RISC 的主要目标是减少指令数

### 6. (单选题, 2分)单地址指令中为了完成两个数的算术运算,除地址码指明的一个操作数外,另一个数常需采用****\_****。C. 隐含寻址方式

### 7.用某个寄存器中操作数的寻址方式称为****\_\_****寻址。C. 寄存器直接

### 8. (单选题, 2分)寄存器间接寻址方式中,操作数处在****\_\_****。B. 主存单元

### 9. (单选题, 2分)指令的寻址方式有顺序和跳跃两种方式,采用跳跃寻址方式,可以实现****\_\_****。D. 程序的条件转移或无条件转移

### 10. (单选题, 2分)某寄存器中的值有时是地址,因此只有计算机的****\_\_****才能识别它。 C. 指令

### 11. (单选题, 2分)直接、间接、立即三种寻址方式指令的执行速度,由快至慢的排序是 A. 立即、直接、间接

### 12. (单选题, 2分)设变址寄存器为X,形式地址为D,某机具有先变址再间址的寻址方式,则这种寻址方式的有效地址为****\_****。 B. EA=((X)+D)

### 13. (单选题, 2分)程序控制类指令的功能是****\_\_****。D. 改变程序执行顺序

### 14. (单选题, 6分)假设指令字长16位，操作数的地址码为6位，指令有二地址、一地址和零地址三种格式。采用扩展操作码技术，若二地址指令有8种，零地址指令64种，则一地址指令最多有****\_\_****\_\_种。 D. 511

答案解析：扩展操作码技术，即向地址码字段扩展操作码。

二地址指令8种 000~111，

零地址指令64种 000000~111111

​ 操作码 地址码

二地址 0000 地址码6+6位 首位为0（二地址指令标记）

​ 0111 地址码 ……

一地址 1000 000000 地址码6位 首位为1(一地址指令标记)

​ 1111 111110 ……

零地址 1111 111111 000000 前10位为1(零地址指令标记)

​ 1111 111111 111111

一地址指令 000 000000~111 111110

故指令数：二地址8种，一地址 2^9-1=511 零地址 2^6=64种

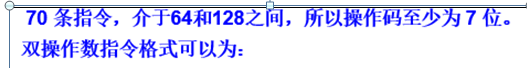
### 15. (填空题, 2分)指令系统是表征一台计算机性能的重要因素,它的格式和功能不仅影响到机器的硬件结构,而且也影响到。正确答案： (1) 系统软件

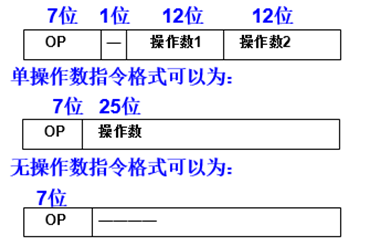
### 16. (填空题, 2分)一个较完善的指令系统应包含.数据传送类指令,算术运算类指令,类指令,程序控制类指令,I/O类指令,字符串类指令,系统控制类指令。

正确答案：(1) 逻辑运算

### 17. (填空题, 2分)指令一般有操作码字段和字段组成。正确答案：(1) 地址码

### 18. (填空题, 4分)假设某计算机指令长度为32位,具有双操作数、单操作数和无操作数三种形式。 指令系统共有70条指令,操作码至少为位,双操作数指令格式时,1位保留,两个操作数均可为位 正确答案：(1) 7 (2) 12



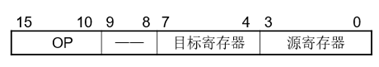


### 19. (填空题, 8分)根据操作数所在的位置,指出其寻址方式。 操作数在寄存器中,为寻址方式,操作地址在寄存器,为寻址方式。 操作数在指令中,为寻址方式,操作数地址(主存)在指令中,为寻址方式。

正确答案：(1) 寄存器(2) 寄存器间接(3) 立即(4) 直接

### 20. (填空题, 6分)操作数的地址为某一寄存器内容与位移量之和,可以是、、寻址方式。正确答案：(1) 相对(2) 基址(3) 变址

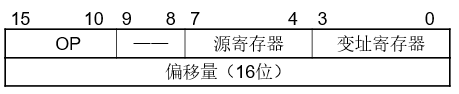
### 21. (填空题, 8分)指令格式结构如下所示。



### 为字长地址码指令; 操作码位,系统中可以包含种不同的指令; 源、目的操作数只能采用寻址方式,均可指定个寄存器; 是(RR/RS/SS)指令,常用于算术逻辑运算类指令。

正确答案：(1) 单(2) 二 (3) 6 (4) 64 (5) 寄存器 (6) 16 (7) RR

### 22. (填空题, 6分)指令格式结构如下所示,试分析指令格式与寻址方式特点。



### 为字长地址码指令; 操作码位,系统中可以包含种不同的指令; 源操作数只能采用寻址方式,均可指定个寄存器; 目的操作数只能使用寻址方式,其中,变址寄存器可使用16个通用寄存器之一;偏移量为16位。 是(RR/RS/SS)指令,用于在和之间的进行数据传递。

正确答案：(1) 双(2) 二 (3) 6 (4) 64 (5) 寄存器 (6) 16 (7) 变址

(8) RS (9) 寄存器 (10) 内存

### 23. (填空题, 6分)某计算机字长为16位,主存容量为64K字,采用单字长单地址指令, 共有40条指令,指令操作码需位, 若采用直接、立即、变址、相对四种寻址方式,寻址特征需位, 形式地址为位。

正确答案：(1) 6 (2) 2 (3) 8

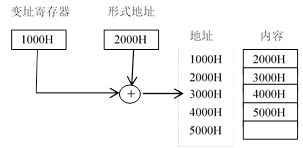
### 24.某机字长为32位,主存容量为1MB,单字长指令,有50种操作码, 采用寄存器寻址、寄存器间接 寻址、立即寻址、直接寻址等寻址方式。 字长32位,单字长指令,有50种操作码,操作码位。 采用寄存器寻址、寄存器间接寻址、立即寻址、直接寻址4种寻址方式,寻址方式可采用位。 答案：(1) 6 (2) 2

### 25. (填空题, 6分)设相对寻址的转移指令占2个字节,第一字节为操作码,第二字节是位移量(用补码表示),每当CPU从存储器取出一个字节时,即自动完成(PC)+ 1→ PC。设当前指令地址为3008H,要求转移到300FH,则该转移指令第二字节的内容应为多少? 当前值为3008H,该指令取出后PC 的值为H, 要求转移到300FH,即相对位移量为,转换成补码为B。

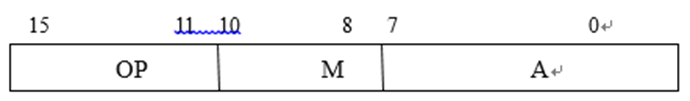
正确答案：(1) 300A (2) 5 (3) 00000101

### 26. (填空题, 4分)若变址寄存器R的内容为1000H,指令中的形式地址为2000H,地址1000H中的内容为2000H,地址2000H中的内容为3000H,地址3000H中的内容为4000H,地址4000H中的内容为5000H,则变址寻址方式下,变址寻址的有效地址为H,访问到的操作数H。 正确答案：(1) 3000 (2) 4000

答案解析：变址寻址的有效地址为变址寄存器的内容加上偏移,即1000H+2000H=3000H 3000H中保存的内容为4000H,故操作数为4000H,如下图



### 27. 某机字长为16位，存储器按字编址，访问内存指令格式如下，



其中，OP为操作码；M为寻址特征；A为形式地址。设Rx分别为变址寄存器，字长为16位，则该指令能定义32种指令，

| **寻址方式** | **有效地址EA的计算公式** | **寻址范围** |
| --- | --- | --- |
| 直接寻址 | EA= **\_\_** | *256* |
| 间接寻址 | EA= **\_\_** | *65K* |
| 变址寻址 | EA= **\_\_** | 64K |

正确答案：(1) A (2) (A) (3) (Rx)+A (*4) 256 (5) 64K*

### 28. (填空题, 6分)一种单地址指令格式如下所示,R变址寄存器,R1基址寄存器,PC程序计数器,填写下列寻址方式。



正确答案：(1) 直接寻址(2) 相对寻址(3) 变址寻址(4) 基址寻址

(5) 间接寻址 (6) 基址间接寻址

### 1. (单选题, 2分)Intel80486是32位微处理器,Core是****\_\_****位微处理器。D. 64

### 2. (单选题, 2分)CPU主要包括****\_\_****。B. 控制器、 运算器、cache

### 3. (单选题, 2分)多路开关是一种用来从n个数据源中选择****\_\_****数据送到一公共目的地的器件,其功能实现还可用****\_\_****来代替。B. 一个,三态缓冲器

### 4. (单选题, 2分)某单片机的系统程序,不允许用户在执行时改变,则可以选用****\_\_****作为存储芯片。B. 闪速存储器

### 5. (单选题, 2分)在下述指令中,****\_\_****指令包含的周期数最多。C. SS型

### 6. (单选题, 2分)寄存器间接寻址方式中,操作数处在****\_\_****。B. 主存单元

### 7. (单选题, 2分)单地址指令中为了完成两个数的算术运算,除地址码指明的一个操作数外,另一个数常需采用****\_\_****。C. 隐含寻址方式

### 8.在下述指令中,I为间接寻址,****\_\_****指令包含的CPU周期数最多。C. STO I 31

### 9. (单选题, 2分)堆栈寻址方式中,设A为累加器,SP为堆栈指示器,MSP为SP指示的栈顶单元。如果进栈操作的动作顺序是(A)→MSP,(SP)-1→SP。那么出栈操作的动作顺序应为****\_\_****。 B. (SP)+1→SP,(MSP)→A

### 10.在CPU中,跟踪后继指令地指的寄存器是****\_\_****。 B. 程序计数器

### 11. (单选题, 2分)指令寄存器的作用是****\_\_****。 B. 保存当前正在执行的指令

### 12.指令周期是指****\_\_****。C. CPU从主存取出一条指令加上执行这条指令的时间

### 13.由于CPU内部的操作速度较快,而CPU访问一次主存所花的时间较长,因此机器周期通常用****\_\_****来规定。 A. 主存中读取一个指令字的最短时间

### 14. (单选题, 2.5分)某寄存器中的值有时是地址,因此只有计算机的****\_\_****才能识别它。 C. 指令

### 15. (单选题, 2.5分)CPU读/写控制信号的作用是****\_\_****。D. 以上任一作用

### 16. (单选题, 2.5分)一个子程序在主程序执行期间可以多次被调用,甚至可以自己调用自己,实现这种调用的最好的办法是使用****\_\_****。 B. 堆栈

### 17. (单选题, 2.5分)操作控制器的功能是****\_\_****。

D. 从主存取出指令,完成指令操作码译码,并产生有关操作控制信号,以解释执行该指令

### 18. CPU从主存取出一条指令并执行该指令的时间叫做****\_\_****。B. 指令周期

### 19. (填空题, 3分)当今的CPU芯片除了包括定点运算器和控制器外,还包括、运算器和管理等部件。 正确答案：(1) cache(2) 浮点(3) 存储

### 20. (填空题, 2分)奔腾CPU中L2级cache的内容是的子集,而内容又是L2级cache的子集。 正确答案：(1) 主存(2) L1级cache

### 21.多个用户共享主存时,系统应提供。通常采用的方法是保护和保护,并用硬件来实现。正确答案：(1) 存储保护(2) 存储区域(3) 访问方式

### 22.就是要计算机执行某种操作的命令。一台计算机中所有机器指令的集合,称为这台计算机的。正确答案：(1) 指令(2) 指令系统

### 23.指令系统是表征一台计算机性能的重要因素,它的和不仅直接影响到机器硬件结构,而且也影响到。正确答案：(1) 格式(2) 功能(3) 系统软件

### 24. (填空题, 3分)不同机器有不同的,RISC指令系统是指令系统的改进。

正确答案：(1) 指令系统 (2) CISC

### 25. (填空题, 3分)指令字长度分为、、三种形式。

正确答案：(1) 单字长(2) 双字长(3) 半字长

### 26. (填空题, 3分)RISC的中文含义是,CISC的中文含义是。

正确答案：(1) 精简指令系统计算机 (2) 复杂指令系统计算机

### 27.指令寻址的基本方式有两种,方式和方式。正确答案：(1) 顺序 (2) 跳跃

### 28. (填空题, 3分)形成指令寻址的方式,称为指令寻址方式,有顺序寻址和寻址两种,使用来跟踪。正确答案：(1) 跳跃(2) 程序计数器

### 29. (填空题, 2分)设指令中形式地址为D,基址寄存器为BX,则基址寻址方式时,有效地址 E=。正确答案：(1) (BX)+D

### 30. (填空题, 3分)堆栈是一种特殊的寻址方式,它采用原理。按构造不同,分为寄存器堆栈和堆栈。正确答案：(1) 数据(2) 先进后出(3) 存储器

### 31.操作控制器的功能是根据指令操作码和,产生各种操作控制信号,从而完成和执行指令的控制。正确答案：(1) 时序信号(2) 取指令

### 32. (填空题, 5分)是完成一条指令所需的时间,包括取指令、分析指令和执行指令所需的全部时间。机器周期也称为,是指被确定为指令执行过程中的归一化基准时间,通常等于取指时间(或访存时间)。是时钟频率的倒数,也可称为节拍脉冲或T周期,是处理操作的最基本单位。一个由若干个机器周期组成,每个机器周期又由若干个组成。

答案：(1) 指令周期(2) CPU周期(3) 时钟周期(4) 指令周期(5) 时钟周期

### 33. (填空题, 8分)图中所示的处理机逻辑框图中,有两条独立的总线和两个独立的存储器。

### IMG_286

### 已知指令存储器IM最大容量为16384字(字长18位), 数据存储器DM最大容量是65536字(字长16位)。 各寄存器均有“打入”(Rin)和“送出”(Rout)控制命令,但图中未标注出。 指出下列各寄存器的位数: 程序计数器PC位,指令存储器地址寄存器IAR位, 指令寄存器IR位,指令存储器数据寄存器IDR位, 累加器AC0和AC1位,通用寄存器R0-R3位, 数据存储器地址寄存器DAR位,数据存储器数据寄存器DDR位。

正确答案：(1) 14 (2) 14 (3) 18 (4) 18 (5) 16 (6) 16 (7) 16(8) 16

答案解析：PC=14位 IR=18位 AC0=AC1=16位 R0-R3=16位 IAR=14位 IDR=18位 DAR=16位 DDR=16位

### 34. CPU结构如图所示，其中一个累加寄存器AC，一个状态条件寄存器和其它四个寄存器，各部分之间的连线表示数据通路，箭头表示信息传送方向。

1）标明图中四个寄存器的名称。

全称a**\_\_**\_,b**\_\_，c主存地址寄存器，d\_\_**。

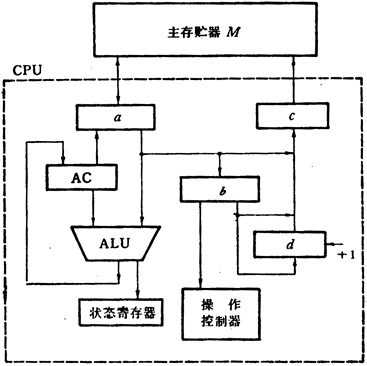
2）简述指令从主存取到控制器的数据通路。(为方便比对，寄存器填简称)

**\_\_**\_→**\_\_**\_→主存 → **\_\_**\_ → **\_\_**\_→ 操作控制器

3）数据在运算器和主存之间进行存/取访问的数据通路。

存储器读：M → **\_** → ALU → AC

存储器写：AC → **\_** → M



正确答案：(1) 数据缓冲寄存器(2) 指令寄存器(3) 程序计数器

(4) PC (5) AR (6) DR (7) IR (8) DR (9) DR

答案解析：1）a为数据缓冲寄存器DR，b为指令寄存器IR，c为AR，d为程序计数器PC；

2）PC→AR→主存 → 缓冲寄存器DR → 指令寄存器IR → 操作控制器

3）存储器读：M → DR → ALU → AC 存储器写：AC → DR → M

### 35.指令操作码字段的位数决定了指令系统中指令的数量。正确答案: 对

### 36. (判断题, 2分)多操作数指令可以是单字长指令。正确答案: 对

### 1.下列部件中不属于控制器的部件是****\_\_****。 D. 状态条件寄存器

### 2. (单选题, 2分)操作控制器的功能是****\_\_****。

D. 从主存取出指令,完成指令操作码译码,并产生相关的操作控制信号,以解释执行该指令

### 3.在CPU中跟踪指令后继地址的寄存器是****\_\_****。B. 程序计数器

### 4. (单选题, 2分)就微命令的编码方式而言,若微操作命令的个数已确定,则****\_\_****。

B. 编码表示法比直接表示法的微指令字长短

### 5. (单选题, 2分)假设微操作控制信号用Cn,表示,指令操作码译码器输出用Im表示,节拍电位信号用Mk、表示,节拍脉冲信号用Ti表示,状态反馈信息用Bj,表示,则硬联线控制器的基本原理可描述为****\_\_****,它可用门电路和触发器组成的树型网络来实现。 D. Cn=f(Im,Mk,Ti,Bj)

### 6. (单选题, 2分)下列表述中,微指令结构设计不追求的目标是

D. 增大控制存储器的容量

### 7. (单选题, 2分)硬布线控制器是一种****\_\_****。

B. 由门电路和触发器构成的复杂树形网络所形成的逻辑电路

### 8. (单选题, 2分)下列说法中正确的是****\_\_****。

C. 控制存储器可以用掩模ROM、E2PROM 或闪速存储器实现

### 9. (单选题, 2分)下面描述RISC指令系统中基本概念不正确的句子是****\_\_****。

C. 指令格式种类多,寻址方式种类多

**10.为了确定下一条微指令的地址,通常采用断定方式,其基本思想是\_\_。**

B. 通过微指令顺序控制字段由设计者指定或由设计者指定的判别字段控制产生后继微指令地址

答案解析：断定方式:由直接给定和测试断定组合相结合形成微地址

### 11. (单选题, 2分)描述流水CPU基本概念中,正确表述的句子是****\_\_****。

A. 流水CPU是一种非常经济而实用的时间并行技术

### 12. (单选题, 2分)和具有m个并行部件的处理器相比,一个m段流水线处理器****\_\_****。 A. 具备同等水平的吞吐能力

### 13. (单选题, 2分)****\_\_****用于保存当前正在执行的一条指令。 D. 指令寄存器

### 14. (单选题, 2分)水平型微指令与垂直型微指令相比,****\_\_****。

B. 后者一次只能完成1~2个操作

### 15. (单选题, 2分)微程序控制器中,机器指令与微指令的关系是****\_\_****。

A. 每一条机器指令由一段微指令编成的微程序来解释执行

### 16. (单选题, 2分)请在以下叙述中选处两个正确描述的句子是****\_\_****。

### ①同一个CPU周期中,可以并行执行的微操作叫相容微操作。

### ②同一个CPU周期中,不可以并行执行的微操作叫相容微操作

### ③同一个CPU周期中,可以并行执行的微操作叫相斥微操作

### ④同一个CPU周期中,不可以并行执行的微操作叫相斥微操作

D. ①④

### 17. (单选题, 2分)在采用增量计数器法的微指令中,下一条微指令的地址****\_\_****。

B. 在微指令地址计数器中;

### 18. (单选题, 2分)下面描述的RISC机器基本概念中正确的表达是****\_\_****。

B. RISC机器一定是流水CPU

### 19. (单选题, 2分)描述流水CPU基本概念中,正确表述的句子是****\_\_****。

D. 流水CPU是一种非常经济而实用的时间并行技术

### 20.在CPU中,暂存指令的寄存器是****\_\_****。 D. 指令寄存器

### 21. (填空题, 2分)中央处理器(CPU)的四个主要功能是:、、、。

正确答案：(1) 指令控制(2) 操作控制(3) 时间控制(4) 数据加工

答案解析：CPU主要有以下四方面的功能: 指令控制 程序的顺序控制,称为指令控制。 操作控制 CPU管理并产生由内存取出的每条指令的操作信号,把各种操作信号送往相应部件,从而控制这些部件按指令的要求进行动作。 时间控制 对各种操作实施时间上的控制,称为时间控制。 数据加工 对数据进行算术运算和逻辑运算处理,完成数据的加工处理。

### 22. (填空题, 2分)在微指令格式设计过程中,有8个互斥型的微命令被分配到一组,当该组采用编码方法表示时,微指令格式的相关字段至少需要位。

正确答案：(1) 4 答案解析：全零不编码。

### 23. (填空题, 2分)微程序设计技术是利用软件方法设计的一门技术。具有规整性、灵活性、可维性等一系列优点。正确答案：(1) 操作控制器

### 24.流水CPU中的主要问题是相关、相关和相关,为此需要采用相应的技术对策,才能保证流水畅通而不断流。正确答案：(1) 资源(2) 数据(3) 控制

### 25. RISC CPU是在克服CISC机器缺点的基础上发展起来的。它具有三个基本要素(1)一个有限的\_\_ ;(2)CPU配备大量的\_\_;(3) 强调\_\_的优化。

正确答案：(1) 简单的指令系统(2) 通用寄存器(3) 指令流水线

### 26. (填空题, 2分)流水CPU是以****\_\_****(空间/时间)并行性为原理构造的处理器,是一种非常经济而实用的并行技术。目前的高性能微处理器几乎无一例外地使用了流水技术。正确答案：(1) 时间

### 27. (填空题, 4分)硬布线控制器的基本思想是:某一****\_\_****控制信号是****\_\_****译码输出.、****\_\_****信号、****\_\_****信号的逻辑函数。

正确答案：(1) 微操作 (2) 指令操作码 (3) 时序 (4) 状态条件

### 28. 判断以下指令中存在哪种类型的数据相关。

ADD R3,R4 ; (R3) + (R4)->R3 SUB R4,R5 ; (R4)-(R5)->R4

两条指令都用到了，第1条指令读，第2条指令写，因此为**\_\_**\_相关，写成英文

正确答案：(1) R4 (2) 读后写 (3) WAR

### 29. 判断以下指令中存在哪种类型的数据相关,。

LAD R6,B ; M(B)->R6,M(B)是存储器单元 MUL R6,R7 ; (R6)×(R7)->R6

两条指令都用到了，第1条指令写，第2条指令写，因此为**\_\_**\_相关，写成英文

第2条指令也读了同一寄存器,因此还存在**\_\_**相关，写成英文**\_**。

正确答案：(1) R6 (2) 写后写 (3) WAW (4) 写后读 (5) RAW

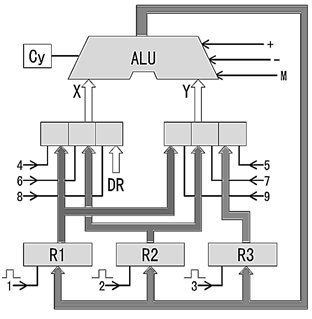
### 30.判断以下指令中存在哪种类型的数据相关。

LAD R1,A ; M(A)->R1,M(A)是存储器单元 ADD R2,R1 ; (R2) + (R1)->R2

两条指令都用到了，第1条指令写，第2条指令读，因此为**\_\_**\_相关，写成英文

正确答案： (1) R1 (2) 写后读 (3) RAW

### 31. 图示是一个简单的运算器，能够实现:加(+)、减(-)、传送(M)运算；ALU的输出可送往R1,R2,R3的任意一个或同时送往R1,R2,R3寄存器；R1和R2可通过多路开关经输入端X和Y将数据打入ALU，而R3只能通过多路开关经输入端Y将数据打入ALU。



请回答下列微命令组是相容还是互斥。 微命令+-M **\_\_** 8、7 **\_\_**

1、2、3 **\_\_** 4、6、8 **\_\_**

正确答案：(1) 互斥 (2) 相容 (3) 相容 (4) 互斥

### 32. 微程序共有60条微指令，18个微命令（直接控制），6个微程序分支，若6个微程序分支互斥，P字段采用译码法，微指令共\_\_\_位，格式为：

| **微命令字段（\_\_位）** | **P字段（\_位）** | **下址字段（位）** |
| --- | --- | --- |
|  |  |  |

正确答案：(1) 27 (2) 18 (3) 3 (4) 6

### 33.微程序共有58条微指令，20个微命令（直接控制），6个微程序分支。若6个微程序分支测试各占1位，格式为：

| **微命令字段（位）** | **P字段（\_\_位）** | **下址字段（位）** |
| --- | --- | --- |
|  |  |  |

则微指令共**\_\_**\_位，控制存储器的实际容量为**\_\_**B，控制存储器最大容量可为**\_\_**B。

正确答案：(1) 20 (2) 6 (3) 6 (4) 32 (5) 232 (6) 256

答案解析：58条微指令 <64=2^6 6位 共20+6+6=32位

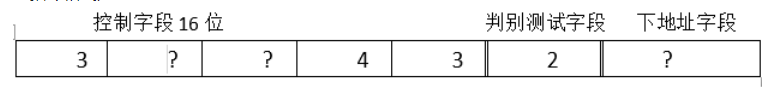
实际 58\*32/8=232B 最大 64\*32/8=256B

### 34. 某机采用微程序控制器，微命令编码方法采用字段直接译码法，微指令字长28位。 已知可判定的外部条件有两个，微指令的下地址字段直接给出后续微指令地址。共有47个微操作控制信号，构成5个相斥类的微命令组，各组分别包含5、8、2、15、7个微命令。按水平型微指令格式设计微指令：

采用直接译码法，各组对应的控制字段位数分别为3、**\_**、、4、3，共16位

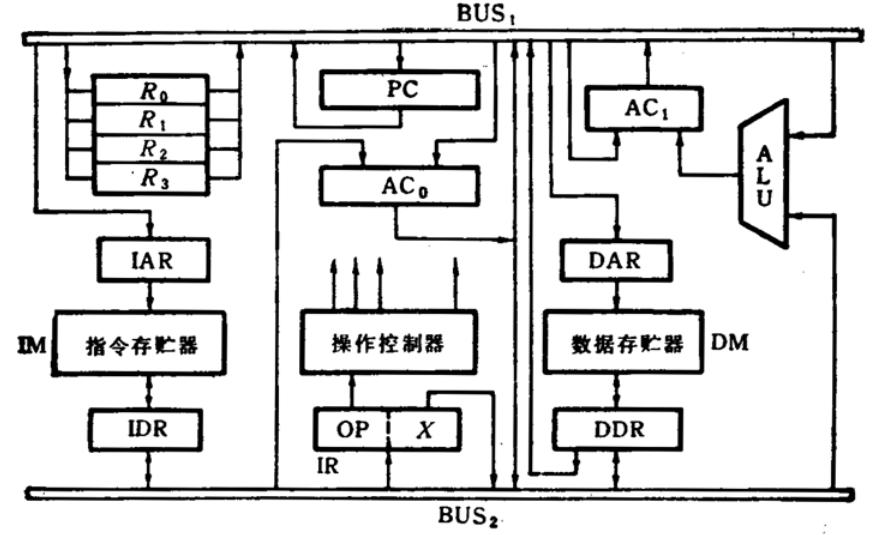
判别测试字段2位，下地址字段为**\_**位，控制存储器容量为**\_\_**\_\_KB。

微指令格式为：



正确答案：(1) 4 (2) 2 (3) 10 (4) 3.5

### 35. 图中所示的处理机逻辑框图中，有两条独立的总线和两个独立的存储器。



已知指令存储器IM最大容量为16384字（字长18位），数据存储器DM最大容量是65536字（字长16位）。各寄存器均有“打入”（Rin）和“送出”（Rout）控制命令，但图中未标注出。指出下列各寄存器的位数：

程序计数器PC**\_\_**\_位，指令寄存器IR**\_\_**\_位，

累加器AC0和AC1**\_\_**\_位，通用寄存器R0—R3**\_\_**\_位，

指令存储器地址寄存器IAR**\_\_**\_位，指令存储器数据寄存器IDR**\_\_**\_位，

数据存储器地址寄存器DAR**\_\_**\_位，数据存储器数据寄存器DDR**\_\_**\_位。

答案：(1) 14 (2) 18 (3) 16 (4) 16 (5) 14 (6) 18 (7) 16 (8) 16

答案解析：PC、IAR均由指令存储器的容量决定，16K，故14位

IR指令寄存器、IDR存储的都是指令，宽度同指令宽度，18位。

数据缓冲寄存器、累加器、通用寄存器存放的都是数据，同数据宽度，16位。

数据寄存器的地址由数据存储器容量决定，64K，16位，此处凑巧与数据宽度相同，实际上二者并无关联。

### 36.微程序控制器是利用软件方法来设计硬件的一门技术。下图为微程序控制器原理图，请结合工作原理加以填充。

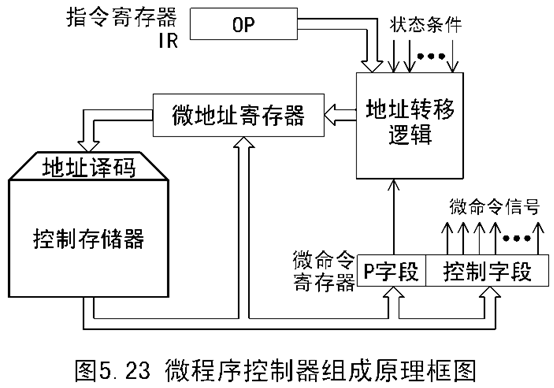
微程序控制器将每条指令转换一个微程序，1用来存放实现所有指令系统的微程序。微程序由微指令构成，微指令是一组实现一定功能的微命令的组合，各指令对应的微程序共用取指微指令。微指令寄存器由两部分组成：2和3。3由两部分组成：4和5。4发出6，5的内容进入7。在5为全零情况下，2的内容不需修改，其他情况下，7修改2。在5为取指令条件时，下一条微指令的地址由8**\_\_**(汉字名称)中存放的9**\_\_**\_\_\_(英文简写)决定，在5为状态测试条件时，下一条微指令地址由微指令运行过程中产生的10**\_\_**\_\_决定。

一条微指令执行完毕，2的内容传给1,进行11**\_\_**\_\_，取出下一条微指令。

正确答案：(1) 控制存储器 (2) 微地址寄存器 (3) 微命令寄存器

(4) 控制字段 (5) P字段 (6) 微命令信号 (7) 地址转移逻辑

(8) 指令寄存器 (9) OP (10) 状态条件 (11) 地址译码



### 37. 硬布线控制器把控制部件看作产生专门固定时序控制信号的逻辑电路，控制信号直接由逻辑电路通过布线产生。下图为硬布线控制器原理图，请结合工作原理加以填充。树形逻辑控制网络的输入信号源有三个：

a.来自1**\_\_\_**的输出Im，1的输入来自于2**\_\_**\_\_\_；

b.来自3**\_\_\_**的输出时序信号Mi和Tk； c.来自4**\_\_**\_\_\_Bj。

树形逻辑控制网络的输出信号有两个： a.用来对执行部件进行控制的5**\_\_**\_\_\_Cn

b.用来改变3的计数顺序的6**\_\_\_\_**Fh，允许跳过某些状态，从而缩短指令周期。

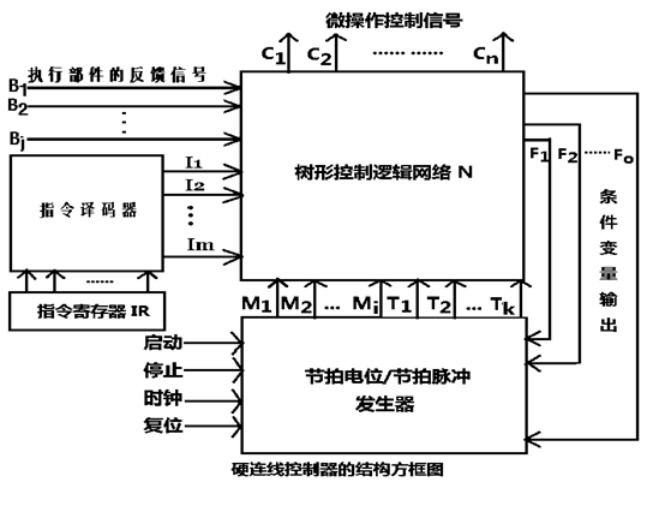
归纳起来，某一操作信号C是Im、时序信号Mi和Tk、Bj的逻辑函数，即

C=f(Im,Mj,Tk,Bj) 其中M为7**\_\_**\_，对应机器周期，T为8 \_\_，对应时钟周期。

正确答案：(1) 指令译码器 (2) 指令寄存器 (3) 节拍电位/节拍脉冲发生器

(4) 执行部件的反馈信号 (5) 微操作控制信号 (6) 条件变量输出

(7) 节拍电位 (8) 节拍脉冲



### 1. (单选题)计算机使用总线结构的主要优点是便于实现积木化,同时****\_\_****\_。

C. 减少了信息传输线的条数

### 2.在系统总线的数据线上,不可能传输的是****\_\_****。C. 握手 (应答)信号

### 3. (单选题)系统总线中地址线的功用是****\_\_****\_。

C. 用于指定主存单元和1/O设备接口电路的地址

### 4. (单选题)数据总线的宽度由总线的****\_\_****\_定义。 B. 功能特性

### 5. (单选题)在单机系统中,三总线结构的计算机的总线系统由****\_\_****\_组成。

A. 系统总线、内存总线和 I / O 总线

### 6. (单选题)从总线的利用率来看,****\_\_****\_\_的效率最低;从整个系统的吞吐量来看,它的效率最高。 C. 三总线结构

### 7. (单选题)某同步总线的时钟频率为100MHZ,宽度为32位,地址/数据线复用,每传输一个地址或数据占用一个时钟周期。若该总线支持突发(猝发)传输方式,则一次“主存写”总线事务传输128位数据所需要的时间至少是****\_\_****\_\_。C. 50ns

### 8. (单选题)某同步总线采用数据线和地址线复用方式,其中地址/数据线有32条,总线时钟频率为66MHZ,每个时钟周期传送两次数据(上跳沿和下跳沿各传送一次数据),该总线的最大数据传输速率(总线带宽)是****\_\_****。 C. 528MB/s

### 9.在集中式总线仲裁中,****\_\_****\_方式响应时间最快。B. 独立请求

### 10.在集中式总线仲裁中,****\_\_****\_方式对电路故障最敏感。A. 菊花链方式

### 11. (单选题)下列陈述中不正确的是****\_\_****\_。

A. 总线结构传送方式可以提高数据的传输速度

### 12. (单选题)在****\_\_****\_的计算机系统中,外设可以和主存储器单元统一编址,因此可以不使用I/O指令。A. 单总线

### 13. (单选题)以 RS -232为接口,进行7位 ASCII 码字符传送,带有一位奇校验位和两位停止位,当波特率为9600波特时,字符传送率为****\_\_****\_。A. 960

### 14. (单选题)下列有关总线定时的叙述中,错误的是****\_\_****。

C. 同步通信方式中,同步时钟信号可由多设备提供

### 15. (单选题)下列关于总线设计的叙述中,错误的是****\_****。

A. 并行总线传输比串行总线传输速度快

### 16. (单选题)下列各项中,****\_\_****\_是同步传输的特点。

B. 各部件存储时间比较接近

### 17. (单选题)下列各种情况中,应采用异步传输方式的是****\_\_****\_。

A. I/O接口与打印机交换信息

### 18. (单选题)描述当代流行总线结构的基本概念中,正确的句子是****\_\_****\_。

B. 当代总线结构中,CPU和它私有的cache一起作为一个模块与总线相连

### 19. (单选题)下列选项中,可提高同步总线数据传输速率的是****\_****

### Ⅰ.增加总线宽度 Ⅱ.提高总线工作频率 Ⅲ.支持突发传输

### Ⅳ.采用地址/数据线复用方式 B. I、Ⅱ、Ⅲ

### 20.计算机的外围设备是指****\_\_****。 D. 除了CPU和内存以外的其他设备

### 21. (单选题)假定一台计算机的显示存储器用DRAM 芯片实现,若要求显示分辨率为1600像素×1200像素,颜色深度为24位,帧频为85Hz,显存总带宽的50%用来刷新屏幕,则需要的显存总带宽至少的为****\_\_****\_\_\_。 D. 7834Mbit/s

### 22. (单选题)若磁盘转速为7200转/分钟,平均寻道时间为 8ms,每个磁道包含 1000个扇区、则访得一个扇区的平均存取时间大约是****\_\_****\_\_\_。 B. 12.2ms

### 23.在微型机系统中外围设备通过****\_\_****与主板的系统总线相连。 A. 适配器

### 24.在不同速度的设备之间传送数据****\_\_****。 C. 可用同步方式, 也可用异步方式

### 25. (单选题)一次总线事务中，主设备只需给出一个首地址，从设备就能从首地址开始的若干连续单元读出或者写入多个数据，这种总线事务方式称为****\_\_****。

A. 突发传输

### 26.假设某系统总线在一个总线周期中并行传输4字节信息，一个总线周期占用两个时钟周期，总线时钟频率为10MHZ，则总线带宽是****\_\_****\_。B. 20MB/s

### 27. (单选题)下列陈述中不正确的是****\_\_****\_\_。

C. 总线的功能特性定义每一根线上的信号的传递方向及有效电平范围

### 28. 下列选项中，可提高同步总线数据传输速率的是\_Ⅰ.增加总线宽度

**Ⅱ.提高总线工作频率Ⅲ.支持突发传输Ⅳ.采用地址/数据线复用方式**

B. I、Ⅱ、Ⅲ

### 29. (单选题)下列选项中,用于设备和设备控制器(I/O接口)之间互连的接口标准是****\_****。 C. USB

### 1.计算机系统的输入输出接口是****\_\_****\_之间的交接界面。B. 主机与外围设备

### 2.下列选项中、在I/O总线的数据线上传输的信息包括I. I/O接口中的命令字

### Ⅱ.I/O接口中的状态字Ⅲ.中断类型号 D. Ⅰ、Ⅱ、Ⅱ

### 3. (单选题)下列有关1/O接口的叙述中、错误的是

D. 采用统一编址方式时,CPU 不能用访存指令访问 I/O端口

### 4. (单选题)I/O指令实现的数据传送通常发生在,****\_\_****\_\_。

D. 通用寄存器和1/O端口之间

### 5. (单选题)下列选项中,能引起外部中断的事件是****\_\_****\_\_。

A. 键盘输入

### 6. (单选题)在中断系统中,CPU一旦响应中断,则立即关闭****\_\_****,以防止本次中断响应过程被其他中断源产生另一次中断干扰。 A. 中断允许

### 7.为了便于实现多级中断,保存现场信息最有效的方法是采用 B. 堆栈

### 8. (单选题)CPU 输出数据的速度远远高于打印机的打印速度,为解决这一矛盾,可采用****\_\_****\_。 C. 缓冲技术

### 9. (单选题)硬中断服务程序的末尾要安排一条指令IRET,它的作用是****\_\_****。

B. 恢复断点信息并返回

### 10. (单选题)在采用中断 I/O方式控制打印输出的情况下,CPU和打印控制接口中的I/O端口之交换的信息不可能是****\_****。 B. 主存地址

### 11. 一个由微处理器构成的实时数据采集系统,其采样周期为20ms, A/D转换时间为25μs，则当CPU 采用\_\_方式读取数据时，其效率最高。 B. 中断

### 12. (单选题)在采用 DMA 方式高速传输数据时,数据传送是****\_\_****。

B. 在 DMA 控制器本身发出的控制信号控制下完成的

### 13. (单选题)下列关于外部 I/O中断的叙述中,正确的是****\_****。

C. CPU只有在处于中断允许状态时,才能响应外部设备的中断请求

答案解析：中断优先级事先根据优先级设定,可由排队电路实现;保护现场的工作由中断服务程序完成;有中断请求时,CPU在一条指令执行结束,才处理中断。

### 14.在中断周期中,将允许中断触发器置“ 0 ”的操作由****\_\_****完成。 A. 硬件

### 15. (单选题)CPU对通道的请求形式是****\_\_****\_\_。 D. I/O指令

### 16. 下列陈述中,正确的是****\_\_****\_\_。D. 优先级是外设所代表的事件的性质

### 17. (单选题)下列陈述中,正确的是****\_\_****\_\_。

C. 在多级中断系统中,为了支持中断嵌套,中断服务程序首先要开中断

### 18. (单选题)单级中断系统中,中断服务程序内部的执行顺序是.

### Ⅰ.保护现场 Ⅱ.开中断 Ⅲ.关中断 Ⅳ、保存断点

### V.中断事件处理 Ⅵ.恢复现场 Ⅶ.中断返回 A. Ⅰ→Ⅴ→Ⅵ→Ⅱ→Ⅶ

解析：中断过程由硬件和软件一起完成,关中断、找出中断源、保存PC的过程由硬件自动完成,获取中断程序的入口地址后,进入中断服务程序。3415627

### 19. (单选题)响应外部中断的过程中、中断隐指令完成的操作,除保护断点外、还包括Ⅰ.关中断 Ⅱ.保存通用寄存器的内容 Ⅲ. 形成中断服务程序入口地址并送入PC B. 仅Ⅰ、Ⅲ

答案解析：保存通用寄存器的内容在保护现场的时候完成。

### 20. (单选题)下列关于多重中断系统的叙述中,错误的是****\_\_****\_。

B. 中断处理期间,CPU处于关中断状态

解析：进入中断处理程序保存现场后,即开中断,允许更高级别的中断请求中断。

### 21.采用 DMA 方式传送数据时,每传送一个数据就要占用一个\_。C. 存储周期

答案解析：存取周期:存储器连续启动两次操作所需间隔的最小时间(受制造商工艺水平限制。总线周期是对于总线来说的,是总线的性能指标。总线周期又称为总线的传输周期,包括申请阶段,寻址阶段,传输阶段和结束阶段,一般来说,总线周期是由多个总线时钟周期构成的。

### 22. (单选题)周期挪用方式常用于****\_\_****\_方式的输入输出中。 C. DMA 方式

### 23. (单选题)下列关于中断方式和DMA方式的比较中,错误的是****\_\_****\_\_\_。

B. 中断响应发生在一条指令执行结束后,DMA 响应发生在一个总线事务完成后

解析：中断响应发生在一条指令执行结束,DMA响应是任一机器周期结束的时刻

### 24. (单选题)中断向量可提供****\_\_****\_。 C.中断服务程序入口地址

### 25. (单选题)在中断系统中，CPU一旦响应中断，则立即关闭****\_\_****，以防止本次中断响应过程被其他中断源产生另一次中断干扰。 A.中断允许

### 26.下列陈述中、不正确的是****\_\_****。

### D.CPU 可以通过通道指令管理通道