

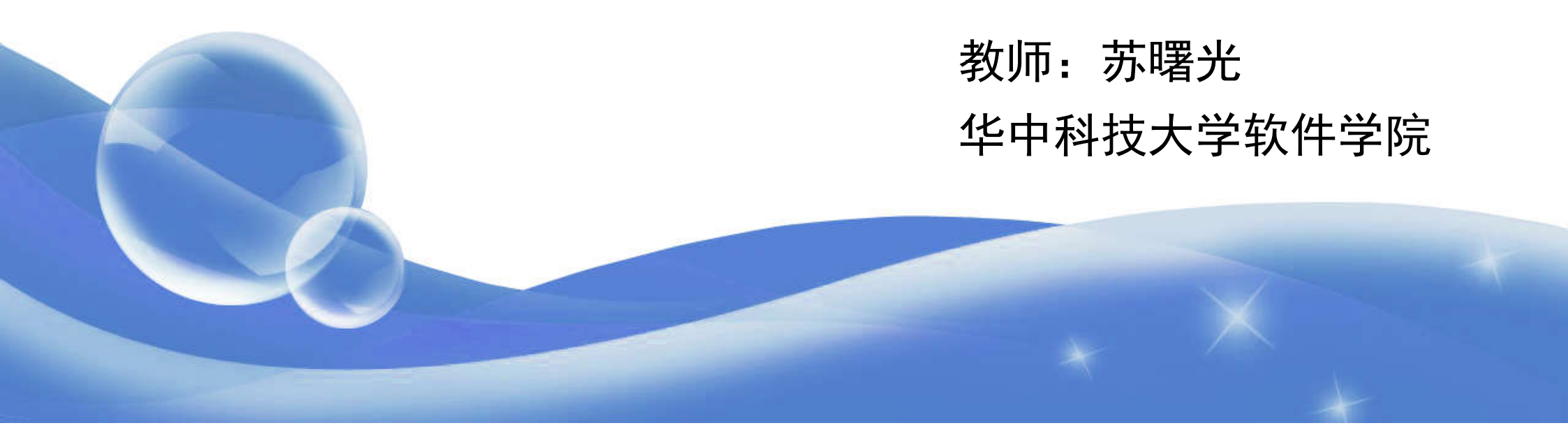


《微机原理与接口》

第7章 直接内存存取（DMA）

教师：苏曙光

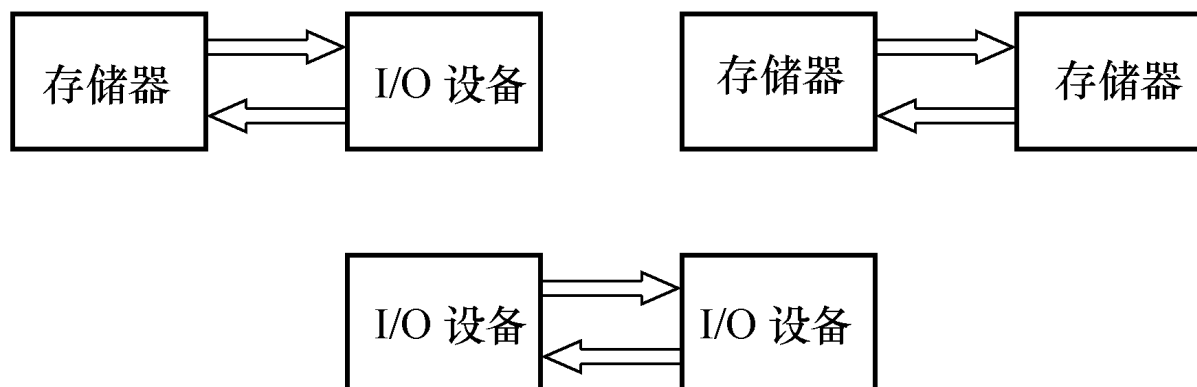
华中科技大学软件学院



DMA : Direct Memory Access

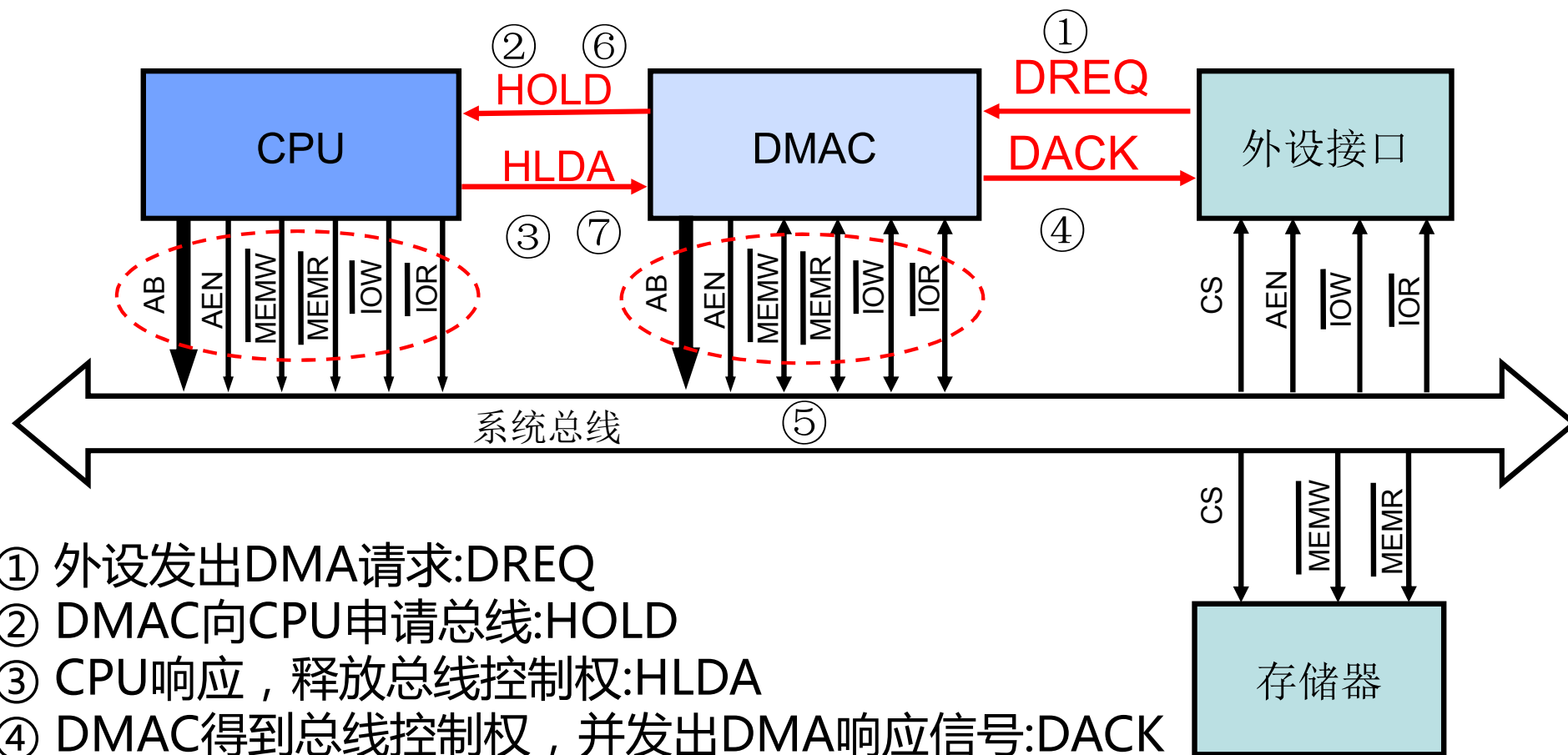
- 传输特点

- 1) 在内存-I/O设备或内存-内存或I/O设备-I/O设备间直接传送数据，不需要CPU的中转



- 2) 场合：高速批量数据传送。如磁盘、高速采集系统
- 3) 前提：有**DMA控制器**（**DMAC**，**DMA Controlor**）支持。

DMA传送原理示意图



- ① 外设发出DMA请求:DREQ
- ② DMAC向CPU申请总线:HOLD
- ③ CPU响应, 释放总线控制权:HLDA
- ④ DMAC得到总线控制权, 并发出DMA响应信号:DACK
- ⑤ DMAC发出RD/WR和AB等信号, 控制外设与内存数据传送
- ⑥ 数据传送完后, DMAC撤销HOLD信号
- ⑦ CPU释放HLDA信号, 并重新控制总线

⑤ DMAC发出Rd/Wr和AB等信号，控制外设与内存数据传送

■ 1) DMAC送出地址信号和相应的控制信号

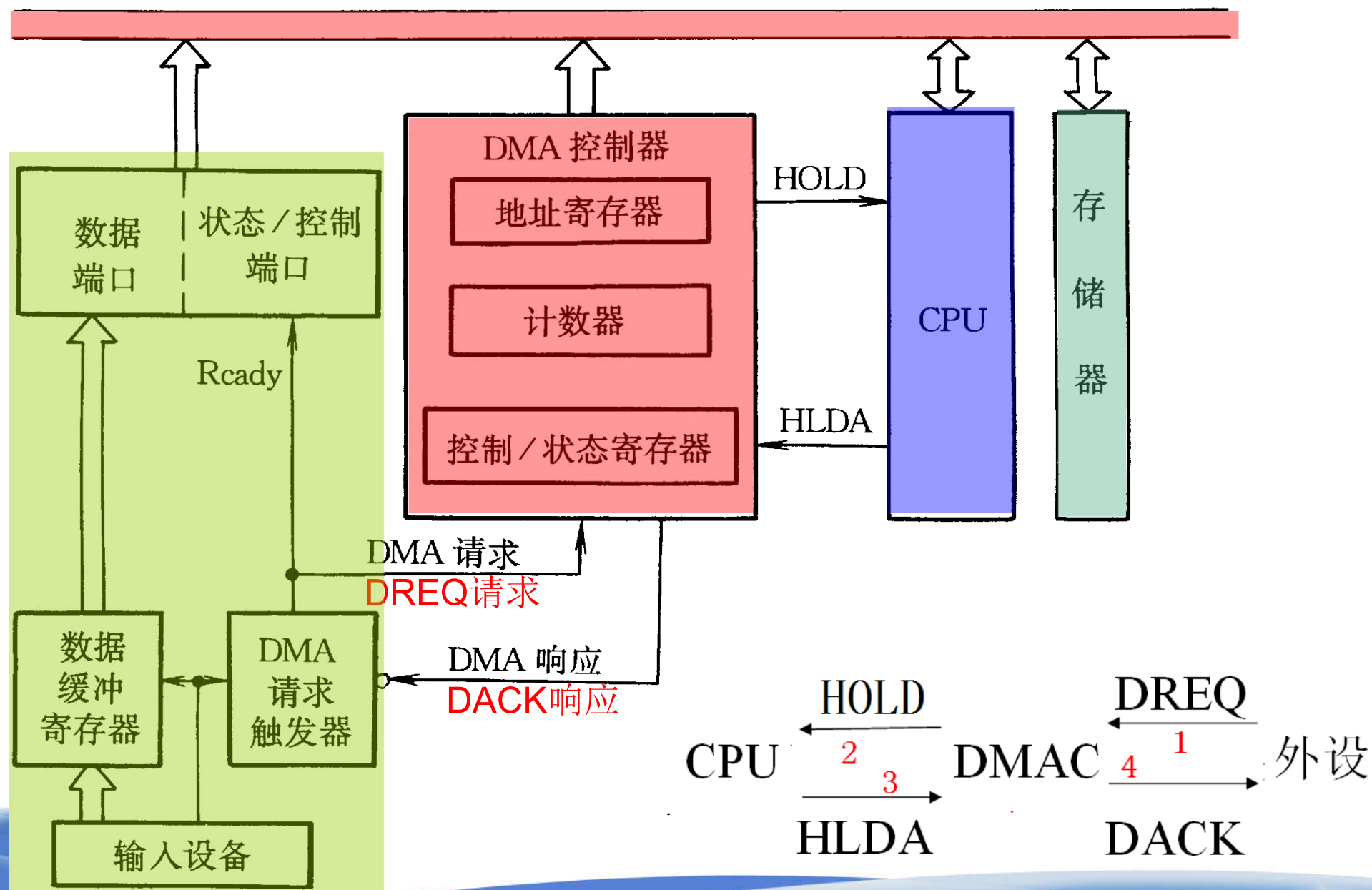
◆例如：从外设向内存传送一个字节：

□向I/O接口发出I/O读信号

□往AB上发存储器地址和存储器写信号和AEN信号。

■ 2) DMAC自动修改地址和字节计数器，并判断是否需要重复传送操作。

DMA传送原理示意图（以I/O到MEM为例）



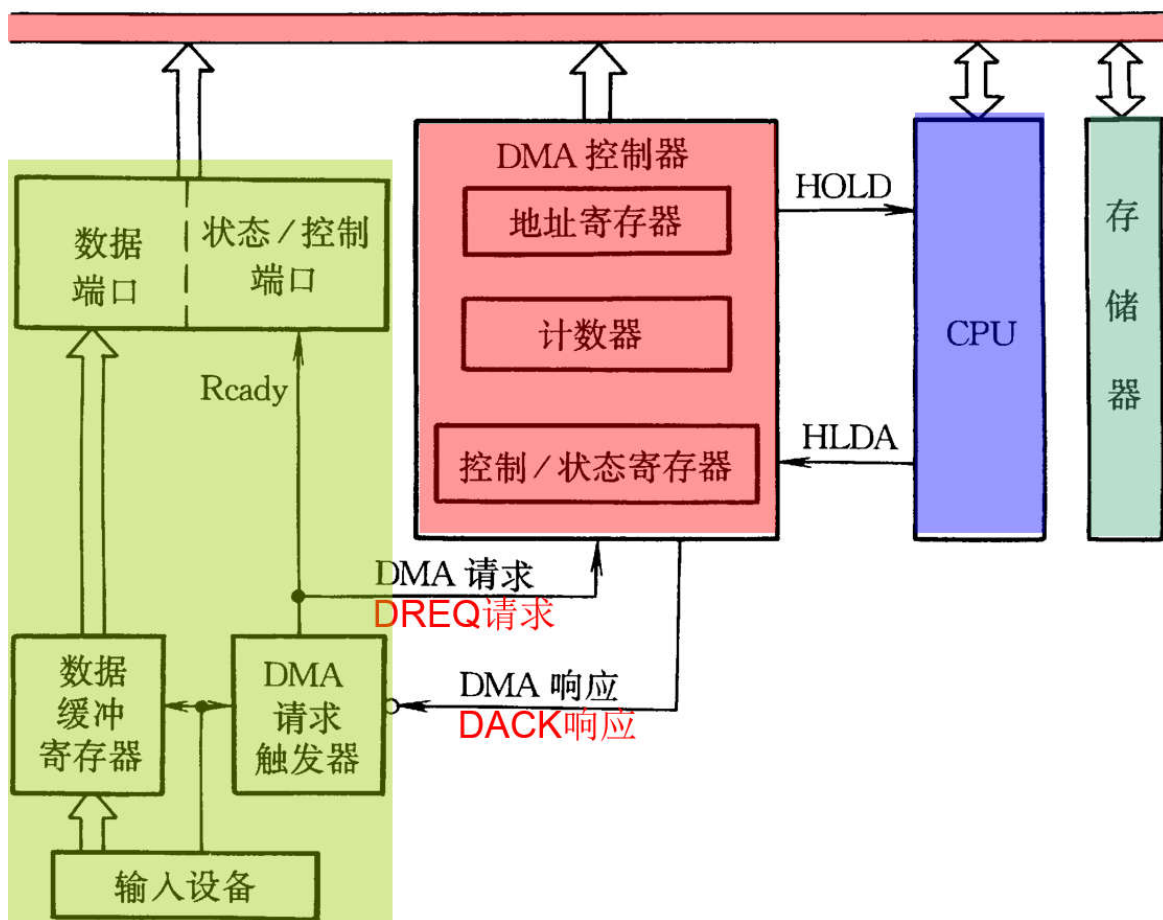
DMAC : 8257A

- 主要功能和特点

- (1) 有四个独立DMA通道
- (2) 每个通道的DMA请求都可以分别允许和禁止。
- (3) 可以级连，任意扩展通道数。
- (4) 每个通道的优先权可以固定，也可旋转（编程决定）。
- (5) 每个通道一次传送数据的最大长度可达64K字节。
- (6) 可以在存储器与外设间进行，也可在存储器间进行。
- (7) 支持四种传送方式
 - ◆ 单字节传送 | 数据块传送 | 请求传送 | 级连
- (8) 有结束处理信号EOP，结束DMA传送或重新初始化。

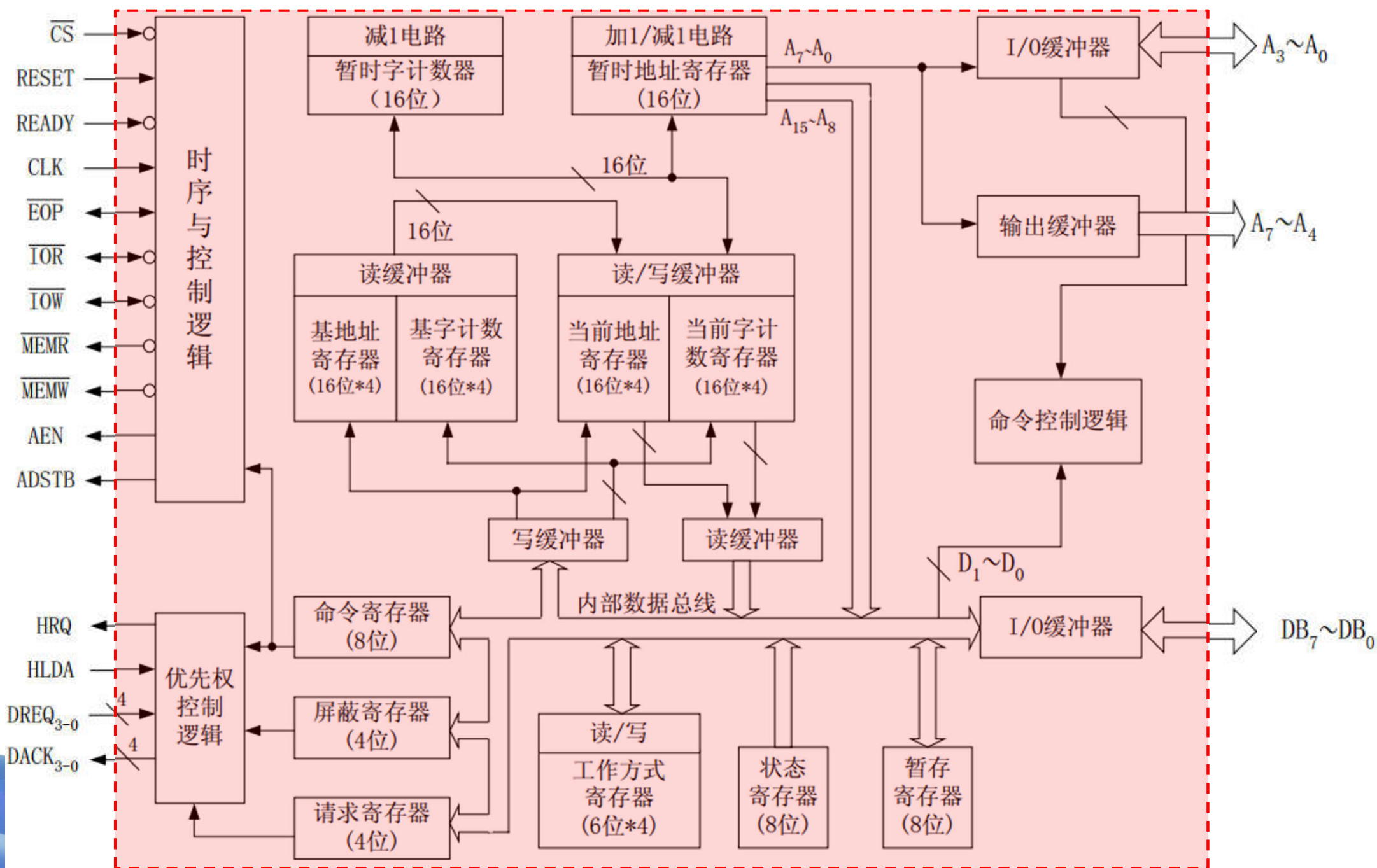


DMA控制器的两种工作状态

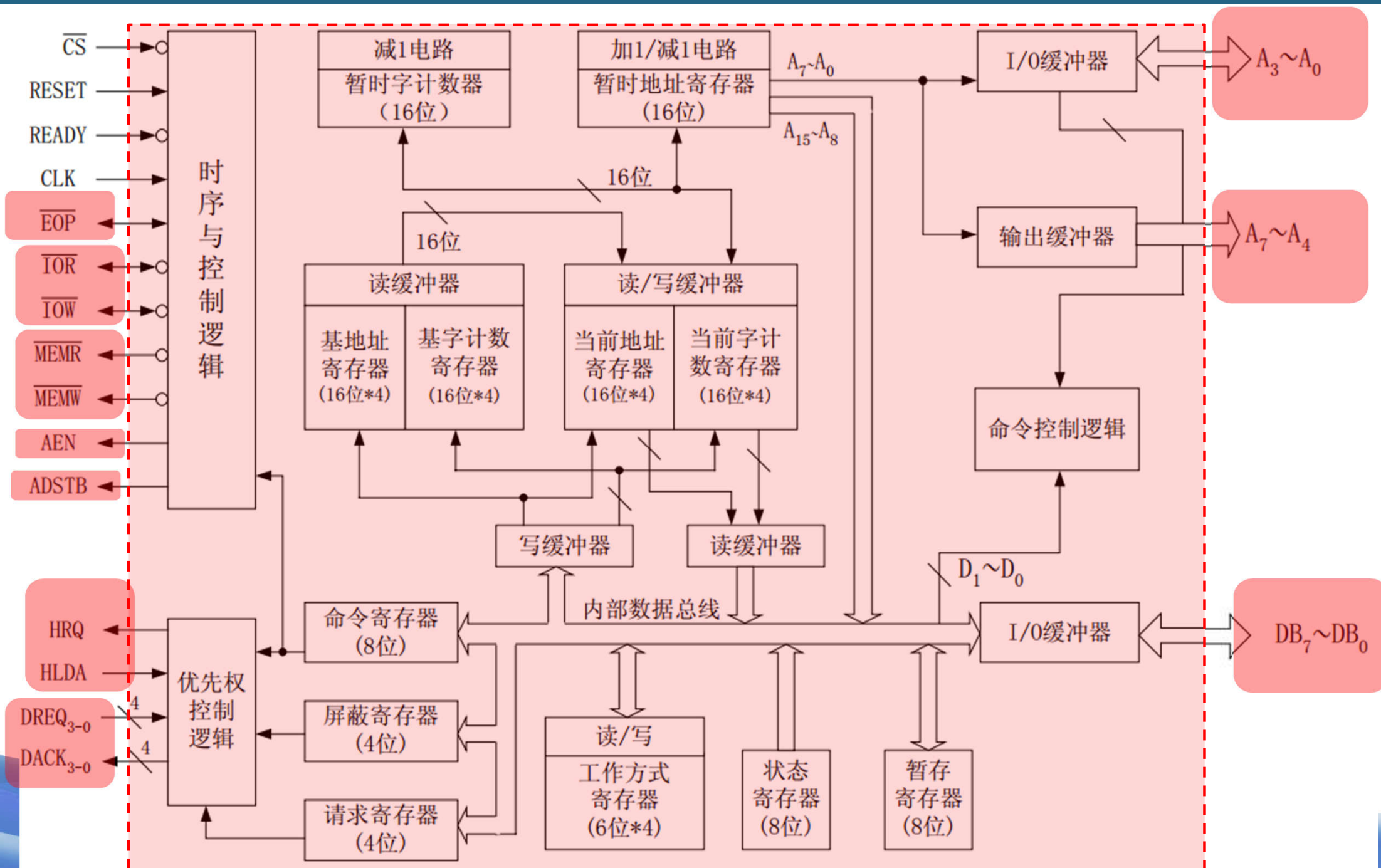


- 被动态与主动态
- 被动态
 - 作为接口受CPU控制
 - 编程状态
- 主动态
 - 取代CPU控制总线
- DMAC在两个状态中不停转换

8237A的内部结构和外部引脚



8237A的内部结构和外部引脚



8237A的内部结构和外部引脚

- DREQ0~DREQ3: DMA通道请求。
 - 外设请求DMA服务时, 将DREQ信号置成有效电平, 并要保持到产生响应信号。
 - DREQ 0 优先级最高。
- DACK0~DACK3: DMA通道响应。
 - 8237A对外设的通道请求产生的相应响应信号。
- HRQ: 总线请求。
 - 8237A输出有效的HRQ高电平, 向CPU申请使用系统总线。
- HLDA: 总线响应。
 - 接收来自CPU的响应信号HLDA, 取得总线的控制权。

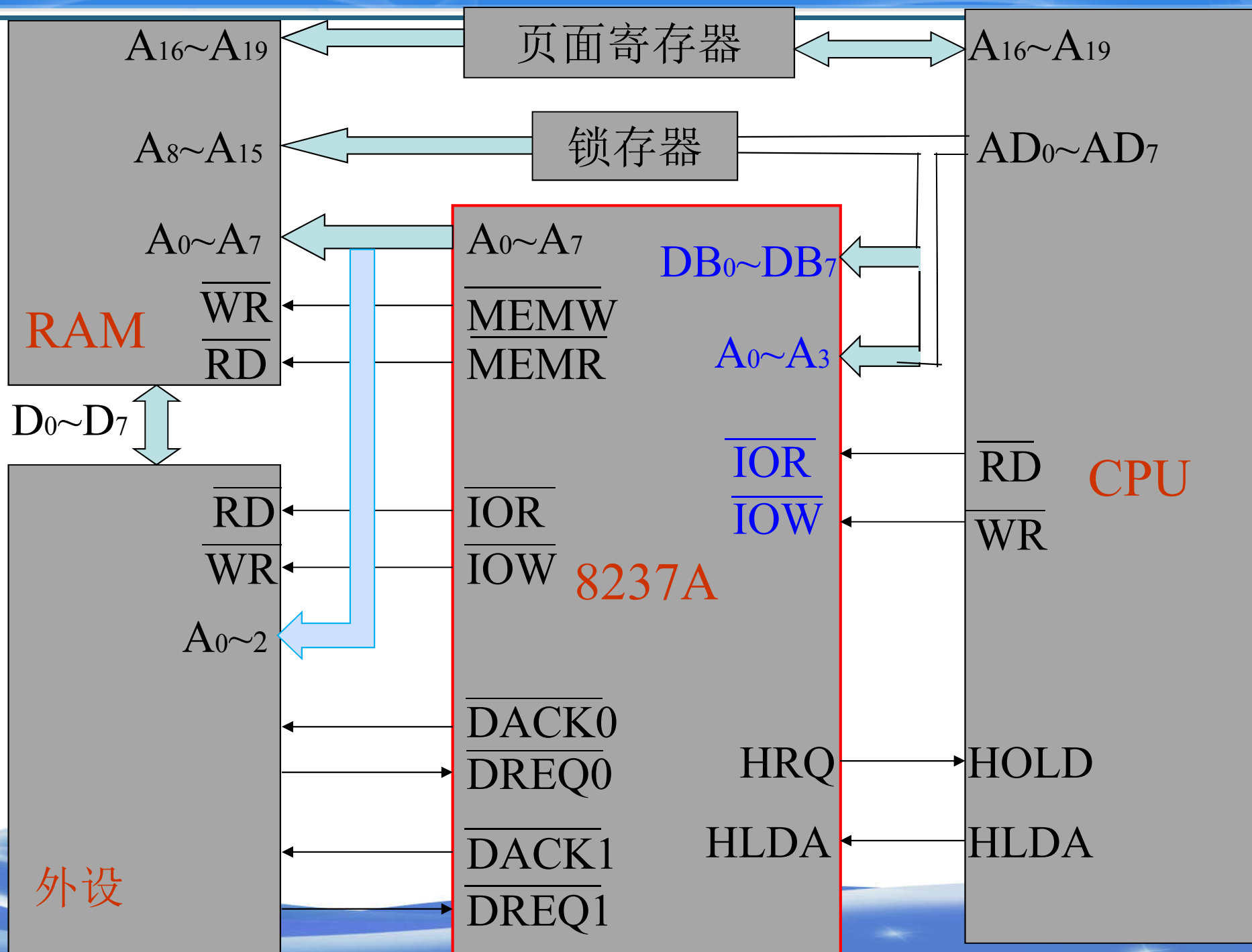
8237A的内部结构和外部引脚

- A0-A3: 4根地址线, 双向三态。
 - 被动态时输入: CPU对8237片内16个端口寻址。
 - 主动态时输出: 访问存储器的地址低4位 A_{0-3} 。
- A4-A7: 4根地址线, 单向。
 - 8237主态时输出: 访问存储器的地址 (次低4位: A_{4-7})。
- DB0~DB7: 双向三态双功能线。
 - 被动态: 数据线, CPU对8237初始化用或传送状态。
 - 主动态: 地址线, 访问存储器的高8位地址 A_{15-8} 。
- ADSTB: 地址选通, 输出。
 - 16位地址的高8位地址锁存器的选通信号, 输出。
- AEN: 地址允许, 输出。
 - 高8位地址锁存器的输出允许信号。

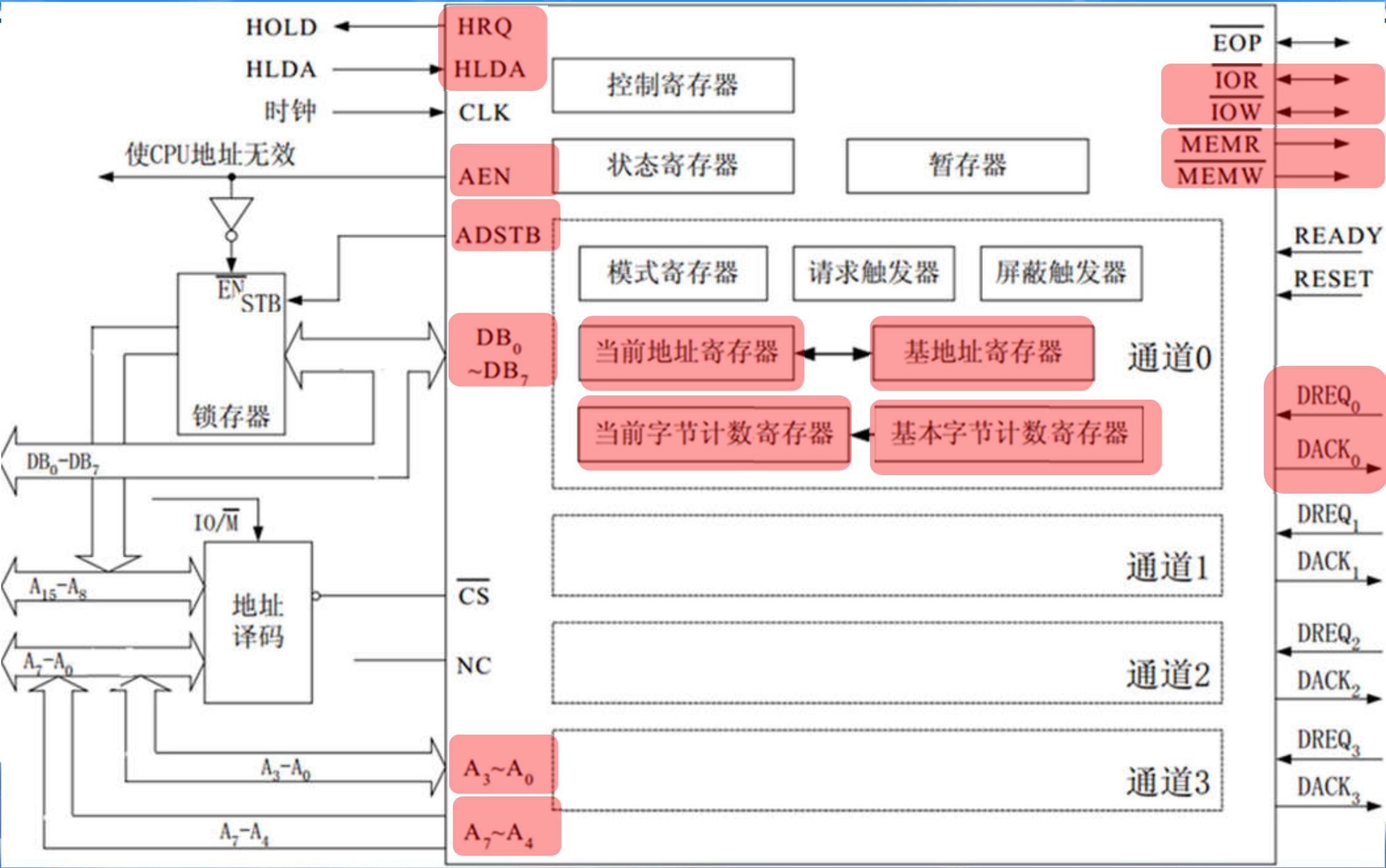
8237A的内部结构和外部引脚

- $\overline{\text{MEMR}}$: 存储器读。
 - 将数据从存储器读出
- $\overline{\text{MEMW}}$: 存储器写。
 - 将数据写入存储器
- $\overline{\text{IOR}}/\overline{\text{IOW}}$: I/O读/ I/O写信号，双向。
 - 主动态时：输出，对I/O设备进行读/写。
 - 被动态时：输入，CPU向DMAC写命令、初始化或读状态。
- READY : 准备好。
- $\overline{\text{EOP}}$: 过程结束。
 - DMA传送结束，低脉冲有效。输入低脉冲则终结DMA传送。
- $\overline{\text{CS}}$: 片选。

8237A与CPU内存典型连接



8237A的编程结构和外部连接



8237的工作周期

- 空闲周期 |过渡状态|有效周期

- 空闲周期SI

- 特点：未编程或已编程但还没有DMA请求。 被动态。

- 采样DREQ：检测外设是否请求DMA服务

- 采样 \overline{CS} ：检测CPU是否对DMAC进行初始化。当 \overline{CS} 低且DREQ无效，则认为是CPU正在对DMAC初始化编程。

- 过渡状态S0：从空闲周期过渡到有效周期

- 初始化后，若检测到DREQ有效，表示外设要求DMA传送：DMAC向CPU发送HOLD信号。DMAC时序从SI状态跳出进入过渡状态S0，重复执行S0状态，直到收到CPU的HLDA后，才结束S0状态，进入有效周期的S1状态。

8237的工作周期

- 有效周期（包含S1, S2, S3, S4, S_w）
 - ①S1: 更新高8位地址。
 - ②S2: 寻址内存（16位地址）和寻址I/O设备，并发出读/写命令
 - ◆ 发出16位地址寻址内存
 - 低8位: A0~A7输出
 - 高8位: DB0~DB7输出（用AEN使能, ADSTB锁存）
 - ◆ 发出DACK信号寻址外设（DACK接外设CS）
 - ◆ 发读/写命令
 - ③S3: 读周期
 - ◆ 读源数据: 发出MEMR或IOR命令,。
 - ◆ 8位数据放到DB上等待写周期的到来。
 - ④S4: 写周期。
 - ◆ 写数据到目标区域: 发出IOW或MEMW命令。
 - ◆ 把保持在DB上的数据写到RAM或I/O口。完成1字节传送。