

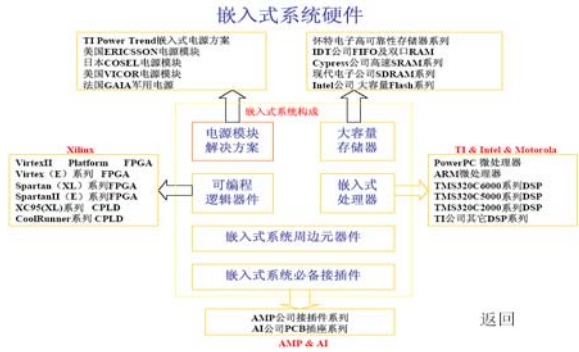
第二章

嵌入式硬件系统

嵌入式最小硬件系统



嵌入式硬件系统



嵌入式微处理器

嵌入式微处理器的特点

- 基础是通用微处理器
- 与通用微处理器相比的区别：
 - 体积小、重量轻、成本低、可靠性高
 - 功耗低
 - 工作温度、抗电磁干扰、可靠性等方面进行了增强

嵌入式微处理器的体系结构

• 体系结构:

- 冯·诺依曼 (Von Neumann) 结构
- 哈佛 (Harvard) 结构

主存储器

MOV r8, #8

指令

数据

CPU
Microprocessor Unit
PC

数据存储器

程序存储器

MOV r8, #8

地址

数据

地址

指令

CPU
PC

冯·诺依曼结构 哈佛结构

• 指令系统:

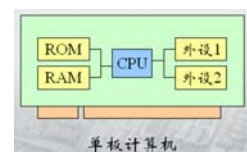
- 复杂指令集系统CISC (Complex Instruction Set Computer)
- 精简指令集系统RISC (Reduced Instruction Set Computer)

嵌入式处理器分类

- 微处理器(Microprocessor Unit, MPU)
- 微控制器(Microcontroller Unit, MCU)
- 嵌入式DSP (Embedded Digital Signal Processor, EDSP)
- 片上系统(System On Chip)

嵌入式微处理器MPU

- 功能上与通用计算机中的CPU一样，保留与嵌入式应用有关的功能，大幅度减少体积和功耗
- 增强工作温度、抗电磁干扰、可靠性方面的性能
- **单板计算机**：电路板上还包括ROM、RAM、总线、各种外设，**可靠性降低，保密性差**

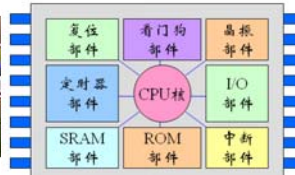


X86系列

- 主要由AMD, Intel, NS, ST等公司提供，如：Am186/88、Elan520、嵌入式K6, 386EX、STPC等。
- 主要应用在**工业控制、通信**等领域。
- 国内由于对X86体系比较熟悉，得到广泛应用，特别是嵌入式PC的应用非常广泛。

嵌入式微控制器MCU

- 最大特点：单片化，体积大大减小，功耗和成本下降、可靠性提高。
- 微控制器是目前嵌入式系统工业的主流。微控制器的片上外设资源一般比较丰富，适合于控制，因此称为微控制器。



嵌入式DSP处理器

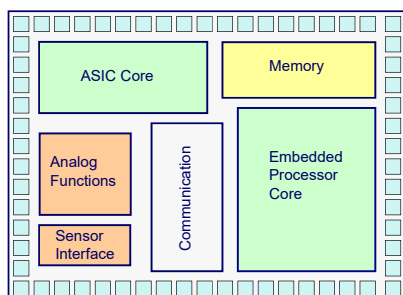
- 有代表性的产品是Texas Instruments的TMS320系列和Motorola的DSP56000系列。
- TMS320系列处理器包括用于控制的C2000系列，移动通信的C5000系列，以及性能更高的C6000和C8000系列。
- Motorola公司的DSP56000已经发展成为DSP56000, DSP56100, DSP56200和DSP56300等几个不同系列的处理器。
- PHILIPS公司近年来也推出了基于可重置嵌入式DSP结构低成本、低功耗技术上制造的DSP处理器，特点是具备双Harvard结构和双乘/累加器单元，应用目标是大批量消费类电子产品



嵌入式片上系统(SoC)

- SoC就是System on Chip，是一种基于IP (Intellectual Property)软核的嵌入式系统设计技术
- 结合了许多功能区块，将功能做在一个芯片上，ARM RISC、MIPS RISC、DSP或是其他的微处理器核心，加上通信的接口单元，例如通用串行端口 (USB)、TCP/IP通信单元、GPRS通信接口、GSM通信接口、IEEE1394、蓝牙模块接口等等，这些单元以往都是依照各单元的功能做成一个个独立的处理芯片。

SoC体系结构



知识产权

- **知识产权 (IP)** 电路或核是设计好并经过验证的集成电路功能单元
- **IP** 复用意味着设计代价降低（时间，价格）
- **核：**
 - 微处理器: **ARM, PowerPC, ..**
 - 存储器: **RAM, memory controller, ...**
 - 外设: **PCI, DMA controller, ...**
 - 多媒体处理: **MPEG/JPEG encoder/decoder...**
 - 数字信号处理器 (**DSP**)
 - 通信: **Ethernet controller, router, ..**

嵌入式处理器技术指标

- **功能：**集成的存储器数量和I/O设备种类
 - 尽量选择集成度高的处理器，同时考虑成本
- **字长：**字长越长计算精度越高
 - 根据需要决定（控制or运算）
- **处理速度：**MIPS百万条指令每秒或者MFLOPS每秒百万次浮点运算
- **主频MHz，CPI (Cyclers Per Instruction)**
- **工作温度：**民用（0~70），工业用（-40~85），军用（-55~125），航天用（更宽）
- **功耗：**工作功耗和待机功耗.....

嵌入式处理器技术指标（续）

- **寻址能力：**地址线数目（8位~64kb, 16位~1MB, 32位~4GB）（**MCU无意义**）
- **平均故障间隔时间MTBF**
 - 越大可靠性越高
- **性价比、工艺、电磁兼容性指标**

选择嵌入式处理器必须综合考虑各方面的性能、价格、可靠性、软件开发要求

处理器的选择

- **选择哪一类处理单元？**
 - 根据具体的设计应用选择：通用CPU，MPU，MCU，DSP或可编程逻辑控制器PLC
- **选择哪家厂商的产品**
 - 低成本：畅销、高度集成，持续供应军品级
 - 低功耗：高度集成；频率可控；汇编语言
 - 恰当的处理能力：够用
 - 技术指标：**粘贴逻辑**少；支持芯片丰富
 - 调查已有CPU供应商的信息

处理器的选择（续）

- **嵌入式操作系统的支持**
 - 最好采用OS开发者的解决方案
- **与原有产品的兼容性**
 - 能利用已有的软件、开发工具和经验
- **编程语言限制（使用原先的编程语言）**
- **上市时间（越快越好）**
- **处理器开发商是否提供开发板**

典型的嵌入式处理器

ARM系列

- ARM(Advanced RISC Machine)公司是一家专门从事芯片IP设计与授权业务的英国公司，其产品有ARM内核以及各类外围接口。
- ARM内核是一种32位RISC微处理器，具有**功耗低、性价比高、代码密度高等三大特色**。
- 目前，90%的移动电话、大量的游戏机、手持PC和机顶盒等都已采用了ARM处理器，许多一流的芯片厂商都是ARM的授权用户（Licensee），如Intel、Samsung、TI、Motorola、ST等，ARM已成为业界公认的嵌入式微处理器标准。

ARM处理器的分类

- 结构体系版本 (Architecture) Processor Family
 - ARM v4T → ARM7
 - ARM v5TE → ARM9 (MMU,DSP)
 - ARM10(64bit,F), XScale
 - ARM v6 → ARM11
 - ARM Cortex (v7) → ARM Cortex
- 按应用特征分类
 - 应用处理器 → 特征：MMU, Cache
最快频率、**最高性能**、合理功耗
 - Application Processor
 - 实时控制处理器 → 特征：无MMU
实时响应、合理性能、**较低功耗**
 - Real-time Controller
 - 微控制器 → 特征：no sub-memory system
一般性能、**最低成本**、**极低功耗**
 - Micro-controller

ARM的标识

- T-支持16位压缩指令集Thumb
- M-增强型乘法器，产生64位结果
- E-增强型DSP指令集，包括16位乘法操作
- J-Java指令支持
- D-在片调试，处理器可响应调试暂停请求
- I-嵌入式ICE. 支持片上断点调试
- F-带浮点协运算器
-

ARM的操作状态

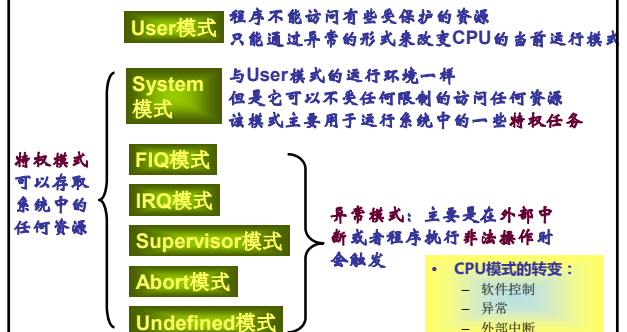
- ARM7TDMI处理器有两种操作状态
 - ARM态-32bit，按字排列的ARM指令集
 - Thumb态- 16bit，按半字排列的Thumb指令集
- 通过BX指令在ARM态和Thumb状态之间切换

```

从ARM状态切换到Thumb状态:
LDR R0,=Label+1
BX R0

从Thumb状态切换到ARM状态:
LDR R0,=Label
BX R0
  
```

ARM的操作模式



ARM微处理器：寄存器

- ARM处理器有37个寄存器
 - 31个通用寄存器：程序计数器、堆栈及其他通用寄存器
 - 6个状态寄存器
- 这些寄存器不能同时看到，不同的处理器状态和工作模式确定哪些寄存器是对编程者是可见的
 - 15个寄存器(R0-R14)、状态寄存器和程序寄存器在任何时候都是可见的。

ARM微处理器：ARM State寄存器

ARM State General Registers and Program Counter

| System & User | FIQ | Supervisor | Abort | IRQ | Undefined |
|---------------|----------|------------|----------|----------|-----------|
| R0 | R0 | R0 | R0 | R0 | R0 |
| R1 | R1 | R1 | R1 | R1 | R1 |
| R2 | R2 | R2 | R2 | R2 | R2 |
| R3 | R3 | R3 | R3 | R3 | R3 |
| R4 | R4 | R4 | R4 | R4 | R4 |
| R5 | R5 | R5 | R5 | R5 | R5 |
| R6 | R6 | R6 | R6 | R6 | R6 |
| R7 | R7 | R7 | R7 | R7 | R7 |
| R8 | R8 | R8 | R8 | R8 | R8 |
| R9 | R9 | R9 | R9 | R9 | R9 |
| R10 | R10 | R10 | R10 | R10 | R10 |
| R11 | R11 | R11 | R11 | R11 | R11 |
| R12 | R12 | R12 | R12 | R12 | R12 |
| R13 | R13 | R13 | R13 | R13 | R13 |
| R14 | R14 | R14 | R14 | R14 | R14 |
| R15 (PC) | R15 (PC) | R15 (PC) | R15 (PC) | R15 (PC) | R15 (PC) |

ARM State Program Status Registers

| CPSR | CPSR | CPSR | CPSR | CPSR | CPSR |
|----------|----------|----------|----------|----------|------|
| SPSR_fiq | SPSR_svc | SPSR_abt | SPSR_irq | SPSR_und | |

ARM微处理器：Thumb State寄存器

THUMB State General Registers and Program Counter

| System & User | FIQ | Supervisor | Abort | IRQ | Undefined |
|---------------|--------|------------|--------|--------|-----------|
| R0 | R0 | R0 | R0 | R0 | R0 |
| R1 | R1 | R1 | R1 | R1 | R1 |
| R2 | R2 | R2 | R2 | R2 | R2 |
| R3 | R3 | R3 | R3 | R3 | R3 |
| R4 | R4 | R4 | R4 | R4 | R4 |
| R5 | R5 | R5 | R5 | R5 | R5 |
| R6 | R6 | R6 | R6 | R6 | R6 |
| R7 | R7 | R7 | R7 | R7 | R7 |
| SP | SP_fiq | SP_svc | SP_abt | SP_und | SP_fiq |
| LR | LR_fiq | LR_svc | LR_abt | LR_und | LR_fiq |
| PC | PC | PC | PC | PC | PC |

THUMB State Program Status Registers

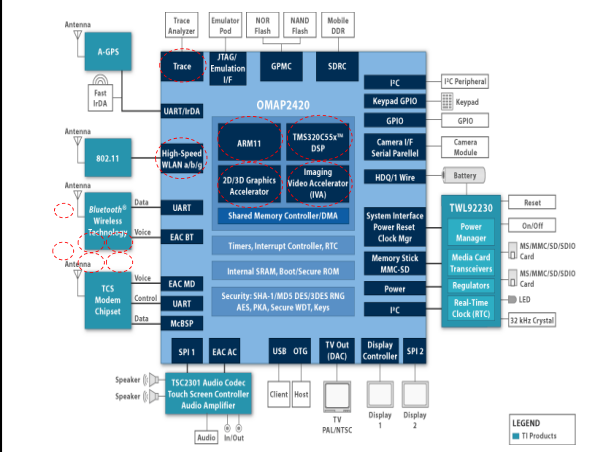
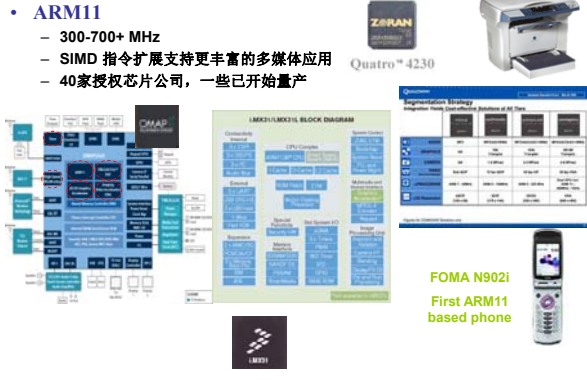
| CPSR | CPSR | CPSR | CPSR | CPSR | CPSR |
|----------|----------|----------|----------|----------|------|
| SPSR_fiq | SPSR_svc | SPSR_abt | SPSR_irq | SPSR_und | |

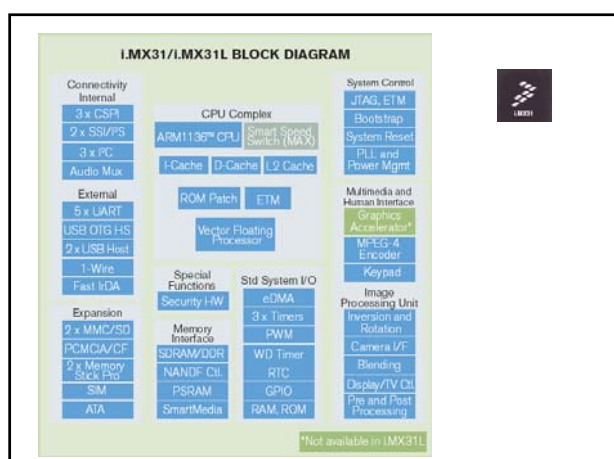
当前的主流ARM处理器

- ARM7
 - 世界上最为广泛使用的CPU之一
 - <100MHz
 - ARM9
 - 100-300MHz
- 1.7B ARM Powered shipment in year of 2005, 31% is ARM9 based.

ARM11 芯片

- ARM11
 - 300-700+ MHz
 - SIMD 指令扩展支持更丰富的多媒体应用
 - 40家授权芯片公司，一些已开始量产

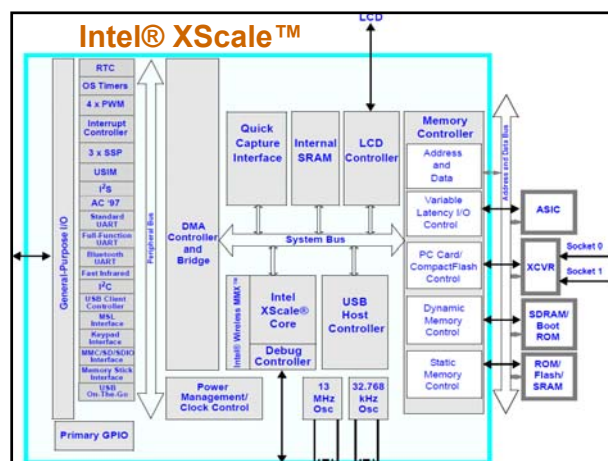
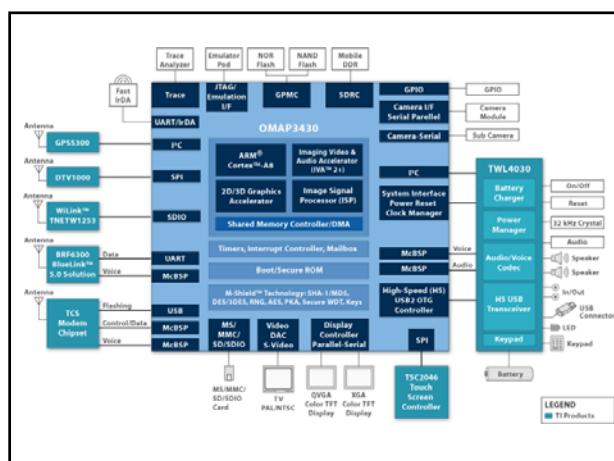
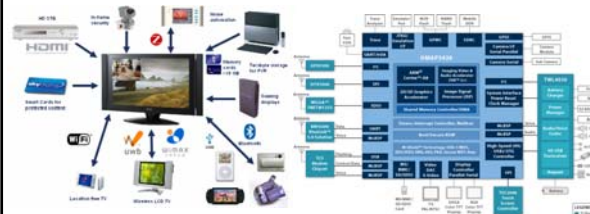




目前最快的嵌入式处理器

ARM Cortex A8 Application Processor

- 最快的处理器提供超过2000 DMIPS 的性能
 - 运行于 1GHz 频率 (90nm or 65nm 制造工艺)
- 功耗小于 300mW



Cortex-M3 实现 \$1 ARM 芯片

ARM Cortex-M3 微控制器内核，专门针对MCU应用领域而设计，突出低成本、低功耗和高效率。

- ARM Cortex Architecture
- Thumb-2 ISA
- 3 Stage Pipeline
- 1.22 DMIPS/MHz – 30% over ARM7TDMI
- 33K gates – 30% smaller than ARM7TDMI



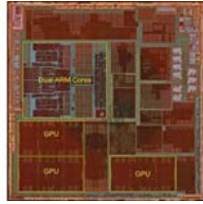
- Luminary Micro的Stellaris系列MCU产品售价仅1美元

iPhone5s的处理器

- **Apple A7是由美国苹果公司所设计的SoC，CPU部份是苹果公司自行研发64位元ARMv8双核心处理器，采用A7 GPU（四核）。**
 - 比之前的A6性能能提升2倍，同时比第一代iPhone CPU性能提升40倍，GPU提升56倍。
- **M7协处理器，主要是用来识别传感器指令，包括一些速度计、指南针、陀螺仪等等**

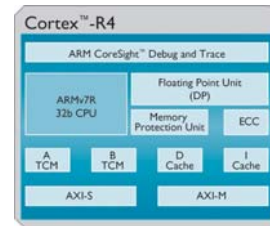


iPhone 5s



- 在CPU方面：苹果A7 64位处理器主频1.3GHz，双核设计，**ARM v8 64位架构内核**，28nm工艺生产
- 在GPU方面，iPhone 5S采用了四核心PowerVR 6系列G6430芯片

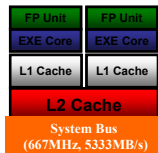
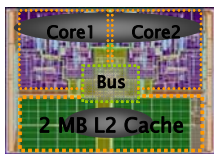
iPhone 5s



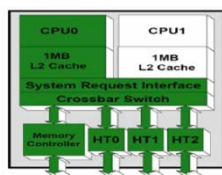
- M7协处理器：处理GPS，加速度计，陀螺仪，数字罗盘等传感器的运动数据。避免了不断的激活A7，运动相关的应用程序可以在后台有效的运行，减少耗电量

对称（同构）多核

Core 2 多核处理器

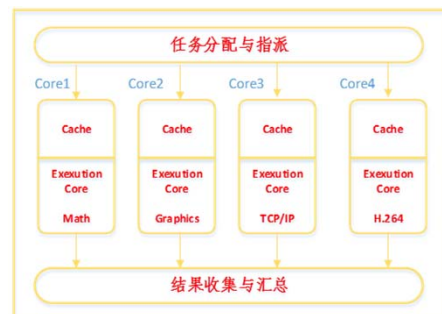


AMD 多核处理器架构



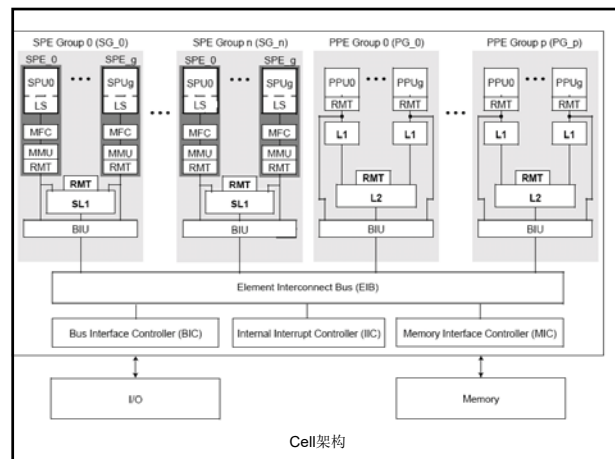
非对称（异构）多核结构

- 不同功能的专用内核整合到一个芯片上



异构多核处理器实例

- 2005年由IBM、索尼与东芝联合推出的Cell处理器
- 已经应用到索尼PS4和微软X360游戏机中，是第一款投入实际商用的异构多核处理器。Cell处理器具有1个运行Power指令的主核（PPE）和8个SIMD辅助核（SPE），通过1条高速总线（EIB）进行连接。



Cell异构多核处理器特性

• 性能极其强劲：

- 具有8个可以并行进行SIMD运算的SPE，并且通过EIB和高速内存提供足够的数据通路，而加速了浮点运算、矩阵运算、科学计算、多媒体处理等数据处理能力，3.2GHz处理器的单精度浮点运算的峰值可以达到**201GFLOPS**，而Intel同频率的奔腾4处理器的峰值仅25.6GFLOPS。

• 软件开发带来新的压力和挑战

- 要求操作系统支持必须提供足够的支持
- 编译器和编程模式发生了巨大的改变：Cell的编程规范中要求程序员**对每个核进行单独的编程**，PPE和SPE是不同的编程模式，通过特殊的编译器和链接器得到二进制代码。

PLD和FPGA可编程逻辑器件

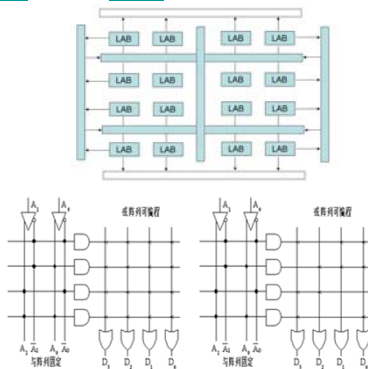
• CPLD : Complex Programmable Logic Device)

- 复杂可编程逻辑器件

• FPGA : Field Programmable Gate Array

- 现场可编程门阵列
- Altera, Xilinx, Lattice等

• 以硬件描述语言HDL(Verilog或VHDL)完成电路设计，烧录至FPGA或CPLD芯片上



硬件描述语言HDL(Hardware Description Language)用形式化方法来描述数字电路和设计数字系统的。

常用的硬件描述语言有VHDL、Verilog HDL，已成为IEEE的工业标准硬件描述语言，得到了众多EDA公司的支持。

VHDL

VHDL主要用于描述数字系统的结构、行为、功能和接口。

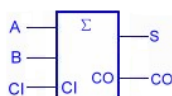
Verilog HDL

Verilog HDL是在C语言的基础上发展而来的硬件描述语言，具有简洁、高效、易用的特点。

• 全加器的Verilog HDL源程序如下：

```

module adder1 (S, CO, A, B, CI);
  input A, B, CI;
  output S, CO;
  wire S, CO, A, B, CI;
  assign {CO, S} = A+B+CI;
endmodule
  
```



SoC概念

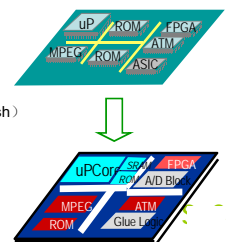
• SoC : System on Chip

• SLI : System Level Integration

- 将整个电子系统集成到单芯片上

• 构成

- 至少有1个CPU, DSP or MCU
- 具有存储器 (ROM、RAM、EEPROM 或 Flash)
- 数字与模拟共存
- 硬件、固件、软件共存
- 基带与射频共存
- 小信号与大功率共存



SoC设计方法学

• 软硬件协同设计



软硬件的优缺点

• 硬件实现的优点：

- 速度快；功耗低
- 分担原先处理器的部分功能，降低处理器的复杂程度；
- 相应的软件设计时间较少；

• 硬件实现的缺点：

- 成本较高（额外的硬件资源、新的研发费用、IP和版权费）
- 研发周期较长，通常需要3个月以上；
- 辅助设计工具的成本非常高

软硬件的优缺点（续）

• 软件实现的优点：

- 成本较低，不会随着芯片量产而变化；
- 通常来说，软件设计的相关辅助工具较便宜；
- 容易调试，不需要考虑设计时序、功耗等问题

• 软件实现的缺点：

- 与硬件实现同样的功能比性能较差、功耗高；
- 对处理器速度、存储容量提出很高要求；
- 通常需要实时操作系统的支持；

SoC开发实例

Altera公司的Nios II 嵌入式开发简介

背景

- 嵌入式系统朝着小体积、低功耗、高性能的趋势发展。在现代嵌入式系统中，MCU、DSP和FPGA在现代嵌入式系统中扮演的角色呈现三分天下的局面，他们各自具有独特的优势而在某些方面又略显不足。

MCU/MPU

- 以ARM和51系列为主
- 丰富的软件系统支持
- 丰富的控制处理和人机接口
- 复杂数据处理能力差

DSP

- 主要由德州仪器 (TI) 公司生产
- 专用的乘加以及浮点运算单元，在海量的数据处理上有优势
- 多用于信号的处理及采集上
- FIR、FFT、MPEG4等
- 复杂逻辑处理能力低

FPGA

- 主要使用Altera、Xilinx公司的产品
- 适用于复杂逻辑的实现
- 凭借单芯片超大容量和高速并行数据运算能力，在信号处理上体现出了自己的优势
- 软件支持差

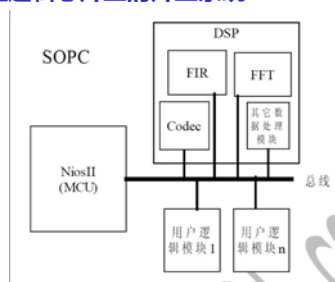
未来的方向：**MCU+DSP+FPGA**
的有机结合

当前的解决方案

- Altera公司的Nios II软核 (32位)
- Xilinx公司的PowerPC硬核 (本文不讨论)

Altera SOPC

- SOPC = System-On-a-Programmable-Chip
- 可编程逻辑芯片上的片上系统



NiosII嵌入式处理器

- 2004年6月，Altera继在全球推出CycloneII和StratixII器件系列后，又推出支持这些新款芯片的NiosII嵌入式处理器
 - Nios II采用SOPC Builder定制，DSP采用DSP Builder定制
 - 片上总线：Avalon，Nios II专用

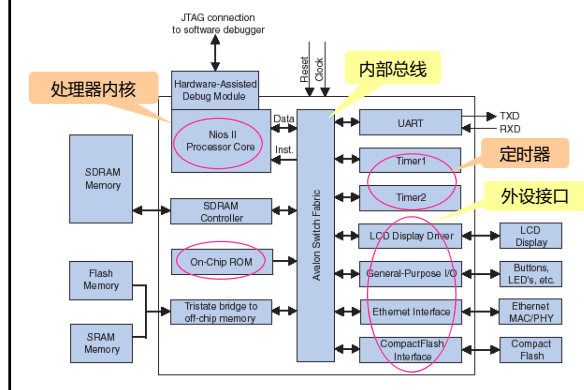
| | Nios II/f | Nios II/s | Nios II/e |
|------------|---|--|---|
| Stratix II | 200 DMIPS @ 175MHz 1180 LEs 1 of 8 DSP 4K Icache, 2K Dcache Stratix 2S10-C5 | 90 DMIPS @ 175MHz 800 LEs 4K Icache, No Dcache Stratix 2S10-C5 | 28 DMIPS @ 190MHz 400 LEs No Icache, No Dcache Stratix 2S10-C5 |
| Stratix | 160 DMIPS @ 135MHz 1800 LEs 1 of 8 DSP 4K Icache, 2K Dcache Stratix 1S10-C5 | 67 DMIPS @ 135MHz 1200 LEs 4K Icache, No Dcache Stratix 1S10-C5 | 22 DMIPS @ 150MHz 550 LEs No Icache, No Dcache Stratix 1S10-C5 |
| Cyclone | 100 DMIPS @ 125MHz 1800 LEs 4K Icache, 1K Dcache Cyclone 1C4-C6 | 62 DMIPS @ 125MHz 1200 LEs 2K Icache, No Dcache Cyclone 1C4-C6 | 20 DMIPS @ 140MHz 550 LEs No Icache, No Dcache Cyclone 1C4-C6 |

* FMax Numbers Based Reference Design Running From On-Chip Memory (Nios II @ 1.15 DMIPS / MHz)

Nios II处理器结构

- Nios II：一种软核(Soft-Core)处理器
 - 软核：未被固化在硅片上，使用时需要借助EDA软件对其进行配置并下载到可编程芯片(比如FPGA)中的IP核。
 - 最大的特点：可由用户按需要进行配置。

Nios II处理器结构



Nios II处理器特点 - 定制CPU

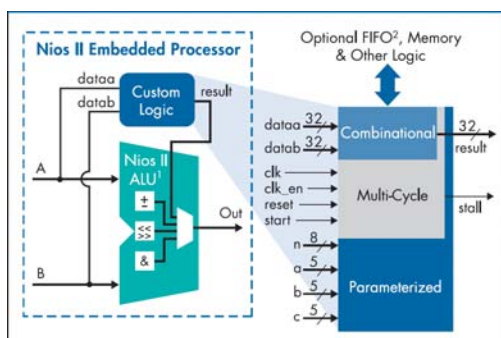
Nios II 处理器系列支持三种内核



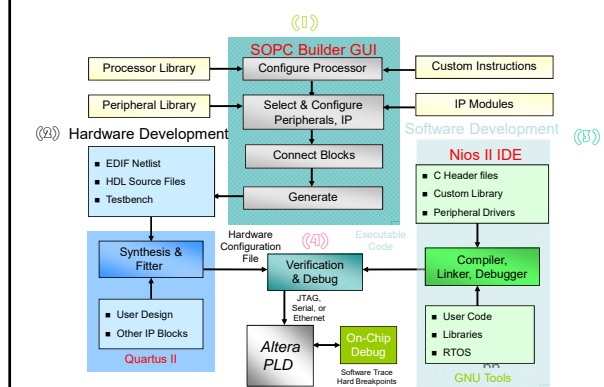
Nios II处理器特点 - 定制指令集

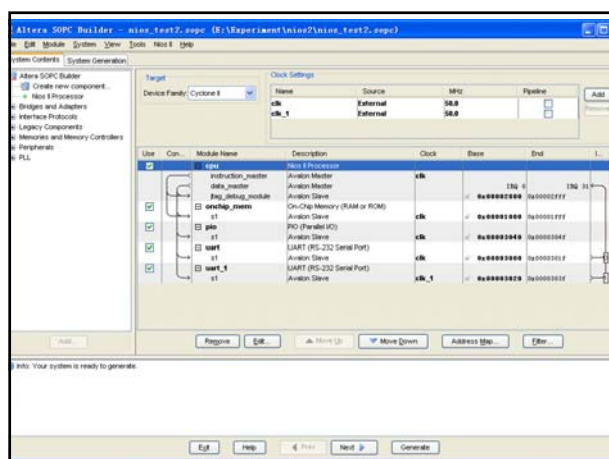
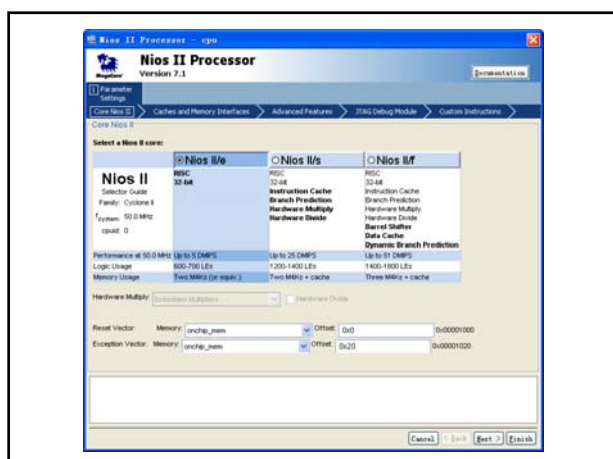
- Nios II处理器定制指令扩展了CPU指令集，提高对时间要求严格的软件运行速度，从而使开发人员能够提高系统性能。采用定制指令，可以实现传统处理器无法达到的最佳系统性能。
- Nios II系列处理器支持多达256条的定制指令，加速通常由软件实现的逻辑和复杂数学算法

Nios II 定制指令



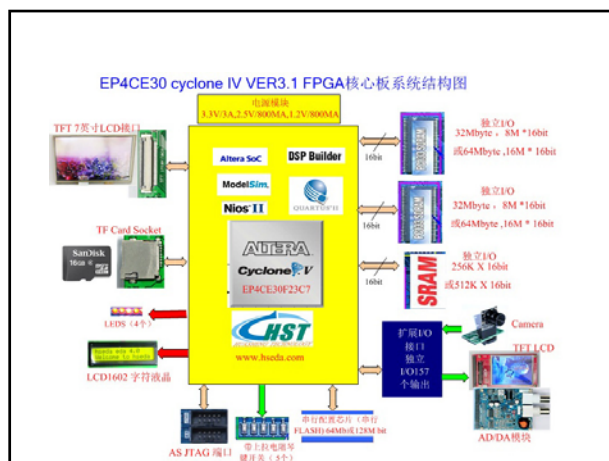
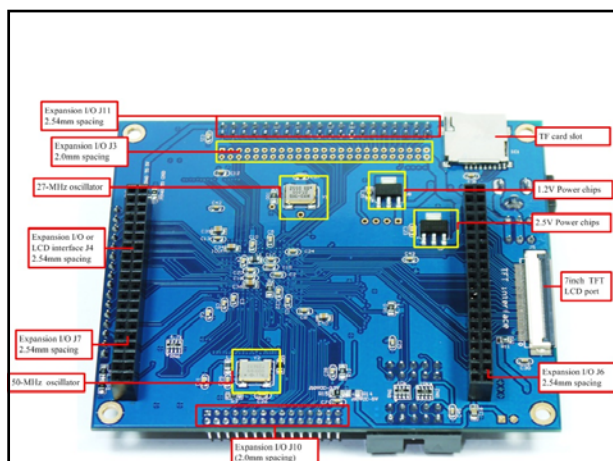
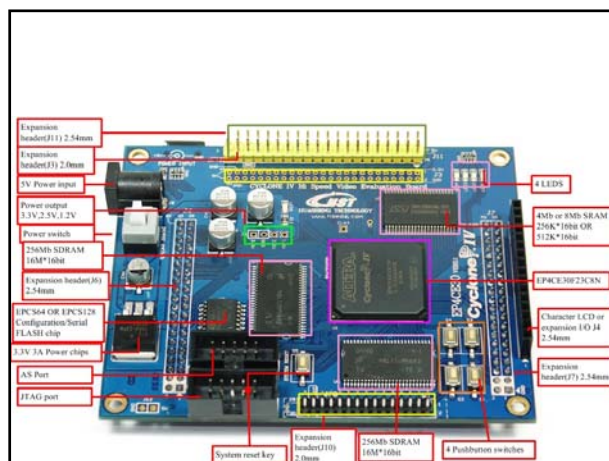
Nios II 处理器软、硬件开发流程





MicroC/OS-II (?)

- **MicroC/OS-II是Micrium的完整、便携式、支持ROM、抢先式实时内核，含有完整源代码、参考手册和免费开发人员许可。当准备将设计移植到电路板上时，可以购买发售人许可。发售人许可可使您能够为三个开发人员进行许可，使其生成不受数量限制的一年内MicroC/OS-II设计，以及订购期所生成设计的永久许可支持（修正错误，进行小修改）。**

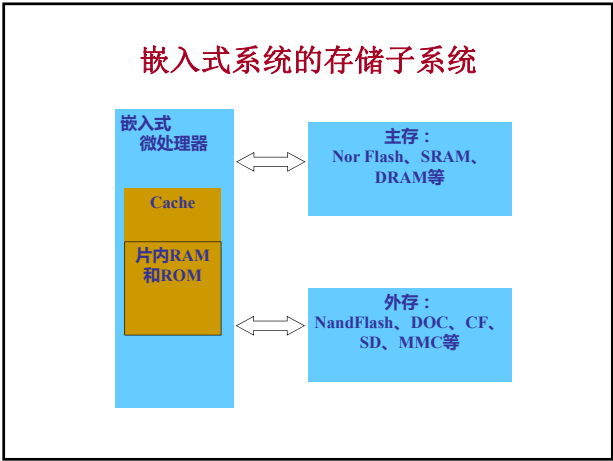




嵌入式存储系统

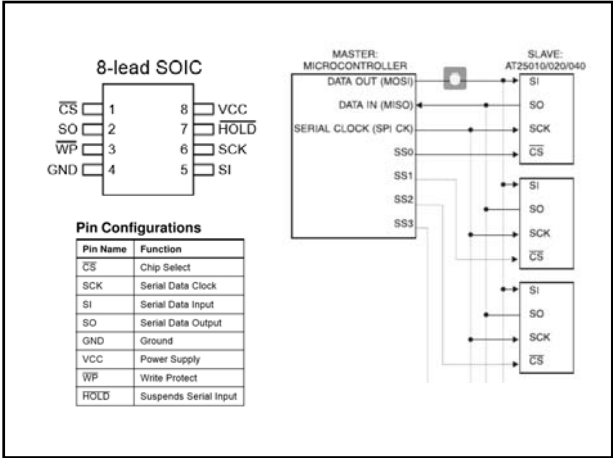
存储系统层次结构

- 对存储系统的要求
 - 容量大，速度高，价格低
- 性能指标
 - 容量, 存取速度, 价格, 功耗和可靠性



嵌入式系统存储器选择

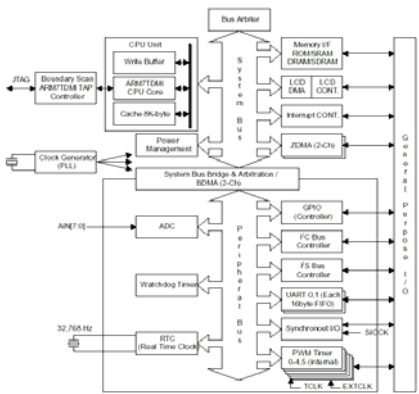
- 内部存储器与外部存储器的选择（基于存储程序代码和数据所需的空间）
 - 内部存储器性价比最高但灵活性低
 - 尽量选择能满足要求的存储容量最小的MCU
 - 外部存储器扩展（方式很多）
 - 基于并行总线增加存储器
 - 封装尺寸相同但容量更大的存储器
 - 新型串行总线EEPROM或闪存满足对非易失性存储器的需求



嵌入式系统存储方案原则

- **引导程序存储器**
 - 必须是非易失性存储器（最好片内存储）
- **配置存储器(FPGA和SoC常用)**
 - 必须是非易失性EPROM、EEPROM或闪存
- **程序（OS和APP）存储器**
 - 不常改变的代码和数据尽量放在内部存储器
 - 更新频繁的代码和数据放在外部存储器
- **未来更多使用Flash非易失性存储器**
 - 易失性存储器(DRAM)+电池 = 非易失性存储器

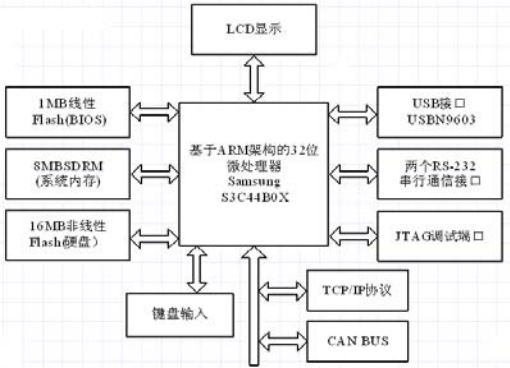
特定CPU存储方案----三星S3C44B0X



存储系统管理

- 寻址空间：8个bank，每个bank32MB(总共256MB)
- 每个Bank支持8/16/32位数据总线编程
- 1个Bank起始地址和容量可编程，7个Bank具有固定起始地址和可编程Bank容量
- 支持低功耗下的DRAM/SDRAM自动刷新模式

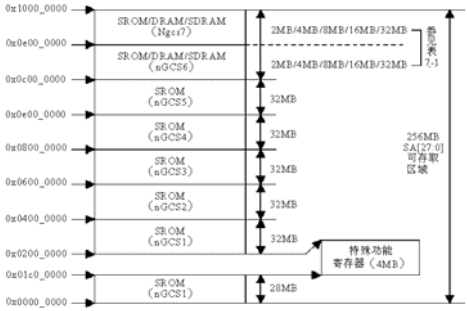
基于S3C44B0X的简单硬件系统框图



存储系统分配

| 存储体 | 与存储体的接口 |
|-------|-----------------------------|
| Bank0 | BIOS |
| Bank1 | 512K×2Flash 16M Flash 硬盘 |
| Bank2 | USB接口 |
| Bank3 | LCD显示模块 |
| Bank4 | 保留 |
| Bank5 | 保留 |
| Bank6 | 系统内存SDRAM |
| Bank7 | 保留 |

存储器映射表



S3C44B0X存储控制器

- S3C44B0X把外部复位信号也作为一个中断来处理
 - 系统复位时，程序PC指针被设置为0,使程序跳转到0x00000000开始运行。此空间对应Bank0
 - Bank0一般连着系统的线性Flash(1MB)
- 线性Flash里存储的是系统的初始化程序
 - 配置处理器的结构和工作模式
 - 自动检测各硬件是否工作正常
 - 同时把存储在文件系统里的system.bin文件复制到0xc5f0000地址(系统8MB的SDRAM的首地址)。引导程序把pc指针指向0xc0000000地址，系统开始运行。
- system.bin是系统的执行文件，存储在非线性Flash中(16MB)

嵌入式外围设备和I/O

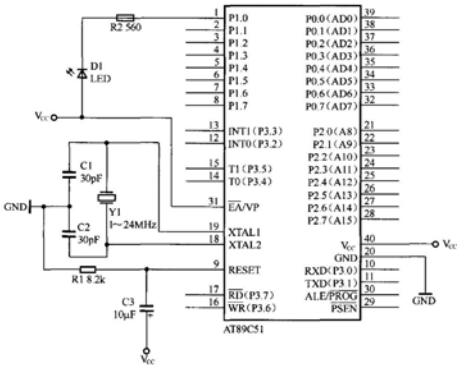
嵌入式外围设备和I/O

- 基本输入/输出设备
 - 输入设备：键盘、触摸屏；输出设备：LED、LCD
- I/O接口和总线
 - 常见的输入输出接口类型
 - 总线接口：I²C、I²S、CAN、以太网
 - 并行接口
 - 串行接口：RS-232、IEEE1394、USB
 - 无线接口：红外线、蓝牙、IEEE802.11、GPRS、CDMA
- I/O接口的数据交换方式
 - DMA、查询、中断

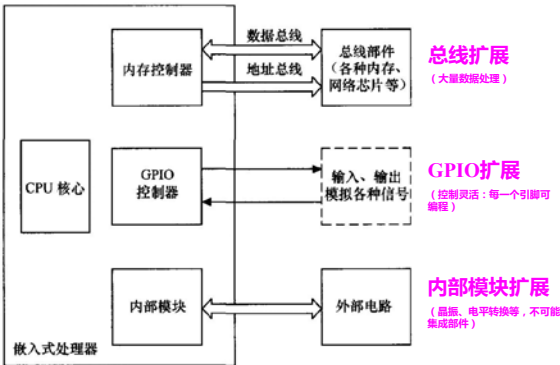
嵌入式最小系统的扩展

- 嵌入式最小系统是指以某处理器为核心，可以运转起来的最简单的硬件设施。
- 最简单的嵌入式系统由几个相关的部分组成
 - (1) 处理器
 - (2) 内存
 - (3) 时钟
 - (4) 电源和复位

嵌入式最小系统



嵌入式处理器的（外围）硬件扩展方式



便携式嵌入式系统的电源

- 智能电源管理
- 智能电池

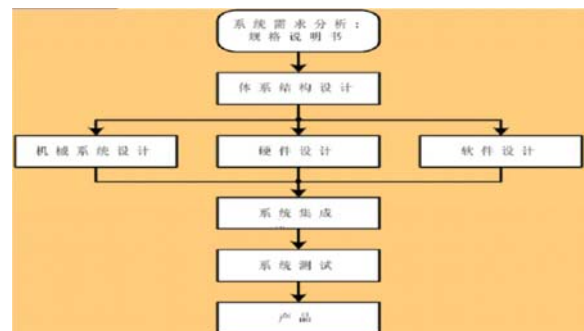
智能电源管理设备

- 检测系统真正需要使用电源的时间，确保电源不会浪费在无谓的等待时间。
 - 需要用到电源时，智能型电源管理设备会将电源打开。
 - 不需要使用到电源时，会关闭电源开关。
- 混合电压设计
 - 针对各个不同的组件所需要的最低操作电压，给予不同的电压驱动，使功率消耗分配更有效率。

智能型电池系统 (Smart Battery System)

- 【问题】只提供电源供应，而没有提供电池本身的相关信息（剩余电量及电压等的信息）很不方便。
 - 当所使用的系统电池电量突然用完，而系统正在处理重要数据时遭受到突然的断电，会造成数据的丢失或系统的损毁。
- 【解决方案】智能型电池系统是Intel和Duracell公司开发的一种电池规格。符合智能型电池系统规格的电池除了具备供电的电源接头外，还具备两个信号接头，可以通过电池系统管理总线 (System Management Bus) 和系统进行连通，让系统“知道”目前电池所剩余的电量。
 - 系统通过电池系统管理总线得知目前电力不足时，可以提示用户更换新电池或是对电池充电。
 - 当充电器对电池充满后，系统也可以“知道”已经不需要再充电了，于是停止充电器对电池充电，以免电池被持续过量充电而损坏。

嵌入式系统的设计步骤



设计内容

硬件平台：关键是处理器

软件平台：关键是操作系统

总原则：性价比、够用就好、……

硬件设计实例分析

• 医疗实时监护系统

- 单参数监护：单一生命体征监控
 - 心电(ECG) 血压(NIBP) 体温(TEMP) 血氧饱和度(SPIO)
 - 位置报警
- 综合监护系统：社区服务、现场紧急救护
 - 一个病人的多种生命特征监测，图形化显示，无线通信
- 重症监护系统：ICU
 - 多个病人的多种生命特征监测，图形化显示

硬件裁剪-处理器

- **单参数监护**
 - 血压(NIBP)、体温(TEMP)监控报警
 - 单片机8051、Z80、PIC等
 - 全息体温图(TEMP): ARM7: S3C44B0X, StrongARM
 - 心电ECG、血氧饱和度(SPO2)监控报警
 - ARM7: S3C44B0X, StrongARM
 - 心电图综合分析(图形显示)
 - ARM9, MIPS
- **综合监护**
 - ARM9, MIPS
- **重症监护**
 - 集成方案: ARM7, ARM9, MIPS
 - 综合方案: ARM9~ARM10, MIPS: XScale, 386EX

需求分析- OS

- **单参数监护系统**
 - 血压(NIBP)、体温(TEMP)监控报警
 - 硬件提供参数通道, 软件采样、计算、存储、数字显示: 无OS
 - 全息体温图(TEMP): 需uCLinux, Win CE
 - 心电ECG、血氧饱和度(SPO2)监控报警
 - 硬件提供参数通道, 软件采样、计算、存储、数字显示: uC/OS
 - 心电图综合分析(图形显示)
 - 硬件提供参数通道, 软件采样、计算、存储、数字显示: uCLinux, Win CE
- **综合监护系统**
 - 硬件提供参数通道, 软件采样、计算、存储、数字显示: Linux, Win CE
- **重症监护系统**
 - 集成方案: 硬件提供数据接口, 软件扫描采样、转发、报警: uCLinux, uC/OS
 - 综合方案: 硬件提供数据接口, 软件扫描采样、转发、报警、综合显示: uCLinux, Win CE

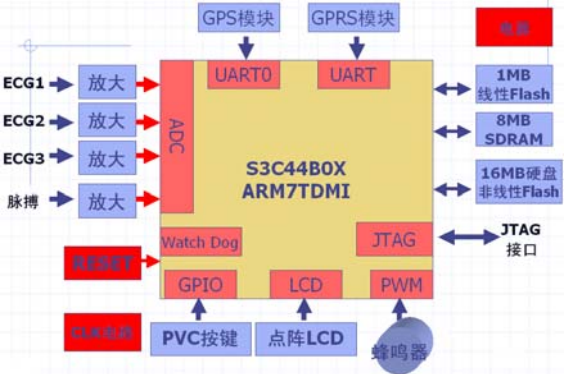
硬件裁剪-I/O接口

- **单参数监护**
 - 血压(NIBP)、体温(TEMP)监控报警
 - 计数器/定时器(PWM, ADC), PVC按键, LED(数字LCD), 数字蜂鸣器
 - 全息体温图(TEMP): 加显示接口, 点阵LCD(小型CRT)
 - 心电ECG、血氧饱和度(SPO2)监控报警
 - ADC接口(I2C), UART, Watchdog, PVC按键, GPS, LED(数字LCD), GPRS
 - 心电图综合分析(图形显示)
 - ADC接口(I2C), UART, Watchdog, PVC按键, 点阵LCD(小型CRT)
- **综合监护**
 - ADC接口(I2C), UART, Watchdog, PVC按键, 点阵LCD(小型CRT)
- **重症监护**
 - 集成方案: 100M Ethernet(或USB, CAN), 各种监护仪器接口, PVC按键, LED(数字LCD), 数字蜂鸣器
 - 综合方案: ADC接口(I2C), UART, Watchdog, PVC按键, 点阵LCD(小型CRT)

硬件结构架构

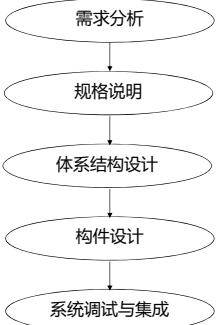
- **需求分析**
 - 心电生命监护报警, GPS定位, GPRS报警
- **软硬件特性**
 - 硬件提供参数采样, 软件计算、存储、数字显示: uC-OS(Linux)
- **处理器: ARM7, S3C44BOX**
- **I/O接口与输入输出设备**
 - ADC接口, Watch Dog, PVC按键, GPS, GPRS, LCD
 - 线性Flash(NOR), SDRAM, 非线性Flash(NAND)

硬件架构



设计实例

GPS移动地图系统

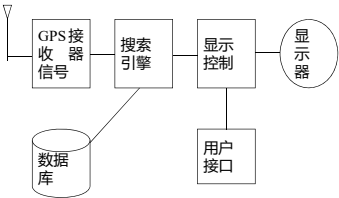


GPS移动地图系统:示例

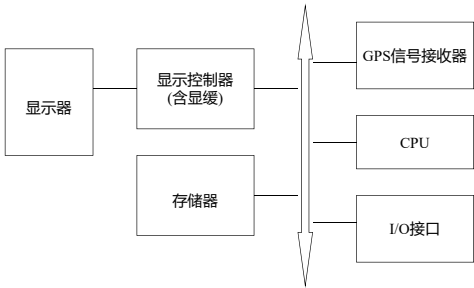
系统需求表

| 项目 | 说明 |
|-------|----------------------------------|
| 名称 | GPS移动地图 |
| 目的 | 为司机等用户提供图形的移动地图 |
| 输入 | 一个电源开关、两个操作按钮、GPS信号输入 |
| 输出 | LCD显示器，分辨率为400×600 |
| 功能 | 可接5种GPS接收器；三种用户可选的地图比例；总是显示当前经纬度 |
| 性能 | 0.25秒内即可更新一次屏幕，常温下工作 |
| 生产成本 | 1500元（人民币） |
| 功耗 | 四节电池供电应连续工作8小时，功耗约100mW |
| 尺寸和重量 | 尺寸不大于20cm×30cm，重量不大于0.25公斤 |

体系结构设计



系统硬件体系结构



系统软件体系结构

