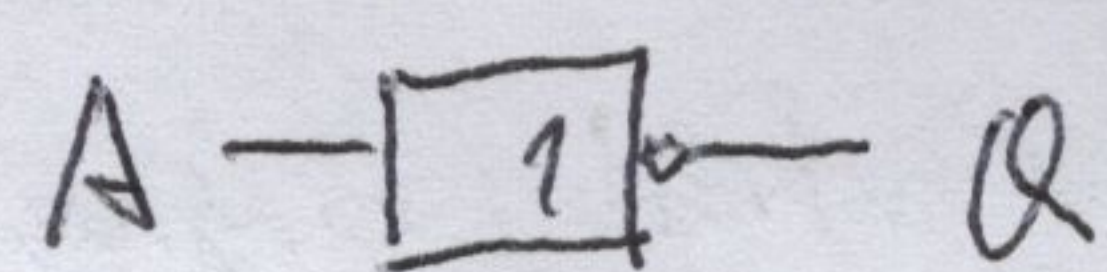


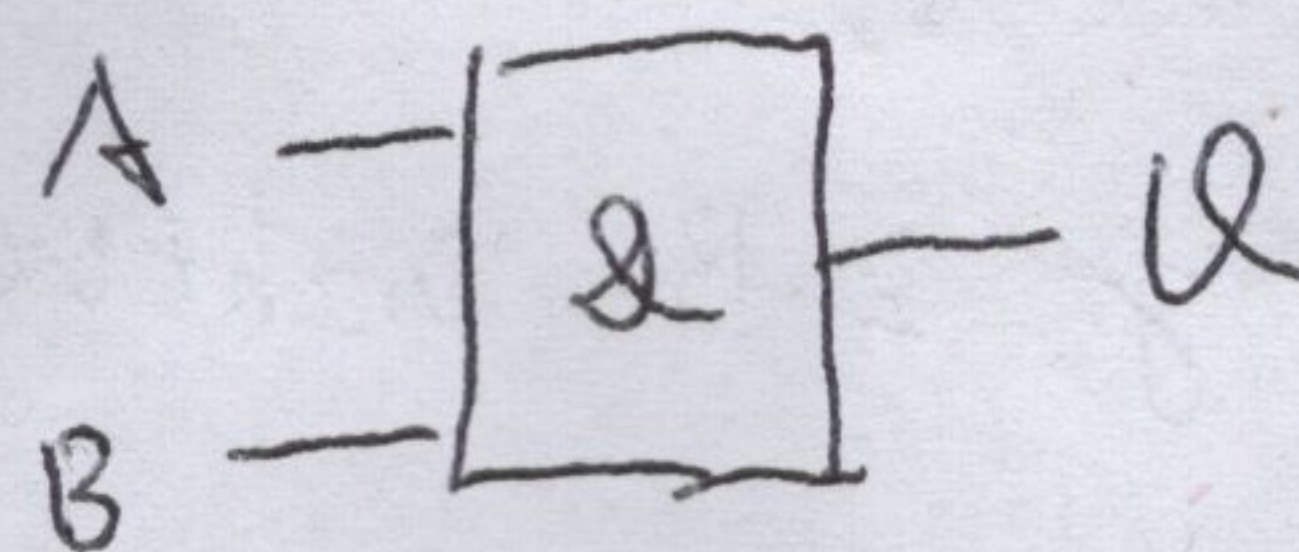
Aufgabe 2-2.a

1. Not



A	Q
0	1
1	0

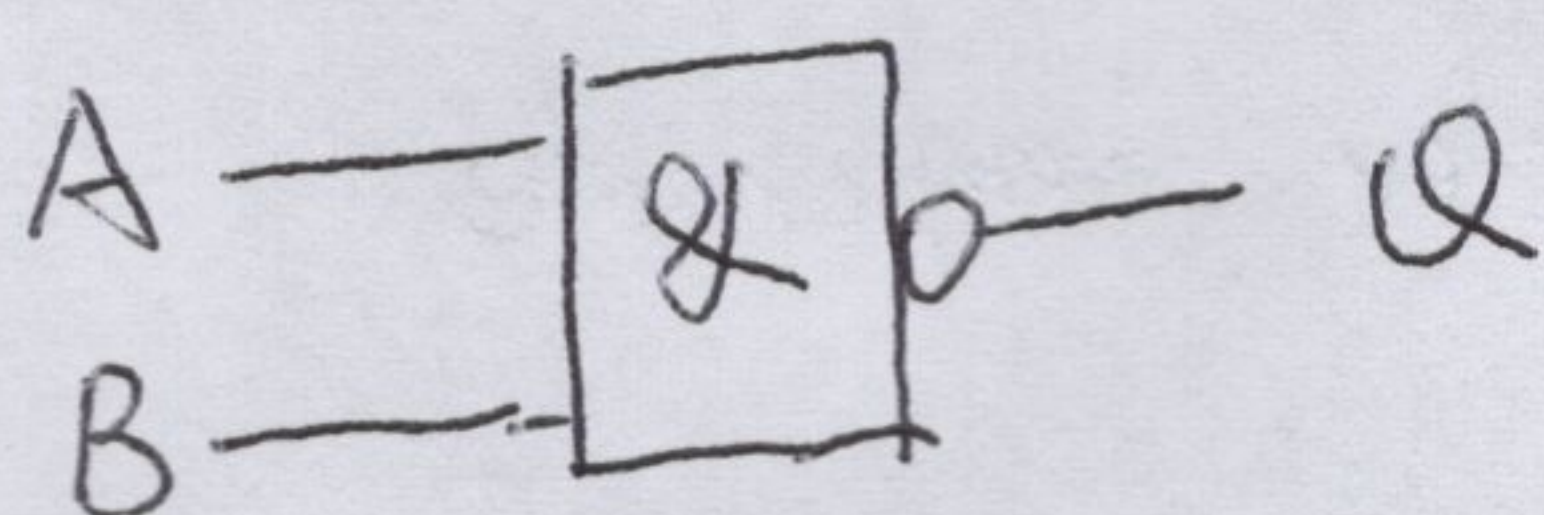
2. AND



A	B	Q
0	0	0
0	1	0
1	0	0
1	1	1

3.

NAND



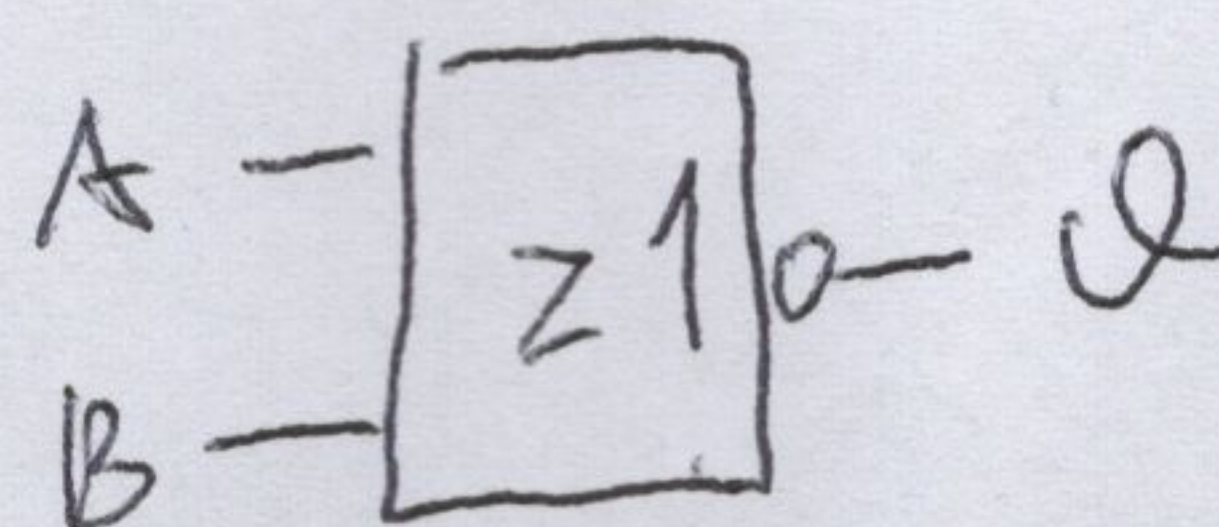
A	B	Q
0	0	1
0	1	1
1	0	1
1	1	0

4. OR

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

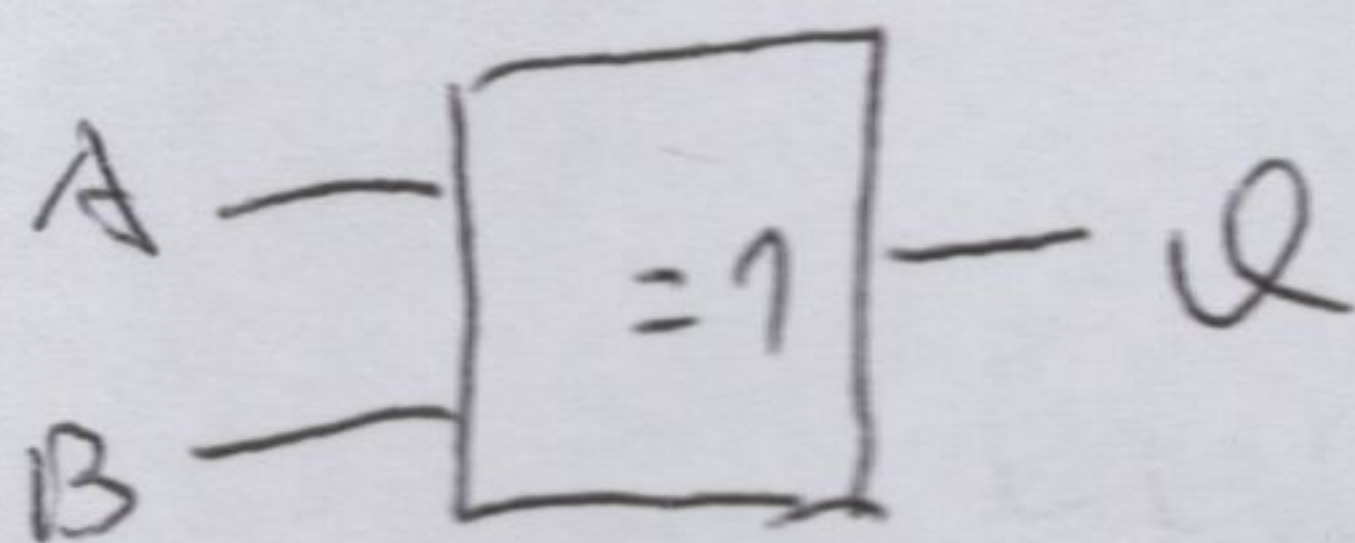


5. NOR



A	B	Q
0	0	1
0	1	0
1	0	0
1	1	0

6. XOR



A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

7. XNOR



A	B	Q
0	0	1
0	1	0
1	0	0
1	1	1

c)


mit Hilfe von Debits, kann man das Konfliktproblem von Signals im gleichen Prozess vermeiden.

Die Transportverzögerung modellieren Verzögerung zwischen Eingangsänderung und Ausgangsänderung. z.B. Drahtverbindung oder Leiterplattenverbindung.

Die ~~Trägheits~~ Trägheitsverzögerung werden kapazitive Effekte berücksichtigt.

Nur wenn der Signalwert für eine bestimmte Zeit an ~~ihm~~ Eingängen erhalten bleibt, dann reagieren Geräten. Diese Zeit ist Trägheitsverzögerung.

f) 1)

 Entity definiert die Ein- und Ausgänge der Komponente.

Architecture definiert behavior und structure von entity.

2) Component:

Deklaration zur Festlegung des Namens und der Schnittstelle einer Komponente, die einer Entitydeklaration und Architecture zugeordnet sein muss.

3) port map:

port map ~~ist~~ ordnet Signale in Architecture den Ports der Instanzen innerhalb dieser Architektur zu.

4)

Die Befehle werden in Prozess sequentiell gearbeitet.

Es wird übersprungen, wenn Prozess nicht genutzt wird.