Digital Circuits and Systems* Homework VIII

* Teacher: Song Zhou. TA: Yun Xu

1st 张逸凯 171840708 (转专业到计科, 非重修)

Department of Computer Science and Technology

Nanjing University

zykhelloha@gmail.com

8.13、8.14、8.16、8.28、8.31、8.35、8.38、8.46、8.55、8.57、8.63、8.64

8.13

8.14

8.16

8.28

8.31

8.35

8.38

8.46

8.558.57

8.63

8.64

总结

8.13

解:

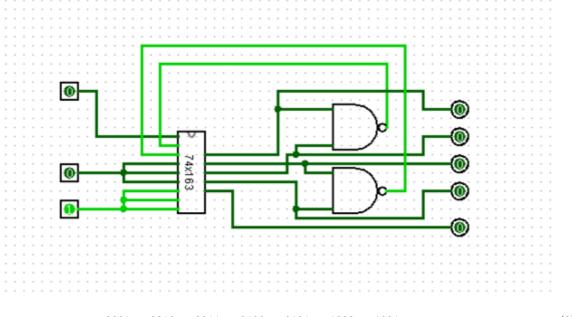
74x169 是4位二进制可逆计数器, 且 UP/DN = 1, 加法计数 (升序); UP/DN = 0, 减法计数 (降序).

因为RCO'接到LD_L. 所以不妨设存在QA,QB,QC,QD都为1的状态, 此时置数端有效, 赋值为0111, 以下讨论从 0111 开始

$$\begin{array}{l} 0111 \rightarrow 0110 \rightarrow 0101 \rightarrow 0100 \rightarrow 0011 \rightarrow 0010 \rightarrow 0001 \\ \rightarrow 0000 \rightarrow 1000 \rightarrow 1001 \rightarrow 1010 \rightarrow 1011 \rightarrow 1100 \rightarrow 1101 \rightarrow 1110 \rightarrow 1111 \rightarrow 0111 \dots \end{array} \tag{1}$$

所以当状态为0000时要变成1000,1111要变成0111,都是因为置数端有效后发生置数.

解:



$$\begin{array}{l} 0001 \rightarrow 0010 \rightarrow 0011 \rightarrow 0100 \rightarrow 0101 \rightarrow 1000 \rightarrow 1001 \\ \rightarrow 1010 \rightarrow 0000 \rightarrow 0001 \rightarrow 0010 \rightarrow 0011 \rightarrow 0100 \rightarrow 0101 \rightarrow 1000 \end{array} \tag{2}$$

分析: 把握每个置数端有效清零端有效即可.

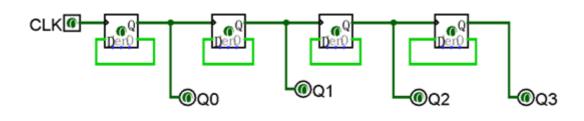
8.16

解:

反馈方程: $X5 = X2 \setminus X0$.

X0 X1 X2 X3 X4	X5
00001	0
00010	0
00100	1
01001	0
10010	1
00101	1
01011	0
10110	0
01100	1
11001	1

8.28



$$44 \times 4 = 176ns \tag{3}$$

分析: 就是每一层延迟的叠加, 同理查找资料发现 74AHCT74 和 74LS74 的传输延迟, 同上方法也可以算出来.

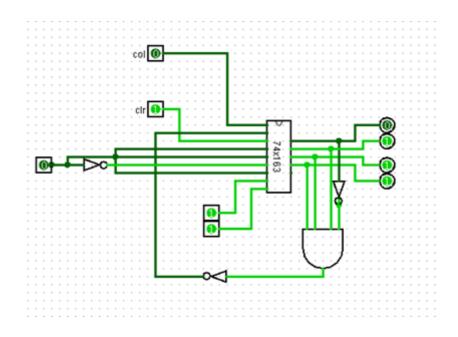
8.31

$$\frac{1}{t_{TQ} + 3 * t_{AND} + t_{setup}} \tag{4}$$

分析: 按照PPT和老师所讲的, 理解即可.

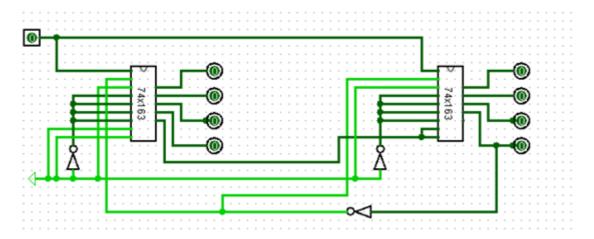
8.35

解:



8.38

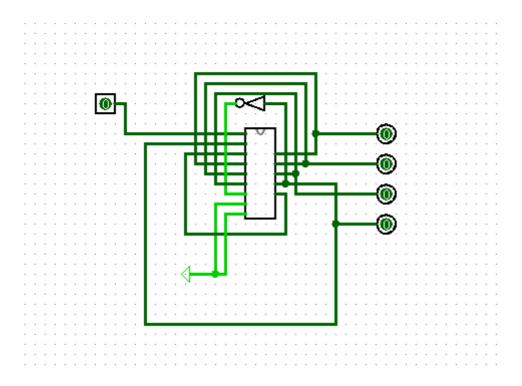
解:



分析: 这题和面包板上的实验模学号计数器很相似, 但是又有区别, 这里不需要BCD码输出, 更简单, **低位的163到达**1111**产生进位到**高位上的163就可以了. 两块163, 高位到达 1000, 低位到达 0000, 接到置零端, 因为这里163是异步的, 所以可以到达128这个状态.

8.46

解:



分析: 发现这题其实就是8.14, 看到169就可以想到一会儿加法一会儿减法的过程. **当输出为**0000**并且是减法时**, **置数为**1000, **加法加到**1111**时置数为**0111, 所以发现置数端就是 QD¹, 其他位不变.

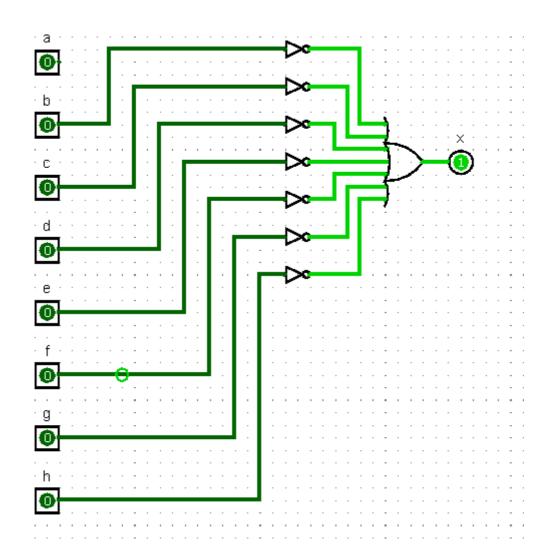
解:

X0 X1 X2 X3 X4 (八位)	LIN
11111110	1
11111101	1
11111011	1
11110111	1
11101111	1
11011111	1
10111111	1
01111111	0

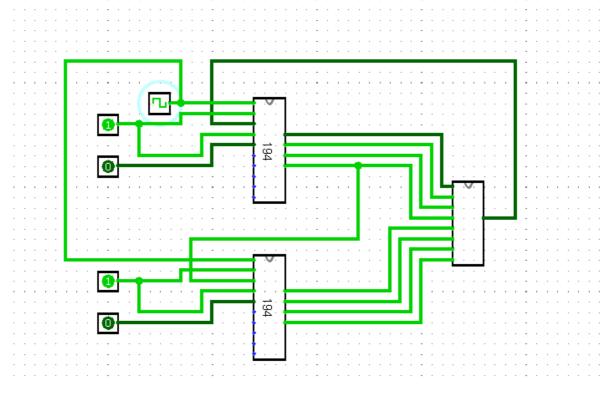
实现自启动: **所有不合法的状态都引到全1, 这样只要全1状态的下一个状态引入一个**0, **就到合法状态了**.

Build Circuit								
1	1	1	1	1	1	1	1	0
1	1	1	1	1	1	1	0	1
1	1	1	1	1	1	0	1	1
1	Λ	Λ	Λ	Λ	1	Λ	Λ	1
1	0	0	0	0	0	1	1	1
1	0	0	0	0	0	1	0	1
1	0	0	0	0	0	0	1	1
1	0	0	0	0	0	0	0	1
0	1	1	1	1	1	1	1	0
0	1	1	1	1	1	1	0	1_
0	1	1	1	1	1	0	1	1
0	1	1	1	1	1	0	0	1

这就是接到LIN上的逻辑:



使用封装好的子电路实现:

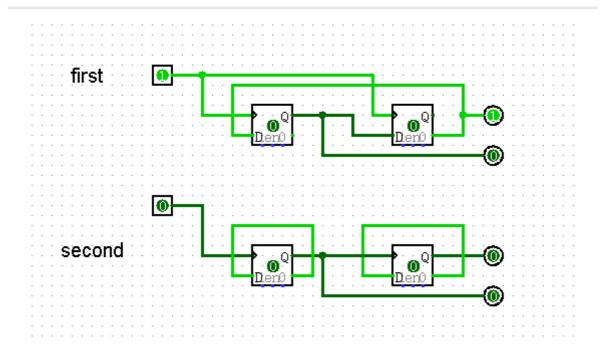


这里两块194**的输出就是需要的状态输出**.(其中下面一块194的QD是最低位, 依次往上从低位到高位)那个白色的是输入LIN的封装电路, 具体电路图见上.

分析:

真值表->画出LIN或者其他移入端的值->考虑无关项(破圈法, 破除那些无关项所造成的循环)->状态的输出值接一个逻辑到LIN, 实现电路.

8.57



分析: 是一道好题, 需要灵感慢慢试出来.

8.63

解:

$$X4 = X3 \oplus X0 \tag{5}$$

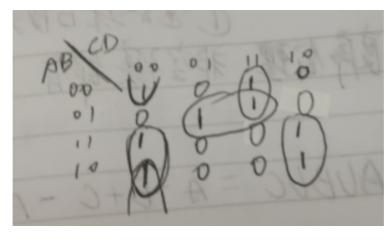
X0 X1 X2 X3	LIN
1000	1
1100	1
1110	1
1111	0
0111	1
1011	0
0101	1
1010	1
1101	0
0110	0
0011	1
1001	0
0100	0
0010	0
0001	1

分析: 有点像实验中需要添加全零状态的状态, 但是更简单, 因为不需要添加全零, 只需要产生最大长度序列 2^n-1 .

如果要添加全0状态怎么做呢: 从X4 = X3 ⊕ X0开始.

不妨在0001和1000中间加入状态0000, 然后把0001的LIN改成0.

画出卡诺图写出LIN的表达式:



LIN = AD' + B'C'D' + A'BD + A'CD (6)

上面就是添加了全零状态的反馈方程(不是本题答案, 是额外做的添加全零状态的).

解:

问题等价于证明: 100...000 状态的下一状态是 000...000, 000...000 的下一状态是 000...001; 由于异或门的作用 100...000 会使LIN为0, 因为10, 使得上下两个异或门输出都是1, 归纳法可以发现最后一层异或门输出是0. **所以全零状态首先是可达的**; 同理全零状态时, 第一个异或门由于00输入, 输出为0, **使得最后一层异或门输入出现**01, 所以LIN此时为1, 这样全零状态就被加入了.

总结

真的是最后一次作业了? 有点感慨, 数电还是很有趣的, 特别到后面比较复杂的时序电路哈哈. 加油加油, 积极迎接期末!

谢谢助教哥的批改! 🙂