

Department of computer science and technology
Introduction to Computer System Exercise \LaTeX

第六章作业

2019年5月26日



南京大學

姓名: 张逸凯
学号: 171840708
年级: 大二
院系: 物理学院
指导老师: 汪亮, 苏丰
邮箱: zykhelloha@gmail.com
联系电话: 18051988316

目录

1 课后习题	3
2 总结	7

1 课后习题

3 .

(1) 8位一字节所以 $512\text{MB} / 64\text{MB} = 8$ (片)

(2) $2\text{GB} / 512\text{MB} = 4$ (片) 内存条.

(3) 主存地址一共32位, 因为是字节编址, 不妨编号为: 31 ~ 0, 低位编号更低, 28 ~ 3 是DRAM芯片内地址, 2 ~ 0 是芯片号, 芯片行地址是 28 ~ 16, 列地址是 15 ~ 3.

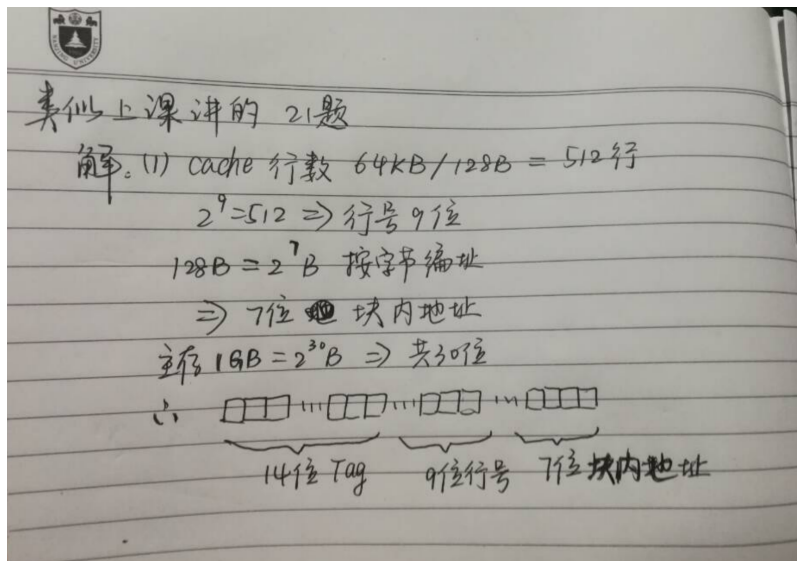
5 .

Handwritten calculations on lined paper:

- 转一圈 $\frac{60}{7200} = 0.00833(s)$
- 等待 $\frac{0.00833}{2} = 4.17 \times 10^{-3}(s)$
- 4KB数据块读出:
 $4\text{KB} \div 4\text{MB/s} = 0.0001024(s)$
- 处理: $20000 \div 500 = 40$ (crossed out) $0.00004(s)$
- ∴总读-处理-写时间是:
 $(2\text{ms} + 10\text{ms} + 4.17\text{ms} + 0.1024) \times 2 + 0.04$
- 次数: $\frac{1000\text{ms}}{32.58\text{ms}} = 30\text{次}$ $= 32.58(\text{ms})$

8 .

解:



(2) 每个cache行中有1位有效位, 14位Tag, 128 × 8 位数据. 所以:

$$512 \times (15 + 128 \times 8) = 531968(\text{bit}) = 66496(\text{Byte}) = 64.9375(\text{KB})$$

12 .

解:

(1) 空间局部性还可以, 时间局部性没有, 因为只访问一次.

(2) cache 有 2 行. float 4B. 所以32B连续存储空间就放8个元素, 装入cache就是x[0] ~ x[3] 这样4个4个装入, 然而x[] 和 y[] 是连续存放的, 所以x[0] ~ x[3] 和 y[0] ~ y[3] 因为连续存放会映射到cache同一行, 所以每次执行for里面的语句, 都要重新装入一下cache, 发生了颠簸现象, 命中率为 0.

(3) 块大小 8 B => 4行, 每组两行. 注意到x[]和y[]是连续存放, 每次看它到那个组是mod2, 所以执行for里面的语句的时候, 例如x[0] ~ x[1] 和 y[0] ~ y[2] 是映射到同一个组的, 但是不会替换 => 50% 的命中率.

(4) 注意到(2) 中是 mod2 因为x[] y[] 是连续存放, x[]是可以放3个主存块的(一个主存块大小是16B, 4个元素), 这样 x[0] ~ x[3] 和 y[0] ~ y[3] mod2 就不一样了! 所以调入一块都可以在里面存着, 因为第一个元素不命中, 后三个命中 => 75%.

23 .

PA 3-3相似内容来了

解:

(1) `addl (%edx,%ecx,4), %eax`

(2) MMU 根据段寄存器CS对应的描述符cache中的基地址和指令逻辑地址相加, 得到laddr
 $= 0x8049c8 + 0x0 = 0x8049c8;$

有效地址 $EA = R[edx] + R[ecx] \times 4 + 0 = 0x804d0c8;$

(3)

1 `movl $0, %ecx`

2 `cmpl %ebx, %ecx`

3 `jge $7`

4 `addl (%edx, $ecx, 4), %eax`

5 `incl %ecx`

6 `jmp $2`

7 `ret`

(4)

`PE == 1, PG == 1;`

开启保护和分页模式.

(5) 不会缺页. 因为指令后12位不全位0(4KB对齐), 不是页面起始. 如果缺页也是laddr ==
0x804d000. 保存在CR2 中.

(6) 高20位是虚页号:



虚页号中高十位是页目录索引, 低十位是页表索引, laddr低12位是页内偏移量.

$P == 1$

$R/W == 0$

$U/S == 1$

$A == 1$

$D == 0$

页已经调入主存, 只能读不能写, 允许用户进程访问, 所在页已访问过, 所在页是代码不能被修改.

(7)

指令 I 不在页面起始, TLB不缺失. 前面一定已经掉进来了.

4 ways 所以低2位是TLB索引, 高 $20 - 2 = 18$ 位是Tag.

看题知TLB命中, 页框号 $0x028B0 \Rightarrow$ 主存地址 $0x028b0c08$.

(8)

cache行数: $8KB / 32B = 256$.

2-ways $\Rightarrow 256 / 2 = 128$ 组.

32B, 所以块内地址就是最低5位, 组号是128就是中间的7位, 剩下20位是Tag.

由上面划分指令 I 线性地址, 因为不在一个主存块的起始地址, 所以取指令的时候不会cache缺失.

组号:

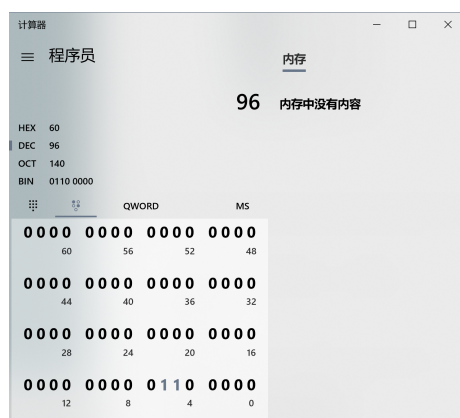


图 1:

(9)

$N = 2000$, $a[]$ 就是 $2000 \times 4 = 8000$ (byte)

占用 $8000B / (4 * 1024)B = 1.95$ 个页面.

虚页号就是 $0x804d$ 和 $0x804e$

$1200 \times 4 = 4800 > 4 \text{ times } 1048 \Rightarrow$ 在 $0x804e$ 的页面中

2 总结

感觉对书本知识忘得很快哇... 一直翻一直找(笑哭)

其实PA-3-3(就是这次练习最后一题) 只要理解了就是那些东西, 好好理解, 考试时候不要忘了!!!

最后一次ics书面作业了! 有点伤感, 汪老师讲课真的棒! 我会记得这些欢乐(划掉)又辛苦的日子!

Edited by L^AT_EX, 谢谢助教哥的耐心批改!

祝好

参考文献