

# Digital Circuits and Systems\*

## Homework I L<sup>A</sup>T<sub>E</sub>X

\* Teacher: Song Zhou. TA: Yuan Xu

1<sup>st</sup> 张逸凯 171840708 (转专业到计科, 非重修)

*Department of Computer Science and Technology*

*Nanjing University*

zykhelloha@gmail.com

书后第7、10、11、20、22、31、32、36、37、60、68、79题

---

### 7. 解:

一共有4个晶体管, 2个串联2个并联(也就是两个p沟道和2个n沟道晶体管).

一个 $n$ 输入的CMOS与非门就具有 $n$ 个串联和 $n$ 个并联的晶体管, 可以从CMOS与非门的结构中知道.

PMOS管Q2与Q4并联, NMOS管Q1与Q3串联(依据书上).

---

### 10. 解:

**扇入:** 在特定的逻辑系列中, 门电路所具有的输入端的数目, 称为该逻辑系列的扇入.

**扇出:** 是指该门电路在不超出其最坏情况负载规格的条件下, 能驱动的输入端的个数.

(这里都是指逻辑门的.)

其中扇出是必须要计算的. 扇出取决于输出端的特性和驱动输入端的特性, 计算时必须考虑两种可能状态: 高电平和低电平.

### 11. 解:

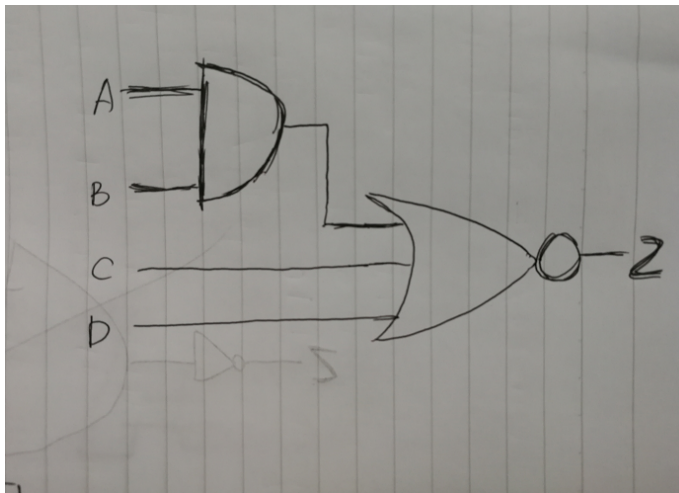
$$Z = (AB + C + D)'$$

大表格, 见下页:

\*谢谢老师和助教哥的耐心批改.

A	B	C	D	Q1	Q2	Q3	Q4	Q5	Q6	Q7	Q8	Z
L	L	L	L	off	on	off	on	off	on	off	on	H
L	L	L	H	off	on	off	on	on	on	off	off	L
L	L	H	L	off	on	off	on	off	off	on	on	L
L	L	H	H	off	on	off	on	on	off	on	off	L
L	H	L	L	off	on	on	off	off	on	off	on	H
L	H	L	H	off	on	on	off	on	on	off	off	L
L	H	H	L	off	on	on	off	off	off	on	on	L
L	H	H	H	off	on	on	off	on	off	on	off	L
H	L	L	L	on	off	off	on	off	on	off	on	H
H	L	L	H	on	off	off	on	on	on	off	off	L
H	L	H	L	on	off	off	on	off	off	on	on	L
H	L	H	H	on	off	off	on	on	off	on	off	L
H	H	L	L	on	off	on	off	off	on	off	on	L
H	H	L	H	on	off	on	off	on	on	off	off	L
H	H	H	L	on	off	on	off	off	off	on	on	L
H	H	H	H	on	off	on	off	on	off	on	off	L

逻辑图:



扇出值=最大输出电流/最大输入电流。  
总扇出：高态扇出和低态扇出中较小值。

---

**20. 解:**

DC noise margin 是表示多大的噪声会使最坏输出电压被破坏, 成为不可被输入端识别的值.

读表知:

轻负载时:

低态:

$$V_{ILmax} = 1.35, V_{OLmax} = 0.1$$

所以低态直流噪声容限: 1.25(V)

高态:

$$V_{IHmin} = 3.15, V_{OHmin} = 4.4$$

所以高态直流噪声容限: 1.25(V)

重负载时:

$$\text{高态: } 3.84 - 3.15 = 0.69$$

$$\text{低态: } 1.35 - 0.33 = 1.02$$

答案所需要的假设: 使用的都是最大允许负载, 是表中的商用情形. 低态和高态的阈值假设, 以及CMOS输入保持在一定状态只需极小的功耗, 注意到这里输入电流 $I_{IH}$ ,  $I_{IL}$  仅为正负 $1\mu A$ .

直流噪声容限: 是一种对噪声程度的度量, 表示多大的噪声会使最坏输出电压被破坏, 成为不可被输入端识别的值。(单位为V)

(在表中找四个数据即可: 输入高电平的最小值, 输入低电平的最大值, 输出高电平的最小值, 输出低电平的最大值)

---

**22. 解:**

$V_{OHmin}$  CMOS 负载: 4.4V TTL 负载: 3.84V 假设 $V_{cc}=\text{Min}$   $V_{IN}=V_{IL}$ ,  $I_{OH}$  为  $\max V_{IHmin}$  3.15V

$V_{OLmax}$  CMOS 负载: 0.1V TTL 负载: 0.33V 假设 $V_{cc}=\text{Min}$   $V_{IN}=V_{IH}$ ,  $I_{OL}$  为  $\max V_{ILmax}$  1.35V

$I_{OLmax}$  CMOS 负载: 20uA TTL 负载: 4mA  $I_{OHmax}$  CMOS 负载: -20uA TTL 负载: -4mA

$I_{I_{max}}$   $1\mu A$  假设 $V_{cc}=\text{Max}$ ,  $V_I=0$ (此时-1uA)或  $V_{cc}$ (此时  $1\mu A$ )

---

**31. 解:**

将CMOS器件交给对方之前, 自己要触碰CMOS器件之前.

---

**32. 解:**

两个分量是转换时间和传播延迟, 转换时间受负载电容影响更大。

影响转换时间的因素: 1. 晶体管的导通电阻, 2. 负载电容

只输入时, 直流负载可忽略。交流负载决定了输出状态转换时的电压和电流, 以及从一个状态转换到另一个状态所需的时间。

---

**36. 解:**

因为静态功耗很低, 这里考虑动态功耗. 对负载电容 $C_L$ 充放电导致的功耗:

$$P_L = C_L \times V_{CC}^2 \times f$$

CMOS输出结构的部分短路, PMOS和NMOS部分导通功耗:

$$P_T = C_{PD} \times V_{CC}^2 \times f$$

这里有一个假设就是输出转换足够快, 输入转换也是的时候. 所以动态功耗:

$$\begin{aligned} P_D &= P_T + P_L \\ &= (C_{PD} + C_L) \times V_{CC}^2 \times f \end{aligned}$$

这里参照书上的表, 取 $C_L = 50pF$ ,  $C_{PD} = 22pF$ , 这里 $f$ 是输出信号转换的频率.

注意这里不是按照图3-32, 因为书上是指等效电路中输出结构的功耗, 实际有充放电过程.

所以答案为:

$$P_{D\ save} = (C_{PD} + C_L) \times \Delta V_{CC}^2 \times f$$

动态功耗变为 5V 情况下的  $\frac{1}{4}$

---

**37. 解:**

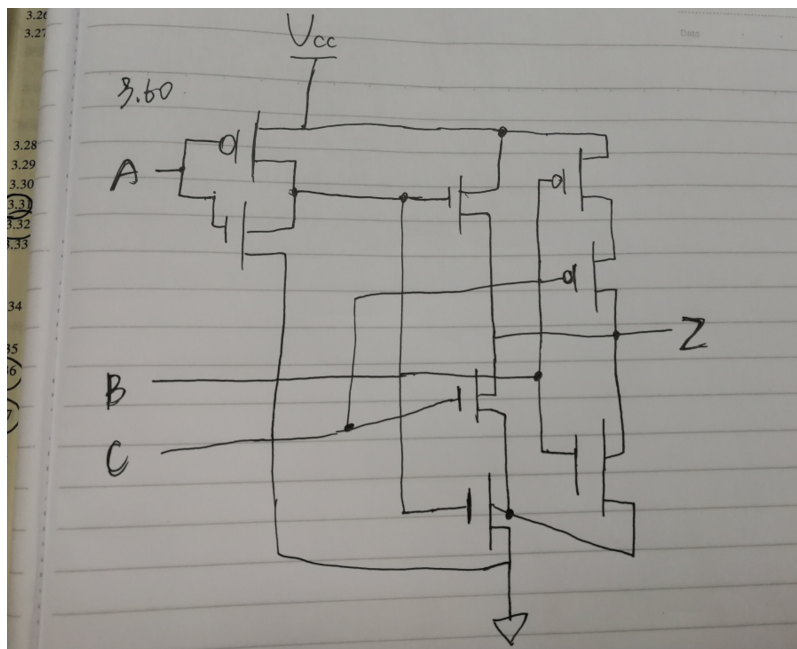
正向输入变化的阈值电压为 $V_{T+}$ , 负向输入变化的阈值电压为 $V_{T-}$ .

滞后:

$$Hysteresis = V_{T+} - V_{T-} = 0.5$$

---

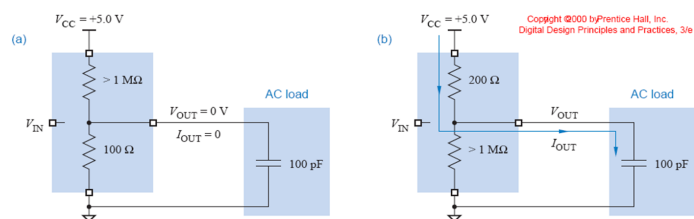
**60. 解:**



#### 68. 解:

我们先看看那一节里面是怎么说的: 令  $R_L = \infty$  且  $V_L = 0$ , 并且忽略了直流负载, 假设一个适当的电容负载值,  $100\text{pF}$ , 假设p沟道的和n沟道的晶体管的导通电阻分别是  $200, 100(\Omega)$ . 上升和下降时间取决于电容性负载  $C_L$  的充放电时间.

借用PPT里的图:



注意计算下降时间, 上图就要标出  $R_L, V_L$ , 有一个分压,  $V_{OUT}$  就是  $4.583\text{V}$ . 输出将最终稳定在  $0.227\text{V}$ .

注意到戴文宁定理, 电压源和两个处于低态的电阻是等效于  $90.9\Omega$

在放电时刻, 满足指数定律:

$$\begin{aligned}
V_{\text{OUT}} &= (4.583 - 0.227) \times e^{-t/(R_n C_L)} \\
&= 4.356 \times e^{-t/(90.9 \times 100 \times 10^{-12})} \\
&= 4.356 \times e^{(-t)/(90.9 \times 10^{-9})} \\
t &= -9.09 \cdot 10^{-9} \cdot \ln \frac{V_{\text{OUT}}}{4.356}
\end{aligned}$$

所以  $V_{\text{OUT}} = 3.5$  和  $V_{\text{OUT}} = 1.5$  时:

$$\begin{aligned}
t_{3.5} &= 1.99(\text{ns}) \\
t_{1.5} &= 9.69(\text{ns})
\end{aligned}$$

下降时间是:  $9.69 - 1.99 = 7.7$

这比第3.6.1节中的 8.5 ns结果短, 可能是因为时间常数较短.

这题有点物理(划掉这句话)

#### 79. 解:

时钟频率: 每个单位时间内产生的脉冲的数量, 转换频率为时钟频率  $\div 2$ 。每上升一位, 转换频率便除2, 因此最高位为最低位 $\div 2^7$ 。为计算8个输出位的动态功耗, 应该取所有位上的频率的平均值。

最低有效位转换频率:  $16\text{MHz} \div 2 = 8\text{MHz}$

最高有效位转换频率:

$$\frac{16\text{MHz} \div 2}{2^7} = 0.0625\text{MHz}$$

采用频率(平均):

$$8\text{MHz} \times (2 - 1 \div 2^7) \div 8 = 1.99\text{MHz}$$