



Πανεπιστήμιο Δυτικής Αττικής

Σχολή Μηχανικών

Τμήμα Μηχανικών Πληροφορικής και Υπολογιστών

Εργαστήριο Σχεδίαση Ψηφιακών Συστημάτων

Τμήμα 1

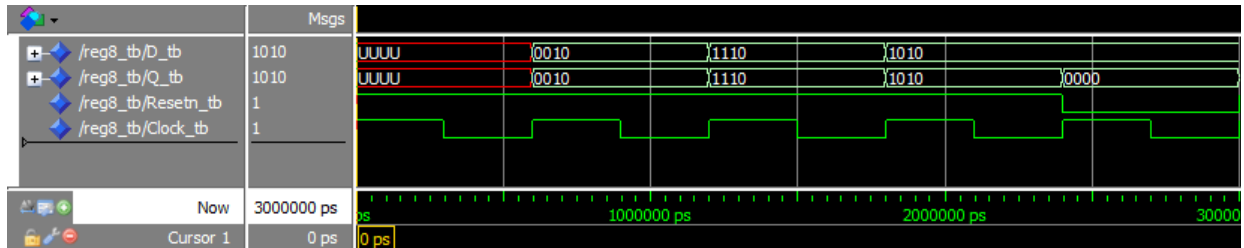
Άσκηση 4 - Σχεδιασμός ακολουθιακών κυκλωμάτων και Register files

Αναστασία Αλμπάνη

Ice19390009

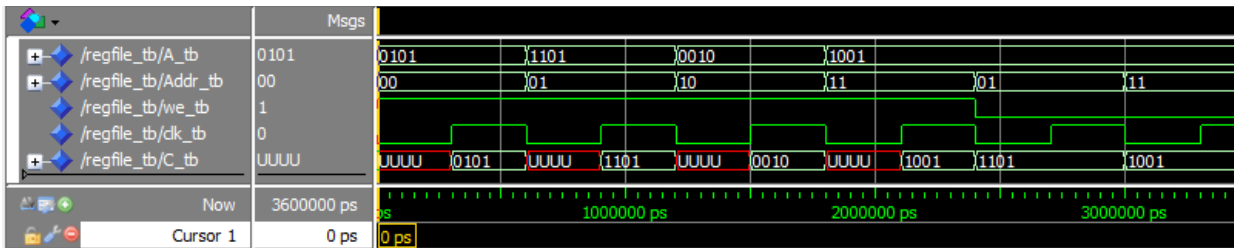
1. Απλός Καταχωριτής 4 bit

Το κύκλωμα υλοποιείται στο αρχείο re8.vhd και το testbench στο αρχείο reg8_tb.vhd. Το testbench έχει περίοδο 600 ns και εκτελείται για 3000 ns. Στα 2400 ns γίνεται reset.



2. Register file 4 καταχωρητών

Το κύκλωμα υλοποιείται στο αρχείο regfile.vhd και το testbench στο αρχείο regfile_tb.vhd. Το testbench έχει περίοδο 600 ns και εκτελείται για 3600 ns. Στα 0000 ns έως 2400 ns εγγράφονται τιμές στους καταχωρητές και στα 2400 ns γίνεται ανάγνωση τιμών από τους καταχωρητές.



3. Register file 4 καταχωρητών με δύο θύρες ανάγνωσης

Το κύκλωμα υλοποιείται στο αρχείο regfile2.vhd και το testbench στο αρχείο regfile2_tb.vhd. Το testbench έχει περίοδο 600 ns και εκτελείται για 3600 ns. Στα 0000 ns έως 2400 ns εγγράφονται τιμές στους καταχωρητές και στα 2400 ns γίνεται ανάγνωση τιμών από τους δύο καταχωρητές. Στα 3000 ns γίνεται reset των τιμών των καταχωρητών σε "0000".

