

САНКТ-ПЕТЕРБУРГСКИЙ
ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ТЕЛЕКОММУНИКАЦИЙ
им. проф. М.А. БОНЧ-БРУЕВИЧА

ФАКУЛЬТЕТ ДОПОЛНИТЕЛЬНЫХ ВИДОВ ОБУЧЕНИЯ

Е.И. Бочаров, Г.Б. Гогоберидзе, Ю.М. Першин,
К.С. Петров

**ЭЛЕКТРОННЫЕ ТВЕРДОТЕЛЬНЫЕ
ПРИБОРЫ
И МИКРОЭЛЕКТРОНИКА**

КОНСПЕКТ КУРСА

Часть 3

7-е издание, исправленное

САНКТ-ПЕТЕРБУРГ
2004

Бочаров Е.И., Гогоберидзе Г.Б., Першин Ю.М., Петров К.С.

Электронные твердотельные приборы и микроэлектроника: конспект курса. Ч.3. 7-е изд., испр. / СПбГУТ. СТ «Факультет ДВО». СПб, 2004.

© СТ «Факультет ДВО», СПб. 2004



6. АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ

6.1. Общие сведения

Аналоговые интегральные схемы (АИС) предназначены для преобразования аналоговых сигналов – физических величин (напряжений, токов и т. д.), мера которых отображает (кодирует) информацию. Примерами аналоговых операций могут служить: усиление, сравнение, ограничение, перемножение, частотная фильтрация электрических сигналов и так далее.

Использование аналоговых сигналов обеспечивает высокую скорость передачи информации и требует сравнительно небольшого числа электронных элементов. Вместе с тем в аналоговой электронике существенную роль играют ошибки, присущие реальным схемам, связанные с технологическими отклонениями параметров электронных элементов от номиналов, температурные зависимости, старение, шумы и наводки.

При реализации аналоговых устройств в микроэлектронном исполнении возникают проблемы, обусловленные спецификой их технологии. Поэтому схемотехника АИС отличается от дискретной и характеризуется рядом особенностей:

1. Широким применением транзисторных структур (отметим, что транзисторы в ИС имеют меньшую площадь, чем резисторы и потому дешевле) и непосредственных связей между отдельными каскадами.
2. Использованием принципа взаимного согласования параметров цепей (базируется на идентичности параметров элементов каждой ИС), что существенно снижает чувствительность к разбросам параметров элементов.
3. Использованием принципа схематической избыточности и широким применением обратных связей.

В данной главе будут рассмотрены важнейшие типовые элементы (базовые ячейки), являющиеся основой схемотехники аналоговых микросхем, и их взаимодействие на примере самой распространенной АИС – операционного усилителя. Специализированные АИС будут рассматриваться в последующих курсах.

6.2. Базовые ячейки АИС

6.2.1. Составные транзисторы

Составной транзистор – это комбинация двух (или нескольких) транзисторов, которую можно рассматривать как единое целое.

Наибольшее распространение среди составных транзисторов получила схема Дарлингтона (рис. 6.1), в которой используются транзисторы с одним типом проводимости (например, *n-p-n*). Главная особенность схемы – большая величина коэффициента передачи базового тока β . Действительно, если пренебречь тепловыми токами транзисторов, из рис. 6.1 следует:

$$i_k = i_{k1} + i_{k2},$$

причем $i_{k1} = \beta_1 i_{b1} = \beta_1 i_b$ и $i_{k2} = \beta_2 i_{b2} = \beta_2 i_{s1}$,
но

$$i_{s1} = (\beta_1 + 1) i_{b1} = (\beta_1 + 1) i_b.$$

Тогда

$$i_k = \beta_1 i_b + (\beta_1 + 1) \beta_2 i_b = (\beta_1 + \beta_1 \beta_2 + \beta_2) i_b \approx \beta_1 \beta_2 i_b. \quad (6.1)$$

Можно считать, что коэффициент передачи тока базы составного транзистора равен произведению коэффициентов усиления каждого из транзисторов $\beta = \beta_1 \beta_2$ и реально составляет несколько тысяч.

Изменяются и другие параметры. У составных транзисторов по сравнению с обычными увеличиваются входное сопротивление, тепловые токи и пороговые напряжения и уменьшаются выходное сопротивление и граничные частоты.

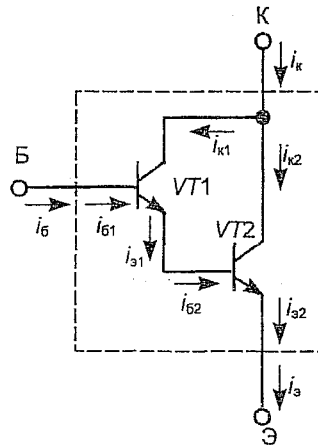


Рис. 6.1

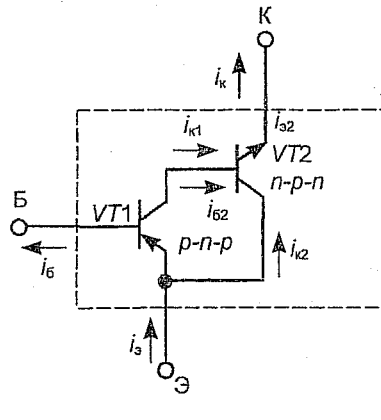


Рис. 6.2

На рис. 6.2 показана другая схема составного транзистора, используемая для улучшения параметров *p-n-p*-транзисторов. В ней используются транзисторы с разным типом проводимости. В этой схеме также $\beta = \beta_1 + \beta_1 \beta_2 \approx \beta_1 \cdot \beta_2$.

Составные транзисторы широко используются в усилительных каскадах и особенно в повторителях напряжения.

6.2.2. Генераторы стабильного тока

Генераторы стабильного тока (ГСТ) должны обеспечивать неизменный выходной ток при изменении нагрузки R_H .

В простейшем случае эта задача может быть решена с помощью токозадающего резистора R (рис. 6.3). В этой схеме реальная нагрузка условно показана как резистор R_H . Ток в нагрузке I_H равен

$$I_H = \frac{E_n}{R_H + R} \approx \frac{E_n}{R}. \quad (6.2)$$

Если $R \gg R_H$, то ток I_H слабо зависит от изменений сопротивления нагрузки. Действительно, дифференцируя (6.2) получим:

$$\frac{\Delta I_H}{I_H} = \frac{\Delta R}{R}. \quad (6.3)$$

Следовательно, увеличивая R , можно уменьшить изменения тока нагрузки ΔI_H до требуемой величины. Однако схеме на рис. 6.3 присущ недостаток – большая часть мощности, поступающей от источника питания, выделяется в резисторе R и не поступает в нагрузку R_H .

Значительно удобнее вместо резистора R использовать нелинейные элементы, обладающие малым сопротивлением по постоянному току $R_0 = u / i$ и большим дифференциальным $R_i = \Delta u / \Delta i$, например, транзисторы.

На рис. 6.4 приведена схема простейшего ГСТ на биполярном транзисторе (а) и его эквивалентная схема (б). В качестве стабилизирующего элемента

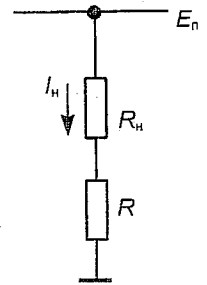


Рис. 6.3

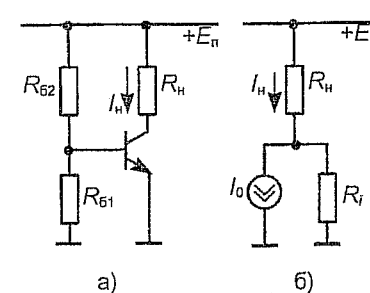


Рис. 6.4

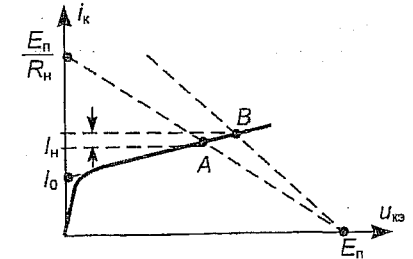


Рис. 6.5

используется выходная цепь транзистора (промежуток эмиттер-коллектор), имеющая вольтамперную характеристику требуемого вида (рис. 6.5).

Рабочая точка (ток I_H) определяется пересечением характеристики и нагрузочной линии (точка А). При изменении R_H рабочая точка перемещается по характеристике. Например, при уменьшении сопротивления нагрузки на величину ΔR_H , рабочая точка переместится в точку В, что приведет к увеличению тока нагрузки на ΔI_H (см. рис. 6.5). Чем больше выходное дифференциальное сопротивление транзистора $R_i = \Delta U / \Delta I$ (чем более горизонтально идет характеристика), тем меньше изменение тока нагрузки I_H .

Так как на участке стабилизации (пологая область) характеристика транзистора аппроксимируется выражением

$$i_k = I_0 + u_{кз} / R_i, \quad (6.4)$$

легко получить

$$\Delta I_H / I_H = \Delta R_H / R_i. \quad (6.5)$$

Таким образом, в транзисторном стабилизаторе стабилизация тока определяется величиной R_i (эквивалент R в схеме на рис. 6.3), которая может достигать десятков и сотен килоом.

Величину тока нагрузки I_H можно задавать, изменяя режим работы транзистора по постоянному току с помощью резисторов $R_{Б1}$ и $R_{Б2}$. Отметим, что в стабилизаторах выгоднее задавать внешними элементами напряжение $U_{Бэ}$, а не ток базы $I_Б$, так как в этом случае эффект Эрли проявляется слабее и выходное сопротивление R_i увеличивается. Кроме того, часто в цепь эмиттера транзистора включают резистор $R_э$, улучшающий стабильность и увеличивающий сопротивление R_i .

На рис. 6.6 приведена распространенная схема ГСТ на полевом транзисторе с управляющим переходом. Она удобна тем, что является двухполюсником, напряжение $u_{зи}$ формируется за счет автоматического смещения $u_{зи} = I_c R_{и}$. В частном случае при $R_{и} = 0$ и $u_{зи} = 0$ $I_H = I_{С \text{ макс.}}$.

Широкое распространение в аналоговых ИС получили стабилизаторы тока, называемые **токовыми зеркалами** или **отражателями тока**. Схема рис. 6.7 отличается от схемы рис. 6.4 способом задания режима транзистора VT2. Вместо делителя напряжения $R_{Б1}-R_{Б2}$ в ней используется нелинейный делитель, составленный из резистора R_0 и транзистора VT1, включенного в диодном режиме (в прямом направлении).

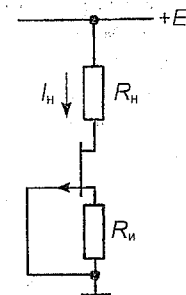


Рис. 6.6

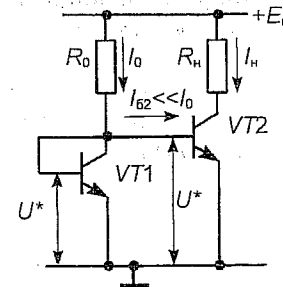


Рис. 6.7

Ток I_0 в левой части схемы равен

$$I_0 = \frac{E_n - U^*}{R_0} \approx \frac{E_n}{R_0}, \quad (6.6)$$

где U^* — прямое напряжение, устанавливающееся на эмиттерном переходе транзистора VT1 под действием тока I_0 . (Напомним, что для кремниевых транзисторов $U^* = 0,6 \dots 0,8$ В).

Ток базы второго транзистора значительно (в β раз) меньше тока I_0 и может не учитываться.

Одновременно напряжение U^* поступает на базу транзистора VT2. Оба транзистора работают в активном режиме и, если они одинаковы, то $I_H = I_0$ (то, что для VT1 $u_{кб} = 0$, а для VT2 $u_{кб} > 0$ в активном режиме влияет слабо), причем это равенство не нарушается при различных дестабилизирующих воздействиях. Отметим, что «токовые зеркала» особенно эффективны именно в микроэлектронном исполнении, обеспечивающем идентичность параметров транзисторов, одинаковые температурные зависимости, одинаковое «старение» и т. д. Существуют также схемы, в которых «отражение тока» происходит с изменением масштаба.

6.2.3. Динамическая нагрузка

Термином **динамическая нагрузка** описывают нелинейные элементы с большим сопротивлением переменному току (большим дифференциальным сопротивлением) и малым сопротивлением по постоянному току, используемые вместо резисторов в выходных цепях усилительных элементов. Фактически речь идет об одной из областей применения генераторов тока. Более того, сам термин «ди-

намическая нагрузка» является условным, так как реальной нагрузкой (получателями сигнала) являются другие элементы.

На рис. 6.8 и 6.9,а показаны выходные цепи усилительных каскадов на БТ с линейным резистором R_k и динамической нагрузкой соответственно. Реальная нагрузка (входное сопротивление следующего каскада) обозначена резистором R_n .

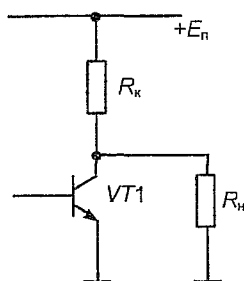


Рис. 6.8

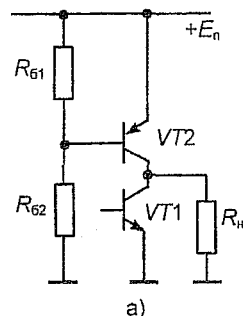
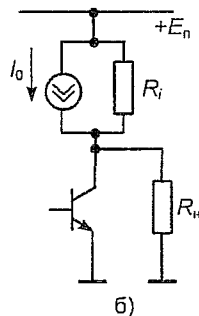


Рис. 6.9



Известно, что коэффициент усиления по напряжению возрастает пропорционально увеличению сопротивления нагрузки R_n . Однако, при этом необходимо, чтобы $R_k \gg R_n$, так как в противном случае часть сигнала будет рассеиваться в резисторе R_k . Таким образом, при увеличении R_n необходимо увеличить и R_k , однако, величины, определяющие режим работы по постоянному току $I_k(0)$ и $U_k(0)$ жестко связаны со значениями R_k и E_n , так как $U_k(0) = E_n - I_k(0) R_k$, и возможности изменения R_k практически отсутствуют.

Естественным выходом из данной ситуации является использование вместо R_k генератора тока (рис. 6.9,а). В этом случае легко выполнить условие $R_i \gg R_n$ и независимо от него установить любой требуемый ток $I_k(0) \approx I_0$.

Целесообразно отметить, что для получения динамической нагрузки удобно использовать транзисторы с другим типом проводимости (в данном случае $p-n-p$) и задавать напряжение база-эмиттер $VT2$ относительно шины питания. В целом, применение динамической нагрузки позволяет примерно на порядок увеличить коэффициент усиления по напряжению.

6.2.4. Схемы сдвига потенциальных уровней

В многокаскадных усилителях с непосредственными (гальваническими) связями между каскадами на вход каждого следующего каскада поступает не только полезный сигнал, но и постоянная составляющая напряжения с транзистора предыдущего каскада. Устранение избыточного постоянного напряжения осуществляют схемы сдвига потенциальных уровней. При этом переменные сигналы они пропускают без ослабления. В определенном смысле схемы сдвига уровней заменяют разделительные конденсаторы, которые не могут быть реализованы средствами микроэлектроники.

Одним из вариантов решения проблемы накопления постоянных составляющих является чередование каскадов на $n-p-n$ - и $p-n-p$ -транзисторах, так как в $n-p-n$ -транзисторах в активном режиме положительное напряжение на коллекторе транзистора больше, чем на базе, а в $p-n-p$ – меньше.

Вторым вариантом схем сдвига уровней являются нелинейные делители напряжения.

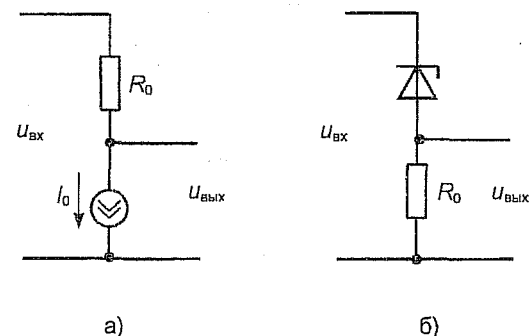


Рис. 6.10

В схеме на рис. 6.10,а постоянная составляющая на выходе уменьшается на величину $I_0 R_0$, а в схеме на рис. 6.10,б на величину напряжения стабилизации $U_{ст}$. При этом для переменных составляющих коэффициенты передачи обеих схем близки к единице, так как в схеме рис. 6.10,а сопротивление R_0 выбирается много меньше дифференциального сопротивления генератора тока R_i , а в схеме рис. 6.10,б много больше дифференциального сопротивления стабилитрона r_d . Генератор тока может быть построен по любой из ранее рассмотренных схем.

6.3. Усилительные каскады и повторители

6.3.1. Усилительные каскады на биполярных транзисторах

В АИС наибольшее распространение получили схемы с общим эмиттером (ОЭ) и непосредственными (гальваническими) связями между каскадами. Схемы с общей базой используются значительно реже (на СВЧ) и будут рассмотрены в специальных курсах.

Простейший усилительный каскад с двумя источниками питания

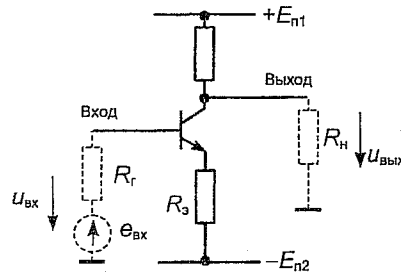


Рис. 6.11

Источник входного сигнала показан в виде генератора напряжения с ЭДС $e_{вх}$ и внутренним сопротивлением $R_г$, которые определяются предыдущим усилительным каскадом. Отметим, что источник входного сигнала обязательно должен пропускать постоянную составляющую тока базы. С помощью сопротивления нагрузки $R_н$ отбражается входное сопротивление последующего каскада.

Для анализа усилительного каскада по **постоянному току** используем упрощенную эквивалентную схему транзистора для активного режима работы (рис. 6.12). В этой схеме напряжение на эмиттерном переходе $U_{бэ} \approx U^* = 0,6 \dots 0,8$ В считается независимым от протекающих токов (напомним, что при изменении тока эмиттера в 10 раз напряжение $U_{бэ}$ изменяется всего на 60 мВ). Кроме того, пренебрегаем выходным сопротивлением транзистора r_k^* (эффектом Эрли), что допустимо, если $r_k^* \gg R_k$. С учетом сказанного эквивалентная схема каскада приобретает вид, приведенный на рис. 6.13. Для сопротивлений $R_{б экв}$ и $R_{к экв}$ справедливо

$$R_{к экв} = R_k \parallel R_n; \quad R_{б экв} = R_г + r_b' \quad (6.7)$$

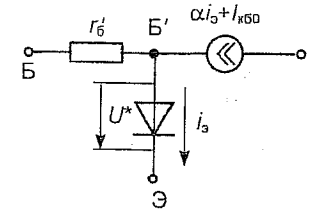


Рис. 6.12

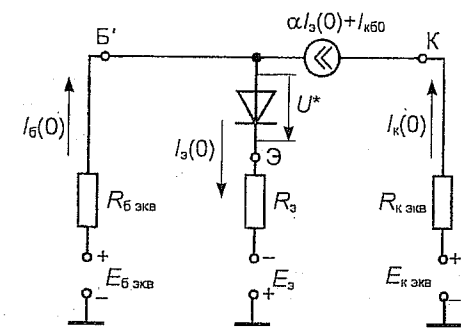


Рис. 6.13

а источник $E_б$ учитывает постоянное напряжение, которое может поступать на базу транзистора с предыдущего каскада. Отметим, что один из источников $E_б$ или $E_э$ может отсутствовать. Схема на рис. 6.13 может рассматриваться как обобщенная для любых транзисторных усилительных каскадов (любая реальная схема с помощью теоремы об эквивалентных источниках может быть преобразована к данному виду), поэтому выводы, получаемые с ее помощью справедливы и для других схем. Обойдя входной контур схемы, получим уравнение

$$E_э + E_{б экв} - I_б(0)R_{б экв} - U^* - I_э(0)R_э = 0. \quad (6.8)$$

Выразим постоянную составляющую тока базы $I_б(0)$ через ток $I_э(0)$

$$I_б(0) = I_э(0) - I_k(0) = I_э(0) - \alpha I_э(0) - I_{кб0} = (1 - \alpha)I_э(0) - I_{кб0}, \quad (6.9)$$

и, подставляя (6.9) в (6.8) получаем

$$I_э(0) = \frac{E_{б экв} + E_э - U^*}{R_э + (1 - \alpha)R_{б экв}} + \frac{R_{б экв}I_{кб0}}{R_э + (1 - \alpha)R_{б экв}}. \quad (6.10)$$

Тогда постоянные составляющие тока коллектора $I_k(0)$ и напряжения $U_k(0)$ равны

$$I_k(0) = \alpha I_э(0) + I_{кб0}, \quad (6.11)$$

$$U_k(0) = E_{к экв} - R_{к экв} I_k(0). \quad (6.12)$$

Формулы (6.10)...(6.12) позволяют рассчитать рабочую точку транзистора и оценить ее стабильность. Напомним, что параметры транзистора α , U^* , $I_{кб0}$ зависят от температуры, имеют технологический разброс и изменяются в процессе старения.

Сильнее всего от температуры зависит тепловой ток $I_{кб0}$ (удваивается на каждые 8 К), однако, для кремниевых транзисторов он мал и должен учитываться только при высоких температурах. Пороговое

напряжение U^* уменьшается на 3 мВ на 1 К и этим изменением по сравнению с напряжениями E_6 и E_3 можно пренебречь. Коэффициент передачи тока эмиттера α слабо возрастает с увеличением температуры (на единицы процента во всей рабочей области температур), однако величина $1 - \alpha = \frac{1}{1 + \beta}$ изменяется в десятки и более раз сильнее (в несколько раз в рабочей области температур). Из (6.10)...(6.12) следует, что для обеспечения высокой стабильности следует выбирать R_3 достаточно большим

$$R_3 \gg (1 - \alpha) R_{6 \text{ экв}} \approx \frac{R_{6 \text{ экв}}}{\beta} \quad R_3 \gg \frac{R_{6 \text{ экв}}}{\beta} \quad (6.13)$$

Кроме того, сопротивление в цепи базы $R_{6 \text{ экв}}$ должно быть как можно меньше (однако r_6 и R_r имеют конечные значения). При выполнении (6.13)

$$I_3(0) \approx \frac{E_6 + E_3 + U^*}{R_3} \approx \frac{E_6 + E_3}{R_3}, \quad (6.14)$$

$$I_K(0) \approx \alpha I_3(0) + I_{K60} \approx \alpha I_3(0). \quad (6.15)$$

Иными словами, при данном условии постоянная составляющая тока эмиттера не зависит от параметров транзистора, а определяется параметрами других элементов схемы. При этом обеспечивается высокая стабильность рабочей точки, так как из (6.15) следует

$$\frac{\Delta I_K(0)}{I_K(0)} = \frac{\Delta \alpha}{\alpha}. \quad (6.16)$$

Отметим, что условие (6.13) тем легче выполняется, чем больше β транзистора.

В реальных схемах стабильность в 2...5 раз хуже, чем следует из (6.16), за счет конечного значения $R_{6 \text{ экв}}$.

Приведем пример расчета параметров эквивалентных источников.

По теореме об эквивалентном источнике для схемы рис. 6.14 получим:

$$\begin{cases} E_3 = 0; \\ E_{6 \text{ экв}} = E_K \frac{R_{61}}{R_{61} + R_{62}}; \\ R_{6 \text{ экв}} = R_{31} \parallel R_{32}; \\ E_{K \text{ экв}} = E_K \frac{R_H}{R_H + R_K}; \\ R_{K \text{ экв}} = R_K \parallel R_H. \end{cases} \quad (6.17)$$

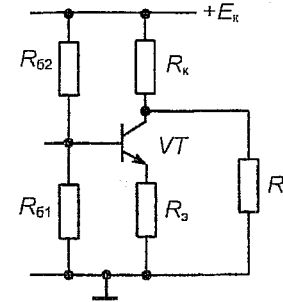


Рис. 6.14

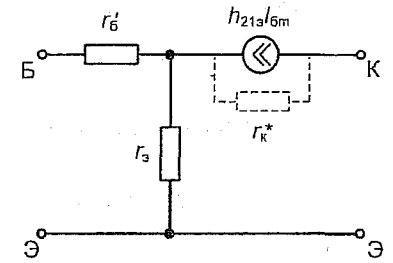


Рис. 6.15

Для анализа каскада по **переменному току** воспользуемся малосигнальной Т-образной эквивалентной схемой транзистора (рис. 6.15), параметры которой определены в рабочей точке. Составим малосигнальную эквивалентную схему усилительного каскада (рис. 6.16) для переменных составляющих. Напомним, что для переменных составляющих сопротивление источников питания близко к нулю. (Для схемы на рис. 6.14 параллельно источнику сигнала должны быть подключены резисторы R_{61} и R_{62}).

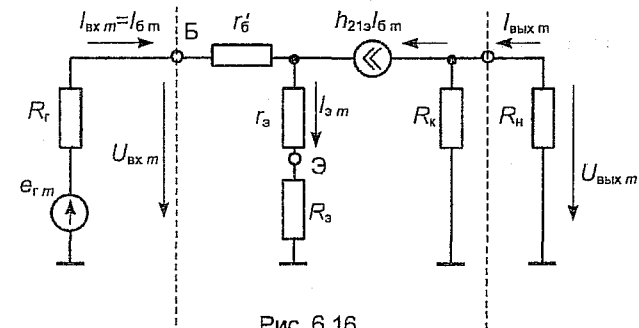


Рис. 6.16

Рассчитаем основные параметры усилительного каскада $R_{вх}$, K_U , K_I , $R_{вх}$. При выводе будем считать, что $R_H < R_K < r_K^*$.

Для входного контура получим

$$E_{r m} - I_{6 m}(R_r + r_6') - I_{3 m}(r_3 + R_3) = 0, \quad (6.18)$$

При этом

$$U_{вх m} = I_{6 m}r_6' + I_{3 m}(r_3 + R_3). \quad (6.19)$$

Тогда, учитывая, что $I_{B\text{ м}} = (1 + h_{213}) I_{B\text{ м}} \approx (1 + \beta) I_{B\text{ м}}$ (напомним, что дифференциальный h_{213} и статический β коэффициенты передачи тока базы не одинаковы, но их различие не превышает технологического разброса и часто не учитывается).

$$R_{\text{вх}} = \frac{U_{\text{вх м}}}{I_{\text{вх м}}} = r'_B + (\beta + 1)(r_B + R_3)$$

Сопротивление тела базы r'_B маломощных транзисторов невелико ($r'_B \approx 100 \dots 300 \text{ Ом}$); дифференциальное сопротивление эмиттерного перехода определяется постоянной составляющей тока эмиттера $I_E(0)$, $r_B = U_T / I_E(0)$ также невелико (при $I_E(0) = 1 \text{ мА}$ $r_B = 26 \text{ Ом}$); поэтому обычно

$$R_{\text{вх}} \approx \beta R_3 \quad (6.20)$$

(Если принять $\beta = 50$ и считать, что $R_3 \geq 100 \text{ Ом}$, то $R_{\text{вх}} \geq 5 \text{ кОм}$).

Коэффициент усиления по току равен

$$K_{I\text{ max}} = \frac{I_{\text{вых м}}}{I_{\text{вх м}}} = h_{213} \approx \beta \quad R_K \gg R_H \quad (6.21)$$

Если сопротивление резистора R_K соизмеримо с сопротивлением нагрузки, то за счет потерь в резисторе R_K усиление по току снижается в $(1 + \frac{R_H}{R_K})$ раз. Коэффициент усиления по напряжению определяется соотношением

$$1) \quad K_U = \frac{U_{\text{вых м}}}{U_{\text{вх м}}} = -\frac{\beta I_{B\text{ м}} R_H}{I_{B\text{ м}} R_{\text{вх}}} = -\beta \frac{R_H}{R_{\text{вх}}} \quad (6.22)$$

При выполнении (6.20)

$$K_U = -\frac{\beta R_H}{\beta R_3} = -\frac{R_H}{R_3} \quad R_K \gg R_H \quad (6.23)$$

Максимальное усиление по напряжению также соответствует условию $R_K \gg R_H$

(Например, если $R_3 = 100 \text{ Ом}$, а $R_H = 5 \text{ кОм}$, то $K_U = 50$).

Отметим, что коэффициент усиления по напряжению увеличивается с ростом R_H (с увеличением входного сопротивления последующего каскада). Если в качестве нагрузки выступает аналогичный усилительный каскад с входным сопротивлением $R_{\text{вх}}$, то

$$K_U = -\frac{\beta R_H}{R_{\text{вх}}} = -\frac{\beta R_{\text{вх}}}{R_{\text{вх}}} = -\beta \quad (6.24)$$

Таким образом, в цепочке одинаковых усилительных каскадов усиление как по току, так и по напряжению определяется параметром β ($K_I \approx \beta$; $|K_U| \approx \beta$; $K_P \approx \beta^2$). Выходное сопротивление каскада при сделанных допущениях ($R_K \ll r'_K$) равно

$$R_{\text{вх}}^{\text{с}} = R_K \quad (6.25)$$

В заключение остановимся на роли резистора R_3 как следует из (6.18)...(6.24) от величины R_3 зависят как входное сопротивление каскада $R_{\text{вх}}$, так и коэффициенты усиления. Кроме того, выбор R_3 должен производиться с учетом необходимости обеспечения требуемой стабильности рабочей точки. В последующих курсах влияние R_3 будет рассмотрено с более общих позиций – как элемента создающего отрицательную обратную связь в усилительном каскаде.

6.3.2. Усилительные каскады на полевых транзисторах

Для построения усилительных каскадов используются как полевые транзисторы с управляющим переходом, так и МОП – транзисторы с индуцированным, а чаще встроенным, каналом, работающие в режиме насыщения (аналог активного режима работы БТ). В большинстве случаев используется включение транзисторов с общим истоком (аналог включения БТ с ОЭ). Схемы с общим затвором используются в основном в СВЧ-диапазоне.

Схема усилительного каскада с двумя источниками питания на полевом транзисторе со встроенным л-каналом изображена на рис. 6.17.

Режим покоя (рабочая точка по постоянному току) задается непосредственно источниками питания.

$$U_{\text{зи}}(0) = -E_{\text{и}} \quad (6.26)$$

$$U_{\text{с}}(0) = E_{\text{с}} - I_{\text{с}}(0) R_{\text{с}} \quad (6.27)$$

В схемах с двумя источниками питания потенциал $U_{\text{с}}(0)$ часто выбирают равным нулю (это облегчает соединение каскадов друг с другом). Ток покоя $I_{\text{с}}(0)$ легко определить, пользуясь уравнением управляющей характеристики ПТ в режиме насыщения (с учетом (6.26))

$$I_{\text{с}}(0) = \frac{b}{2} (E_{\text{и}} - U_{\text{пор}})^2 \quad (6.28)$$

Отсюда, задаваясь током $I_{\text{с}}(0)$ легко найти необходимое значение напряжения $E_{\text{и}}$. Иногда в схеме на рис. 6.17 используется резистор $R_{\text{и}}$ (как и резистор R_3 он создает отрицательную обратную

связь, уменьшающую искажения). В этом случае источник напряжения $E_{и}$ может и отсутствовать, а напряжение смещения равно

$$U_{зи}(0) = -E_{и} - I_c(0)R_{и}. \quad (6.29)$$

Аналогично могут быть построены усилительные каскады и на других типах ПТ.

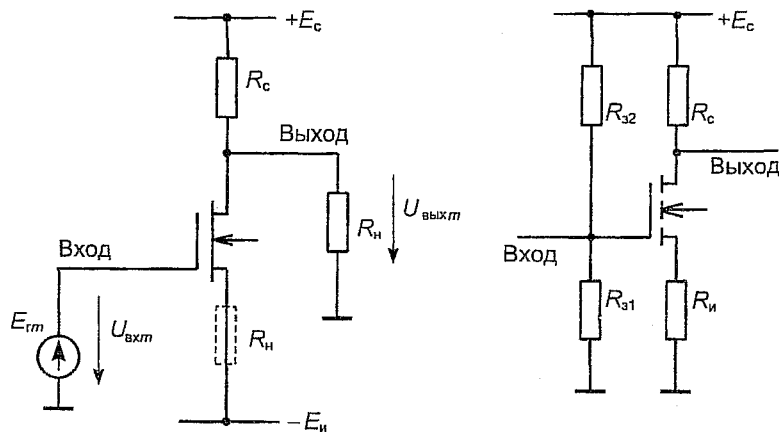


Рис. 6.17

Рис. 6.18

На рис. 6.18 приведена схема усилительного каскада на МОП-транзисторе с индуцированным каналом. В этой схеме

$$U_{зи}(0) = E_c \frac{R_{31}}{R_{31} + R_{32}} - I_c(0)R_c. \quad (6.30)$$

Таким образом, напряжение затвор-исток определяется двумя составляющими – положительной, получаемой с помощью делителя напряжения R_{31} , R_{32} , и отрицательной за счет автоматического смещения на резисторе $R_{и}$.

Для оценки **усилительных свойств** составим эквивалентную схему каскада, соответствующую схемам на рис. 6.17 и 6.18 – см. рис. 6.19.

Сопротивление r_c учитывать не будем ($r_c \gg R_n$), тогда

$$\begin{cases} I_{cm} = SU_{зиm}, \\ U_{выхm} = -SU_{зиm}R_n, \\ U_{зиm} = U_{вхm} - U_{им} = U_{вхm} - I_{cm}R_c. \end{cases} \quad (6.31)$$

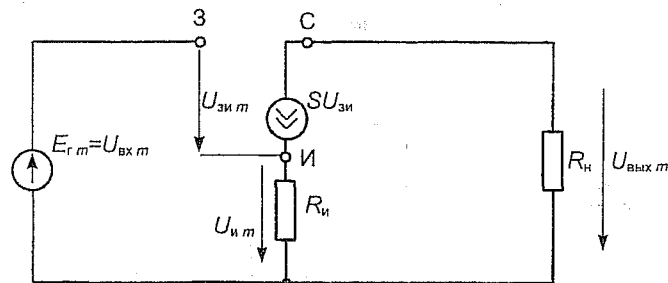


Рис. 6.19

Из системы (6.31) получим выражение для коэффициента усиления каскада по напряжению (входное сопротивление и усиление по току на низкой частоте стремятся к бесконечности).

$$U_{зиm} = U_{вхm} - SR_{и}U_{зиm}; \quad U_{вхm} = (1 + SR_{и})U_{зиm};$$

$$K_U = \frac{U_{выхm}}{U_{вхm}} = -\frac{SR_n}{1 + SR_{и}}. \quad (6.32)$$

Крутизна маломощных ПТ составляет примерно 0,5...1 мА/В, тогда при $R_n = 5$ кОм, $R_{и} = 0$, $S = 1$ мА/В, $K_U = 5$. Таким образом, усиление по напряжению каскадов на ПТ меньше, чем каскадов на БТ. Поэтому в аналоговой технике биполярные транзисторы используются чаще, чем полевые. Последние, как правило, применяют в особых случаях, например, во входных и в выходных каскадах.

6.3.3. Дифференциальные каскады

Дифференциальный каскад – это схема, используемая для усиления разности напряжений двух входных сигналов. В идеальном случае выходной сигнал не зависит от уровня каждого из входных сигналов, а определяется только их разностью.

На рис. 6.20 показана простейшая схема ДК на биполярных транзисторах. Схема содержит два плеча, включающих транзисторы VT_1 и VT_2 и резисторы $R_{к1} = R_{к2}$ и токозадающий резистор R_0 . В первом приближении ток I_0 , протекающий через резистор R_0 (и оба транзистора), не должен зависеть от входных сигналов. Для этого сопротивление резистора R_0 выбирается большим (десять килоом) или вместо него используется транзисторный генератор тока. В схеме используются два источника питания $E_{п1}$ и $E_{п2}$, вторые выводы которых подключены к общей точке. Наличие двух источников питания позволяет работать с сигналами любой полярности (если оста-

вить один источник питания, а вторую шину питания подключить к общей точке, возможно усиление сигналов только одной полярности).

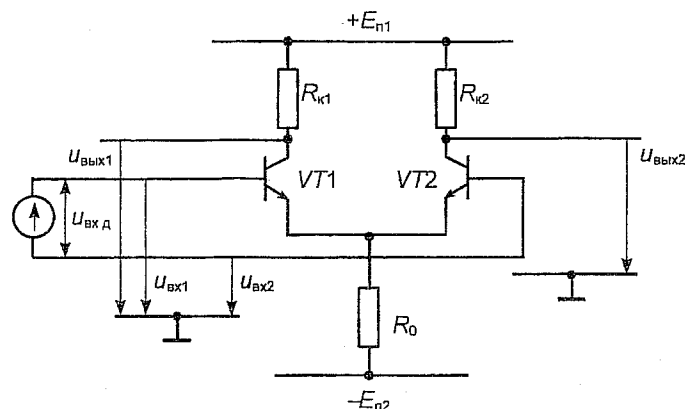


Рис. 6.20

В общем случае дифференциальный каскад имеет два входа и два выхода, напряжения на которых $U_{вх1}$, $U_{вх2}$, $U_{вых1}$, $U_{вых2}$ отсчитываются от общей точки.

Различают синфазные и дифференциальные входные сигналы. Когда уровни сигналов на обоих входах равны ($U_{вх1} = U_{вх2} = U_{вх\text{ сф}}$), такие сигналы называют синфазными. Роль синфазных сигналов обычно играют помехи. Если источник сигнала включен между входами ДК, то такой сигнал называют дифференциальным (разностным) $U_{вх\text{ д}} = U_{вх1} - U_{вх2}$. При дифференциальном включении входной сигнал делится пополам между одинаковыми транзисторами VT1 и VT2, причем составляющие напряжений на входах ДК относительно общей точки противоположны по знаку, или

$$U_{вх1} = \frac{U_{вх\text{ д}}}{2} \text{ и } U_{вх2} = -\frac{U_{вх\text{ д}}}{2}. \quad (6.33)$$

Дифференциальный каскад должен эффективно усиливать дифференциальные сигналы и ослаблять синфазные.

Выходное напряжение может сниматься между выходами схемы; тогда оно называется выходным дифференциальным (или двухфазным) напряжением. При этом необходимо, чтобы следующий каскад имел дифференциальный вход. Кроме того, часто используют однофазный выход – снимают выходное напряжение меж-

ду одним из выходов и общей точкой, при этом половина полезного сигнала, действующего на оставшемся выходе не используется.

Рассмотрим преобразование синфазного сигнала в ДК. Пусть на входы схемы (рис. 6.20) подано синфазное напряжение ($U_{вх1} = U_{вх2} = U_{вх\text{ сф}}$). В качестве выходного сигнала будем рассматривать однофазное напряжение на первом выходе $U_{вых} = U_{вых1}$.

Для анализа воспользуемся эквивалентной схемой, приведенной на рис. 6.21, содержащей одну половину ДК. Поскольку через транзистор VT1 протекает половина тока I_0 , резистор в эмиттерной цепи имеет сопротивление $2R_0$ (второе сопротивление $2R_0$ обеспечивает ток второй половины ДК).

Схема на рис. 6.21 является классическим усилительным каскадом с ОЭ, рассмотренным ранее. Воспользуемся формулой для расчета коэффициента усиления по напряжению

$$K_{U\text{ сф}} = \frac{U_{вых}}{U_{вх\text{ сф}}} = -\frac{R_k}{2R_0}. \quad (6.34)$$

Из (6.34) видно, что если $R_0 \gg R_k$, то $K_{U\text{ сф}} \ll 1$. Иными словами, увеличивая сопротивление токозадающего резистора R_0 можно уменьшать коэффициент передачи синфазного сигнала до требуемого уровня. Особенно эффективно подавление синфазного сигнала обеспечивается при замене R_0 генератором тока.

Очень важно, что ДК обладают высокой стабильностью, так как реальные дестабилизирующие факторы (изменение температуры, ионизирующие излучения, старение элементов) воздействуют на плечи ДК практически одинаково (если идентичность параметров элементов не нарушается) и ослабляются аналогично синфазным сигналам. Поэтому ДК, разработанные как приемники сигналов для симметричных линий, широко используются в микроэлектронике как высокостабильные каскады общего назначения.

Усиление дифференциального сигнала проанализируем с помощью схем на рис. 6.22. На схеме (рис. 6.22,а) показаны токи, протекающие в ДК под действием дифференциального напряжения $U_{вх\text{ д}}$. В этом случае через резистор R_0 помимо тока I_0 (задаваемого источником $E_{п2}$) протекают одинаковые, но противоположно направ-

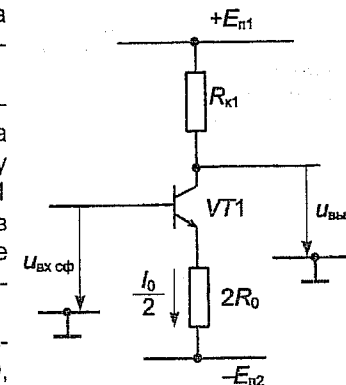


Рис. 6.21

ленные составляющие токов эмиттеров $I_{э1д}$, $I_{э2д}$ транзисторов VT1 и VT2. Таким образом, падение напряжения от протекания дифференциальных составляющих токов на резисторе R_0 отсутствует и для дифференциальных сигналов потенциал точки A равен нулю. Следовательно, для дифференциальных сигналов справедлива эквивалентная схема на рис. 6.22,б, отличающаяся от схемы на рис. 6.21 отсутствием резистора R_0 .

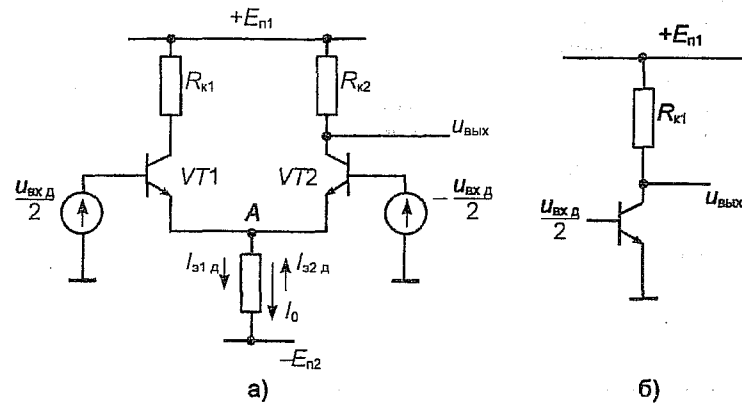


Рис. 6.22

Определим коэффициент усиления по напряжению для дифференциального сигнала

$$K_{Uд} = \frac{U_{вых}}{U_{вх.д}} = -\frac{\beta R_k}{2R_{вх}}. \quad (6.35)$$

где $R_{вх} = r'_б + \beta r_э$, $r_э = \frac{2U_T}{I_0}$ (так как через один транзистор протекает ток $\frac{I_0}{2}$).

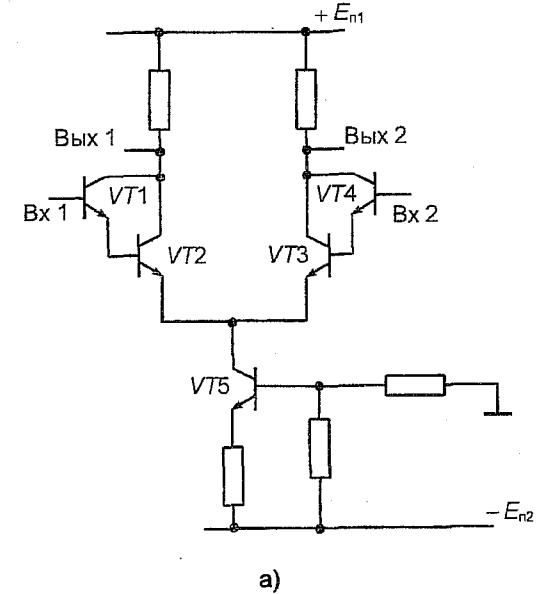
Дифференциальные каскады, как правило, работают с малым током $I_0 \ll 1$ мА, тогда $R_{вх} \approx \beta r_э$ и

$$K_{Uд} = -\frac{R_k}{2r_э} = -\frac{R_k I_0}{4U_T}. \quad (6.36)$$

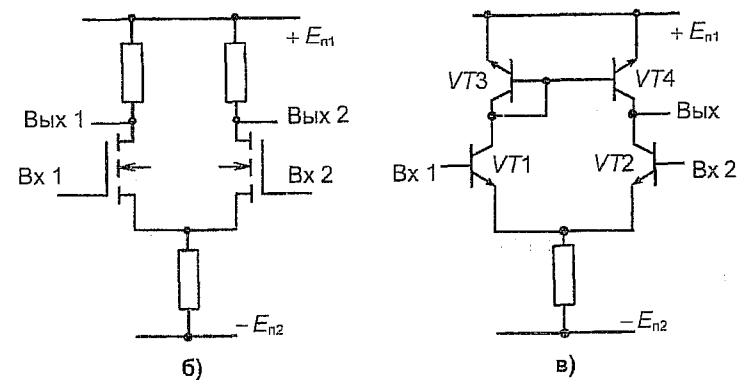
Таким образом, коэффициент усиления для дифференциального сигнала гораздо больше, чем для синфазного и достигает нескольких сотен (тысяч при использовании динамической нагрузки). Отметим, что усиление ДК можно регулировать, изменяя ток I_0 , что

используется в программируемых операционных усилителях и перемножителях аналоговых сигналов.

Существует много вариантов построения дифференциальных каскадов (рис. 6.23). В схеме на рис. 6.23,а применены составные транзисторы, включенные по схеме Дарлингтона, а вместо токоза-



а)



б)

в)

Рис. 6.23

дающего резистора R_0 использован генератор тока на транзисторе $VT5$. По сравнению с простейшим ДК эта схема отличается большим входным сопротивлением и используется в прецизионных устройствах.

Еще большим входным сопротивлением отличается схема на рис. 6.23, б, в которой использованы МДП-транзисторы. Входные токи в этой схеме (на низких частотах) определяются утечками через диэлектрик затвора и составляют единицы – десятки пикоампер.

На рис. 6.23, в изображен ДК с динамической нагрузкой в виде токового зеркала на транзисторах $VT3$, $VT4$. Эта схема обладает высоким коэффициентом усиления ($K_{U\text{ дф}}$ составляет несколько тысяч) и однофазным выходом. Существенно, что в этой схеме сигнал транзистора $VT1$ не теряется, а с помощью токового зеркала передается в выходную цепь, складываясь с сигналом транзистора $VT2$.

6.3.4. Повторители напряжения

Повторителями напряжения называются каскады с коэффициентом усиления по напряжению близким к единице, не изменяющие фазу выходного сигнала и обладающие высоким входным и низким выходным сопротивлениями по сравнению с простейшими усилительными каскадами. Для построения повторителей используют каскады с общим коллектором (эмиттерный повторитель) и с общим истоком (источковый повторитель).

Принципиальная схема эмиттерного повторителя приведена на рис. 6.24, а, а его малосигнальная эквивалентная схема – на рис. 6.24, б.

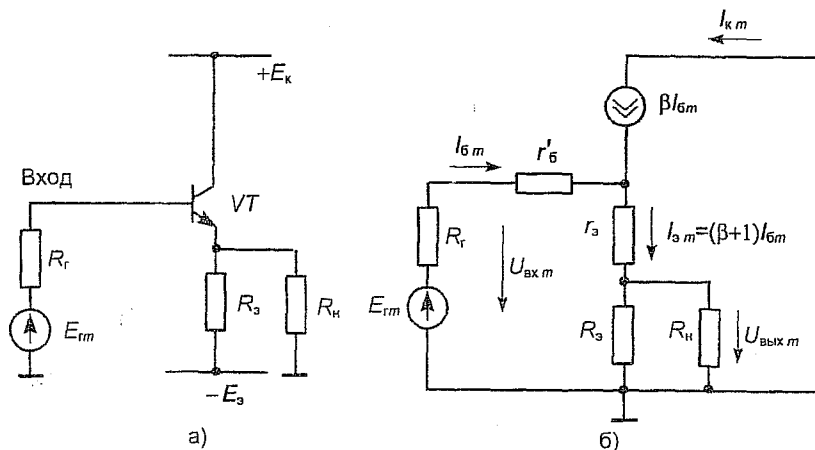


Рис. 6.24

Из рисунка 6.24, а следует, что в первом приближении выходное напряжение повторяет входное (с уменьшением на $U^* = 0,6...0,8$ В). При наличии двух источников питания схема повторяет сигналы любой полярности.

Расчет **постоянных составляющих токов** (а следовательно и выбор параметров элементов схем) для повторителей совпадает с аналогичными вычислениями для каскадов с ОЭ (отсутствие R_k на токи практически не влияет).

Поэтому перейдем к анализу повторителя для **переменных сигналов**. Из схемы на рис. 6.24, б получим

$$U_{\text{вх м}} = I_{\text{э м}} R_{\text{э}} \parallel R_{\text{н}} = (1 + \beta) I_{\text{б м}} R_{\text{э}} \parallel R_{\text{н}}, \quad (6.37)$$

$$U_{\text{вх м}} = I_{\text{б м}} [r'_{\text{б}} + (1 + \beta) r_{\text{э}} + (1 + \beta) R_{\text{э}} \parallel R_{\text{н}}]. \quad (6.38)$$

Тогда **коэффициент передачи по напряжению** равен

$$K_U = \frac{U_{\text{вых м}}}{U_{\text{вх м}}} = \frac{(1 + \beta) R_{\text{э}} \parallel R_{\text{н}}}{r'_{\text{б}} + (1 + \beta) r_{\text{э}} + (1 + \beta) R_{\text{э}} \parallel R_{\text{н}}}. \quad (6.39)$$

Учитывая, что $R_{\text{э}} \parallel R_{\text{н}} \gg r_{\text{э}}$ и $(1 + \beta) R_{\text{э}} \parallel R_{\text{н}} \gg r'_{\text{б}}$ $K_U \approx 1$. (В реальных схемах $K_U = 0,98...0,99$). Таким образом, эмиттерный повторитель передает переменный сигнал практически без изменения (напомним, что постоянная составляющая уменьшается на U^*).

Входное сопротивление повторителя $R_{\text{вх}}$ определяется по той же формуле, что и для каскада ОЭ

$$R_{\text{вх}} = \frac{U_{\text{вх м}}}{I_{\text{б м}}} = r'_{\text{б}} + (\beta + 1)(R_{\text{э}} \parallel R_{\text{н}} + r_{\text{э}}) \approx \beta R_{\text{э}} \parallel R_{\text{н}}. \quad (6.40)$$

Однако в отличие от усилительного каскада в повторителе $R_{\text{э}}$ и $R_{\text{н}}$ можно увеличивать, практически не изменяя коэффициент передачи. Таким образом, входное сопротивление повторителя можно получить значительно больше (особенно эффективно использование составных транзисторов и генератора тока вместо $R_{\text{э}}$). При этом следует иметь в виду, что максимальное значение входного сопротивления ограничено величиной дифференциального сопротивления коллекторного перехода r_k (сотни килоом – единицы мегом), которым мы ранее пренебрегли.

Выходное сопротивление повторителя $R_{\text{вых}}$ определяется соотношением

$$R_{\text{вых}} = \frac{(U_{\text{вых м}})_{\text{хх}}}{(I_{\text{вых м}})_{\text{кз}}},$$

где $(U_{\text{вых}} m)_{\text{хх}}$ — выходное напряжение холостого хода при $(R_{\text{н}} = \infty)$, а $(I_{\text{вых}} m)_{\text{кз}}$ — выходной ток короткого замыкания ($R_{\text{н}} = 0$).

Из эквивалентной схемы на рис. 6.24,б при $R_{\text{н}} = \infty$ получим

$$\begin{aligned} E_{\text{г м}} &= I_{\text{б м}} (R_{\text{г}} + r'_{\text{б}}) + I_{\text{э м}} (r_{\text{э}} + R_{\text{э}}) = \\ &= (1-\alpha) I_{\text{э м}} (R_{\text{г}} + r'_{\text{б}}) + I_{\text{э м}} r_{\text{э}} + I_{\text{э м}} R_{\text{э}}, \end{aligned}$$

тогда

$$(U_{\text{вых}} m)_{\text{хх}} = I_{\text{э м}} R_{\text{э}} = E_{\text{г м}} \frac{R_{\text{э}}}{(1-\alpha)(R_{\text{г}} + r'_{\text{б}}) + r_{\text{э}} + R_{\text{э}}}.$$

Аналогично при $R_{\text{н}} = 0$

$$E_{\text{г м}} = (1-\alpha)(I_{\text{э м}})_{\text{кз}} (R_{\text{г}} + r'_{\text{б}}) + (I_{\text{э м}})_{\text{кз}} r_{\text{э}}.$$

Таким образом

$$(I_{\text{э м}})_{\text{кз}} = \frac{E_{\text{г м}}}{(1-\alpha)(R_{\text{г}} + r'_{\text{б}}) + r_{\text{э}}}.$$

Окончательно для выходного сопротивления получим

$$R_{\text{вых}} = \frac{(U_{\text{вых}} m)_{\text{хх}}}{(I_{\text{вых}} m)_{\text{кз}}} = \frac{R_{\text{э}} [r_{\text{э}} + (1-\alpha)(R_{\text{г}} + r'_{\text{б}})]}{R_{\text{э}} + r_{\text{э}} + (1-\alpha)(R_{\text{г}} + r'_{\text{б}})}. \quad (6.41)$$

В реальных схемах, учитывая, что $R_{\text{э}} \gg (1-\alpha)R_{\text{г}}$ и $r'_{\text{б}} \ll R_{\text{г}}$, можно пользоваться упрощенным выражением

$$R_{\text{вых}} = r_{\text{э}} + (1-\alpha)R_{\text{г}} = r_{\text{э}} + \frac{R_{\text{г}}}{\beta + 1} \approx \frac{R_{\text{г}}}{\beta}. \quad (6.42)$$

Из (6.42) следует, что эмиттерный повторитель в β раз уменьшает внутреннее сопротивление источника сигнала.

Таким образом, обладающий большим входным и малым выходным сопротивлением эмиттерный повторитель может быть использован в качестве согласующего каскада (трансформатора сопротивлений) между источником сигнала и низкоомной нагрузкой.

Аналогичными свойствами обладают и истоковые повторители, однако из-за малой крутизны полевых транзисторов у них меньше коэффициент передачи и больше выходное сопротивление. Поэтому истоковые повторители используются гораздо реже.

6.3.5. Выходные каскады аналоговых ИС

При построении выходных каскадов АИС следует учитывать ряд специфических требований. В первую очередь к ним относится возможность работы на низкоомную нагрузку (при заданном напряжении источников питания, ограничивающих изменения выходного напряжения, отдаваемая в нагрузку мощность обратно пропорцио-

нальна ее сопротивлению). Обычные усилительные каскады (схемы с ОЭ и ОИ) имеют высокое выходное сопротивление и могут быть использованы только с понижающими трансформаторами. В этой связи для согласования с нагрузкой в выходных каскадах АИС используются эмиттерные повторители, обладающие низким выходным сопротивлением. Кроме того, выходные каскады должны иметь высокий КПД. Это достигается путем использования двухтактных схем, в которых каждый из двух транзисторов усиливает сигнал одной полярности, а в режиме покоя ($U_{\text{вх}} = 0$) оба транзистора практически не потребляют ток.

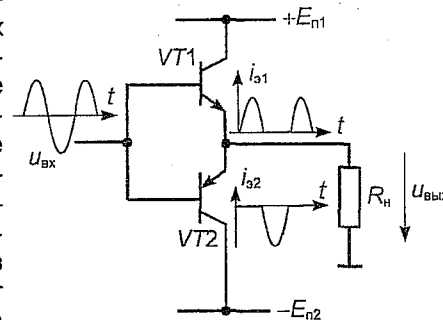


Рис. 6.25

На рис. 6.25 показана упрощенная схема двухтактного эмиттерного повторителя, выполненная на комплементарных ($n-p-n$ - и $p-n-p$ -) транзисторах. В те моменты времени, когда входное напряжение положительно, работает повторитель на транзисторе VT1, а когда отрицательно — на транзисторе VT2. В нагрузке сигналы транзисторов складываются (такой режим работы транзисторов с отсечкой половины сигнала называется режимом Б). По сравнению с обычными усилительными каскадами, в которых рабочая точка выбирается на середине линейного участка характеристики (режим А) в двухтактных каскадах в 2 раза увеличивается максимальная амплитуда выходного сигнала (а следовательно мощность возрастает в 4 раза). Кроме того, при нулевом входном напряжении токи обоих транзисторов близки к нулю и $U_{\text{вх1}}, U_{\text{вх2}}, U_{\text{вх}}$ мощность не рассеивается.

Упрощенной схеме присущ следующий недостаток: выходной сигнал отскакивает от входной с разницей на величину падения напряжения на эмиттерных переходах транзисторов

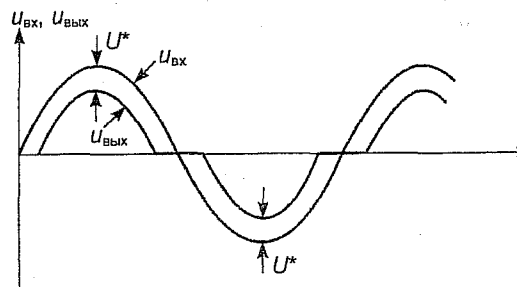


Рис. 6.26

$U^* = 0,6 \dots 0,8$ В (см. рис. 6.26), что вызывает искажения выходного сигнала.

При $-U^* < U_{вх} < U^*$ оба транзистора заперты. Для уменьшения этих искажений на эмиттерные переходы обоих транзисторов целесообразно дополнительно подать прямые напряжения, равные U^* .

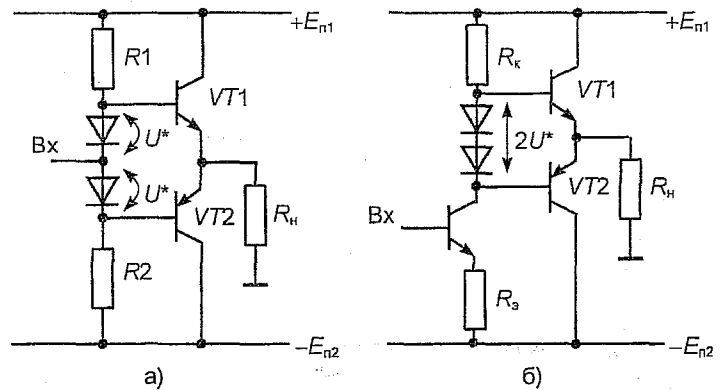


Рис. 6.27

Для этого используют диоды смещения (рис. 6.27,а). С помощью резисторов R_1 и R_2 , задающих прямой ток через диоды смещения, на последних устанавливаются прямые напряжения U^* . В результате напряжение на базе $VT1$ превышает входное на величину U^* , а напряжение на базе $VT2$ на величину U^* меньше, чем входное напряжение. Вследствие этого переходные искажения ослабляются. Аналогично работает схема, приведенная на рис. 27,б.

6.4. Операционные усилители

Операционный усилитель — это усилитель постоянного тока с дифференциальным входом и большим коэффициентом усиления, позволяющий использовать обратные связи различного типа без нарушения его работоспособности. Исторически термин «операционный усилитель» возник в аналоговой вычислительной технике. С ним связывалась какая-либо математическая операция: суммирование, вычитание, умножение, дифференцирование, интегрирование и т. д., которую усилитель мог выполнять за счет введения обратных связей соответствующего вида. В настоящее время смысл этого термина существенно расширился. С помощью ОУ можно реализовать большинство аналоговых устройств: усилители, фильтры, детекторы, генераторы, активные резонаторы, гираторы,

компараторы и т. д. Поэтому ОУ являются самой распространенной АИС. Интегральные технологии позволяют выполнить ОУ в одном корпусе. Это дает возможность рассматривать его как самостоятельный электронный компонент, не вникая глубоко в его структуру.

На рис. 6.28,а, б приведены условные обозначения ОУ в электрических схемах. Входы операционного усилителя имеют разное обозначение. Инвертирующий вход, напряжение на котором сдвинуто по фазе относительно выходного на 180° (инвертировано), обозначается знаком «-» или кружком. Неинвертирующий вход обозначается знаком «+».

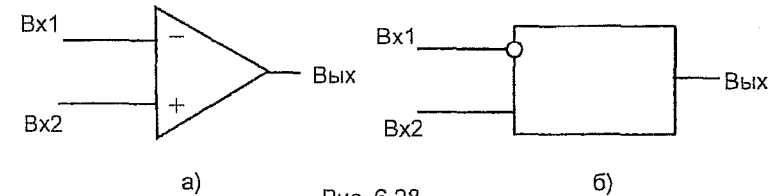


Рис. 6.28

Идеальный операционный усилитель должен иметь:

- 1) большой коэффициент усиления по напряжению для дифференциальных сигналов;
- 2) большое входное и малое выходное сопротивления;
- 3) высокую стабильность и низкий уровень искажений;
- 4) высокое быстродействие и не вносить дополнительных фазовых сдвигов;
- 5) не должен реагировать на синфазные сигналы.

6.4.1. Структура и основные параметры ОУ

Большинство современных ОУ строятся по двухкаскадной схеме (рис. 6.29), то есть содержат два каскада усиливающих напряжение

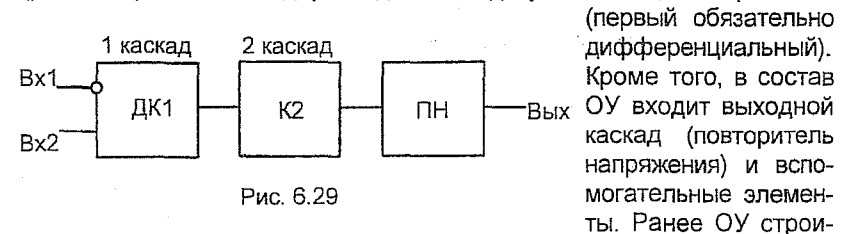


Рис. 6.29

(первый обязательно дифференциальный). Кроме того, в состав ОУ входит выходной каскад (повторитель напряжения) и вспомогательные элементы. Ранее ОУ строились по трехкаскадной схеме, так как с помощью двух каскадов не удавалось получить достаточное усиление.

Рассмотрим принцип построения ОУ на примере. На рис. 6.30 изображена упрощенная принципиальная схема двухкаскадного ОУ.

Каждый из приведенных на рис. 6.30 каскадов был рассмотрен ранее.

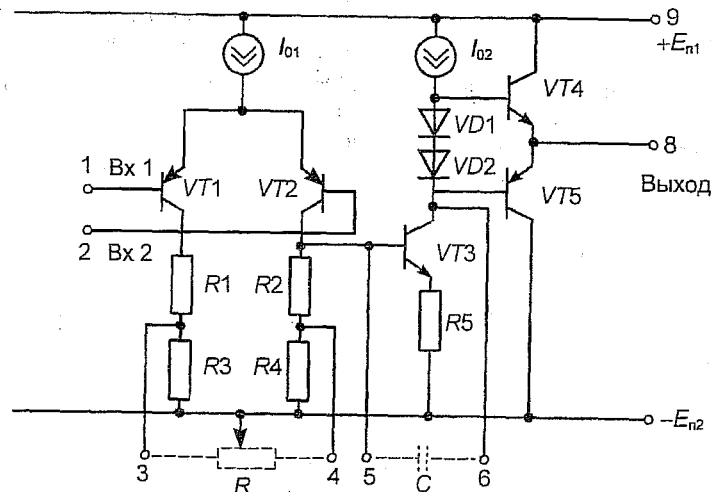


Рис. 6.30

Первый (дифференциальный) каскад выполнен на p - n - p -транзисторах, питающихся от транзисторного генератора тока I_{01} . Высокое дифференциальное сопротивление генератора тока позволяет существенно ослабить передачу синфазных сигналов и улучшить стабильность ОУ. В каскаде предусмотрена балансировка по постоянному току с помощью внешнего переменного резистора, позволяющего в небольших пределах изменять сопротивления в коллекторных цепях транзисторов и, следовательно, изменять выходное напряжение ОУ. В более сложных схемах используются составные транзисторы вместо $VT1$ и $VT2$ и нагрузка в виде токового зеркала.

Второй усилительный каскад выполнен на n - p - n -транзисторе $VT3$ с динамической нагрузкой в виде генератора тока I_{02} . Диоды смещения, включенные в прямом направлении, на работу второго каскада не влияют. Чередование типов проводимостей транзисторов в 1-м и 2-м каскадах позволяет отказаться от отдельных схем сдвига уровня. Конденсатор C , включенный между входом и выходом каскада, служит для коррекции частотной характеристики ОУ. Он уменьшает усиление ОУ на высоких частотах. Для устойчивой работы усилителя необходимо, чтобы усиление на частотах, при которых фазовый сдвиг между входным и выходным напряжениями достига-

ет 180° , было меньше единицы. Включение конденсатора как проходного (между входом и выходом) увеличивает его эквивалентную емкость за счет эффекта Миллера в тысячи раз.

Такая схема имеет название интегратор Миллера. Емкость, корректирующая частотную характеристику, может быть как встроенной, так и внешней.

Выходной каскад, обеспечивающий малое выходное сопротивление ОУ, представляет собой двухтактный эмиттерный повторитель на транзисторах $VT4$ и $VT5$. Большое входное сопротивление повторителя позволяет использовать в предыдущем каскаде динамическую нагрузку. В большинстве реальных схем в выходной каскаде включаются также элементы, защищающие ОУ от перегрузки по току (от «короткого замыкания» выхода).

К основным параметрам ОУ относятся:

K_0 — коэффициент усиления по напряжению без обратной связи (для дифференциального сигнала).

$K_{ос\ сф}$ — коэффициент ослабления синфазной составляющей, показывающий во сколько раз (обычно в логарифмическом масштабе) дифференциальный сигнал усиливается сильнее, чем синфазный.

$R_{вх}$, $R_{вх\ сф}$ — входное сопротивление для дифференциального и синфазного сигналов.

$R_{вх}$ — выходное сопротивление.

$U_{см}$ — напряжение смещения и его температурный сдвиг $\varepsilon_{см}$. Напряжение смещения — это то напряжение, которое нужно подать между входами ОУ (один из которых присоединен к общей точке), чтобы выходное напряжение было равно нулю. В реальных ОУ $U_{см} \neq 0$ из-за технологического разброса параметров. Для компенсации $U_{см}$ может использоваться цепь коррекции по постоянному току.

$I_{вх1}$ и $I_{вх2}$ — входные токи (смещения). Это токи, протекающие во входных выводах, при присоединении последних к общей точке. Эти токи протекают под действием напряжений источников питания. Поскольку входные токи примерно одинаковы $I_{вх1} \approx I_{вх2}$, обычно используют средний входной ток — $I_{вх\ ср}$ и разность входных токов $\Delta I_{вх}$ (входной ток сдвига). В правильно сконструированных схемах на основе ОУ сопротивления в цепях обоих входов выбираются одинаковыми и влияние среднего входного тока тем самым устраняется (падения напряжения от протекания среднего входного тока являются синфазным сигналом).

Быстродействие ОУ в режиме малого сигнала определяется частотной характеристикой коэффициента усиления по

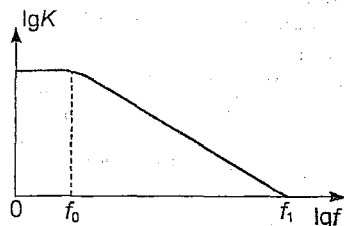


Рис. 6.31

напряжению $K(j2\pi f)$. Для усилителей со скорректированной характеристикой указывают f_0 — частоту, на которой начинается спад частотной характеристики и f_1 **частоту (полосу) единичного усиления** (рис. 6.31).

В режиме большого сигнала используется параметр V_u — **скорость нарастания выходного напряжения**, которая определяется скоростью изменения напряжения на конденсаторе интегратора под действием максимального выходного тока дифференциального каскада. (Максимальный выходной ток ДК не превышает тока питания I_n).

Кроме того, в справочных данных ОУ приводятся значения максимальных величин входного $\pm U_{вх\text{ м}}$ и выходного $\pm U_{вых\text{ м}}$ напряжений, напряжения источников питания $E_{п1}$ и $E_{п2}$, потребляемый ток I_n и другие параметры.

Типичными значениями параметров современных универсальных ОУ можно считать:

$$K_0 = 10^5 \dots 10^6; K_{ос\text{ сф}} = 80 \dots 100 \text{ дБ};$$

$$R_{вх} > 10^5 \text{ Ом (для входных каскадов на БТ) и } > 10^8 \text{ (для ПТ);}$$

$$R_{вх\text{ сф}} > 10 R_{вх} \text{ (как правило не учитывается);}$$

$$I_{вх\text{ ср}} = 5 \dots 100 \text{ нА (БТ) или } 5 \dots 100 \text{ пА (ПТ);}$$

$$\Delta I_{вх} \approx 0,1 \dots 0,2 I_{вх\text{ ср}};$$

$$U_{см} = 1 \dots 3 \text{ мВ}; \varepsilon_{см} = 2 \dots 3 \text{ мкВ/}^\circ\text{С};$$

$$f_0 = 10 \dots 20 \text{ Гц}; f_1 = 0,5 \dots 5 \text{ МГц};$$

$$V_u = 0,5 \dots 5 \text{ В/мкс.}$$

В специализированных ОУ (прецизионных, быстродействующих и т. д.) отдельные параметры могут быть на порядок лучше.

6.4.2. Применение операционных усилителей

В большинстве аналоговых устройств на основе ОУ используется обратная связь. Обратная связь (ОС) — это процесс передачи части выходного сигнала обратно на вход. Обратная связь бывает отрицательной (ООС), при которой сигнал ОС вычитается из входного сигнала, и положительной (ПОС), при которой сигнал ОС складывается с входным. Отрицательная ОС уменьшает усиление, но при этом улучшает другие параметры, например, уменьшает нелинейные искажения, сглаживает частотную характеристику, улучшает стабильность. ОУ разработаны для использования в устройствах с глубокой отрицательной обратной связью и именно поэтому имеют большое усиление. Характер-

но, что вид выполняемых такими устройствами операций определяется внешними (как правило, пассивными) по отношению к ОУ элементами. От параметров самого ОУ зависит только точность работы. Значительно реже, например, в автогенераторах используется положительная обратная связь.

Приведем примеры наиболее распространенных устройств на основе ОУ и рассмотрим методы их анализа.

Инвертирующий усилитель

Схема инвертирующего усилителя приведена на рис. 6.32. Будем считать, что операционный усилитель описывается следующими параметрами — коэффициентом усиления K_0 и входным дифференциальным сопротивлением $R_{вх}$. Выходное сопротивление ОУ примем равным нулю ($R_{вых} = 0$).

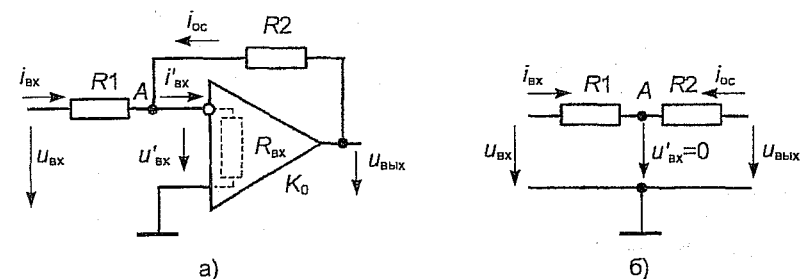


Рис. 6.32

В схеме применена параллельная ООС по напряжению (источник сигнала и цепь ОС включены параллельно, сигнал ОС пропорционален выходному напряжению). Составим основные уравнения, описывающие работу схемы.

$$i_{вх} + i_{ос} = i'_{вх}, \quad (6.43)$$

$$i_{вх} = \frac{U_{вх} - U'_{вх}}{R_1}, \quad i_{ос} = \frac{U_{вых} - U'_{вх}}{R_2}, \quad i'_{вх} = \frac{U'_{вх}}{R_{вх}}, \quad U_{вых} = -K_0 U'_{вх}. \quad (6.44)$$

Подставляя (6.44) в (6.43), получим

$$\frac{U_{вх} + \frac{U_{вых}}{K_0}}{R_1} + \frac{U_{вых} + \frac{U_{вых}}{K_0}}{R_2} = -\frac{U_{вых}}{K_0 R_{вх}},$$

тогда коэффициент усиления по напряжению равен

$$K_U = \frac{u_{\text{вых}}}{u_{\text{вх}}} = -\frac{R_2}{R_1} \frac{1}{1 + \frac{R_2}{R_1} + \frac{R_2}{R_{\text{вх}}}} \frac{1}{K_0} \quad (6.45)$$

Если

$$K_0 \gg \frac{R_2}{R_1} \quad \text{и} \quad K_0 \gg \frac{R_2}{R_{\text{вх}}}, \quad (6.46)$$

то

$$K_U = -\frac{R_2}{R_1}. \quad (6.47)$$

Условие (6.46) соответствует глубокой обратной связи, при которой усиление устройства $K_U = -R_2/R_1$ много меньше, чем усиление ОУ без ОС (K_0) и определяется внешними элементами R_1 и R_2 . Обратим внимание на то, что (6.55) тем точнее, чем выше K_0 .

Так как ОУ имеют очень большое усиление без ОС ($K_0 \approx 10^5 \dots 10^6$), то (6.46) выполняется достаточно точно и для анализа схем может быть использован приближенный подход.

Сущность **приближенного подхода к анализу устройстве на основе ОУ** можно сформулировать следующими положениями:

Будем считать что напряжение между входами ОУ равно нулю

$$u'_{\text{вх}} \approx 0. \quad (6.48)$$

Это следует из того, что при больших K_0 $u'_{\text{вх}} = \frac{u_{\text{вых}}}{K_0}$ мало, по сравнению $u_{\text{вх}}$.

Будем считать, что входной ток операционного усилителя тоже равен нулю

$$i'_{\text{вх}} \approx 0. \quad (6.49)$$

Последнее справедливо, так как входное сопротивление ОУ велико (минимум сотни килоом, а как правило, гораздо больше).

С учетом (6.48) и (6.49) можно сразу записать

$$i_{\text{вх}} = \frac{u_{\text{вх}}}{R_1}; \quad i_{\text{ос}} = \frac{u_{\text{вых}}}{R_2}; \quad i_{\text{вх}} = -i_{\text{ос}}; \quad K_U = \frac{u_{\text{вых}}}{u_{\text{вх}}} = -\frac{R_2}{R_1}.$$

Входное сопротивление $R_{\text{вх}} = \frac{u_{\text{вх}}}{i_{\text{вх}}} \cong R_1$ определяется сопротивлением R_1 .

Приведенный упрощенный расчет соответствует эквивалентной схеме на рис. 6.32,б, в которой ОУ обеспечивает нулевой потенциал (виртуальный ноль) точки А. ($u_A = u'_{\text{вх}} = 0$)

Интегратор и дифференциатор

Если в схеме на рис. 6.37 вместо R_2 установить конденсатор C , то получится схема интегратора. В этом случае справедливо

$$i_{\text{ос}} = C \frac{du_{\text{вых}}}{dt}; \quad i_{\text{вх}} = \frac{u_{\text{вх}}}{R_1}; \quad i_{\text{ос}} = -i_{\text{вх}}.$$

Тогда

$$u_{\text{вых}} = -\frac{1}{R_1 C} \int u_{\text{вх}} dt. \quad (6.50)$$

Если конденсатор установить вместо R_1 , то получим схему дифференцирующего устройства. Для него

$$u_{\text{вых}} = -R_2 C \frac{du_{\text{вх}}}{dt}. \quad (6.51)$$

Отметим, что устанавливая различные реактивные элементы вместо R_1 и R_2 , можно получать устройства с требуемой частотной характеристикой, например, фильтры, активные резонаторы и т. д. В случае использования нелинейных элементов, получаются нелинейные преобразователи, например, при использовании диода – логарифмирующие и потенцирующие устройства.

Неинвертирующий усилитель

Схема неинвертирующего усилителя приведена на рис. 6.33,а. В этой схеме сигнал подается на неинвертирующий вход. Используемая обратная связь называется последовательной по напряжению (источник входного сигнала и цепь ОС включены последовательно, сигнал ОС пропорционален выходному напряжению). Для анализа используем приближенный подход. Из эквивалентной схемы на рис. 6.33,б следует $u_{\text{вх}} = u_{\text{ос}}$ (строго говоря, $u_{\text{вх}} - u_{\text{ос}} = u'_{\text{вх}} \approx 0$).

$$u_{\text{ос}} = u_{\text{вых}} \frac{R_1}{R_1 + R_2}.$$

Отсюда

$$K_U = \frac{u_{\text{вых}}}{u_{\text{вх}}} = 1 + \frac{R_2}{R_1}. \quad (6.52)$$

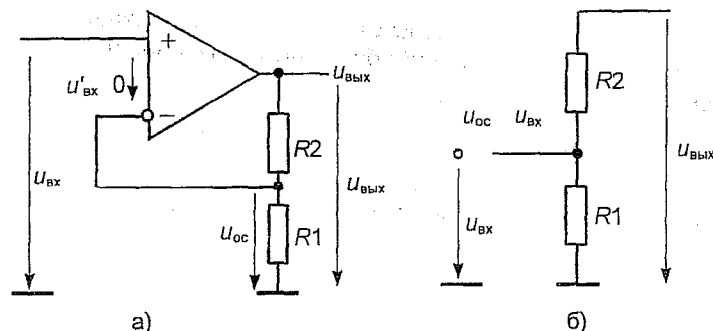


Рис. 6.33

В отличие от инвертирующего усилителя неинвертирующий усилитель обладает огромным входным сопротивлением ($R_{вх} \rightarrow \infty$). Такое отличие объясняется использованным типом ООС. Можно показать, что параллельная ООС всегда уменьшает, а последовательная — увеличивает входное сопротивление. Выходное сопротивление в обоих случаях малое, так как ООС по напряжению выходное сопротивление уменьшает.

6.5. АИС аппаратуры связи

В настоящее время выпускаются разнообразные АИС как общего назначения, так и узко специализированные. К наиболее распространенным относятся следующие.

- 1) **Усилители** — низкой частоты, промежуточной частоты, высокой частоты, импульсные, видеосигналов, постоянного тока, дифференциальные и операционные, прочие.
- 2) **Генераторы** — гармонических колебаний, импульсные, сигналов специальной формы.
- 3) **Преобразователи** — частоты, фазы, формы сигнала (отдельно выделим аналого-цифровые и цифро-аналоговые).
- 4) **Модуляторы** — амплитудные, частотные, фазовые, импульсные, в том числе — аналоговые перемножители.
- 5) **Детекторы** — амплитудные, частотные, фазовые и прочие.
- 6) **Фильтры** — верхних и нижних частот, полосовые, заградительные.
- 7) **Схемы селекции и сравнения** — амплитудные (компараторы), временные, частотные, фазовые (аналоговые).
- 8) **Электронные ключи и коммутаторы.**
- 9) **Линии задержки.**

10) **Наборы (матрицы) элементов** — резисторов, конденсаторов, диодов, транзисторов, комбинированные.

Кроме того, в аппаратуре связи широкое распространение получили специализированные АИС, используемые в аудиовидеотехнике, телефонии и т. д.

Интегральные микросхемы выпускаются промышленностью в виде серий, включающих микросхемы, характеризующиеся конструктивно-технологическим единством и предназначенные для совместного использования. Как правило, все микросхемы, входящие в одну серию, имеют один тип корпуса, одинаковые напряжения питания, показатели надежности и т. д.

7. ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ (ЦИС)

7.1. Общие положения

В предыдущем разделе рассматривались интегральные схемы (ИС), предназначенные для обработки аналоговых сигналов, т. е. сигналов, являющихся непрерывной функцией времени. Наряду с такими сигналами широкое применение находят сигналы импульсной формы, когда кратковременное воздействие сигнала чередуется с паузой. Среди множества импульсных сигналов наибольшее распространение получили сигналы прямоугольной формы (рис. 7.1), которые принимают лишь два дискретных значения U_{\max} и U_{\min} , ус-

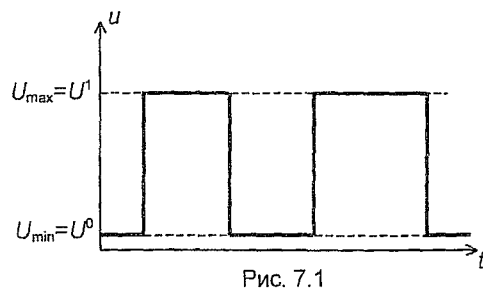


Рис. 7.1

ловно называемые **логическим нулем** и **логической единицей**. Как правило, логическому нулю соответствует низкий уровень напряжения (обозначается U^0), а логической единице — высокий уровень напряжения (обозначается U^1), хотя это не имеет принципиального значения.

Такие сигналы удобно использовать для кодирования информации в двоичном коде и поэтому их называют цифровыми. Разность напряжений логической единицы и логического нуля называют размахом сигнала или **логическим перепадом** $U_n = U^1 - U^0$. Для четкого различия состояния «0» и «1» величина U_n должна быть достаточно большой.

Устройства, работающие с цифровыми сигналами имеют принципиальные отличия от аналоговых устройств, что обусловлено следующими факторами: менее жесткие требования к точности и стабильности параметров и характеристик элементов; высокая помехоустойчивость; отсутствие накопления малых ошибок и возможность обеспечения любой (заранее выбранной) точности; возможность создания сложных устройств (например, ЭВМ) из большого числа сравнительно простых однотипных элементов, легко выполняемых методом интегральной технологии.

В основе цифровых схем лежат простейшие транзисторные ключи — аналоги металлических контактов, которые характеризуются двумя устойчивыми состояниями: разомкнутым и замкнутым. На базе простейших ключей строятся более сложные схемы: логические

элементы, бистабильные ячейки, триггеры и т. д. Цифровые ИС применяются широко в вычислительной технике, устройствах дискретной автоматики, а в последнее время и в технике связи.

7.2. Электронные ключи

Пример упрощенной ключевой схемы показан на рис. 7.2, а. Для ключа характерны два устойчивых состояния: «включено» и «выключено». В состоянии «включено» (ключ замкнут) через ключ течет ток I , и напряжение на выходе равно нулю, в состоянии «выключено» (ключ разомкнут) ток через ключ не протекает и напряжение на выходе равно E . В современных ИС роль ключа выполняет активный элемент (АЭ) — биполярный или полевой транзистор (рис. 7.2, б), к выходу которого подключается внешняя нагрузка R_n . Под воздействием управляющего сигнала транзистор запирается или отпирается, что соответствует размыканию или замыканию ключа. В открытом состоянии транзистор обладает неко-

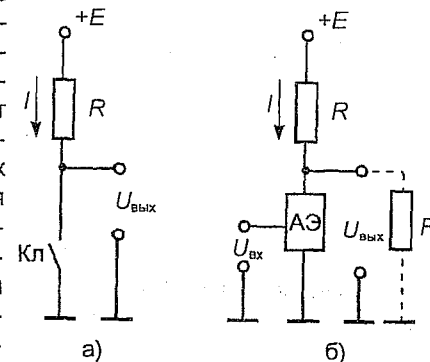


Рис. 7.2

торым небольшим внутренним сопротивлением R_i и на выходе устанавливается низкое напряжение $U^0 = E R_i / (R + R_i)$. В закрытом состоянии устанавливается высокое напряжение $U^1 = E R_n / (R + R_n)$.

7.2.1. Электронные ключи на биполярных транзисторах

Простейшая схема ключа на биполярном транзисторе приведена на рис. 7.3, а. На входе схемы включен резистор R_6 , имеющий сопротивление значительно большее входного сопротивления транзистора ($R_6 \gg h_{113}$), поэтому можно считать, что входная цепь ключа питается током $i_6 = U_{вх} / R_6$. Будем также считать, что напряжение $U_{вх}$ может принимать только два значения $U_{вх} = U^0$ и $U_{вх} = U^1$, соответственно ток базы также принимает два значения $i_6 = i_6^0 \approx 0$ и $i_6 = i_6^1 \approx U^1 / R_6$. Если $i_6 = i_6^0$, то режим работы ключа определяется точкой А (рис. 7.3, б), если $i_6 = i_6^1$ — точкой В. Точка В определяет величину остаточного напряжения $U_{ост} \approx 0,1$ В, она располагается в области режима насыщения транзистора. Степень насыщения транзистора оценивается коэффициентом насыщения $K_{нас} = i_6^1 / I_{б, нас}$, где $I_{б, нас}$ —

минимальная величина тока базы, при котором транзистор переходит в режим насыщения при заданной величине сопротивления R_H .

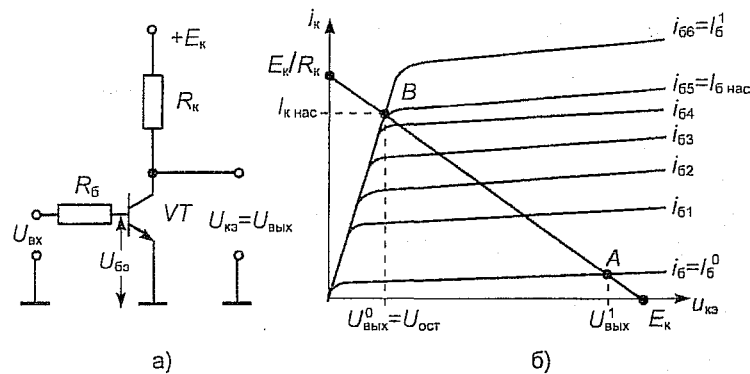


Рис. 7.3

Влияние внешней нагрузки на работу ключа. Подключение к электронному ключу внешней нагрузки влияет на его работу. Наиболее существенно изменяется величина уровня $U_{\text{вых}}^1$ (с уменьшением сопротивления нагрузки $U_{\text{вых}}^1$ уменьшается). Таким образом, подключение нагрузки уменьшает уровень логического перепада $U_n = U_{\text{вых}}^1 - U_{\text{вых}}^0$.

Во многих случаях к выходу ключа подключается несколько нагрузок. Чем больше подключается нагрузок к выходу ключа, тем меньше уровень $U_{\text{вых}}^1$. Наибольшее количество ключей, аналогичных рассматриваемому, которые одновременно можно подключить к его выходу оценивается параметром, называемым **коэффициентом разветвления по выходу** и выражается целым положительным числом $K_{\text{разв}}$. Чем выше коэффициент $K_{\text{разв}}$, тем шире возможности использования ключа в конкретных схемах. Практически величина $K_{\text{разв}}$ для различных ИС лежит в пределах от 4 до 25.

В некоторых цифровых ИС электронные ключи имеют общую нагрузку в коллекторной цепи. Встречаются также схемы логических элементов, имеющие несколько входов (см. п.7.3). Наибольшее количество входов, которое может иметь такая схема, называется **коэффициентом объединения по входу** $K_{\text{об}}$. Увеличение числа входов ведет, как правило, к снижению быстродействия ключа. Практически величина $K_{\text{об}}$ для различных ИС лежит в пределах от 2 до 6.

Передаточная характеристика. Основной статической характеристикой ключа является передаточная характеристика, пред-

ставляющая собой зависимость выходного напряжения $U_{\text{вых}} = U_{\text{кз}}$ от входного напряжения $U_{\text{вх}} = U_{\text{бз}}$. Ее можно построить, используя выходные характеристики (рис. 7.3,б) и входные характеристики транзистора. С увеличением напряжения на входе ключа возрастает ток базы транзистора и рабочая точка (рис. 7.3,б) из положения А смещается вверх по нагрузочной линии, вследствие чего напряжение на выходе ключа уменьшается. Типичный вид передаточной характеристики ключа приведен на рис. 7.4

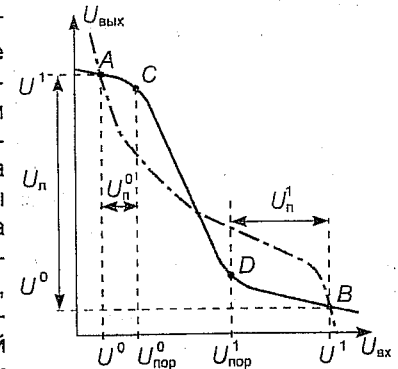


Рис. 7.4

Помехоустойчивость ключей. Помимо управляющего сигнала на входе ключа может появиться напряжение помехи, которое либо повышает, либо понижает входное напряжение. Если на входе действует напряжение U^0 , то опасны помехи, имеющие положительную полярность. Если на входе действует напряжение U^1 , то опасны помехи, имеющие отрицательную полярность.

Помехоустойчивость принято оценивать максимально допустимыми величинами **напряжений отпирающей и запирающей помех**

$$U_n^0 = U_{\text{пор}}^0 - U^0,$$

$$U_n^1 = U^1 - U_{\text{пор}}^1.$$

Эти напряжения указаны на рис. 7.4. Пороговые напряжения $U_{\text{пор}}^0$ и $U_{\text{пор}}^1$ определяются точками С и D, в которых выполняется условие

$$\frac{dU_{\text{вых}}}{dU_{\text{вх}}} = 1, \quad (7.1)$$

называемыми точками единичного усиления. Для оценки помехоустойчивости может быть использован так называемый **коэффициент помехоустойчивости**

$$K_n = \frac{\min\{U_n^0, U_n^1\}}{U_A}, \quad (7.2)$$

где

$$U_A = U_n^1 - U_n^0 \quad (7.3)$$

Для повышения помехоустойчивости необходимо уменьшать ширину области переключения, равную разности $U_{пор}^1$ и $U_{пор}^0$ и увеличивать размах сигнала U_n . В идеальном случае выполняются условия $U_{пор}^0 = U_{пор}^1$, $U^0 = 0$, $U^1 = E$, тогда $K_n^0 = K_n^1 = 0,5$.

Быстродействие ключа. Быстродействие ключей на биполярных транзисторах определяется инерционностью процессов, связанных с накоплением и рассасыванием избыточных зарядов, вследствие чего невозможен мгновенный переход транзистора из одного состояния в другое. Временные диаграммы, иллюстрирующие переходные процессы в транзисторном ключе при его включении и выключении подробно описаны в разд. 3.12 ч.1 конспекта.

В реальных условиях управляющие импульсы имеют форму, близкую к трапецеидальной (рис. 7.5). В этом случае быстродействие электронных ключей оценивается **средним временем задержки распространения сигнала**

$$t_{зд.р.ср} = \frac{t_{зд.р}^{0,1} + t_{зд.р}^{1,0}}{2}, \quad (7.4)$$

где $t_{зд.р}^{0,1}$ – время задержки распространения при переходе выходного напряжения от $U_{вых} = U^0$ к $U_{вых} = U^1$;

$t_{зд.р}^{1,0}$ – время задержки распространения при переходе выходного напряжения от $U_{вых} = U^1$ к $U_{вых} = U^0$.

Задержки $t_{зд.р}^{0,1}$ и $t_{зд.р}^{1,0}$ отсчитывают по уровню, соответствующему половине перепада $U^1 - U^0$.

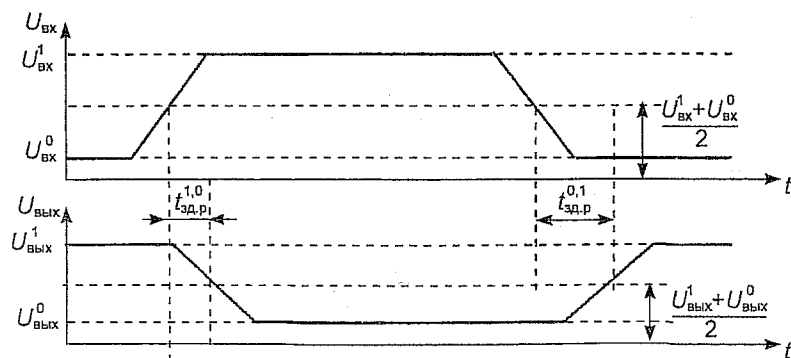


Рис. 7.5

Наиболее эффективным методом повышения быстродействия ключей является шунтирование коллекторного перехода диодом Шоттки (см. разд. 5).

7.2.2. Электронные ключи на полевых транзисторах

В качестве электронных ключей в ИС обычно используют МДП-транзисторы с индуцированным каналом n -типа, в которых при отсутствии напряжения на затворе ($U_{зи} = 0$) ключ находится в разомкнутом состоянии, а при подачи на затвор напряжения, превышающего пороговое значение ($U_{зи} = U_{пор}$) ключ находится в замкнутом состоянии.

Ключ с резистивной нагрузкой. Схема ключа приведена на рис. 7.6, а на рис. 7.7 показано построение передаточных характеристик. При $U_{зи} = 0$ режим работы ключа определяется точкой А, при этом $U_{вых} = E_c$. При увеличении $U_{зи}$ рабочая точка перемещается вдоль нагрузочной линии, при этом возрастает ток i_c и уменьшается напряжение.

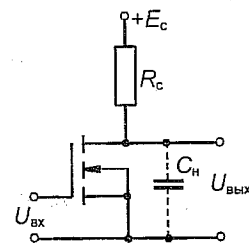


Рис. 7.6

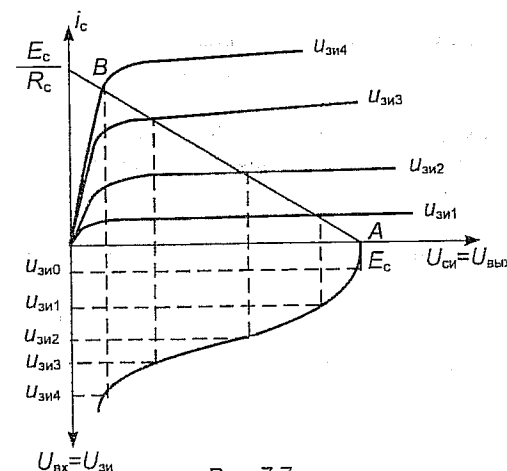


Рис. 7.7

При $U_{зи} = U_{вх}^1$ рабочая точка должна располагаться на восходящем участке выходной характеристики (например, точка В). При этом на транзисторе устанавливается остаточное напряжение $U_{ост}$, величина которого тем меньше, чем больше R_c и $U_{зи}$.

Переходные процессы в ключе с резистивной нагрузкой описаны в п. 4.4.3.

Ключи с динамической нагрузкой. В таких ключах вместо резистора R_c в цепь стока включают нагрузочный транзистор. На практике применяются несколько вариантов включения нагрузочного транзистора, некоторые из них представлены на рис. 7.8.

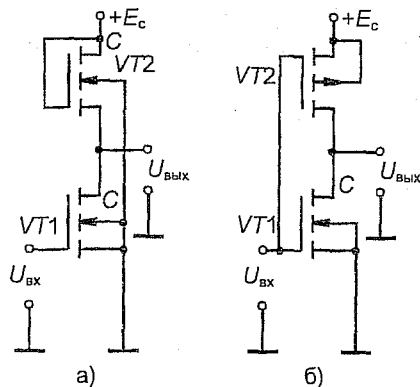


Рис. 7.8

В схеме рис. 7.8,а в качестве нагрузочного транзистора VT_2 применен транзистор с индуктированным каналом при соединении затвора со стоком. В этом случае выполняется условие $U_{зи2}=U_{си2}$. На рис. 7.9 приведены выходные характеристики транзистора VT_2 , на поле которых проведены линия 1, соответствующая условию $i_{c2} = f(U_{си2})$ при $U_{си2} = U_{нас2}$, где $U_{нас2} = U_{зи2} + U_{зи\ пор2}$, и линия 2, соответствующая условию $i_{c2} = f(U_{си2})$ при $U_{си2} = U_{нас2} - U_{зи\ пор2} = U_{зи2}$. Линия 2 является вольтамперной характеристикой транзистора VT_2 . При условии $U_{зи2} = U_{си2}$ она сдвинута относительно начала координат на величину порогового напряжения $U_{зи02}$ нагрузочного транзистора.

Для определения уровней логического нуля и логической единицы необходимо на поле выходных характеристик VT_1 построить

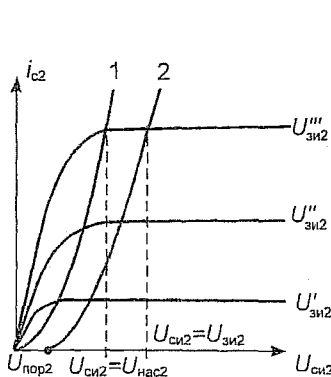


Рис. 7.9

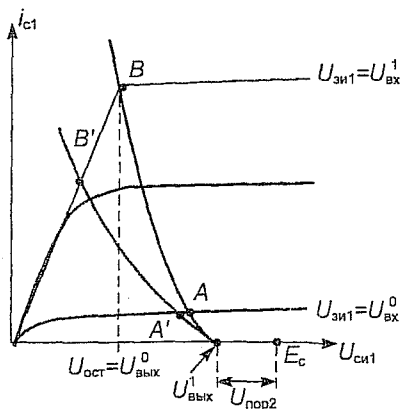


Рис. 7.10

вольтамперную характеристику транзистора VT_2 аналогично тому, как это делается при построении нагрузочной линии при включении в цепь стока резистора R_c , т. е. провести график $i_{c2} = f(E_c - U_{си1})$ так, как это показано на рис. 7.10. Точки ее пересечения с выходными характеристиками, соответствующими входным напряжениям $U_{вх}^0$ и $U_{вх}^1$, определяют уровни логических нулей и единиц на выходе ключа. Построение передаточной характеристики делается также, как и при включении нагрузочного резистора R_c .

Для уменьшения остаточного напряжения $U_{ост}$ применяют нагрузочный транзистор VT_2 с меньшей крутизной, чем у активного транзистора VT_1 . В этом случае нагрузочная линия идет более полого, и точка B' , определяющая величину остаточного напряжения, сдвигается влево.

В схеме рис. 7.8,б в качестве нагрузочного применен транзистор с каналом, тип проводимости которого противоположен типу проводимости активного транзистора. Такая пара транзисторов называется **комплементарной**. В этой схеме входное напряжение управляет как активным, так и нагрузочным транзистором. Если $U_{вх} = U_{вх}^0$, то транзистор VT_1 закрыт, а VT_2 открыт, при этом на выходе схемы устанавливается высокий уровень напряжения. Если $U_{вх} = U_{вх}^1$, то открывается транзистор VT_1 , а транзистор VT_2 закрывается, при этом на выходе схемы устанавливается низкий уровень напряжения. И в том, и в другом случае отсутствует потребление тока от источника питания. Лишь при переходе схемы из одного состояния в другое, когда один из транзисторов еще не полностью открылся, а второй не полностью закрылся, существует цепь для протекания тока.

Таким образом, главным достоинством ключей на комплементарных транзисторах является их высокая экономичность. Эти ключи также обладают и более высоким быстродействием, так как в них заряд и разряд паразитной емкости $C_{и}$ протекают в одинаковых условиях, поэтому у них $t_{вкл} \approx t_{выкл}$.

7.3. Логические элементы интегральных микросхем

Логическими элементами (ЛЭ) называют электронные схемы, выполняющие логические операции с цифровыми сигналами. Основными логическими операциями являются: логическое отрицание (инверсия, операция НЕ), логическое сложение (дизъюнкция, операция ИЛИ) и логическое умножение (конъюнкция, операция И). Комбинация логических операций НЕ и ИЛИ позволяет осуществить более сложную операцию ИЛИ-НЕ. Сочетание операций НЕ и И приводит к логической операции И-НЕ. Логическую операцию НЕ осу-

ществляет рассмотренный выше электронный ключ. Логический элемент, выполняющий эту операцию, называется **инвертором**. Условные графические обозначения ЛЭ показаны на рис. 7.11.

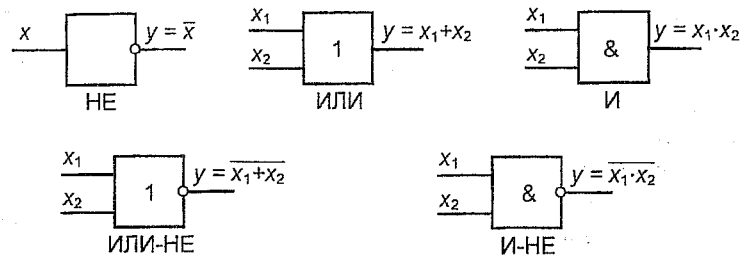


Рис. 7.11

Основой для построения ЛЭ являются электронные ключи. Основной характеристикой ЛЭ является рассмотренная выше передаточная характеристика с той лишь разницей, что она представляет зависимость выходного напряжения от напряжения на одном из входов при постоянных напряжениях на остальных входах.

Параметрами ЛЭ являются: коэффициент объединения по входу $K_{об}$; коэффициент разветвления по выходу $K_{разв}$; среднее время задержки распространения сигнала $t_{зд.р.ср.}$; логический перепад $U_{л} = U^1 - U^0$; пороговые напряжения $U_{пор}^0$ и $U_{пор}^1$; статическая помехоустойчивость $U_{п}^0$ и $U_{п}^1$; потребляемая мощность $P_{пот.ср.} = (P_{пот}^0 + P_{пот}^1)/2$, где $P_{пот}^0$ и $P_{пот}^1$ — мощности, потребляемые при подаче на вход напряжений U^0 и U^1 ; работа переключения $A_{пер} = P_{пот.ср.} \cdot t_{зд.р.ср.}$.

Помимо электрических параметров ЛЭ характеризуются конструктивно-технологическими, к которым относятся: относительная площадь, выражаемая числом литографических квадратов со стороной Δ , где Δ — минимальный топологический размер, определяемый уровнем технологии; количество основных технологических операций, используемых при изготовлении микросхемы.

7.3.1. Транзисторная логика с непосредственными связями и ее варианты

Транзисторная логика с непосредственными связями (ТЛНС) основана на параллельном соединении транзисторных ключей с общей коллекторной нагрузкой (рис. 7.12). Управляющие сигналы X_1 и X_2 подаются на базы транзисторов VT_1 и VT_2 с коллекторов предыдущих ЛЭ и имеют размах от $U_{вх}^0 = U_{ост}$ до уровня $U_{вх}^1 = U^*$. Если

на входы X_1 и X_2 поданы сигналы $U_{вх}^0$, то транзисторы VT_1 и VT_2 заперты, ток от источника E_k течет через резистор R_k в базовую цепь транзистора VT_3 и на выходе ЛЭ устанавливается напряжение $U_{вых}^1 = U^*$.

Если на одном из входов действует высокий уровень $U_{вх}^1 = U^*$, то соответствующий транзистор открывается и на выходе ЛЭ устанавливается напряжение $U_{вых}^0 = U_{ост}$, недостаточное для отпирания транзистора VT_3 . Такой же

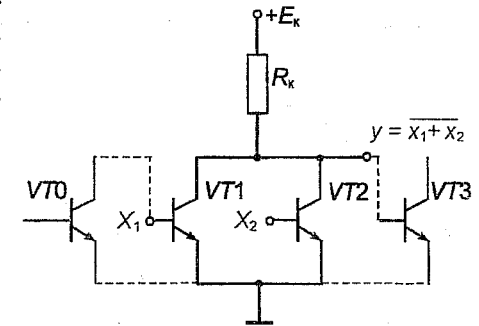


Рис. 7.12

уровень получается при отпирании обоих транзисторов. Следовательно, ЛЭ выполняет операцию ИЛИ-НЕ с логическим перепадом $U_{л} = U^* - U_{ост} \approx 0,6 \text{ В}$.

Серьезным недостатком рассмотренной схемы является неравномерное распределение токов между базами нагрузочных транзисторов, что делает работу схемы ненадежной. Чтобы выровнять базовые токи в базовые цепи включают резисторы с сопротивлением порядка сотен ом. При этом уровень логической единицы возрастает до 1,5...2 В. Такая схема называется транзисторной логикой с резистивной связью (РТЛ).

Включение резисторов в базовые цепи делает схему менее быстродействующей, так как при этом увеличивается длительность фронта в транзисторном ключе. Повысить быстродействие удастся путем включения конденсаторов, шунтирующих базовые резисторы. Такая схема называется транзисторной логикой с резистивно-емкостной связью (РЕТЛ).

Схемы РТЛ и РЕТЛ применялись на первом этапе развития микроэлектроники. Схема ТЛНС получила свое дальнейшее развитие в логических элементах с инжекционным питанием (рис. 7.17).

7.3.2. Диодно-транзисторная логика (ДТЛ)

Схема базового элемента ДТЛ приведена на рис. 7.13.

В схеме ДТЛ можно выделить две последовательно включенные функциональные части: в первой — входные сигналы X_1 и X_2 подаются на диодный элемент (диоды VD_1 и VD_2 и резистор R_1), выполняющий операцию И; вторая часть, выполненная на транзисторе

VT_1 , представляя собой инвертор. Таким образом, в схеме раздельно выполняются логические операции И и НЕ и, следовательно,

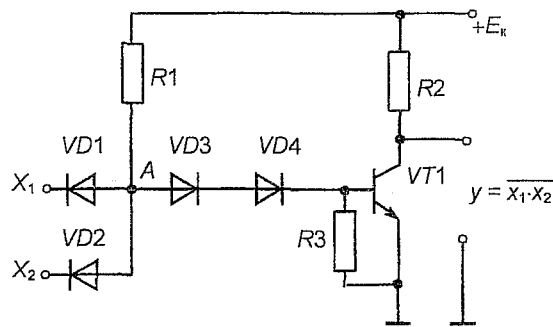


Рис. 7.13

но, она реализует логическую операцию 2И-НЕ (число 2 означает количество входов ЛЭ). Диоды смещения VD_3 и VD_4 выполняют роль элемента связи между двумя частями схемы и повышают помехоустойчивость схемы. Если на один из входов X_1 или X_2 подан сигнал $U_{вх}^0 \approx 0$, то один из диодов открыт и в схеме течет ток источника E_k через резистор R_1 и открытый диод. При этом в точке А установится потенциал $U^* \approx 0,7$ В, недостаточный для отпирания двух последовательно включенных диодов VD_3 и VD_4 и ЭП транзистора. В результате транзистор VT_1 будет закрыт и на выходе схемы установится напряжение $U_{вых}^1 \approx E_k$, соответствующее логической единице. Такое состояние схемы будет до тех пор, пока на оба входа X_1 и X_2 не будет подан высокий уровень сигнала $U_{вх}^1$ (логическая единица). В этом случае диоды VD_1 и VD_2 закрываются, потенциал точки А увеличивается и становится достаточным для открывания диодов VD_3 и VD_4 и в цепи течет ток от источника E_k через резистор R_1 , диоды VD_3 и VD_4 в базу транзистора VT_1 . В результате транзистор VT_1 открывается и на выходе схемы устанавливается низкий уровень напряжения $U_{вых}^0 = U_{отс} \approx 0,1$ В (логический ноль), следовательно, в схеме ДТЛ выполняется операция И-НЕ. Резистор R_3 служит в данной схеме для того, чтобы создать цепь рассасывания накопленного в базе транзистора VT_1 заряда (при переключении VT_1 из открытого состояния в закрытое). В некоторых случаях резистор R_3 соединяется не с землей, а с источником отрицательного напряжения $E \approx -2$ В, для того чтобы обеспечить более быстрое рассасывание базового заряда и уменьшить время задержки сигнала.

Логические элементы ДТЛ обладают высоким быстродействием и большим логическим перепадом $U_{л} = U_{вых}^1 - U_{вых}^0 = E - U_{отс} = E_k$. Отсутствие конденсаторов и высокоомных резисторов делает схемы

ДТЛ удобными в микроэлектронном исполнении. Чаще всего они реализуются в виде гибридных ИС. Что касается полупроводниковых ИС, то схема ДТЛ обладает существенным недостатком – большое количество диодов, а каждый диод – это, в сущности, транзистор в диодном включении. Каждый такой транзистор нуждается в изолирующем кармане и поэтому площадь, занимаемая схемой на подложке, оказывается очень большой. Отсюда появилась идея заменить совокупность логических диодов (VD_1 и VD_2) и диодов VD_3 и VD_4 одним многоэмиттерным транзистором, выполненным в одном изолирующем кармане. Таким образом был осуществлен переход к одному из самых распространенных семейств логических ИС – схемам транзисторно-транзисторной логики (ТТЛ).

7.3.3. Схемы транзисторно-транзисторной логики (ТТЛ)

В базовом элементе ТТЛ (рис. 7.14) функции диодов VD_1 и VD_2 выполняют эмиттеры многоэмиттерного транзистора, а роль диодов VD_3 и VD_4 – его коллекторный переход. Следовательно, схема ТТЛ выполняет ту же логическую операцию, что и схема ДТЛ, т. е. И-НЕ. Действительно, если на входе X_1 или X_2 действует сигнал низкого уровня $U_{вх} \approx 0$ (логический ноль), то в цепи протекает ток от источника

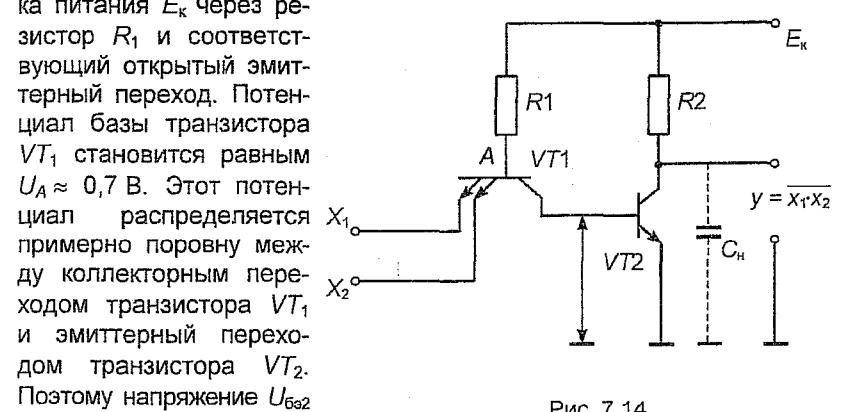


Рис. 7.14

питания E_k через резистор R_1 и соответствующий открытый эмиттерный переход. Потенциал базы транзистора VT_1 становится равным $U_A \approx 0,7$ В. Этот потенциал распределяется примерно поровну между коллекторным переходом транзистора VT_1 и эмиттерным переходом транзистора VT_2 . Поэтому напряжение $U_{бэ2}$ недостаточно для отпирания транзистора VT_2 и на выходе схемы устанавливается высокий уровень напряжения $U_{вых}^1 \approx E_k$ (логическая единица). Если на входах X_1 и X_2 действует высокий уровень сигнала $U_{вх}^1$ (логическая единица), то эмиттерные переходы транзистора VT_1 заперты, ток течет от источника E_k через резистор R_1 коллекторный переход VT_1 и эмиттерный переход VT_2 . Потенциал базы транзистора VT_2 становится

равным $U_{бэ2} \approx 0,7$ В, а потенциал $U_A \approx 1,4$ В. Транзистор VT_2 отпирается и на выходе схемы устанавливается низкий уровень напряжения $U_{вых}^0 \approx U_{ост} \approx 0,1$ В.

Схема ТТЛ, сохраняя все достоинства схемы ДТЛ, имеет существенный выигрыш по площади. Поэтому эта схема в настоящее время практически вытеснила схемы ДТЛ и получила очень широкое распространение. Однако, в рассмотренном варианте схема ТТЛ, несмотря на простую технологию, не получила широкого распространения из-за малой нагрузочной способности и низкого быстродействия. Действительно, при подключении к выходу схемы нескольких нагрузок в виде аналогичных схем вырастает нагрузочная емкость (показана пунктиром на рис. 7.14), а так как резистор R_2 имеет достаточно большую величину, то вырастает постоянная времени заряда емкости C_n ($\tau = C_n R_2$) и быстродействие схемы падает. Для устранения этого недостатка в схемах ТТЛ вместо простого инвертора используют сложный инвертор (рис. 7.15).

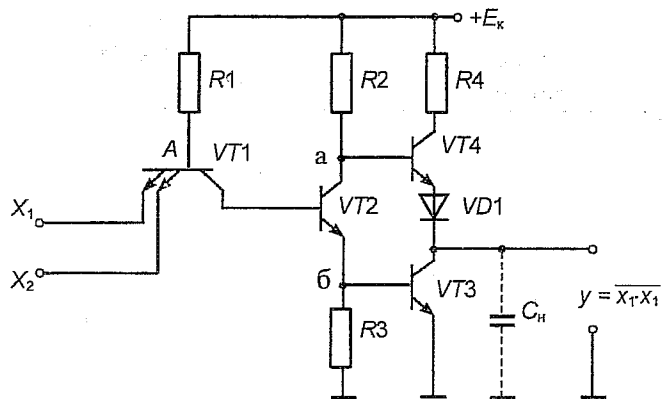


Рис. 7.15

Транзистор VT_2 в этой схеме выполняет роль фазорасщепителя, т. е. если потенциал точки «а» высокий, то точки «б» – низкий и наоборот. Так, например, если транзистор VT_2 открыт, то через него протекает ток, потенциал точки «а» падает (возрастает падение напряжения на резисторе R_2), а потенциал точки «б» возрастает (из-за роста напряжения на резисторе R_3). С выходов каскада на транзисторе VT_2 (точки «а» и «б») подаются управляющие сигналы, обеспе-

чивающие противофазное включение транзисторов VT_3 и VT_4 выходного каскада: если один из них открыт, то другой закрыт.

Рассмотрим работу инвертора. Пусть на входе инвертора (на базе транзистора VT_2) действует низкий уровень напряжения U^0 (логический нуль). Транзистор VT_2 закрыт, потенциал точки «а» высокий, а точки «б» – низкий, следовательно, транзистор VT_3 – закрыт, а VT_4 – открыт. Нагрузочная емкость C_n быстро заряжается от источника E_k через резистор R_4 , открытый транзистор VT_4 и диод VD_1 , устанавливается высокий уровень напряжения $U_{вых}^1 = E_k - U_{бэ} - U_D = 5 - 0,7 - 0,7 = 3,6$ В (логическая единица). Сопротивление резистора R_4 не велико (порядка 100 Ом). Он предназначен для ограничения тока в последовательной цепочке VT_4 – VD_1 – VT_3 . Дело в том, что в моменты переключения схемы из одного состояния в другое оба транзистора VT_3 и VT_4 открыты (один из них открывается, а другой не успевает закрыться), и чтобы предотвратить замыкание источника E_k на «землю» ставится ограничительный резистор R_4 .

Если на входе инвертора высокий уровень напряжения U^1 (логическая единица), то транзистор VT_2 открыт, VT_4 – закрыт и VT_3 – открыт. Емкость C_n разряжается через открытый транзистор VT_3 и на выходе схемы формируется низкий уровень напряжения $U_{вых}^0 = 0,1$ В (логический нуль). Диод VD_1 обеспечивает надежное запирающее транзистора VT_4 при открытом VT_3 .

Существенное повышение быстродействия схем ТТЛ можно получить за счет применения транзисторов с барьером Шоттки, такие логические ИС называются ТТЛШ ($t_{зд..р.ср} = 1...2$ нс, $P_{пот.ср} = 10...20$ мВт).

7.3.4. Эмиттерно-связанная логика (ЭСЛ)

Основу схемы ЭСЛ составляет переключатель тока (рис. 7.16, а).

В этой схеме транзисторы VT_1 и VT_2 образуют дифференциальный каскад, работающий в режиме переключения токов. Путем выбора величин резисторов $R_{к1}$, $R_{к2}$, тока I_0 и уровня $U_{вх}^1$ в схеме обеспечиваются такие условия, что транзисторы работают в активном режиме. Тем самым обеспечивается повышенная скорость переключения из-за уменьшения избыточных зарядов, накапливаемых в базах транзисторов. На базу транзистора VT_2 подается опорное напряжение E_0 , которое имеет величину $U_{вх}^0 < E_0 < U_{вх}^1$. Если $U_{вх} = E_0$, то оба транзистора открыты, и через каждый протекает ток $I_k = I_{к1} = I_{к2} = I_0/2$. Напряжение на эмиттерах $U_э = E_0 - U^*$. Известно, что в активном режиме ток коллектора очень сильно зависит от напряжения $U_{бэ}$:

$$i_k = \alpha I_0 \exp \frac{U_{бэ}}{U_T}, \quad (7.5)$$

Согласно этой формуле изменение $U_{бэ}$ на величину $\delta U = 2,3U_T$ (60 мВ при $T = 25^\circ\text{C}$) приводит к изменению коллекторного тока на порядок. Поэтому, если напряжение на входе станет меньше E_0 на величину $\delta U \geq 0,06$ В, то напряжение $U_{бэ1} = U_{вх} - U_3$ тоже уменьшится, что приведет к резкому уменьшению тока i_{k1} (рис. 7.16, б), а так как суммарный ток транзисторов задан генератором тока I_0 ($i_{k1} + i_{k2} = I_0$), то ток i_{k2} возрастет, т. е. произойдет переключение тока в правое плечо схемы ($i_{k2} \cong I_0$, $i_{k1} \cong 0$). Транзистор VT_1 будет закрыт и на первом выходе установится напряжение высокого уровня $U_{вых1}^1$, транзистор VT_2 будет открыт, на втором выходе установится напряжение низкого уровня $U_{вых2}^0$. Если напряжение на входе увеличить относительно величины E_0 на δU , то произойдет переключение тока в левое плечо схемы ($i_{k1} \cong I_0$, $i_{k2} \cong 0$, $U_{вых1}^0$, $U_{вых2}^1$). Таким образом, для переключения тока I_0 из одного плеча в другое достаточно изменить входное напряжение на величину $2\delta U \geq 0,12$ В относительно уровня E_0 .

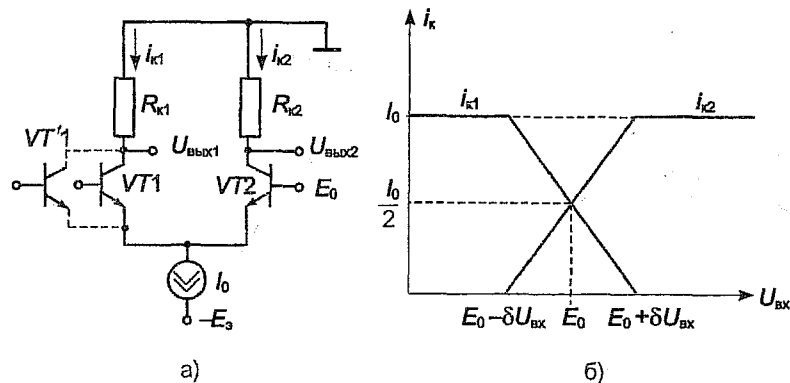


Рис. 7.16

Схема базового элемента ЭСЛ отличается от рассмотренной схемы переключателя тока тем, что она содержит в левом плече не один, а несколько транзисторов (VT_1 , VT_1' , ... и т. д.), включенных параллельно, т. е. имеет не один, а несколько входов. При подаче на любой из входов сигнала $U_{вх} = U_{вх1}^1 > (E_0 + \delta U)$ происходит переключение тока в левое плечо, а при наличии на всех входах сигналов $U_{вх} = U_{вх}^0 < (E_0 - \delta U)$ ток переключается в правое плечо. Следова-

тельно, при снятии выходного напряжения с левого плеча схема выполняет операцию ИЛИ-НЕ, а при снятии сигнала с правого плеча — операцию ИЛИ.

При цепочечном включении логических элементов выходное напряжение предыдущего элемента является входным для последующего. При этом последующий элемент не должен переходить в режим насыщения при подаче на его вход логической единицы. С этой целью к выходам подключают эмиттерные повторители, благодаря которым выходные потенциалы схемы ЭСЛ снижаются на 0,7 В относительно потенциалов коллекторов VT_1 и VT_2 . Поскольку эмиттерные повторители обладают низким выходным сопротивлением, то подключение к выходу схемы внешних нагрузок слабо влияет на работу схемы. Поэтому коэффициент разветвления для элемента ЭСЛ достигает 25.

Принципиальной особенностью микросхем ЭСЛ является питание от источника с заземленным плюсом. Такое включение позволило повысить помехоустойчивость схемы, так как в этом случае коллекторные шины питания делаются большого сечения, и уменьшается их сопротивление. В этом случае на коллекторной шине питания броски тока не создают значительного паразитного падения напряжения, которое воспринимается последующим логическим элементом как помеха. Повышению помехоустойчивости способствует также наличие двух заземляемых выводов: одного непосредственно от логического элемента, другого — от коллекторной шины эмиттерных повторителей.

Основным достоинством схем ЭСЛ является их высокое быстродействие, обусловленное, прежде всего работой транзисторов в активном режиме и уменьшением времени перезаряда емкостных составляющих схемы за счет малого логического перепада. В настоящее время разработаны сверхбыстродействующие ЭСЛ-схемы с частотой переключения до 3 ГГц.

7.3.5. Логические элементы с инжекционным питанием (И²Л)

Логические элементы И²Л являются модификацией схемы ТЛНС (рис. 7.12), в которой происходит коммутация тока, потребляемого от источника питания либо в коллекторную цепь предыдущего ЛЭ (при подаче на его вход напряжения U^1), либо в базовую цепь последующего ЛЭ (при подаче на вход предыдущего ЛЭ напряжения U^0). Резистор R_k в этой схеме необходим для обеспечения нужных режимов работы транзисторов, причем ток через R_k при переключении меняется очень мало. Поэтому в ЛЭ И²Л его заменяют источником постоянного тока, функции которого выполняет дополнительный

Базы транзисторов VT_1 и VT_2 подключены к коллекторам предыдущих ЛЭ и питаются также от своих источников тока I_0 .

Название **инжекционное питание** происходит из-за особенностей структуры логического элемента, в которой осуществлено совмещение $p-p-n$ - и $p-n-p$ -структур (рис. 7.18,а): база горизонтального $p-n-p$ -транзистора одновременно является эмиттером вертикального $p-p-n$ -транзистора, а коллектор $p-p-n$ -транзистора – базой $p-p-n$ -транзистора. Если вывод базы $p-p-n$ -транзистора заземлен (или подключен к коллектору открытого предыдущего ЛЭ), то дырки (из эмиттера горизонтального $p-p-n$ -транзистора) пройдя через базу $p-p-n$ -транзистора, покидают ее. Если же вывод базы $p-p-n$ -транзистора отключен (или подключен к коллектору закрытого предыдущего ЛЭ), то в базе $p-p-n$ -транзистора происходит накопление дырок, иначе говоря, имеет место инжекция дырок в базу. Отсюда и название «инжекционное питание». При инжекции дырок в базу $p-p-n$ -транзистора

И(+E_k)

К

Б

SiO₂

а)

Si n⁺

И

б)

И

К

Б

X₁

X₂

а) б)

Включать в каждую базовую цепь p - n - p -транзистор, выполняющий функции источника тока I_0 , нецелесообразно. Учитывая, что базы всех p - n - p -транзисторов заземлены, а эмиттеры, называемые **инжекторами**, подключены к источнику питания через резисторы, обеспечивающие стабильность тока инжекторов, в реальных структурах вместо большого числа индивидуальных источников тока используют многоколлекторный p - n - p -транзистор, каждый коллектор которого подключен только к одной базе соответствующего транзистора. Этот принцип иллюстрируется рис. 7.18,б, где представлена топология двухходового ЛЭ, соответствующего схеме рис. 7.17,б. В этой структуре инжектор представляет собой узкую p -полоску, справа и слева от которой расположены вертикальные n - p - n -структуры.

Обычно к выходу ЛЭ подключается параллельно несколько последующих ЛЭ, входные токи которых могут быть разными, что может привести к неустойчивости работы цепочки ЛЭ. Для того, чтобы обеспечить равномерное распределение выходных токов n - p -транзисторы делают многоколлекторными. Количество коллекторов

равно количеству последующих ЛЭ, подключаемых параллельно к выходу предыдущего ЛЭ.

Рассмотренные схемы и структуры реализуют операцию ИЛИ-НЕ. Для реализации операции И применяют схему, показанную на рис. 7.19.

Если на входах $X_1 = X_2 = U^0$, то транзисторы VT_1 и VT_3 закрыты, а

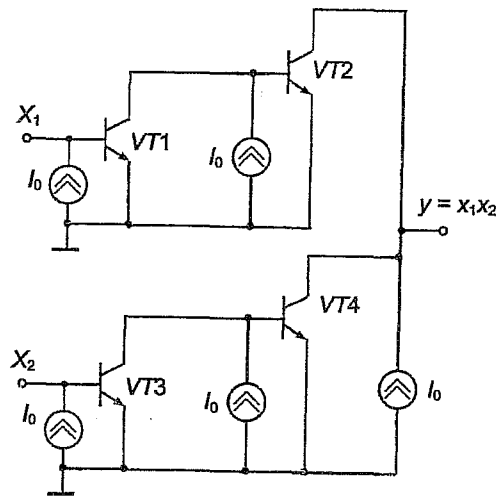


Рис. 7.19

с отсутствием изолирующих карманов между транзисторами (эмиттеры всех транзисторов заземлены), низкое напряжение питания (чтобы открыть инжекторный переход достаточно напряжения около 1 В), малая потребляемая мощность (транзисторы работают в режиме микротоков), достаточно высокое быстродействие и др. Все это делает схемы И²Л весьма перспективными для использования в больших интегральных схемах (БИС).

7.3.6. Логические элементы на МДП транзисторах

Логические элементы на МДП транзисторах строятся на основе ключей с динамической нагрузкой, рассмотренных выше. В связи с этим ЛЭ строятся или на однотипных МДП транзисторах или на комплементарных МДП транзисторах.

ЛЭ на однотипных МДП транзисторах. В настоящее время предпочтение отдается МДП транзисторам с индуцированным каналом n -типа, которые обеспечивают более высокое быстродействие

транзисторы VT_2 и VT_4 открыты и на выходе $Y = U^0$. Если на одном из входов X_1 (или X_2) действует сигнал U^1 , а на другом — U^0 , то транзистор VT_1 (или VT_3) открыт, а транзистор VT_3 (или VT_1) закрыт, следовательно, один из транзисторов VT_2 (или VT_4) открыт и $Y = U^0$. Если же $X_1 = X_2 = U^1$, то транзисторы VT_1 и VT_3 открыты, а транзисторы VT_2 и VT_4 закрыты и $Y = U^1$.

Логические элементы И²Л обладают рядом преимуществ: малая занимаемая площадь, что связано

логического элемента. Анализ ЛЭ на МДП транзисторах проще, чем ЛЭ на биполярных транзисторах, потому что во входных цепях практически отсутствует ток (напомним, что полевые транзисторы обладают большим входным сопротивлением и поэтому работают в режиме управления напряжением). Следовательно, при работе в цепочке отдельные ЛЭ функционируют независимо друг от друга и каждый из них можно анализировать без учета влияния предыдущего и последующего ЛЭ. В частности уровни U^0 и U^1 не зависят от нагрузки и остаются такими же, как и в режиме холостого хода. Влияние последующего ЛЭ сводится к увеличению выходной емкости данного ЛЭ.

На рис. 7.20,а приведена схема ЛЭ, реализующего логическую функцию ИЛИ-НЕ. При подаче на оба входа X_1 и X_2 или на любой из них высокого уровня напряжения U^1 оба транзистора VT_1 и VT_2 или один из них открыты и на выходе Y устанавливается низкий уровень напряжения $U^0 = U_{отс} \approx 0,1$ В (логический нуль). Если на обоих входах X_1 и X_2 действует напряжение низкого уровня U^0 , то транзисторы VT_1 и VT_3 закрыты и на выходе устанавливается высокий уровень напряжения $U^1 \approx E$. Таким образом логический перепад составляет $U_n = U^1 - U^0 \approx E$.

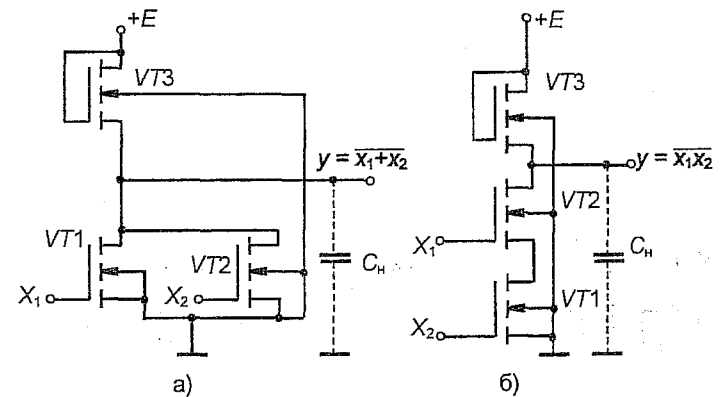


Рис. 7.20

Логический элемент на рис. 7.20,б реализует функцию И-НЕ. Если хотя бы один из управляющих транзисторов закрыт (VT_1 или VT_2), т. е. на одном из входов действует низкий уровень напряжения U^0 , то на выходе схемы имеем высокий уровень напряжения $U^1 \approx E$. Схема переключается в другое состояние (низкий уровень напряжения на выходе), только когда на всех входах действуют высокие

уровни напряжения U^1 (транзисторы VT_1 и VT_2 открыты). Если высокий уровень напряжения на выходе в этой схеме такой же, как и в предыдущей (рис. 7.20,а), то U^0 больше, так как он пропорционален числу последовательно включенных управляющих транзисторов. Следовательно, логический перепад U_n в схемах, выполняющих операцию И-НЕ будет меньше. Поэтому с увеличением числа входов помехоустойчивость схемы И-НЕ уменьшается, что ограничивает число входов. Быстродействие ЛЭ на одностипных МДП транзисторах, как и аналоговых ключей, ограничивается скоростью перезаряда емкости нагрузки C_n , величина которой пропорциональна количеству нагрузочных ЛЭ.

Логические элементы на комплементарных МДП (КМДП) транзисторах. Двухвходовая схема ЛЭ КМДП, реализующая функцию ИЛИ-НЕ, приведена на рис. 7.21,а. Схема на рис. 7.21,б реализует логическую функцию И-НЕ. Из рис. 7.21,а видна закономерность КМДП логических элементов: параллельное соединение одностипных транзисторов сопровождается последовательным включением транзисторов другого типа. Выполняемая логическая операция определяется включением транзисторов «нижнего яруса» (в схемах на рис. 7.21 – это n -канальные транзисторы VT_1 и VT_2). ЛЭ на КМДП транзисторах сохраняют все достоинства аналоговых ключей, в частности, ничтожную потребляемую мощность в статических состояниях.

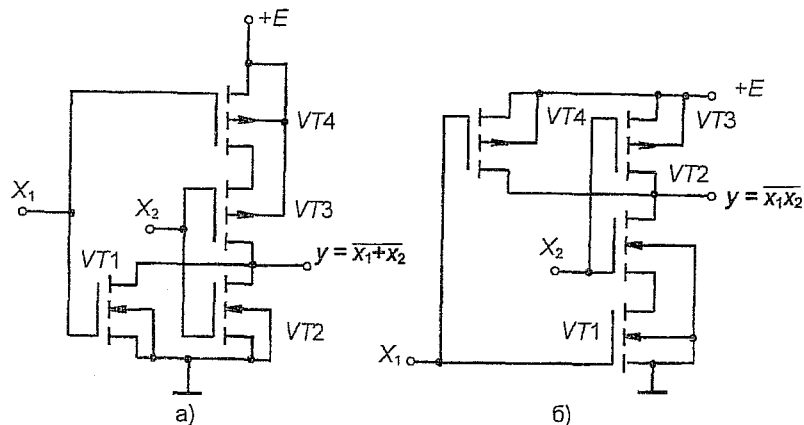


Рис. 7.21

Действие на входах параллельно соединенных управляющих транзисторов VT_1 и VT_2 уровня логического нуля U_0 обуславливает

их закрытое состояние, при этом последовательно соединенные нагрузочные транзисторы VT_3 и VT_4 открыты и на выходе схемы и на выходе схемы устанавливается напряжение

$$U^1 = E - (I_{yT1} + I_{yT2}) \cdot (r_{кан3} + r_{кан4}) \approx E, \quad (7.6)$$

где $I_{yT} \approx (0,5...1)$ нА – ток утечки закрытых транзисторов; $r_{кан}$ – сопротивление канала открытого транзистора.

Если хотя бы на один из входов поступает сигнал логической единицы U^1 , то открывается соответствующий управляющий транзистор (VT_1 или VT_2), а связанный с ним нагрузочный транзистор (VT_3 или VT_4) закрывается. На выходе схемы устанавливается напряжение $U^0 = U_{ост} \approx I_{yT} r_{кан} \approx 0$.

В схеме И-НЕ (рис. 7.21,б) при действии уровня логического нуля U^0 на входах схемы оба управляющих транзистора VT_1 и VT_2 закрыты, а нагрузочные транзисторы VT_3 и VT_4 открыты – на выходе схемы будем иметь высокий уровень напряжения $U^1 \approx E$. Состояние схемы не изменится, если напряжение U^0 поступает только на один из входов, так как один из последовательно включенных управляющих транзисторов остается закрытым.

При подаче на входы схемы высокого уровня напряжения U^1 управляющие транзисторы VT_1 и VT_2 открыты, а нагрузочные VT_3 и VT_4 закрыты, и на выходе схемы устанавливается низкий уровень напряжения $U^0 = U_{ост1} + U_{ост2} \approx 0$.

Таким образом, КМДП ЛЭ кроме высокой экономичности характеризуются и высокой эффективностью использования напряжения источника питания, так как логический перепад $U_n = U^1 - U^0 \approx E$.

В настоящее время именно КМДП ЛЭ используются в большинстве микропроцессоров и телекоммуникационных БИС.

7.3.7. Динамические логические элементы

Высокое входное сопротивление МДП – транзисторов позволяет создавать особый вид логических элементов, называемых динамическими. Главная их особенность заключается в том, что в них используются нагрузочные транзисторы, которые переключаются при подаче на затвор тактовых импульсов. В схемах таких ЛЭ используются только транзисторы с индуцированным каналом, обычно n -типа.

На рис. 7.22 представлена схема простейшего ЛЭ – инвертора динамического типа. В отличие от ранее рассмотренных схем, на затвор нагрузочного транзистора VT_2 подаются тактовые импульсы Φ с амплитудой, равной или превышающей напряжение питания E . В течение действия импульса Φ транзистор VT_2 открыт. Если $U_{вх} = U^0$, то после окончания тактового импульса Φ и запираения транзистора

VT_2 на выходе устанавливается напряжение $U_{\text{вых}} = U^1$, которое «запоминается» конденсатором C_H . По мере разряда C_H через закрытый транзистор VT_1 напряжение на выходе медленно уменьшается. С приходом следующего тактового импульса Ф транзистор VT_2 открывается и емкость C_H заряжается от источника питания и прежнее значение $U_{\text{вых}}$ восстанавливается. Следует отметить, что в отсутствие импульса Ф ток, потребляемый от источника питания, мал, и, следовательно, мала потребляемая инвертором мощность, независимо от состояния транзистора VT_1 . Таким образом, динамический элемент, в отличие от ранее рассмотренных ЛЭ, является более экономичным, подобно ЛЭ на комплементарных транзисторах. Однако, импульсное питание оказывается существенно сложнее.

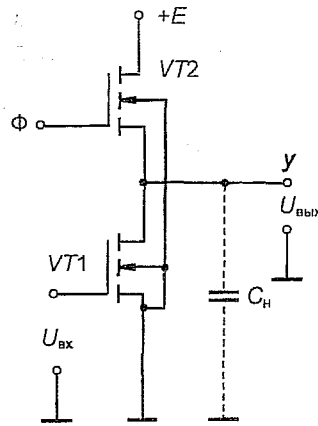


Рис. 7.22

7.4. Триггеры

Помимо ЛЭ, реализующих основные логические операции, в цифровой технике широко используются в качестве базовых элементов ячейки памяти на основе разнообразных триггеров. В общем случае триггер это элемент цифровых устройств, обладающий двумя устойчивыми состояниями. Основу триггера составляет кольцо из двух инверторов (рис. 7.23,а), которое принято обозначать в виде электронной защелки (рис. 7.23,б). Выход Q называют прямым выходом, \bar{Q} — инвертирующим. Электронная защелка может находиться в одном из двух устойчивых состояний: либо $Q = 0$, $\bar{Q} = 1$, либо $Q = 1$, $\bar{Q} = 0$. Перевод триггерной защелки из одного состояния в другое осуществляется путем воздействия на нее управляющих импульсов. В зависимости от способа управления различают несколько разновидностей триггеров. В настоящее время широкое распространение получили интегральные триггеры на основе логических схем И-НЕ и ИЛИ-НЕ. Простейшим является RS-триггер. На рис. 7.24 представлены: структура (а) и условное обозначение (б) RS-триггера, выполненного на элементах ИЛИ — НЕ. В этой схеме вход R служит для установки на выходе Q логического нуля, а на

выходе \bar{Q} — логической единицы. Вход S служит для установки на выходе Q логической единицы, а на выходе \bar{Q} — логического нуля. Поскольку триггер имеет два управляющих входа, обозначаемых R и S , то отсюда произошло его название RS- триггер.

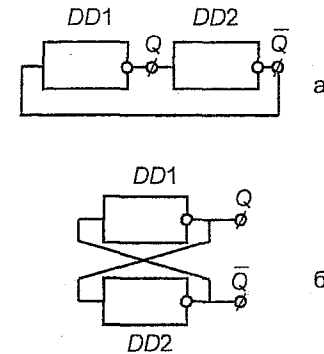


Рис. 7.23

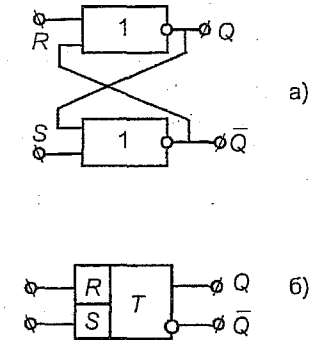


Рис. 7.24

При одновременной подаче на входы R и S управляющих импульсов на обоих выходах устанавливаются нули. После прекращения действия управляющих импульсов триггер перейдет в одно из двух устойчивых состояний, предугадать которое невозможно, поэтому комбинация $S = R = 1$ является запрещенной.

7.5. Функциональные узлы цифровых устройств

Цифровые устройства предназначены для обработки цифровой информации в вычислительных машинах (ЭВМ), устройствах автоматики, связи и др. Различают комбинационные и последовательные цифровые устройства.

Комбинационные цифровые устройства выполняются на основе базовых ЛЭ И-НЕ, ИЛИ-НЕ и реализуют логические функции различной степени сложности. Характерной их особенностью является отсутствие в схеме элементов памяти.

Последовательные цифровые устройства содержат элементы памяти и выполняются обычно на основе триггеров.

7.5.1. Комбинационные цифровые устройства

Наиболее распространенными являются следующие устройства.

Шифратор — это схема, преобразующая десятичные числа, символы и команды в двоичный код, т. е. комбинацию логических

нулей и единиц. При поступлении сигнала логической единицы на один из входов шифратора, номер которого соответствует заданной цифре (букве, знаку) десятичного кода на выходных шинах устанавливаются сигналы, соответствующие цифре (букве, знаку), записанной в двоичном коде.

Дешифратор преобразует двоичный код на m входах в сигнал логической единицы на определенном выходе дешифратора. Присвоив номер соответствующему выходу дешифратора, можно квалифицировать его как преобразователь двоичного кода в десятичный.

Сумматор — это схема, предназначенная для сложения двух двоичных чисел.

7.5.2. Последовательные цифровые устройства

Примером последовательных устройств могут служить регистры и счетчики.

Регистры. Регистром называется устройство, предназначенное для ввода (записи), хранения и выдачи (считывания) многоразрядных двоичных чисел. Основными элементами регистра являются ячейки памяти, роль которых играют триггеры различных типов. Количество триггеров определяется количеством разрядов двоичного числа, предназначенного для ввода в регистр.

Счетчики. Счетчик — это устройство, предназначенное для подсчета числа импульсов. Он состоит из ряда последовательно соединенных триггеров, каждый из которых делит частоту следования на два. Число разрядов счетчика, равное количеству последовательно соединенных триггеров, определяет количество его устойчивых состояний, которое называется *коэффициентом пересчета* $K_{сч}$.

7.6. Запоминающие устройства

Запоминающие устройства (ЗУ) предназначены для записи, хранения и считывания двоичной информации. В состав ЗУ (рис. 7.25) входят: матрица-накопитель из элементов памяти (ЭП), усилители сигналов записи и считывания. Все эти элементы расположены на одном полупроводниковом кристалле. Шины X называются адресными, а шины Y — разрядными.

Запоминающие устройства делятся на две группы: постоянные запоминающие устройства (ПЗУ) и оперативные запоминающие устройства (ОЗУ). В ПЗУ обычно хранятся стандартные программы, необходимые для выполнения арифметических или логических операций. Важное свойство ПЗУ — сохранение информации после прекращения питания. ПЗУ по способу записи информации подразделяются

на масочные (ПЗУМ), программируемые (ППЗУ) и репрограммируемые (РПЗУ).

ОЗУ предназначены для быстрого попеременного ввода и вывода информации. В ОЗУ обычно хранятся промежуточные результаты вычисления. Элементы памяти ОЗУ подразделяются на статические, в которых информация хранится сколь угодно долго, пока включено питание, и динамические, в которых информация хранится ограниченное время, что требует ее периодического восстановления.

Масочные ПЗУ. В качестве элементов памяти используются диоды или транзисторы, включающиеся на пересечении адресных и разрядных шин. Наличие, например, диода между этими шинами соответствует логической единице, отсутствие — логическому нулю.

Репрограммируемые ПЗУ. Эти ПЗУ допускают многократное перепрограммирование, т. е. многократное стирание старой и запись новой информации. В качестве элементов памяти используются МДП-транзисторы с плавающим затвором (см. п. 4.2.5).

Элементы памяти ОЗУ статического типа. В качестве элементов памяти в этих ОЗУ используются триггеры на биполярных или МДП-транзисторах.

Элементы памяти динамического типа. Принцип действия этих элементов памяти основан на хранении информации в виде накопленных зарядов на паразитных емкостях диодов или транзисторов. Обычно для этой цели используют МДП-транзисторы (рис. 7.26). В этой схеме информация хранится в запоминающем конденсаторе C_3 , C_y — паразитная емкость шины Y . В режиме записи на шину X подается положительный импульс напряжения, в транзисторе индуцируется канал, в результате

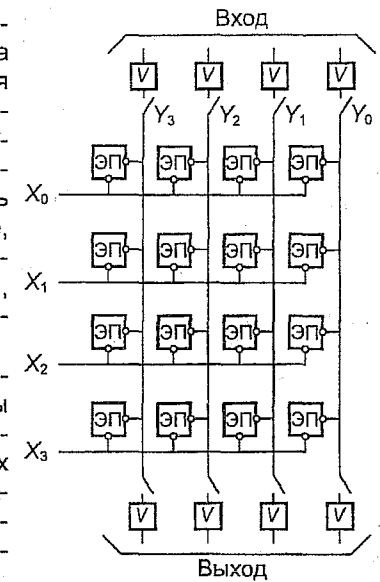


Рис. 7.25

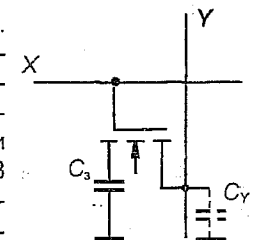


Рис. 7.26

чего емкость C_3 подключается к разрядной шине Y . Если на шине Y высокий потенциал U^1 , то C_3 заряжается до напряжения U^1 , если потенциал шины Y равен $U^0 \approx 0$, то емкость C_3 не заряжается. В режиме хранения информации емкость C_3 постепенно разряжается за счет токов утечки, поэтому необходимо периодическое восстановление заряда конденсатора. С этой целью через каждые несколько миллисекунд происходит считывание информации с элемента памяти, преобразование ее в напряжение U^1 или U^0 и последующая запись этого напряжения в элемент памяти.

7.7. Микропроцессоры (МП)

Микропроцессором называется функционально законченное устройство цифровой обработки информации, реализованное в виде одной или нескольких больших интегральных схем (БИС). Микропроцессор является программно-управляемым универсальным устройством, осуществляющим обработку цифровых сигналов в соответствии с заданным алгоритмом.

Чтобы получить общее представление об устройстве МП рассмотрим алгоритм вычислений по уравнению $Y = (AX + B)X + C$, который состоит из следующих шагов: 1) $A \cdot X = M$; 2) $M + B = N$; 3) $N \cdot X = K$; 4) $K + C = Y$. Этот алгоритм можно реализовать аппаратным способом по схеме, включающей два перемножителя и два сумматора. Недостатком такого метода является то, что при изменении алгоритма, необходимо создавать новую схему реализации.

Тот же алгоритм может быть реализован программным способом. При этом однотипные операции выполняет один и тот же блок, но в разное время в соответствии с программой. В обобщенном виде структура МП показана на рис. 7.27. Она содержит арифметическо-логическое устройство

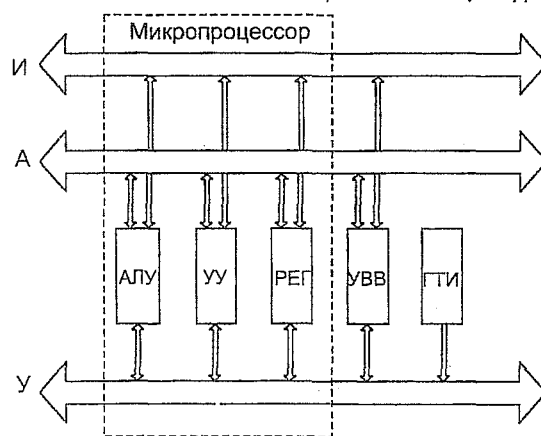


Рис. 7.27

рис. 7.27. Она содержит арифметическо-логическое устройство

(АЛУ), устройство управления (УУ). Блок регистров (РЕГ) и генератор тактовых импульсов. Информация вводится и выводится через устройство ввода-вывода (УВВ). АЛУ обеспечивает выполнение определенных арифметических и логических операций над данными, поступающими в него из блока регистров или УВВ, в соответствии с командами, поступающими из УУ.

Блок регистров используется в качестве внутренней оперативной памяти МП, там хранятся поступающие данные, промежуточные результаты и т. д. Обмен информацией между отдельными узлами МП происходит посредством информационных (И), адресных (А) и управляющих (У) шин. Шина это группа линий связи, число которых определяет разрядность одновременно передаваемой по шине информации. Шины, как правило, двунаправленные, т. е. могут передавать информацию в обоих направлениях.

Помимо универсальных микропроцессоров в настоящее время применяются сигнальные и медийные микропроцессоры, программируемые логические интегральные схемы (ПЛИС) и транспьютеры.

Канюков Иван
МФ-410

СОДЕРЖАНИЕ

6. АНАЛОГОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ	3
6.1. Общие сведения	—
6.2. Базовые ячейки АИС	—
6.2.1. Составные транзисторы	—
6.2.2. Генераторы стабильного тока	5
6.2.3. Динамическая нагрузка	7
6.2.4. Схемы сдвига потенциальных уровней	9
6.3. Усилительные каскады и повторители	10
6.3.1. Усилительные каскады на биполярных транзисторах	—
6.3.2. Усилительные каскады на полевых транзисторах	15
6.3.3. Дифференциальные каскады	17
6.3.4. Повторители напряжения	22
6.3.5. Выходные каскады аналоговых ИС	24
6.4. Операционные усилители	26
6.4.1. Структура и основные параметры ОУ	27
6.4.2. Применение операционных усилителей	30
6.5. АИС аппаратуры связи	34
7. ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ (ЦИС)	36
7.1. Общие положения	—
7.2. Электронные ключи	37
7.2.1. Электронные ключи на биполярных транзисторах	—
7.2.2. Электронные ключи на полевых транзисторах	41
7.3. Логические элементы интегральных микросхем	43
7.3.1. Транзисторная логика с непосредственными связями и ее варианты	44
7.3.2. Диодно-транзисторная логика (ДТЛ)	45
7.3.3. Схемы транзисторно-транзисторной логики (ТТЛ)	47
7.3.4. Эмиттерно-связанная логика (ЭСЛ)	49
7.3.5. Логические элементы с инжекционным питанием (И ² Л)	51
7.3.6. Логические элементы на МДП транзисторах	54
7.3.7. Динамические логические элементы	57
7.4. Триггеры	58
7.5. Функциональные узлы цифровых устройств	59
7.5.1. Комбинационные цифровые устройства	—
7.5.2. Последовательные цифровые устройства	60
7.6. Запоминающие устройства	—
7.7. Микропроцессоры (МП)	62

Подписано к печати 8.01.2004.

Объем 4,0 печ. л. Тираж 1000 экз. Зак. 262

Отпечатано СТ «Факультет ДВО». 191186 СПб, наб. р. Мойки, 61