

## 7. ЦИФРОВЫЕ ИНТЕГРАЛЬНЫЕ СХЕМЫ (ЦИС)

### 7.1. Общие положения

В предыдущем разделе рассматривались интегральные схемы (ИС), предназначенные для обработки аналоговых сигналов, т. е. сигналов, являющихся непрерывной функцией времени. Наряду с такими сигналами широкое применение находят сигналы импульсной формы, когда кратковременное воздействие сигнала чередуется с паузой. Среди множества импульсных сигналов наибольшее распространение получили сигналы прямоугольной формы (рис. 7.1), которые принимают лишь два дискретных значения  $U_{\max}$  и  $U_{\min}$ , условно называемые **логическим нулем** и **логической единицей**.

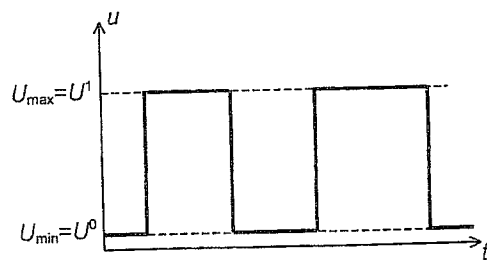


Рис. 7.1

Как правило, логическому нулю соответствует низкий уровень напряжения (обозначается  $U^0$ ), а логической единице — высокий уровень напряжения (обозначается  $U^1$ ), хотя это не имеет принципиального значения.

Такие сигналы удобно использовать для кодирования информации в двоичном коде и поэтому их называют цифровыми. Разность напряжений логической единицы и логического нуля называют размахом сигнала или **логическим перепадом**  $U_n = U^1 - U^0$ . Для четкого различия состояний «0» и «1» величина  $U_n$  должна быть достаточно большой.

Устройства, работающие с цифровыми сигналами имеют принципиальные отличия от аналоговых устройств, что обусловлено следующими факторами: менее жесткие требования к точности и стабильности параметров и характеристик элементов; высокая помехоустойчивость; отсутствие накопления малых ошибок и возможность обеспечения любой (заранее выбранной) точности; возможность создания сложных устройств (например, ЭВМ) из большого числа сравнительно простых однотипных элементов, легко выполняемых методом интегральной технологии.

В основе цифровых схем лежат простейшие транзисторные ключи — аналоги металлических контактов, которые характеризуются двумя устойчивыми состояниями: разомкнутым и замкнутым. На базе простейших ключей строятся более сложные схемы: логические

элементы, бистабильные ячейки, триггеры и т. д. Цифровые ИС применяются широко в вычислительной технике, устройствах дискретной автоматики, а в последнее время и в технике связи.

### 7.2. Электронные ключи

Пример упрощенной ключевой схемы показан на рис. 7.2, а. Для ключа характерны два устойчивых состояния: «включено» и «выключено». В состоянии «включено» (ключ замкнут) через ключ течет ток  $I$ , и напряжение на выходе равно нулю, в состоянии «выключено» (ключ разомкнут) ток через ключ не протекает и напряжение на выходе равно  $E$ . В современных ИС роль ключа выполняет активный элемент (АЭ) — биполярный или полевой транзистор (рис. 7.2, б), к выходу которого подключается внешняя нагрузка  $R_n$ . Под воздействием управляющего сигнала транзистор запирается или отпирается, что соответствует размыканию или замыканию ключа. В открытом состоянии транзистор обладает некоторым небольшим внутренним сопротивлением  $R_i$  и на выходе устанавливается низкое напряжение  $U^0 = E R_i / (R + R_i)$ . В закрытом состоянии устанавливается высокое напряжение  $U^1 = E R_n / (R + R_n)$ .

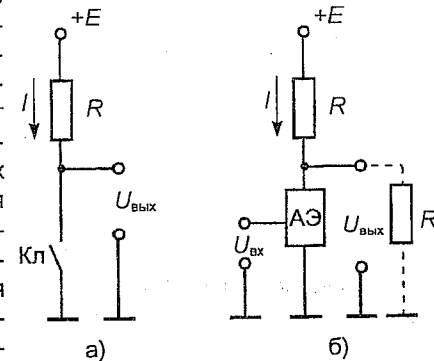


Рис. 7.2

#### 7.2.1. Электронные ключи на биполярных транзисторах

Простейшая схема ключа на биполярном транзисторе приведена на рис. 7.3, а. На входе схемы включен резистор  $R_6$ , имеющий сопротивление значительно большее входного сопротивления транзистора ( $R_6 \gg h_{113}$ ), поэтому можно считать, что входная цепь ключа питается током  $i_6 = U_{вх} / R_6$ . Будем также считать, что напряжение  $U_{вх}$  может принимать только два значения  $U_{вх} = U^0$  и  $U_{вх} = U^1$ , соответственно ток базы также принимает два значения  $i_6 = i_6^0 \approx 0$  и  $i_6 = i_6^1 \approx U^1 / R_6$ . Если  $i_6 = i_6^0$ , то режим работы ключа определяется точкой А (рис. 7.3, б), если  $i_6 = i_6^1$  — точкой В. Точка В определяет величину остаточного напряжения  $U_{ост} \approx 0,1$  В, она располагается в области режима насыщения транзистора. Степень насыщения транзистора оценивается коэффициентом насыщения  $K_{нас} = i_6^1 / I_{Б,нас}$ , где  $I_{Б,нас}$  —

минимальная величина тока базы, при котором транзистор переходит в режим насыщения при заданной величине сопротивления  $R_H$ .

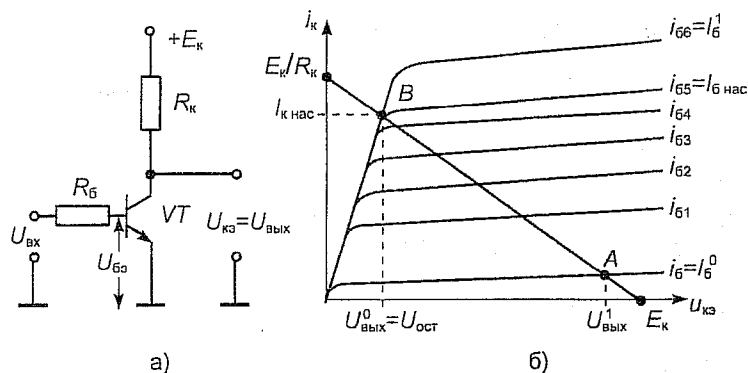


Рис. 7.3

**Влияние внешней нагрузки на работу ключа.** Подключение к электронному ключу внешней нагрузки влияет на его работу. Наиболее существенно изменяется величина уровня  $U_{\text{вых}}^1$  (с уменьшением сопротивления нагрузки  $U_{\text{вых}}^1$  уменьшается). Таким образом, подключение нагрузки уменьшает уровень логического перепада  $U_{\text{л}} = U_{\text{вых}}^1 - U_{\text{вых}}^0$ .

Во многих случаях к выходу ключа подключается несколько нагрузок. Чем больше подключается нагрузок к выходу ключа, тем меньше уровень  $U_{\text{вых}}^1$ . Наибольшее количество ключей, аналогичных рассматриваемому, которые одновременно можно подключить к его выходу оценивается параметром, называемым **коэффициентом разветвления по выходу** и выражается целым положительным числом  $K_{\text{разв}}$ . Чем выше коэффициент  $K_{\text{разв}}$ , тем шире возможности использования ключа в конкретных схемах. Практически величина  $K_{\text{разв}}$  для различных ИС лежит в пределах от 4 до 25.

В некоторых цифровых ИС электронные ключи имеют общую нагрузку в коллекторной цепи. Встречаются также схемы логических элементов, имеющие несколько входов (см. п.7.3). Наибольшее количество входов, которое может иметь такая схема, называется **коэффициентом объединения по входу**  $K_{\text{об}}$ . Увеличение числа входов ведет, как правило, к снижению быстродействия ключа. Практически величина  $K_{\text{об}}$  для различных ИС лежит в пределах от 2 до 6.

**Передаточная характеристика.** Основной статической характеристикой ключа является передаточная характеристика, пред-

ставляющая собой зависимость выходного напряжения  $U_{\text{вых}} = U_{\text{кз}}$  от входного напряжения  $U_{\text{вх}} = U_{\text{бз}}$ . Ее можно построить, используя выходные характеристики (рис. 7.3,б) и входные характеристики транзистора. С увеличением напряжения на входе ключа возрастает ток базы транзистора и рабочая точка (рис. 7.3,б) из положения А смещается вверх по нагрузочной линии, вследствие чего напряжение на выходе ключа уменьшается. Типичный вид передаточной характеристики ключа приведен на рис. 7.4

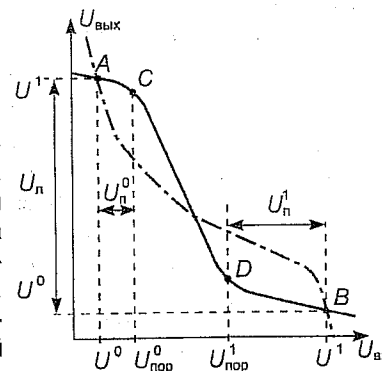


Рис. 7.4

**Помехоустойчивость ключей.** Помимо управляющего сигнала на входе ключа может появиться напряжение помехи, которое либо повышает, либо понижает входное напряжение. Если на входе действует напряжение  $U^0$ , то опасны помехи, имеющие положительную полярность. Если на входе действует напряжение  $U^1$ , то опасны помехи, имеющие отрицательную полярность.

Помехоустойчивость принято оценивать максимально допустимыми величинами **напряжений отпирающей и запирающей помех**

$$U_{\text{п}}^0 = U_{\text{пор}}^0 - U^0,$$

$$U_{\text{п}}^1 = U^1 - U_{\text{пор}}^1.$$

Эти напряжения указаны на рис. 7.4. Пороговые напряжения  $U_{\text{пор}}^0$  и  $U_{\text{пор}}^1$  определяются точками С и D, в которых выполняется условие

$$\frac{dU_{\text{вых}}}{dU_{\text{вх}}} = 1, \quad (7.1)$$

называемыми точками единичного усиления. Для оценки помехоустойчивости может быть использован так называемый **коэффициент помехоустойчивости**

$$K_{\text{п}} = \frac{\min\{U_{\text{п}}^0, U_{\text{п}}^1\}}{U_{\text{л}}}, \quad (7.2)$$

где

$$U_{\text{л}} = U_{\text{п}}^1 - U_{\text{п}}^0 \quad (7.3)$$

Для повышения помехоустойчивости необходимо уменьшать ширину области переключения, равную разности  $U_{пор}^1$  и  $U_{пор}^0$  и увеличивать размах сигнала  $U_n$ . В идеальном случае выполняются условия  $U_{пор}^0 = U_{пор}^1$ ,  $U^0 = 0$ ,  $U^1 = E$ , тогда  $K_n^0 = K_n^1 = 0,5$ .

**Быстродействие ключа.** Быстродействие ключей на биполярных транзисторах определяется инерционностью процессов, связанных с накоплением и рассасыванием избыточных зарядов, вследствие чего невозможен мгновенный переход транзистора из одного состояния в другое. Временные диаграммы, иллюстрирующие переходные процессы в транзисторном ключе при его включении и выключении подробно описаны в разд. 3.12 ч.1 конспекта.

В реальных условиях управляющие импульсы имеют форму, близкую к трапецеидальной (рис. 7.5). В этом случае быстродействие электронных ключей оценивается **средним временем задержки распространения сигнала**

$$t_{зд.р.ср} = \frac{t_{зд.р}^{0,1} + t_{зд.р}^{1,0}}{2}, \quad (7.4)$$

где  $t_{зд.р}^{0,1}$  – время задержки распространения при переходе выходного напряжения от  $U_{вых} = U^0$  к  $U_{вых} = U^1$ ;

$t_{зд.р}^{1,0}$  – время задержки распространения при переходе выходного напряжения от  $U_{вых} = U^1$  к  $U_{вых} = U^0$ .

Задержки  $t_{зд.р}^{0,1}$  и  $t_{зд.р}^{1,0}$  отсчитывают по уровню, соответствующему половине перепада  $U^1 - U^0$ .

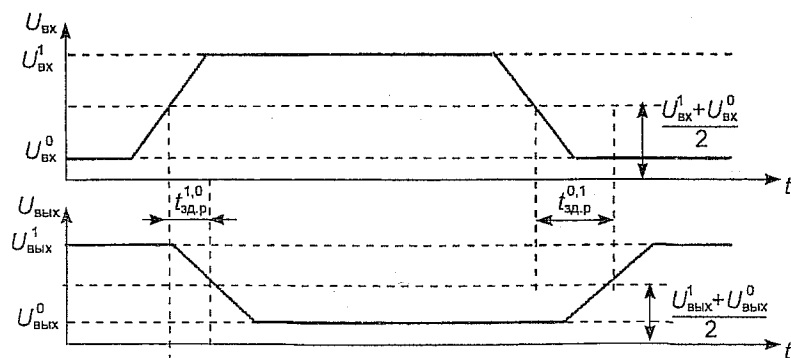


Рис. 7.5

Наиболее эффективным методом повышения быстродействия ключей является шунтирование коллекторного перехода диодом Шоттки (см. разд. 5).

### 7.2.2. Электронные ключи на полевых транзисторах

В качестве электронных ключей в ИС обычно используют МДП-транзисторы с индуцированным каналом  $n$ -типа, в которых при отсутствии напряжения на затворе ( $U_{зи} = 0$ ) ключ находится в разомкнутом состоянии, а при подачи на затвор напряжения, превышающего пороговое значение ( $U_{зи} = U_{пор}$ ) ключ находится в замкнутом состоянии.

**Ключ с резистивной нагрузкой.** Схема ключа приведена на рис. 7.6, а на рис. 7.7 показано построение передаточных характеристик. При  $U_{зи} = 0$  режим работы ключа определяется точкой А, при этом  $U_{вых} = E_c$ . При увеличении  $U_{зи}$  рабочая точка перемещается вдоль нагрузочной линии, при этом возрастает ток  $i_c$  и уменьшается напряжение.

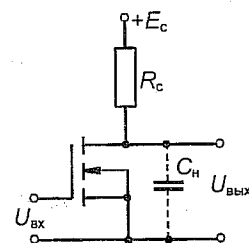


Рис. 7.6

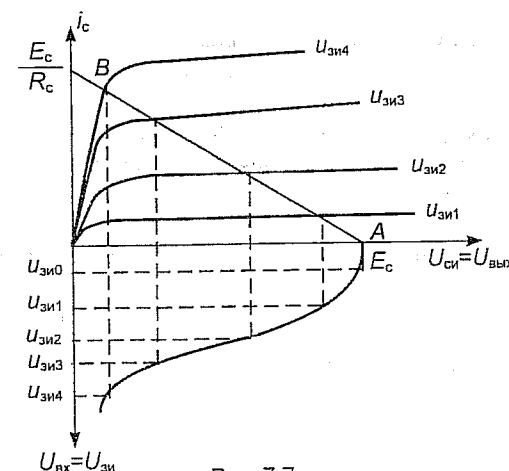


Рис. 7.7

При  $U_{зи} = U_{вх}^1$  рабочая точка должна располагаться на восходящем участке выходной характеристики (например, точка В). При этом на транзисторе устанавливается остаточное напряжение  $U_{ост}$ , величина которого тем меньше, чем больше  $R_c$  и  $U_{зи}$ .

Переходные процессы в ключе с резистивной нагрузкой описаны в п. 4.4.3.

**Ключи с динамической нагрузкой.** В таких ключах вместо резистора  $R_c$  в цепь стока включают нагрузочный транзистор. На практике применяются несколько вариантов включения нагрузочного транзистора, некоторые из них представлены на рис. 7.8.

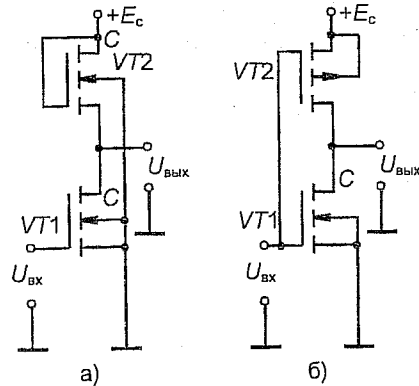


Рис. 7.8

В схеме рис. 7.8,а в качестве нагрузочного транзистора  $VT_2$  применен транзистор с индуцированным каналом при соединении затвора со стоком. В этом случае выполняется условие  $U_{зи2} = U_{си2}$ . На рис. 7.9 приведены выходные характеристики транзистора  $VT_2$ , на поле которых проведены линия 1, соответствующая условию  $i_{c2} = f(U_{си2})$  при  $U_{си2} = U_{нас2}$ , где  $U_{нас2} = U_{зи2} + U_{зи\text{ пор}2}$ , и линия 2, соответствующая условию  $i_{c2} = f(U_{си2})$  при  $U_{си2} = U_{нас2} - U_{зи\text{ пор}2} = U_{зи2}$ . Линия 2 является вольтамперной характеристикой транзистора  $VT_2$ . При условии  $U_{зи2} = U_{си2}$  она сдвинута относительно начала координат на величину порогового напряжения  $U_{зи02}$  нагрузочного транзистора.

Для определения уровней логического нуля и логической единицы необходимо на поле выходных характеристик  $VT_1$  построить

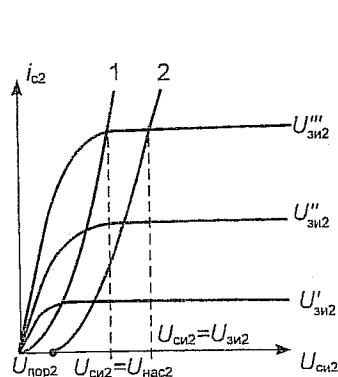


Рис. 7.9

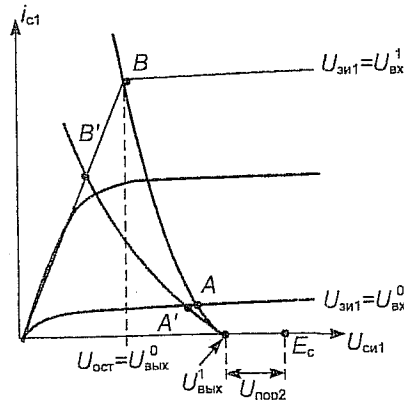


Рис. 7.10

вольтамперную характеристику транзистора  $VT_2$  аналогично тому, как это делается при построении нагрузочной линии при включении в цепь стока резистора  $R_c$ , т. е. провести график  $i_{c2} = f(E_c - U_{си1})$  так, как это показано на рис. 7.10. Точки ее пересечения с выходными характеристиками, соответствующими входным напряжениям  $U_{вх}^0$  и  $U_{вх}^1$ , определяют уровни логических нулей и единиц на выходе ключа. Построение передаточной характеристики делается также, как и при включении нагрузочного резистора  $R_c$ .

Для уменьшения остаточного напряжения  $U_{ост}$  применяют нагрузочный транзистор  $VT_2$  с меньшей крутизной, чем у активного транзистора  $VT_1$ . В этом случае нагрузочная линия идет более полого, и точка  $B'$ , определяющая величину остаточного напряжения, сдвигается влево.

В схеме рис. 7.8,б в качестве нагрузочного применен транзистор с каналом, тип проводимости которого противоположен типу проводимости активного транзистора. Такая пара транзисторов называется **комплементарной**. В этой схеме входное напряжение управляет как активным, так и нагрузочным транзистором. Если  $U_{вх} = U_{вх}^0$ , то транзистор  $VT_1$  закрыт, а  $VT_2$  открыт, при этом на выходе схемы устанавливается высокий уровень напряжения. Если  $U_{вх} = U_{вх}^1$ , то открывается транзистор  $VT_1$ , а транзистор  $VT_2$  закрывается, при этом на выходе схемы устанавливается низкий уровень напряжения. И в том, и в другом случае отсутствует потребление тока от источника питания. Лишь при переходе схемы из одного состояния в другое, когда один из транзисторов еще не полностью открылся, а второй не полностью закрылся, существует цепь для протекания тока.

Таким образом, главным достоинством ключей на комплементарных транзисторах является их высокая экономичность. Эти ключи также обладают и более высоким быстродействием, так как в них заряд и разряд паразитной емкости  $C_{и}$  протекают в одинаковых условиях, поэтому у них  $t_{вкл} \approx t_{выкл}$ .

### 7.3. Логические элементы интегральных микросхем

Логическими элементами (ЛЭ) называют электронные схемы, выполняющие логические операции с цифровыми сигналами. Основными логическими операциями являются: логическое отрицание (инверсия, операция НЕ), логическое сложение (дизъюнкция, операция ИЛИ) и логическое умножение (конъюнкция, операция И). Комбинация логических операций НЕ и ИЛИ позволяет осуществить более сложную операцию ИЛИ-НЕ. Сочетание операций НЕ и И приводит к логической операции И-НЕ. Логическую операцию НЕ осу-

существляет рассмотренный выше электронный ключ. Логический элемент, выполняющий эту операцию, называется **инвертором**. Условные графические обозначения ЛЭ показаны на рис. 7.11.

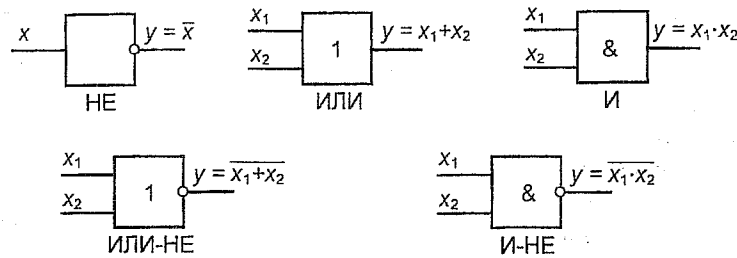


Рис. 7.11

Основой для построения ЛЭ являются электронные ключи. Основной характеристикой ЛЭ является рассмотренная выше передаточная характеристика с той лишь разницей, что она представляет зависимость выходного напряжения от напряжения на одном из входов при постоянных напряжениях на остальных входах.

Параметрами ЛЭ являются: коэффициент объединения по входу  $K_{об}$ ; коэффициент разветвления по выходу  $K_{разв}$ ; среднее время задержки распространения сигнала  $t_{зд.р.ср.}$ ; логический перепад  $U_{л} = U^1 - U^0$ ; пороговые напряжения  $U_{пор}^0$  и  $U_{пор}^1$ ; статическая помехоустойчивость  $U_{п}^0$  и  $U_{п}^1$ ; потребляемая мощность  $P_{пот.ср.} = (P_{пот}^0 + P_{пот}^1)/2$ , где  $P_{пот}^0$  и  $P_{пот}^1$  — мощности, потребляемые при подаче на вход напряжений  $U^0$  и  $U^1$ ; работа переключения  $A_{пер} = P_{пот.ср.} \cdot t_{зд.р.ср.}$ .

Помимо электрических параметров ЛЭ характеризуются конструктивно-технологическими, к которым относятся: относительная площадь, выражаемая числом литографических квадратов со стороны  $\Delta$ , где  $\Delta$  — минимальный топологический размер, определяемый уровнем технологии; количество основных технологических операций, используемых при изготовлении микросхемы.

### 7.3.1. Транзисторная логика с непосредственными связями и ее варианты

Транзисторная логика с непосредственными связями (ТЛНС) основана на параллельном соединении транзисторных ключей с общей коллекторной нагрузкой (рис. 7.12). Управляющие сигналы  $X_1$  и  $X_2$  подаются на базы транзисторов  $VT_1$  и  $VT_2$  с коллекторов предыдущих ЛЭ и имеют размах от  $U_{вх}^0 = U_{ост}$  до уровня  $U_{вх}^1 = U^*$ . Если

на входы  $X_1$  и  $X_2$  поданы сигналы  $U_{вх}^0$ , то транзисторы  $VT_1$  и  $VT_2$  заперты, ток от источника  $E_k$  течет через резистор  $R_k$  в базовую цепь транзистора  $VT_3$  и на выходе ЛЭ устанавливается напряжение  $U_{вых}^1 = U^*$ .

Если на одном из входов действует высокий уровень  $U_{вх}^1 = U^*$ , то соответствующий транзистор открывается и на выходе ЛЭ устанавливается напряжение  $U_{вых}^0 = U_{ост}$ , недостаточное для отпирания транзистора  $VT_3$ . Такой же

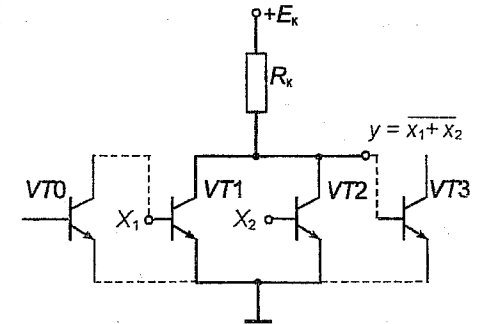


Рис. 7.12

уровень получается при отпирании обоих транзисторов. Следовательно, ЛЭ выполняет операцию ИЛИ-НЕ с логическим перепадом  $U_{л} = U^* - U_{ост} \approx 0,6$  В.

Серьезным недостатком рассмотренной схемы является неравномерное распределение токов между базами нагрузочных транзисторов, что делает работу схемы ненадежной. Чтобы выровнять базовые токи в базовые цепи включают резисторы с сопротивлением порядка сотен ом. При этом уровень логической единицы возрастает до 1,5...2 В. Такая схема называется транзисторной логикой с резистивной связью (РТЛ).

Включение резисторов в базовые цепи делает схему менее быстродействующей, так как при этом увеличивается длительность фронта в транзисторном ключе. Повысить быстродействие удастся путем включения конденсаторов, шунтирующих базовые резисторы. Такая схема называется транзисторной логикой с резистивно-емкостной связью (РЕТЛ).

Схемы РТЛ и РЕТЛ применялись на первом этапе развития микроэлектроники. Схема ТЛНС получила свое дальнейшее развитие в логических элементах с инжекционным питанием (рис. 7.17).

### 7.3.2. Диодно-транзисторная логика (ДТЛ)

Схема базового элемента ДТЛ приведена на рис. 7.13.

В схеме ДТЛ можно выделить две последовательно включенные функциональные части: в первой — входные сигналы  $X_1$  и  $X_2$  подаются на диодный элемент (диоды  $VD_1$  и  $VD_2$  и резистор  $R_1$ ), выполняющий операцию И; вторая часть, выполненная на транзисторе

$VT_1$ , представляет собой инвертор. Таким образом, в схеме раздельно выполняются логические операции И и НЕ и, следовательно,

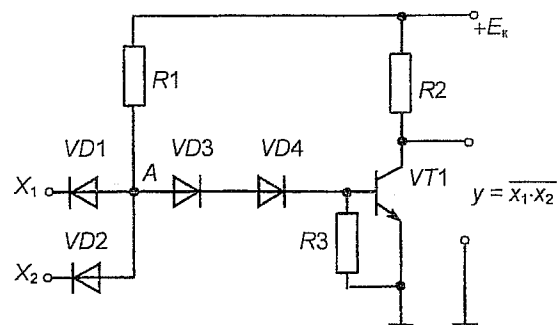


Рис. 7.13

но, она реализует логическую операцию 2И-НЕ (число 2 означает количество входов ЛЭ). Диоды смещения  $VD_3$  и  $VD_4$  выполняют роль элемента связи между двумя частями схемы и повышают помехоустойчивость схемы. Если на один из входов  $X_1$  или  $X_2$  подан сигнал  $U_{вх}^0 \approx 0$ , то один из диодов открыт и в схеме течет ток источника  $E_k$  через резистор  $R_1$  и открытый диод. При этом в точке А установится потенциал  $U^* \approx 0,7$  В, недостаточный для отпирания двух последовательно включенных диодов  $VD_3$  и  $VD_4$  и ЭП транзистора. В результате транзистор  $VT_1$  будет закрыт и на выходе схемы установится напряжение  $U_{вых}^1 \approx E_k$ , соответствующее логической единице. Такое состояние схемы будет до тех пор, пока на оба входа  $X_1$  и  $X_2$  не будет подан высокий уровень сигнала  $U_{вх}^1$  (логическая единица). В этом случае диоды  $VD_1$  и  $VD_2$  закрываются, потенциал точки А увеличивается и становится достаточным для открывания диодов  $VD_3$  и  $VD_4$  и в цепи течет ток от источника  $E_k$  через резистор  $R_1$ , диоды  $VD_3$  и  $VD_4$  в базу транзистора  $VT_1$ . В результате транзистор  $VT_1$  открывается и на выходе схемы устанавливается низкий уровень напряжения  $U_{вых}^0 = U_{отт} \approx 0,1$  В (логический ноль), следовательно, в схеме ДТЛ выполняется операция И-НЕ. Резистор  $R_3$  служит в данной схеме для того, чтобы создать цепь рассасывания накопленного в базе транзистора  $VT_1$  заряда (при переключении  $VT_1$  из открытого состояния в закрытое). В некоторых случаях резистор  $R_3$  соединяется не с землей, а с источником отрицательного напряжения  $E \approx -2$  В, для того чтобы обеспечить более быстрое рассасывание базового заряда и уменьшить время задержки сигнала.

Логические элементы ДТЛ обладают высоким быстродействием и большим логическим перепадом  $U_n = U_{вых}^1 - U_{вых}^0 = E - U_{отт} = E_k$ . Отсутствие конденсаторов и высокоомных резисторов делает схемы

ДТЛ удобными в микроэлектронном исполнении. Чаще всего они реализуются в виде гибридных ИС. Что касается полупроводниковых ИС, то схема ДТЛ обладает существенным недостатком – большое количество диодов, а каждый диод – это, в сущности, транзистор в диодном включении. Каждый такой транзистор нуждается в изолирующем кармане и поэтому площадь, занимаемая схемой на подложке, оказывается очень большой. Отсюда появилась идея заменить совокупность логических диодов ( $VD_1$  и  $VD_2$ ) и диодов  $VD_3$  и  $VD_4$  одним многоэмиттерным транзистором, выполненным в одном изолирующем кармане. Таким образом был осуществлен переход к одному из самых распространенных семейств логических ИС – схемам транзисторно-транзисторной логики (ТТЛ).

### 7.3.3. Схемы транзисторно-транзисторной логики (ТТЛ)

В базовом элементе ТТЛ (рис. 7.14) функции диодов  $VD_1$  и  $VD_2$  выполняют эмиттеры многоэмиттерного транзистора, а роль диодов  $VD_3$  и  $VD_4$  – его коллекторный переход. Следовательно, схема ТТЛ выполняет ту же логическую операцию, что и схема ДТЛ, т. е. И-НЕ. Действительно, если на входе  $X_1$  или  $X_2$  действует сигнал низкого уровня  $U_{вх} \approx 0$  (логический ноль), то в цепи протекает ток от источника питания  $E_k$  через резистор  $R_1$  и соответствующий открытый эмиттерный переход. Потенциал базы транзистора  $VT_1$  становится равным  $U_A \approx 0,7$  В. Этот потенциал распределяется примерно поровну между коллекторным переходом транзистора  $VT_1$  и эмиттерный переходом транзистора  $VT_2$ .

Поэтому напряжение  $U_{баз}$  недостаточно для отпирания транзистора  $VT_2$  и на выходе схемы устанавливается высокий уровень напряжения  $U_{вых}^1 \approx E_k$  (логическая единица). Если на входах  $X_1$  и  $X_2$  действует высокий уровень сигнала  $U_{вх}^1$  (логическая единица), то эмиттерные переходы транзистора  $VT_1$  заперты, ток течет от источника  $E_k$  через резистор  $R_1$  коллекторный переход  $VT_1$  и эмиттерный переход  $VT_2$ . Потенциал базы транзистора  $VT_2$  становится

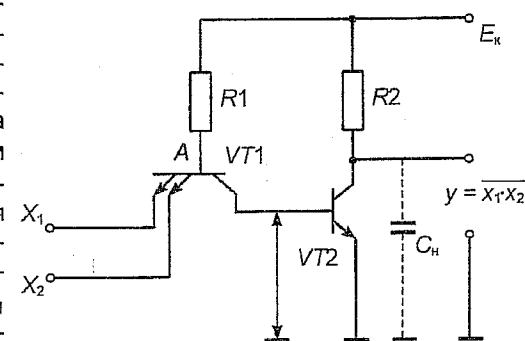


Рис. 7.14

Позтому напряжение  $U_{баз}$  недостаточно для отпирания транзистора  $VT_2$  и на выходе схемы устанавливается высокий уровень напряжения  $U_{вых}^1 \approx E_k$  (логическая единица). Если на входах  $X_1$  и  $X_2$  действует высокий уровень сигнала  $U_{вх}^1$  (логическая единица), то эмиттерные переходы транзистора  $VT_1$  заперты, ток течет от источника  $E_k$  через резистор  $R_1$  коллекторный переход  $VT_1$  и эмиттерный переход  $VT_2$ . Потенциал базы транзистора  $VT_2$  становится

равным  $U_{бэ2} \approx 0,7$  В, а потенциал  $U_A \approx 1,4$  В. Транзистор  $VT_2$  отпирается и на выходе схемы устанавливается низкий уровень напряжения  $U_{вых}^0 \approx U_{ост} \approx 0,1$  В.

Схема ТТЛ, сохраняя все достоинства схемы ДТЛ, имеет существенный выигрыш по площади. Поэтому эта схема в настоящее время практически вытеснила схемы ДТЛ и получила очень широкое распространение. Однако, в рассмотренном варианте схема ТТЛ, несмотря на простую технологию, не получила широкого распространения из-за малой нагрузочной способности и низкого быстродействия. Действительно, при подключении к выходу схемы нескольких нагрузок в виде аналогичных схем вырастает нагрузочная емкость (показана пунктиром на рис. 7.14), а так как резистор  $R_2$  имеет достаточно большую величину, то вырастает постоянная времени заряда емкости  $C_n$  ( $\tau = C_n R_2$ ) и быстродействие схемы падает. Для устранения этого недостатка в схемах ТТЛ вместо простого инвертора используют сложный инвертор (рис. 7.15).

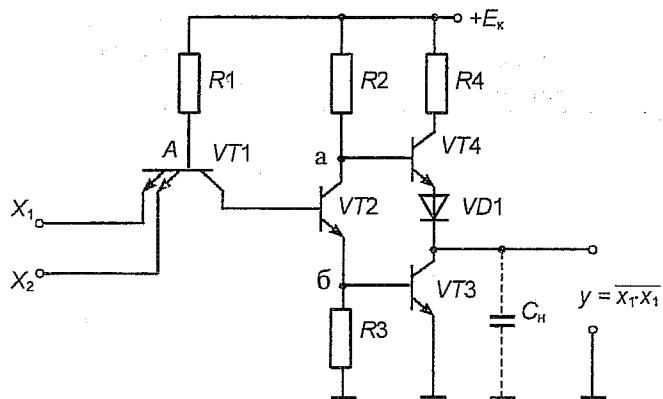


Рис. 7.15

Транзистор  $VT_2$  в этой схеме выполняет роль фазорасщепителя, т. е. если потенциал точки «а» высокий, то точки «б» – низкий и наоборот. Так, например, если транзистор  $VT_2$  открыт, то через него протекает ток, потенциал точки «а» падает (возрастает падение напряжения на резисторе  $R_2$ ), а потенциал точки «б» возрастает (из-за роста напряжения на резисторе  $R_3$ ). С выходов каскада на транзисторе  $VT_2$  (точки «а» и «б») подаются управляющие сигналы, обеспе-

чивающие противофазное включение транзисторов  $VT_3$  и  $VT_4$  выходного каскада: если один из них открыт, то другой закрыт.

Рассмотрим работу инвертора. Пусть на входе инвертора (на базе транзистора  $VT_2$  действует низкий уровень напряжения  $U^0$  (логический нуль). Транзистор  $VT_2$  закрыт, потенциал точки «а» высокий, а точки «б» – низкий, следовательно, транзистор  $VT_3$  – закрыт, а  $VT_4$  – открыт. Нагрузочная емкость  $C_n$  быстро заряжается от источника  $E_k$  через резистор  $R_4$ , открытый транзистор  $VT_4$  и диод  $VD_1$ , устанавливается высокий уровень напряжения  $U_{вых}^1 = E_k - U_{бэ} - U_D = 5 - 0,7 - 0,7 = 3,6$  В (логическая единица). Сопротивление резистора  $R_4$  не велико (порядка 100 Ом). Он предназначен для ограничения тока в последовательной цепочке  $VT_4$ – $VD_1$ – $VT_3$ . Дело в том, что в моменты переключения схемы из одного состояния в другое оба транзистора  $VT_3$  и  $VT_4$  открыты (один из них открывается, а другой не успевает закрыться), и чтобы предотвратить замыкание источника  $E_k$  на «землю» ставится ограничительный резистор  $R_4$ .

Если на входе инвертора высокий уровень напряжения  $U^1$  (логическая единица), то транзистор  $VT_2$  открыт,  $VT_4$  – закрыт и  $VT_3$  – открыт. Емкость  $C_n$  разряжается через открытый транзистор  $VT_3$  и на выходе схемы формируется низкий уровень напряжения  $U_{вых}^0 = 0,1$  В (логический нуль). Диод  $VD_1$  обеспечивает надежное запирающее транзистора  $VT_4$  при открытом  $VT_3$ .

Существенное повышение быстродействия схем ТТЛ можно получить за счет применения транзисторов с барьером Шоттки, такие логические ИС называются ТТЛШ ( $t_{зд..р.ср} = 1...2$  нс,  $P_{пот.ср} = 10...20$  мВт).

#### 7.3.4. Эмиттерно-связанная логика (ЭСЛ)

Основу схемы ЭСЛ составляет переключатель тока (рис. 7.16,а).

В этой схеме транзисторы  $VT_1$  и  $VT_2$  образуют дифференциальный каскад, работающий в режиме переключения токов. Путем выбора величин резисторов  $R_{к1}$ ,  $R_{к2}$ , тока  $I_0$  и уровня  $U_{вх}^1$  в схеме обеспечиваются такие условия, что транзисторы работают в активном режиме. Тем самым обеспечивается повышенная скорость переключения из-за уменьшения избыточных зарядов, накапливаемых в базах транзисторов. На базу транзистора  $VT_2$  подается опорное напряжение  $E_0$ , которое имеет величину  $U_{вх}^0 < E_0 < U_{вх}^1$ . Если  $U_{вх} = E_0$ , то оба транзистора открыты, и через каждый протекает ток  $i_k = i_{к1} = i_{к2} = I_0/2$ . Напряжение на эмиттерах  $U_э = E_0 - U^*$ . Известно, что в активном режиме ток коллектора очень сильно зависит от напряжения  $U_{бэ}$ :

$$i_k = \alpha I_0 \exp \frac{U_{бэ}}{U_T}, \quad (7.5)$$

Согласно этой формуле изменение  $U_{бэ}$  на величину  $\delta U = 2,3u_T$  (60 мВ при  $T = 25^\circ\text{C}$ ) приводит к изменению коллекторного тока на порядок. Поэтому, если напряжение на входе станет меньше  $E_0$  на величину  $\delta U \geq 0,06\text{ В}$ , то напряжение  $U_{бэ1} = U_{вх} - U_a$  тоже уменьшится, что приведет к резкому уменьшению тока  $i_{k1}$  (рис. 7.16,б), а так как суммарный ток транзисторов задан генератором тока  $I_0$  ( $i_{k1} + i_{k2} = I_0$ ), то ток  $i_{k2}$  возрастет, т. е. произойдет переключение тока в правое плечо схемы ( $i_{k2} \approx I_0$ ,  $i_{k1} \approx 0$ ). Транзистор  $VT_1$  будет закрыт и на первом выходе установится напряжение высокого уровня  $U_{вых1}^1$ , транзистор  $VT_2$  будет открыт, на втором выходе установится напряжение низкого уровня  $U_{вых2}^0$ . Если напряжение на входе увеличить относительно величины  $E_0$  на  $\delta U$ , то произойдет переключение тока в левое плечо схемы ( $i_{k1} \approx I_0$ ,  $i_{k2} \approx 0$ ,  $U_{вых1}^0$ ,  $U_{вых2}^1$ ). Таким образом, для переключения тока  $I_0$  из одного плеча в другое достаточно изменить входное напряжение на величину  $2\delta U \geq 0,12\text{ В}$  относительно уровня  $E_0$ .

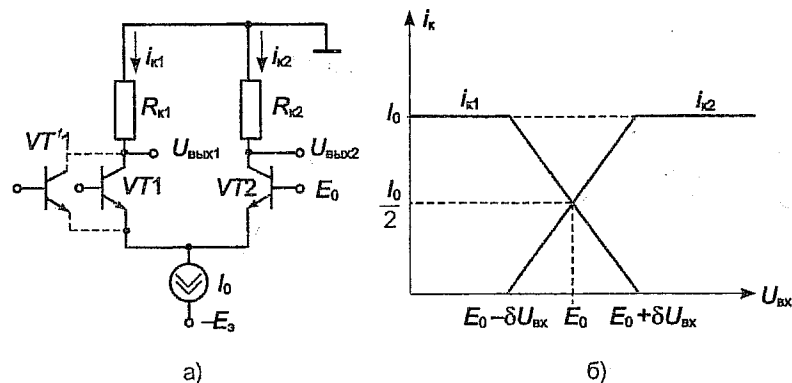


Рис. 7.16

Схема базового элемента ЭСЛ отличается от рассмотренной схемы переключателя тока тем, что она содержит в левом плече не один, а несколько транзисторов ( $VT_1$ ,  $VT_1'$ , ... и т. д.), включенных параллельно, т. е. имеет не один, а несколько входов. При подаче на любой из входов сигнала  $U_{вх} = U_{вх1}^1 > (E_0 + \delta U)$  происходит переключение тока в левое плечо, а при наличии на всех входах сигналов  $U_{вх} = U_{вх}^0 < (E_0 - \delta U)$  ток переключается в правое плечо. Следова-

тельно, при снятии выходного напряжения с левого плеча схема выполняет операцию ИЛИ-НЕ, а при снятии сигнала с правого плеча — операцию ИЛИ.

При цепочечном включении логических элементов выходное напряжение предыдущего элемента является входным для последующего. При этом последующий элемент не должен переходить в режим насыщения при подаче на его вход логической единицы. С этой целью к выходам подключают эмиттерные повторители, благодаря которым выходные потенциалы схемы ЭСЛ снижаются на 0,7 В относительно потенциалов коллекторов  $VT_1$  и  $VT_2$ . Поскольку эмиттерные повторители обладают низким выходным сопротивлением, то подключение к выходу схемы внешних нагрузок слабо влияет на работу схемы. Поэтому коэффициент разветвления для элемента ЭСЛ достигает 25.

Принципиальной особенностью микросхем ЭСЛ является питание от источника с заземленным плюсом. Такое включение позволило повысить помехоустойчивость схемы, так как в этом случае коллекторные шины питания делаются большого сечения, и уменьшается их сопротивление. В этом случае на коллекторной шине питания броски тока не создают значительного паразитного падения напряжения, которое воспринимается последующим логическим элементом как помеха. Повышению помехоустойчивости способствует также наличие двух заземляемых выводов: одного непосредственно от логического элемента, другого — от коллекторной шины эмиттерных повторителей.

Основным достоинством схем ЭСЛ является их высокое быстродействие, обусловленное, прежде всего работой транзисторов в активном режиме и уменьшением времени перезаряда емкостных составляющих схемы за счет малого логического перепада. В настоящее время разработаны сверхбыстродействующие ЭСЛ-схемы с частотой переключения до 3 ГГц.

### 7.3.5. Логические элементы с инжекционным питанием ( $I^2L$ )

Логические элементы  $I^2L$  являются модификацией схемы ТЛНС (рис. 7.12), в которой происходит коммутация тока, потребляемого от источника питания либо в коллекторную цепь предыдущего ЛЭ (при подаче на его вход напряжения  $U^1$ ), либо в базовую цепь последующего ЛЭ (при подаче на вход предыдущего ЛЭ напряжения  $U^0$ ). Резистор  $R_k$  в этой схеме необходим для обеспечения нужных режимов работы транзисторов, причем ток через  $R_k$  при переключении меняется очень мало. Поэтому в ЛЭ  $I^2L$  его заменяют источником постоянного тока, функции которого выполняет дополнительный



транзистор  $VT_0$ , включенный по схеме с общей базой. В результате схема принимает вид, показанный на рис. 7.17,а. Если  $X_1$  или  $X_2 = U^1$ , то ток  $I_0$  от источника  $E_k$  течет в коллекторную цепь транзистора  $VT_1$  (или  $VT_2$ ). Если  $X_1 = X_2 = U^0$ , то ток от источника  $E_k$  течет в базовую цепь транзистора последующего логического элемента.

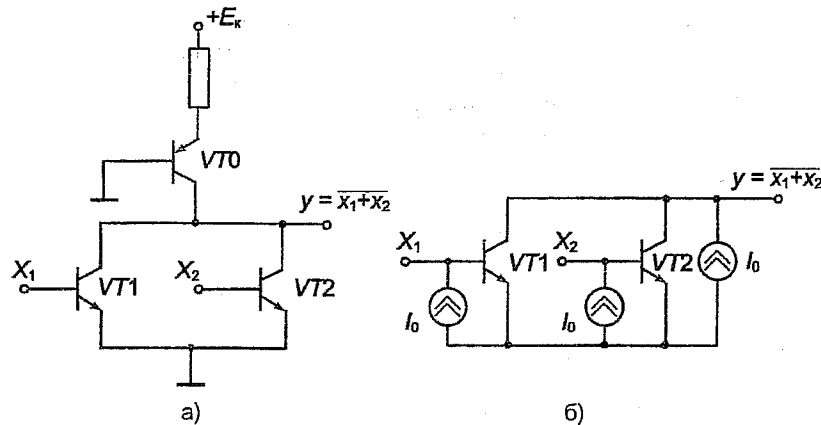


Рис. 7.17

Базы транзисторов  $VT_1$  и  $VT_2$  подключены к коллекторам предыдущих ЛЭ и питаются также от своих источников тока  $I_0$ .

На принципиальных схемах вместо транзистора  $VT_0$  условно показывают генератор тока  $I_0$ . Поскольку базовые цепи питаются от отдельных источников тока, то на схемах указываются источники тока в каждой базовой цепи (рис. 7.17,б).

Название **инжекционное питание** происходит из-за особенностей структуры логического элемента, в которой осуществлено совмещение  $n-p-p$ - и  $p-p-p$ -структур (рис. 7.18,а): база горизонтального  $p-p-p$ -транзистора одновременно является эмиттером вертикального  $p-p-p$ -транзистора, а коллектор  $p-p-p$ -транзистора — базой  $n-p-p$ -транзистора. Если вывод базы  $n-p-p$ -транзистора заземлен (или подключен к коллектору открытого предыдущего ЛЭ), то дырки (из эмиттера горизонтального  $p-p-p$ -транзистора) пройдя через базу  $p-p-p$ -транзистора, покидают ее. Если же вывод базы  $n-p-p$ -транзистора отключен (или подключен к коллектору закрытого предыдущего ЛЭ), то в базе  $p-p-p$ -транзистора происходит накопление дырок, иначе говоря, имеет место инжекция дырок в базу. Отсюда и название «инжекционное питание». При инжекции дырок в базу  $p-p-p$ -транзистора

происходит отпирание эмиттерного и коллекторного переходов, т. е. транзистор переходит в режим насыщения.

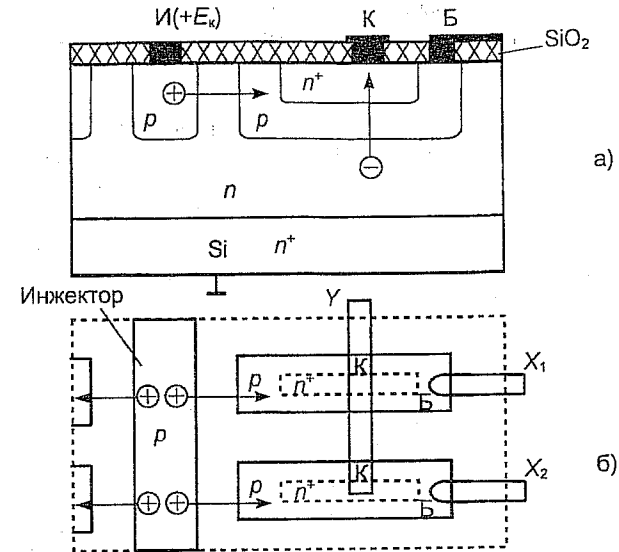


Рис. 7.18

Включать в каждую базовую цепь  $p-p-p$ -транзистор, выполняющий функции источника тока  $I_0$ , нецелесообразно. Учитывая, что базы всех  $p-p-p$ -транзисторов заземлены, а эмиттеры, называемые **инжекторами**, подключены к источнику питания через резисторы, обеспечивающие стабильность тока инжекторов, в реальных структурах вместо большого числа индивидуальных источников тока используют многоколлекторный  $p-p-p$ -транзистор, каждый коллектор которого подключен только к одной базе соответствующего транзистора. Этот принцип иллюстрируется рис. 7.18,б, где представлена топология двухвходового ЛЭ, соответствующего схеме рис. 7.17,б. В этой структуре инжектор представляет собой узкую  $p$ -полоску, справа и слева от которой расположены вертикальные  $n-p-p$ -структуры.

Обычно к выходу ЛЭ подключается параллельно несколько последующих ЛЭ, входные токи которых могут быть разными, что может привести к неустойчивости работы цепочки ЛЭ. Для того, чтобы обеспечить равномерное распределение выходных токов  $p-p-p$ -транзисторы делают многоколлекторными. Количество коллекторов

равно количеству последующих ЛЭ, подключаемых параллельно к выходу предыдущего ЛЭ.

Рассмотренные схемы и структуры реализуют операцию ИЛИ-НЕ. Для реализации операции И применяют схему, показанную на рис. 7.19.

Если на входах  $X_1 = X_2 = U^0$ , то транзисторы  $VT_1$  и  $VT_3$  закрыты, а

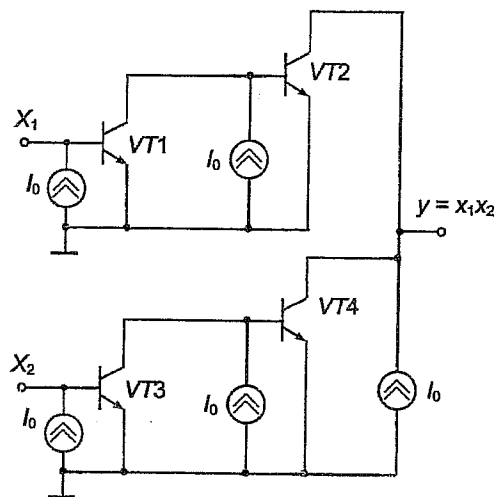


Рис. 7.19

с отсутствием изолирующих карманов между транзисторами (эмиттеры всех транзисторов заземлены), низкое напряжение питания (чтобы открыть инжекторный переход достаточно напряжения около 1 В), малая потребляемая мощность (транзисторы работают в режиме микротоков), достаточно высокое быстродействие и др. Все это делает схемы И²Л весьма перспективными для использования в больших интегральных схемах (БИС).

### 7.3.6. Логические элементы на МДП транзисторах

Логические элементы на МДП транзисторах строятся на основе ключей с динамической нагрузкой, рассмотренных выше. В связи с этим ЛЭ строятся или на однотипных МДП транзисторах или на комплементарных МДП транзисторах.

**ЛЭ на однотипных МДП транзисторах.** В настоящее время предпочтение отдается МДП транзисторам с индуцированным каналом  $n$ -типа, которые обеспечивают более высокое быстродействие

транзисторы  $VT_2$  и  $VT_4$  открыты и на выходе  $Y = U^0$ . Если на одном из входов  $X_1$  (или  $X_2$ ) действует сигнал  $U^1$ , а на другом —  $U^0$ , то транзистор  $VT_1$  (или  $VT_3$ ) открыт, а транзистор  $VT_3$  (или  $VT_1$ ) закрыт, следовательно, один из транзисторов  $VT_2$  (или  $VT_4$ ) открыт и  $Y = U^0$ . Если же  $X_1 = X_2 = U^1$ , то транзисторы  $VT_1$  и  $VT_3$  открыты, а транзисторы  $VT_2$  и  $VT_4$  закрыты и  $Y = U^1$ .

Логические элементы И²Л обладают рядом преимуществ: малая занимаемая площадь, что связано

логического элемента. Анализ ЛЭ на МДП транзисторах проще, чем ЛЭ на биполярных транзисторах, потому что во входных цепях практически отсутствует ток (напомним, что полевые транзисторы обладают большим входным сопротивлением и поэтому работают в режиме управления напряжением). Следовательно, при работе в цепочке отдельные ЛЭ функционируют независимо друг от друга и каждый из них можно анализировать без учета влияния предыдущего и последующего ЛЭ. В частности уровни  $U^0$  и  $U^1$  не зависят от нагрузки и остаются такими же, как и в режиме холостого хода. Влияние последующего ЛЭ сводится к увеличению выходной емкости данного ЛЭ.

На рис. 7.20,а приведена схема ЛЭ, реализующего логическую функцию ИЛИ-НЕ. При подаче на оба входа  $X_1$  и  $X_2$  или на любой из них высокого уровня напряжения  $U^1$  оба транзистора  $VT_1$  и  $VT_2$  или один из них открыты и на выходе  $Y$  устанавливается низкий уровень напряжения  $U^0 = U_{\text{отс}} \approx 0,1$  В (логический ноль). Если на обоих входах  $X_1$  и  $X_2$  действует напряжение низкого уровня  $U^0$ , то транзисторы  $VT_1$  и  $VT_3$  закрыты и на выходе устанавливается высокий уровень напряжения  $U^1 \approx E$ . Таким образом логический перепад составляет  $U_n = U^1 - U^0 \approx E$ .

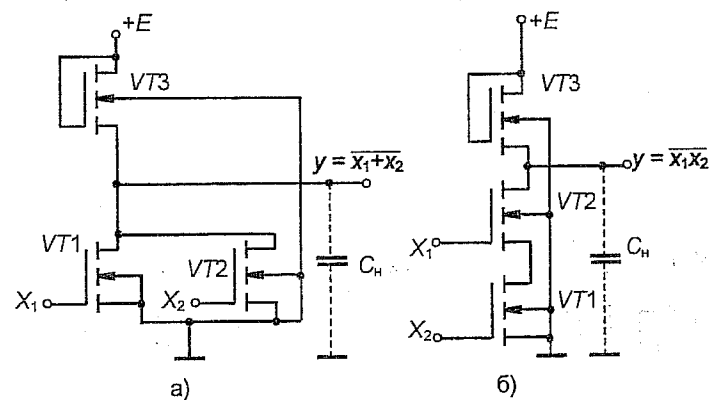


Рис. 7.20

Логический элемент на рис. 7.20,б реализует функцию И-НЕ. Если хотя бы один из управляющих транзисторов закрыт ( $VT_1$  или  $VT_2$ ), т. е. на одном из входов действует низкий уровень напряжения  $U^0$ , то на выходе схемы имеем высокий уровень напряжения  $U^1 \approx E$ . Схема переключается в другое состояние (низкий уровень напряжения на выходе), только когда на всех входах действуют высокие

уровни напряжения  $U^1$  (транзисторы  $VT_1$  и  $VT_2$  открыты). Если высокий уровень напряжения на выходе в этой схеме такой же, как и в предыдущей (рис. 7.20, а), то  $U^0$  больше, так как он пропорционален числу последовательно включенных управляющих транзисторов. Следовательно, логический перепад  $U_n$  в схемах, выполняющих операцию И-НЕ будет меньше. Поэтому с увеличением числа входов помехоустойчивость схемы И-НЕ уменьшается, что ограничивает число входов. Быстродействие ЛЭ на одностипных МДП транзисторах, как и аналоговых ключей, ограничивается скоростью перезаряда емкости нагрузки  $C_n$ , величина которой пропорциональна количеству нагрузочных ЛЭ.

**Логические элементы на комплементарных МДП (КМДП) транзисторах.** Двухвходовая схема ЛЭ КМДП, реализующая функцию ИЛИ-НЕ, приведена на рис. 7.21, а. Схема на рис. 7.21, б реализует логическую функцию И-НЕ. Из рис. 7.21, а видна закономерность КМДП логических элементов: параллельное соединение одностипных транзисторов сопровождается последовательным включением транзисторов другого типа. Выполняемая логическая операция определяется включением транзисторов «нижнего яруса» (в схемах на рис. 7.21 – это  $n$ -канальные транзисторы  $VT_1$  и  $VT_2$ ). ЛЭ на КМДП транзисторах сохраняют все достоинства аналоговых ключей, в частности, ничтожную потребляемую мощность в статических состояниях.

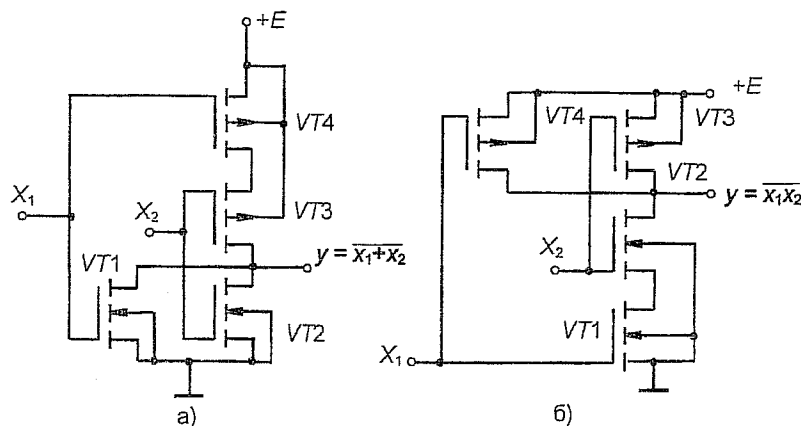


Рис. 7.21

Действие на входах параллельно соединенных управляющих транзисторов  $VT_1$  и  $VT_2$  уровня логического нуля  $U_0$  обуславливает

их закрытое состояние, при этом последовательно соединенные нагрузочные транзисторы  $VT_3$  и  $VT_4$  открыты и на выходе схемы и на выходе схемы устанавливается напряжение

$$U^1 = E - (I_{yT1} + I_{yT2}) \cdot (r_{кан3} + r_{кан4}) \approx E, \quad (7.6)$$

где  $I_{yT} \approx (0,5 \dots 1) \text{ нА}$  – ток утечки закрытых транзисторов;  $r_{кан}$  – сопротивление канала открытого транзистора.

Если хотя бы на один из входов поступает сигнал логической единицы  $U^1$ , то открывается соответствующий управляющий транзистор ( $VT_1$  или  $VT_2$ ), а связанный с ним нагрузочный транзистор ( $VT_3$  или  $VT_4$ ) закрывается. На выходе схемы устанавливается напряжение  $U^0 = U_{ост} \approx +I_{yT} r_{кан} \approx 0$ .

В схеме И-НЕ (рис. 7.21, б) при действии уровня логического нуля  $U^0$  на входах схемы оба управляющих транзистора  $VT_1$  и  $VT_2$  закрыты, а нагрузочные транзисторы  $VT_3$  и  $VT_4$  открыты – на выходе схемы будем иметь высокий уровень напряжения  $U^1 \approx E$ . Состояние схемы не изменится, если напряжение  $U^0$  поступает только на один из входов, так как один из последовательно включенных управляющих транзисторов остается закрытым.

При подаче на входы схемы высокого уровня напряжения  $U^1$  управляющие транзисторы  $VT_1$  и  $VT_2$  открыты, а нагрузочные  $VT_3$  и  $VT_4$  закрыты, и на выходе схемы устанавливается низкий уровень напряжения  $U^0 = U_{ост1} + U_{ост2} \approx 0$ .

Таким образом, КМДП ЛЭ кроме высокой экономичности характеризуются и высокой эффективностью использования напряжения источника питания, так как логический перепад  $U_n = U^1 - U^0 \approx E$ .

В настоящее время именно КМДП ЛЭ используются в большинстве микропроцессоров и телекоммуникационных БИС.

### 7.3.7. Динамические логические элементы

Высокое входное сопротивление МДП – транзисторов позволяет создавать особый вид логических элементов, называемых динамическими. Главная их особенность заключается в том, что в них используются нагрузочные транзисторы, которые переключаются при подаче на затвор тактовых импульсов. В схемах таких ЛЭ используются только транзисторы с индуцированным каналом, обычно  $n$ -типа.

На рис. 7.22 представлена схема простейшего ЛЭ – инвертора динамического типа. В отличие от ранее рассмотренных схем, на затвор нагрузочного транзистора  $VT_2$  подаются тактовые импульсы  $\Phi$  с амплитудой, равной или превышающей напряжение питания  $E$ . В течение действия импульса  $\Phi$  транзистор  $VT_2$  открыт. Если  $U_{вх} = U^0$ , то после окончания тактового импульса  $\Phi$  и запираения транзистора

$VT_2$  на выходе устанавливается напряжение  $U_{\text{вых}}=U^1$ , которое «запоминается» конденсатором  $C_H$ . По мере разряда  $C_H$  через закрытый транзистор  $VT_1$  напряжение на выходе медленно уменьшается. С приходом следующего тактового импульса  $\Phi$  транзистор  $VT_2$  открывается и емкость  $C_H$  заряжается от источника питания и прежнее значение  $U_{\text{вых}}$  восстанавливается. Следует отметить, что в отсутствие импульса  $\Phi$  ток, потребляемый от источника питания, мал, и, следовательно, мала потребляемая инвертором мощность, независимо от состояния транзистора  $VT_1$ . Таким образом, динамический элемент, в отличие от ранее рассмотренных ЛЭ, является более экономичным, подобно ЛЭ на комплементарных транзисторах. Однако, импульсное питание оказывается существенно сложнее.

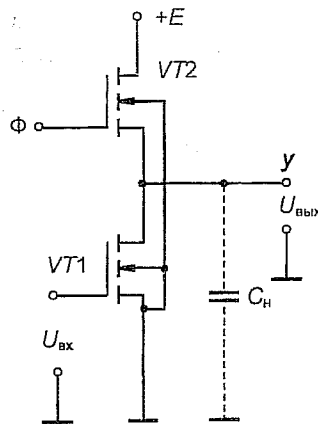


Рис. 7.22

## 7.4. Триггеры

Помимо ЛЭ, реализующих основные логические операции, в цифровой технике широко используются в качестве базовых элементов ячейки памяти на основе разнообразных триггеров. В общем случае триггер это элемент цифровых устройств, обладающий двумя устойчивыми состояниями. Основу триггера составляет кольцо из двух инверторов (рис. 7.23,а), которое принято обозначать в виде электронной защелки (рис. 7.23,б). Выход  $Q$  называют прямым выходом,  $\bar{Q}$  – инвертирующим. Электронная защелка может находиться в одном из двух устойчивых состояний: либо  $Q=0$ ,  $\bar{Q}=1$ , либо  $Q=1$ ,  $\bar{Q}=0$ . Перевод триггерной защелки из одного состояния в другое осуществляется путем воздействия на нее управляющих импульсов. В зависимости от способа управления различают несколько разновидностей триггеров. В настоящее время широкое распространение получили интегральные триггеры на основе логических схем И-НЕ и ИЛИ-НЕ. Простейшим является RS-триггер. На рис. 7.24 представлены структура (а) и условное обозначение (б) RS-триггера, выполненного на элементах ИЛИ – НЕ. В этой схеме вход  $R$  служит для установки на выходе  $Q$  логического нуля, а на

выходе  $\bar{Q}$  – логической единицы. Вход  $S$  служит для установки на выходе  $Q$  логической единицы, а на выходе  $\bar{Q}$  – логического нуля. Поскольку триггер имеет два управляющих входа, обозначаемых  $R$  и  $S$ , то отсюда произошло его название RS- триггер.

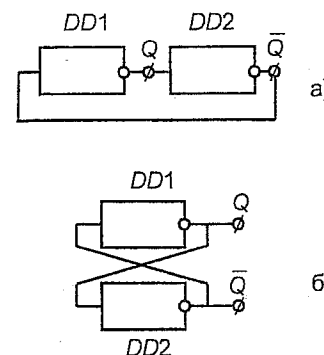


Рис. 7.23

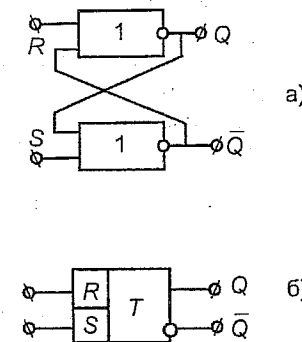


Рис. 7.24

При одновременной подаче на входы  $R$  и  $S$  управляющих импульсов на обоих выходах устанавливаются нули. После прекращения действия управляющих импульсов триггер перейдет в одно из двух устойчивых состояний, предугадать которое невозможно, поэтому комбинация  $S = R = 1$  является запрещенной.

## 7.5. Функциональные узлы цифровых устройств

Цифровые устройства предназначены для обработки цифровой информации в вычислительных машинах (ЭВМ), устройствах автоматики, связи и др. Различают комбинационные и последовательные цифровые устройства.

Комбинационные цифровые устройства выполняются на основе базовых ЛЭ И-НЕ, ИЛИ-НЕ и реализуют логические функции различной степени сложности. Характерной их особенностью является отсутствие в схеме элементов памяти.

Последовательные цифровые устройства содержат элементы памяти и выполняются обычно на основе триггеров.

### 7.5.1. Комбинационные цифровые устройства

Наиболее распространенными являются следующие устройства.

**Шифратор** – это схема, преобразующая десятичные числа, символы и команды в двоичный код, т. е. комбинацию логических

нулей и единиц. При поступлении сигнала логической единицы на один из входов шифратора, номер которого соответствует заданной цифре (букве, знаку) десятичного кода на выходных шинах устанавливаются сигналы, соответствующие цифре (букве, знаку), записанной в двоичном коде.

**Дешифратор** преобразует двоичный код на  $m$  входах в сигнал логической единицы на определенном выходе дешифратора. Присвоив номер соответствующему выходу дешифратора, можно квалифицировать его как преобразователь двоичного кода в десятичный.

**Сумматор** — это схема, предназначенная для сложения двух двоичных чисел.

### 7.5.2. Последовательные цифровые устройства

Примером последовательных устройств могут служить регистры и счетчики.

**Регистры.** Регистром называется устройство, предназначенное для ввода (записи), хранения и выдачи (считывания) многоразрядных двоичных чисел. Основными элементами регистра являются ячейки памяти, роль которых играют триггеры различных типов. Количество триггеров определяется количеством разрядов двоичного числа, предназначенного для ввода в регистр.

**Счетчики.** Счетчик — это устройство, предназначенное для подсчета числа импульсов. Он состоит из ряда последовательно соединенных триггеров, каждый из которых делит частоту следования на два. Число разрядов счетчика, равное количеству последовательно соединенных триггеров, определяет количество его устойчивых состояний, которое называется *коэффициентом пересчета*  $K_{сч}$ .

### 7.6. Запоминающие устройства

Запоминающие устройства (ЗУ) предназначены для записи, хранения и считывания двоичной информации. В состав ЗУ (рис. 7.25) входят: матрица-накопитель из элементов памяти (ЭП), усилители сигналов записи и считывания. Все эти элементы расположены на одном полупроводниковом кристалле. Шины  $X$  называются адресными, а шины  $Y$  — разрядными.

Запоминающие устройства делятся на две группы: постоянные запоминающие устройства (ПЗУ) и оперативные запоминающие устройства (ОЗУ). В ПЗУ обычно хранятся стандартные программы, необходимые для выполнения арифметических или логических операций. Важное свойство ПЗУ — сохранение информации после выключения питания. ПЗУ по способу записи информации подразделяются

на масочные (ПЗУМ), программируемые (ППЗУ) и репрограммируемые (РПЗУ).

ОЗУ предназначены для быстрого попеременного ввода и вывода информации. В ОЗУ обычно хранятся промежуточные результаты вычисления. Элементы памяти ОЗУ подразделяются на статические, в которых информация хранится сколь угодно долго, пока включено питание, и динамические, в которых информация хранится ограниченное время, что требует ее периодического восстановления.

**Масочные ПЗУ.** В качестве элементов памяти используются диоды или транзисторы, включающиеся на пересечении адресных и разрядных шин. Наличие, например, диода между этими шинами соответствует логической единице, отсутствие — логическому нулю.

**Репрограммируемые ПЗУ.** Эти ПЗУ допускают многократное перепрограммирование, т. е. многократное стирание старой и запись новой информации. В качестве элементов памяти используются МДП-транзисторы с плавающим затвором (см. п. 4.2.5).

**Элементы памяти ОЗУ статического типа.** В качестве элементов памяти в этих ОЗУ используются триггеры на биполярных или МДП-транзисторах.

**Элементы памяти динамического типа.**

Принцип действия этих элементов памяти основан на хранении информации в виде накопленных зарядов на паразитных емкостях диодов или транзисторов. Обычно для этой цели используют МДП-транзисторы (рис. 7.26). В этой схеме информация хранится в запоминающем конденсаторе  $C_3$ ,  $C_y$  — паразитная емкость шины  $Y$ . В режиме записи на шину  $X$  подается положительный импульс напряжения, в транзисторе индуцируется канал, в результате

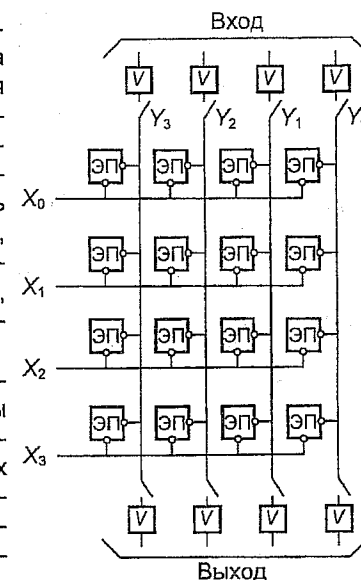


Рис. 7.25

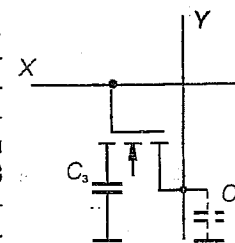


Рис. 7.26

чего емкость  $C_3$  подключается к разрядной шине  $Y$ . Если на шине  $Y$  высокий потенциал  $U^1$ , то  $C_3$  заряжается до напряжения  $U^1$ , если потенциал шины  $Y$  равен  $U^0 \approx 0$ , то емкость  $C_3$  не заряжается. В режиме хранения информации емкость  $C_3$  постепенно разряжается за счет токов утечки, поэтому необходимо периодическое восстановление заряда конденсатора. С этой целью через каждые несколько миллисекунд происходит считывание информации с элемента памяти, преобразование ее в напряжение  $U^1$  или  $U^0$  и последующая запись этого напряжения в элемент памяти.

### 7.7. Микропроцессоры (МП)

Микропроцессором называется функционально законченное устройство цифровой обработки информации, реализованное в виде одной или нескольких больших интегральных схем (БИС). Микропроцессор является программно-управляемым универсальным устройством, осуществляющим обработку цифровых сигналов в соответствии с заданным алгоритмом.

Чтобы получить общее представление об устройстве МП рассмотрим алгоритм вычислений по уравнению  $Y = (AX + B)X + C$ , который состоит из следующих шагов: 1)  $A \cdot X = M$ ; 2)  $M + B = N$ ; 3)  $N \cdot X = K$ ; 4)  $K + C = Y$ . Этот алгоритм можно реализовать аппаратным способом по схеме, включающей два перемножителя и два сумматора.

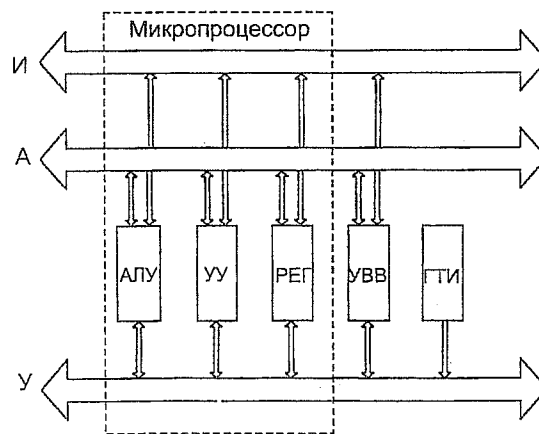


Рис. 7.27

рис. 7.27. Она содержит арифметическо-логическое устройство

(АЛУ), устройство управления (УУ). Блок регистров (РЕГ) и генератор тактовых импульсов. Информация вводится и выводится через устройство ввода-вывода (УВВ). АЛУ обеспечивает выполнение определенных арифметических и логических операций над данными, поступающими в него из блока регистров или УВВ, в соответствии с командами, поступающими из УУ.

Блок регистров используется в качестве внутренней оперативной памяти МП, там хранятся поступающие данные, промежуточные результаты и т. д. Обмен информацией между отдельными узлами МП происходит посредством информационных (И), адресных (А) и управляющих (У) шин. Шина это группа линий связи, число которых определяет разрядность одновременно передаваемой по шине информации. Шины, как правило, двунаправленные, т. е. могут передавать информацию в обоих направлениях.

Помимо универсальных микропроцессоров в настоящее время применяются сигнальные и медийные микропроцессоры, программируемые логические интегральные схемы (ПЛИС) и транспьютеры.

Недостатком такого метода является то, что при изменении алгоритма, необходимо создавать новую схему реализации.

Тот же алгоритм может быть реализован программным способом. При этом однотипные операции выполняет один и тот же блок, но в разное время в соответствии с программой. В обобщенном виде структура МП показана на