

《计算机组成原理 A》2021 年春复习提纲

计算机组成原理课程组

考试时间：初步定于 6 月 28 日 具体时间地点以学院通知为准。

一、题型：

填空 14 分；选择 20 分；综合题 66 分；

二、复习资料：

主要结合教学 PPT、作业，教材为辅。

三、复习是注意看 PPT 里面的备注内容，有助于理解。

四、注重复习搞懂 PPT 中的随堂测试题。

五、建议早复习，整理出不会的，不太懂的，然后集中在 SPOC 讨论区答疑，可以通过讨论区老师的回复搞懂知识点，否则难于及格。

复习提纲

一、填空 14

冯诺依曼计算机硬件基本构成、海明校验基本原理(数据分组的方法和依据 2.1PPT18-23 页内容，搞懂)、可控加减法电路的原理、数据对齐、Cache 地址映射（三种映射方式，必须搞懂细节）。指令扩展、MIPS 指令格式、总线。

二、选择 20

（出题范围是雨课堂习题、SPOC 单元测试和章节测试、教材每章的选择题其中简单的题目）

补码的概念以及计算、进制数的互相转换、奇偶校验原理相关、浮点数的相关问题、大小端与数据对齐、存储器的基本知识、存储器芯片的地址线数据线数量、Cache 映射与替换算法、片的寻址范围、指令格式、寻址方式、有效地址表示、CPU 的构成、指令与微指令、时钟周期机器周期指令周期、数据通路基本知识、中断的过程、中断的响应条件、中断向量、DMA 原理。

三、综合题（66 分）

1、浮点数的规格化（754 标准十进制写成 754 规格二进制；十六进制 754 编码转换为十进制真值） 2 套题 8 分

参见教学 PPT2.1 节 72 也-75 页例题。教材例题

搞懂以上例题原理才可以解题。

2、海明编码（根据编码规则填写海明校验组分布表，并给出 P_i 和 G_i 逻辑表达式，实验画图-海明编码，写出给定有效信息为 XXXX（如 1001）的海明码。） 8 分

1) 要求被编码的数据位小于等于 16 位，两套题位数不同。

2) 教学 PPT2.4 节 18-23 页内容原理。重点是 23 页的填表原理，从而得出 P_i 和 G_i 的表达式，理解后可以做出不同有效数据位的海明校验组分布表。分组有了，就很容易可以得到 P_i 和 G_i 逻辑表达式，以及画图如何连线。

3) 注意 PPT 里面的备注有助于理解。

4) 实验内容。

3、ALU 并行加法器进位链设计（4 位并行进位链 74182 内部逻辑，部分连线，表达式）8 分

- 1) 教学 PPT 3.1 节，31-44 页。
- 2) 可能要求**补充**画出某些电路的连线，如 74182、可控加减法电路等的部分连线。并写出**某个**进位 C_n 或 P^* 和 G^* 的**表达式**。
- 3) 重点是学会分析推导并行加法器的进位链，会推导 C_n 以及 P_n 和 G_n 的逻辑表达式 ($n \leq 4$)，表达式有了就可以很方便的补充画图了。
- 4) 以及一位全加器、可控加减法电路，图以及输出信号的逻辑表达式。
- 5) 计算几级门电路延迟（假设各种门电路延时相同）。
- 6) 实验对应内容。

4、主存扩展（不出半字对齐芯片的。简单字扩展、位扩展、芯片数量计算、地址范围计算、片选逻辑表达式）。出 2 套题 8 分

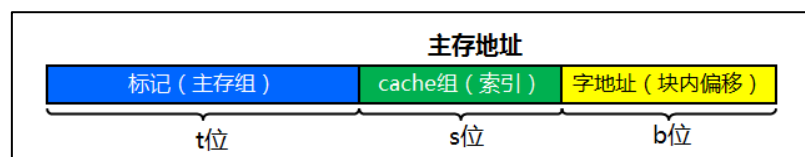
- 1) 教学 PPT 4.3 节，存储器作业 4.6 类似题目
- 2) 考字节同时扩展，字节编址，同时不考虑 CPU 地址线低位空余的问题（半字节对齐问题）
- 3) 需要回答搞清楚需要的芯片数量，片内地址线数量（RAM 和 ROM 可能不一样），片选地址线逻辑表达式以及各个芯片的地址范围等。
- 4) 实验内容需要掌握原理和画图。

5、Cache（组相连地址映射。主存地址和 Cache 地址位数计算；主存地址的划分情况，并标出各部分的位数）2 套题 8 分

- 1) 考察组相连 2 路、4 路或 8 路。
- 2) 教学 PPT 对应 4.5 节。作业二，4.12 题目类似。

知识点：

- 1) 主存和 Ccache 的数据块大小相同。
- 2) K 路组相连，Cache 每组 K 个块。
- 3) Cache 分组，每组 K 个块/行。主存**按 Cache 组数**分组。
- 4) Cache 共 n 组，主存第 j 块号映射到 Cache 的组号为： $i = j \bmod n$ 即主存组内的 0 号块映射到 Cache0 号组的任意行，依次类推。
- 5) 主存地址构成



6、数据通路 with 指令流程：考察内容包括 CPU 内部部件名称与功能；相应指令（1 条指令，包含取指过程）的数据通路（每个周期执行何种操作/数据流、控制信号）；出两套题（要求写出的功能部件名称不同，MIPS 指令不同）16 分

- 1) CPU 结构中某 2 个功能部件名称和功能 4 分
- 2) 写出某指定指令的数据通路（**取指令**、**基本指令**——LW、SW、BEQ、ADD、

ADDI 的数据通路)

- 3) 给出指定指令 (参见作业和 PPT 内容) 及时钟节拍, 填写给出的指令每个节拍的数据流和控制信号。共 12 分。
- 4) 整体内容对应 PPT6.1 节。但数据通路部分的 PPT 对应 6.1 节, CPU 结构与数据通路 PPT 的内容。
- 5) 作业参考第四次作业, 书上 6.23 内容 (不会用这个 CPU 模型图, 而是 PPT 中单总线 CPU 模型)。

7、中断屏蔽字与中断处理顺序; 类似 PPT 例题。出 2 套题。8 分, 中断屏蔽字, 4 分; 图 4 分。

- 1) 教学 PPT 9.1 节, 32-44 页。特别注意其中例题, 例题搞懂。