

# 《计算机组成原理 A》2022 年春复习提纲

计算机组成原理课程组

考试时间： 6 月 2 日 16:00-18:00

一、题型：

填空 10 分；选择 15 分；综合题 75 分；

二、复习资料：

主要结合教学 PPT、作业，教材为辅。

## 复习提纲

一、填空 10

海明校验的基本原理、GB2312 与区位码的转换(实验对应内容)、补码与真值的转换、补码加减法运算、一位全加器原理、浮点数规格化左规和右规的原理、数据对齐、单总线 CPU 简单模型中指令执行的过程细节(3.2 节 PPT38 页对应的单总线 CPU 指令执行过程)、Cache 地址映射(三种映射方式,特点)、寻址方式(PPT 上结合图)、指令周期与机器周期含义、总线分类(三种类型)。

二、选择 15

(出题范围是雨课堂习题、SPOC 单元测试和章节测试、教材每章的选择题其中简单的题目)

补码的概念以及计算(特别注意特殊真值的补码)、进制数的互相转换、奇偶校验原理相关、大小端与数据对齐(对应雨课堂例题搞懂)、存储器的基本知识(各种存储器的特点 RAM、SRAM、DRAM、ROM、EPROM)、存储器芯片的寻址范围、各种寻址方式的特点、中断的过程(中断响应周期)、中断屏蔽技术原理。

三、综合题(75 分)

1、浮点数的规格化(754 标准十进制写成 754 规格二进制;十六进制 754 编码转换为十进制真值) 2 套题 8 分

参见教学 PPT2.1 节 72 也-75 页例题。教材例题(已收入复习 PPT)

搞懂以上例题原理才可以解题。

2、浮点数的手动计算。作业 3.9 类似题目。6 分

搞懂 PPT3.2 节例题(已收入复习 PPT)和作业 3.9 题(3.9-1 已收入复习 PPT)。

**解题步骤：转换为浮点数形式、对阶、尾数运算、规格化、舍入、溢出判断**

3、海明编码(根据编码规则填写海明校验组分布表,并给出  $P_i$  和  $G_i$  逻辑表达式,实验画图-海明编码,写出给定有效信息为 XXXX(如 1001)的海明码。)9 分

1) 要求被编码的数据位小于等于 16 位。作业搞懂。

2) 教学 PPT2.4 节 18-23 页内容原理。重点是 23 页的填表原理,从而得出  $P_i$  和  $G_i$  的表达式,理解后可以做出不同有效数据位的海明校验组分布表。分组有了,就很容易可以得到  $P_i$  和  $G_i$  逻辑表达式,以及画图如何连线。

3) 注意 PPT 里面的备注有助于理解。

4、ALU 并行加法器进位链设计(4 位并行进位链 74182 内部逻辑, 部分连线, 表达式) 8 分

- 1) 教学 PPT 3.1 节, 31-42 页。
- 2) 可能要求**补充**画出某些电路的连线, 如 74182。并写出**某个**进位  $C_n$  或  $P^*$  和  $G^*$  的**表达式**。
- 3) 重点是学会分析推导并行加法器的进位链, 会推导  $C_n$  以及  $P_n$  和  $G_n$  的逻辑表达式 ( $n \leq 4$ ), 表达式有了就可以很方便的补充画图了。

5、指令格式。按照相应要求设计指令格式; 或者给了指令格式写出不同寻址方式的 EA 以及寻址范围。5 分

两类题目均已收录入复习 PPT。

6、主存扩展 (字位同时扩展), 并回答问题、画图。出 2 套题 8 分

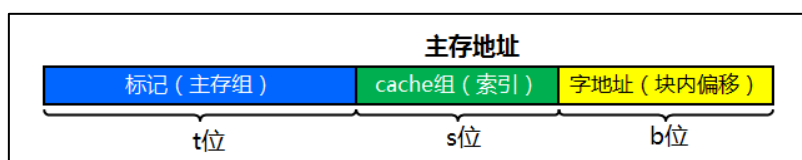
- 1) 教学 PPT 4.3 节, 字位同时扩展例题 (已收入复习 PPT)。和存储器作业第二题 (自己出的题目) 类似题目
- 2) 考字位同时扩展, **字节编址**, 一定要考虑 CPU 地址线**低位空余**的问题 (半字节对齐问题)
- 3) 需要回答搞清楚需要的芯片数量, 地址线 and 数据线数量 (不要求写出各个芯片地址范围)。**注意地址线条数是按照字节编址来计算的**。
- 4) 会画出图 (类似 PPT 例题)。

5、Cache (组相连地址映射。主存地址和 Cache 地址位数计算; 主存地址的划分情况, 并标出各部分的位数; 计算 Cache 容量) 2 套题 7 分

- 1) 考察组相连 2 路、4 路或 8 路。
- 2) 教学 PPT 对应 4.5 节。Cache 例题选讲例 1 类似题目 (已收入复习 PPT); 作业三, 4.12 题目类似 (增加 Cache 容量计算内容)。

知识点:

- 1) 主存和 Ccache 的数据块大小相同。
- 2) K 路组相连, Cache 每组 K 个块。
- 3) Cache 分组, 每组 K 个块/行。主存**按 Cache 组数**分组。
- 4) Cache 共 n 组, 主存第 j 块号映射到 Cache 的组号为:  $i = j \bmod n$  即主存组内的 0 号块映射到 Cache0 号组的任意行, 依次类推。
- 5) 主存地址构成



6) Cache 容量=cache 行的位数×行数;

Cache 行的位数=D + V + Tag(标记) + 数据块位数



6、数据通路指令流程：考察内容包括 CPU 内部部件名称与功能；相应指令（2 条指令，包含取指过程）的数据通路（每个周期执行何种操作/数据流、控制信号）；出两套题（要求写出的功能部件名称不同，MIPS 指令不同） 16 分

- 1) CPU 结构中某 2 个功能部件名称和功能 4 分
- 2) 写出某指定指令的数据通路（**取指令、基本指令**——LW、SW、BEQ、ADD、ADDI 的数据通路，可能出现没有讲过的指令，但都是非常简单的，只有在某个节拍发出的 ALU 控制信号不同，类似作业五第二题）
- 3) 给出指定指令（参见作业和 PPT 内容）及时钟节拍，填写给出的指令每个节拍的数据流和控制信号。2 条指令，共 12 分。
- 4) 整体内容对应 PPT6.1 节 CPU 结构与数据通路 PPT 的内容（均已收入复习 PPT）。

7、中断屏蔽字与中断处理顺序；类似 PPT 例题。出 2 套题。8 分，中断屏蔽字，4 分；图 4 分。

- 1) 教学 PPT 9.1 节，32-44 页。特别注意其中例题，例题搞懂。
- 2) 给出处理优先级、填写中断屏蔽字的表；或者给出中断屏蔽字的表，写出处理优先级。
- 3) 画出 CPU 执行程序的轨迹；