

Informe Práctica 2 FuTFI

Aldán Creo Mariño

Los cálculos en ordenador los he hecho con Sage. El Jupyter Notebook que he usado para ello es calculos.ipynb. La versión en PDF se llama calculos.pdf. Las gráficas (en png y pdf) y los circuitos que incluyo en el informe están incluidos también con sus respectivos nombres.

Parte I

1. Para un inversor con transistores de tamaño mínimo y asumiendo una carga de $C_L = 0.2pF$

a) Estimar los tiempos de propagación

$$t_{pHL} = \ln(2) R_N C_L$$

$$t_{pLH} = \ln(2) R_P C_L$$

(Estas fórmulas se obtienen del tema 2, desarrollada en el tema 6. Proviene de la fórmula de la carga del condensador, que en este caso despejamos y sustituimos para que sea el tiempo que tarda en cargarse suficientemente C_L como para llegar a V_{OH} (50% de V_{DD}), desde 0 V.

Tomando los datos del Anexo 2:

$$t_{pHL} = 0.69 * 3.5K\Omega * 0.2pF = 4.852 * 10^{-10}s$$

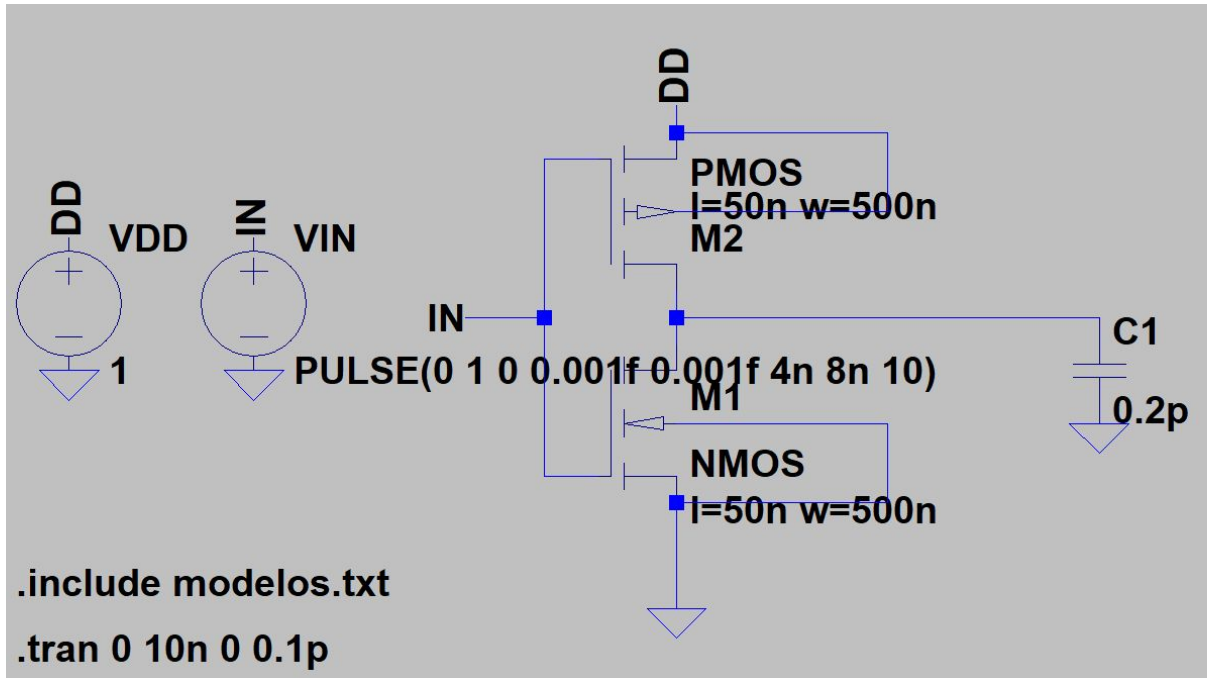
$$t_{pLH} = 0.69 * 7K\Omega * 0.2pF = 9.704 * 10^{-10}s$$

(esto es porque cogemos transistores de anchura mínima, es decir, 500 nm; y también de longitud mínima = 50 nm)

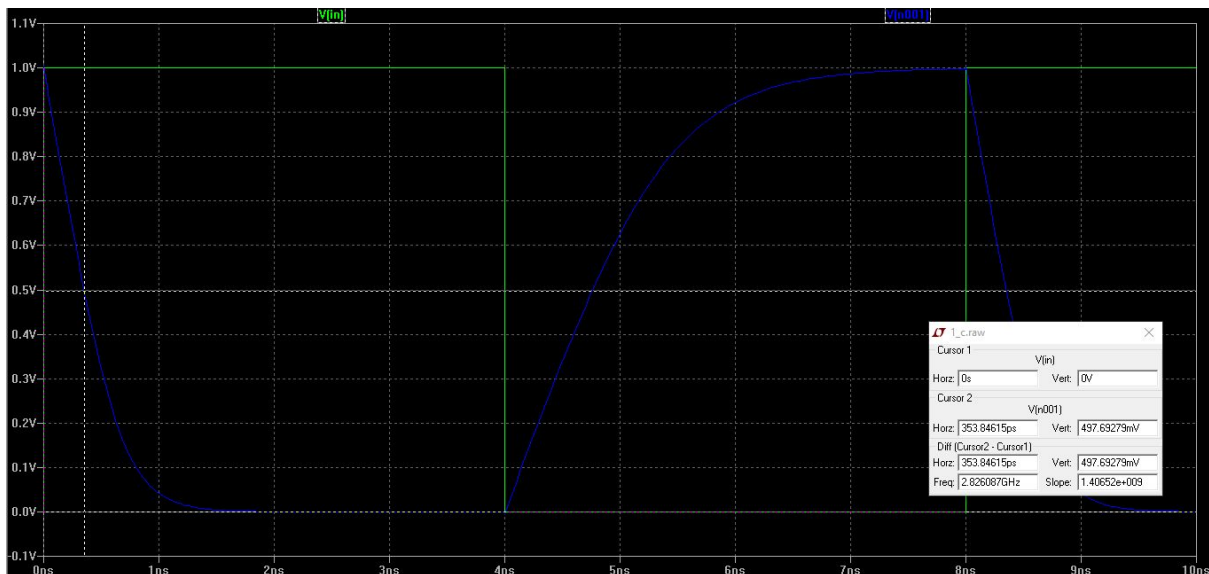
Vemos que obtenemos valores del orden de décimas de nanosegundo ($10^{-9}s$).

b) Obtener los tiempos de propagación mediante LTSPICE

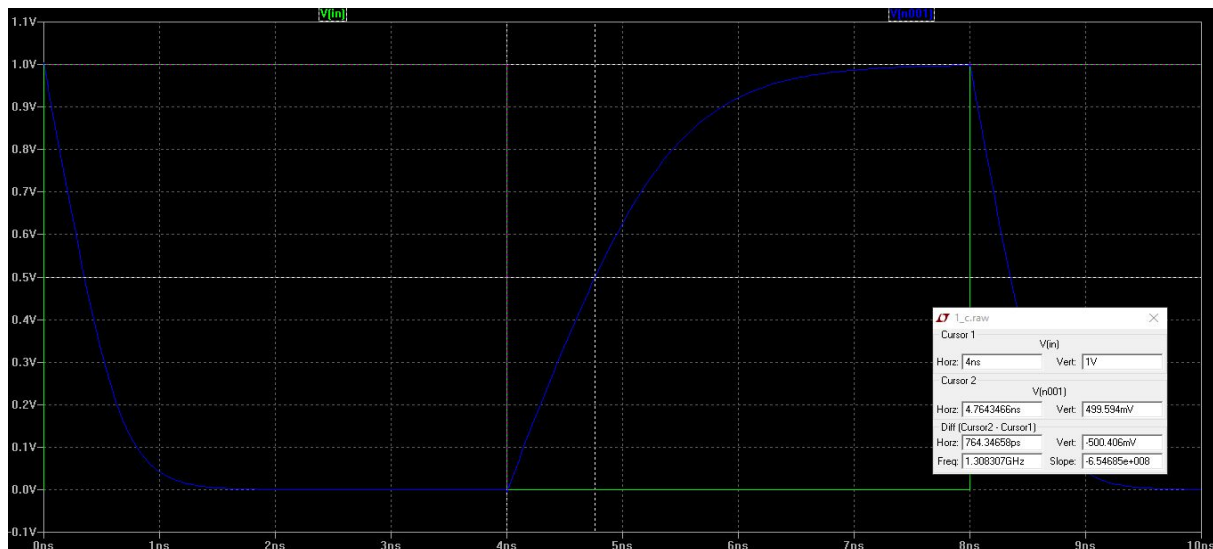
En LTSPICE, podemos montar el inversor con el siguiente circuito (1_b.asc):



Si introducimos una señal cuadrada, obtendremos el retardo de propagación. El retardo de propagación es la diferencia entre que la entrada alcanza el 50% del '1' lógico, y que la de salida disminuye hasta el 50% de V_{DD} . (Esto es así en el caso de un inversor que pasa de un '1' en la entrada a un '0', que es el caso que estamos analizando).



En la imagen, podemos ver el caso de paso de alta a baja. Presenta un retardo de 0.35 ns, lo cual es menos de lo calculado teóricamente, pero tampoco se aleja de forma desorbitada.



En el caso de baja a alta, el retardo sube (esto es coherente con los cálculos, ya que debería ser el doble, por tener el doble de resistencia). El retardo es de 0.76 ns.

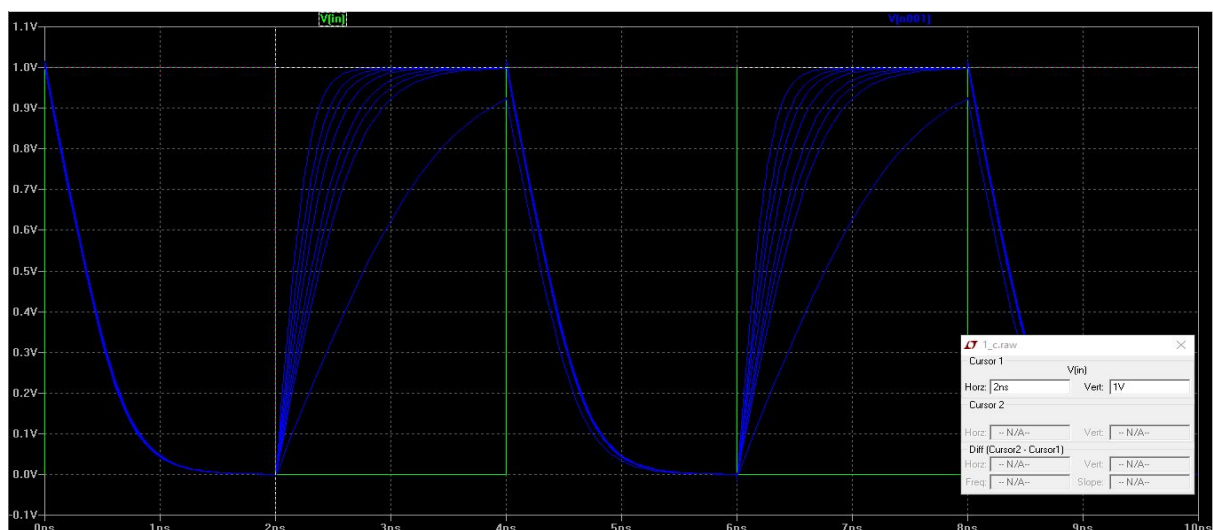
Los documentos 1_b_hl.pdf y 1_b_lh.pdf muestran estas gráficas en más detalle. Las capturas están en tamaño completo en 1_b_hl.png y 1_b_lh.png.

c) Rediseñar para tener $t_{pHL} \approx t_{pHL}$

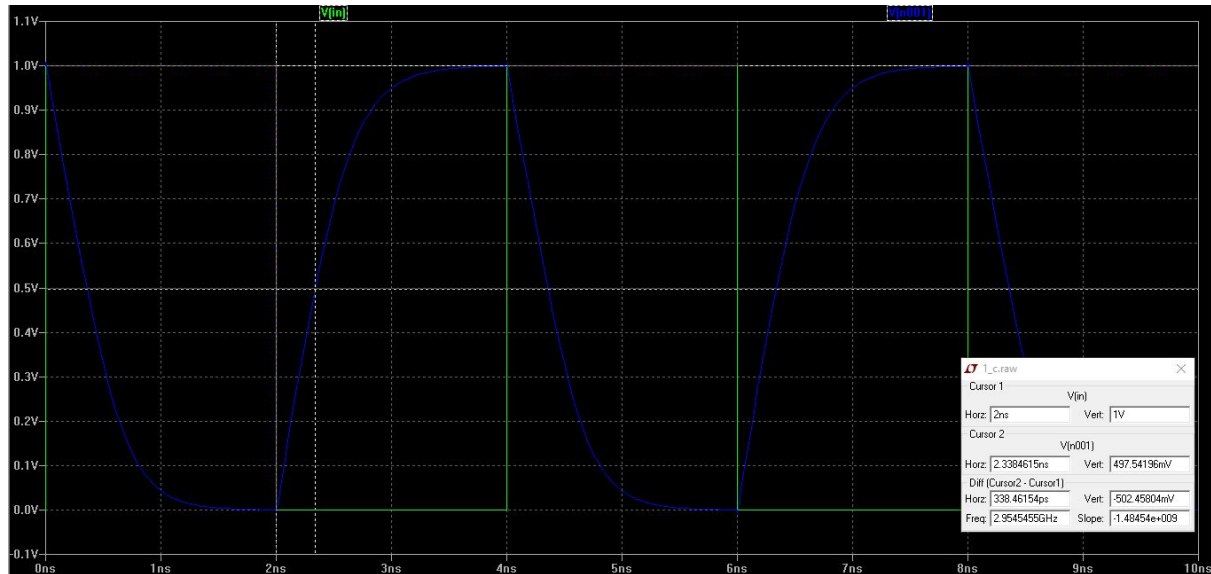
Para obtener esos tiempos, he probado distintos factores de multiplicación de la anchura del transistor (W):

```
.step param s list 1 2 2.25 2.5 3 3.5 4 5
```

Estos factores, como digo, los he aplicado como multiplicador de W para el transistor PMOS. Entre ellos hay factores no enteros: entiendo que no serían posibles en una fase de fabricación real, pero los elijo en este caso para intentar buscar una mayor precisión. Esto influirá en su resistencia: a mayor anchura, menor resistencia. Queremos, entonces, averiguar cuál es el factor que nos consigue unos tiempos más o menos simétricos. Y como el tiempo del NMOS será el mismo (0.35 ns), queremos conseguir que el PMOS también tarde ese tiempo. Hacemos las distintas gráficas (1_c_todas_grafs.png y 1_c_todas_grafs.pdf):



La que más se ajusta parece ser aquella en la que $W = 1125 \text{ nm}$ (1_c_1125nm.png y 1_c_1125nm.pdf):



Aquí, el retardo de propagación es de aproximadamente 0.34 ns, más o menos igual que el del NMOS.

El fichero de LTSPICE es 1_c.asc.

d) Rediseñar para obtener retardos de propagación inferiores a 0.1ns

Para obtener tiempos de propagación inferiores a 0.1 ns, tendremos que disminuir la resistencia. Esto lo podemos conseguir disminuyendo la longitud del transistor o incrementando la anchura. Dado que L es ya mínima, tendremos que incrementar W .

Hacemos los cálculos necesarios:

$$t_{pHL} = 0.69 * x\Omega * 0.2pF < 1 * 10^{-10}s \Rightarrow x < 721\Omega$$

Si queremos una resistencia de, como máximo, 721 ohm:

(para el NMOS)

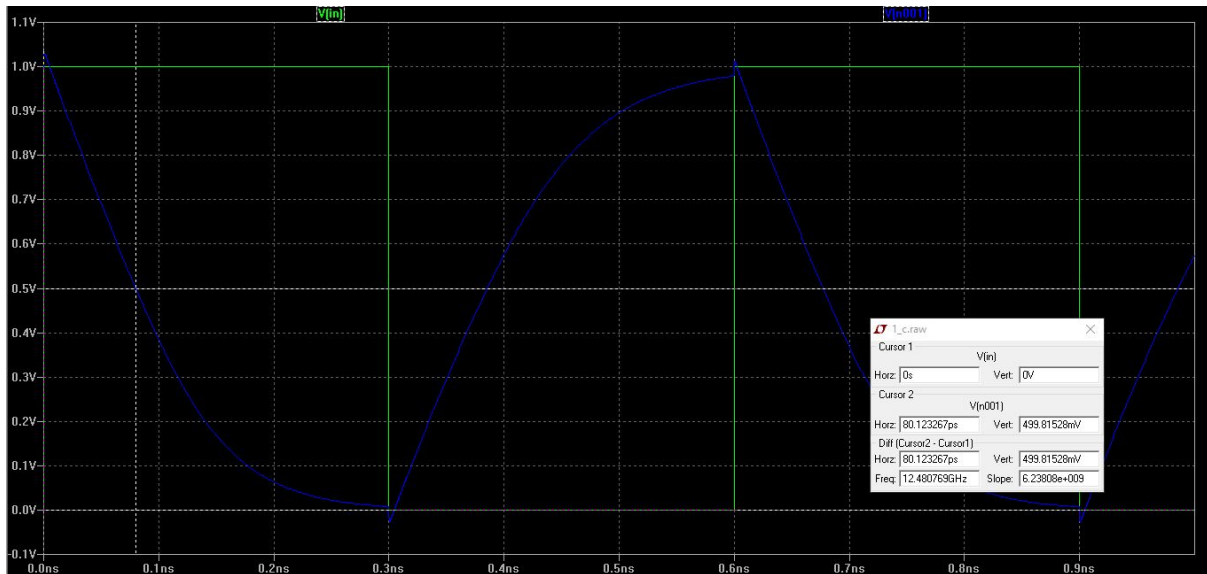
$$\frac{3.5*10^3\Omega*500*10^{-9}m}{721\Omega} = 2426nm$$

(para el PMOS)

$$\frac{7*10^3\Omega*500*10^{-9}m}{721\Omega} = 4852nm$$

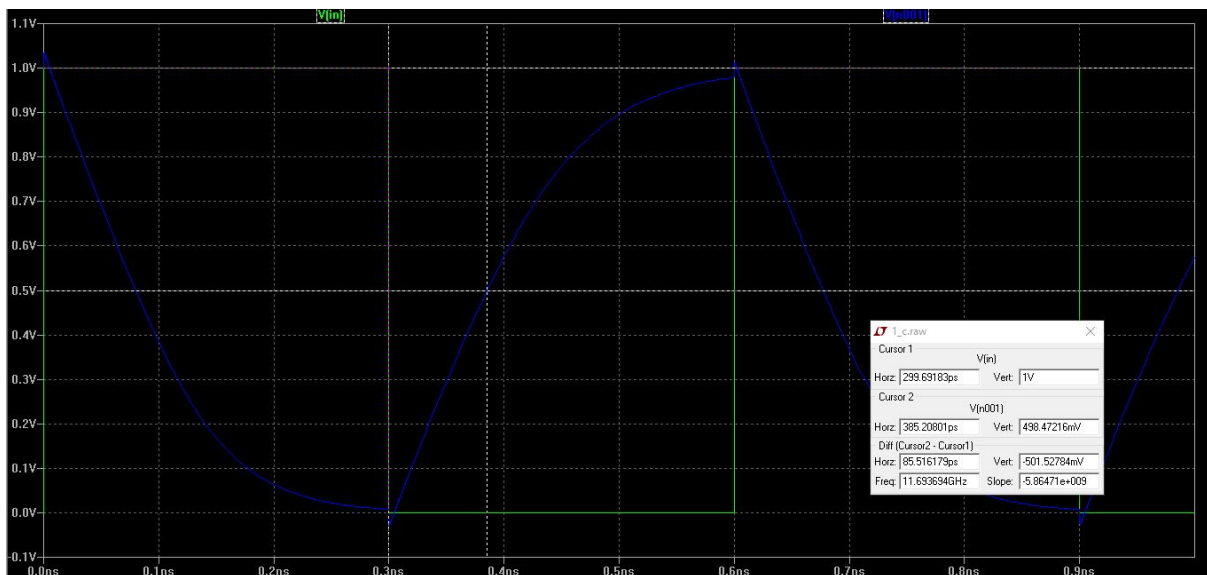
Comprobamos los retardos en LTSPICE con estos nuevos valores de anchura:

Para el NMOS (1_d_hl.png y 1_d_hl.pdf):



Tenemos un retardo de 0.08 ns (menos que 0.1 ns). Se cumplen los requisitos.

Para el PMOS (1_d_lh.png y 1_d_lh.pdf):



Tenemos un retardo de 0.08 ns, cumpliendo de nuevo los requisitos.

El archivo LTSPICE es 1_d.asc.

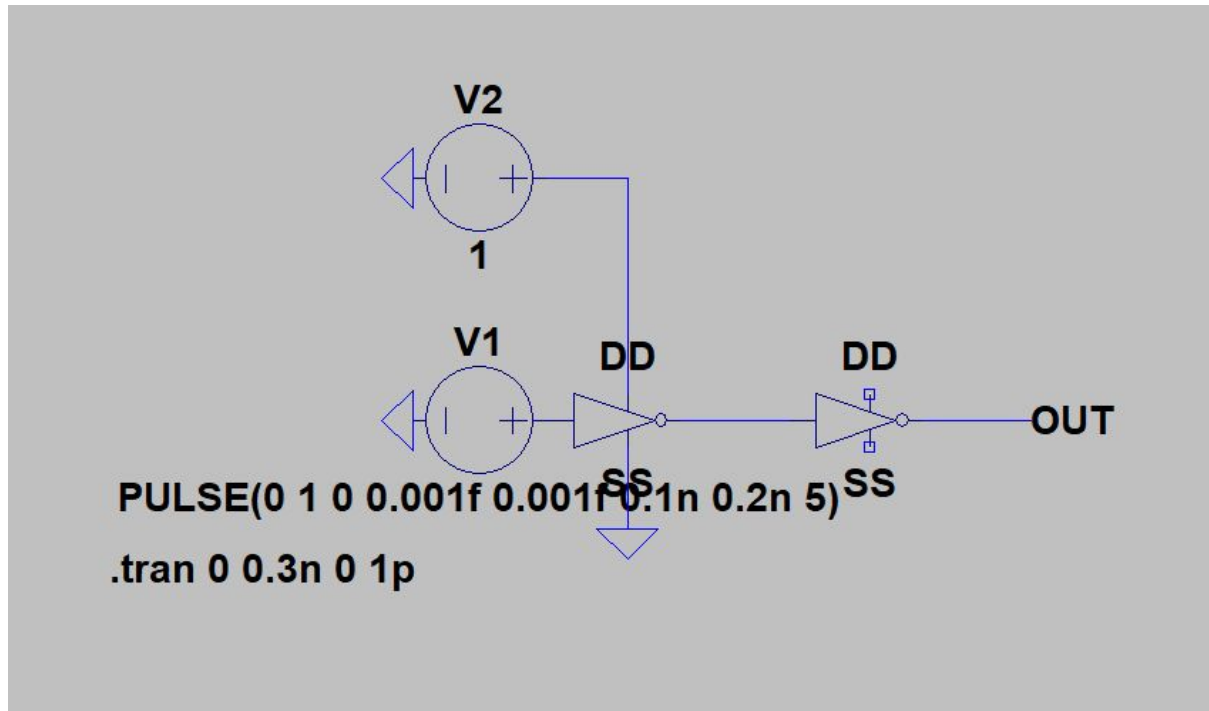
2. Diseñar un oscilador con una frecuencia de oscilación $f=4\text{GHz}$, mediante la conexión de múltiples inversores

Para conocer el número de inversores que necesitamos, podemos aplicar la fórmula del PDF:

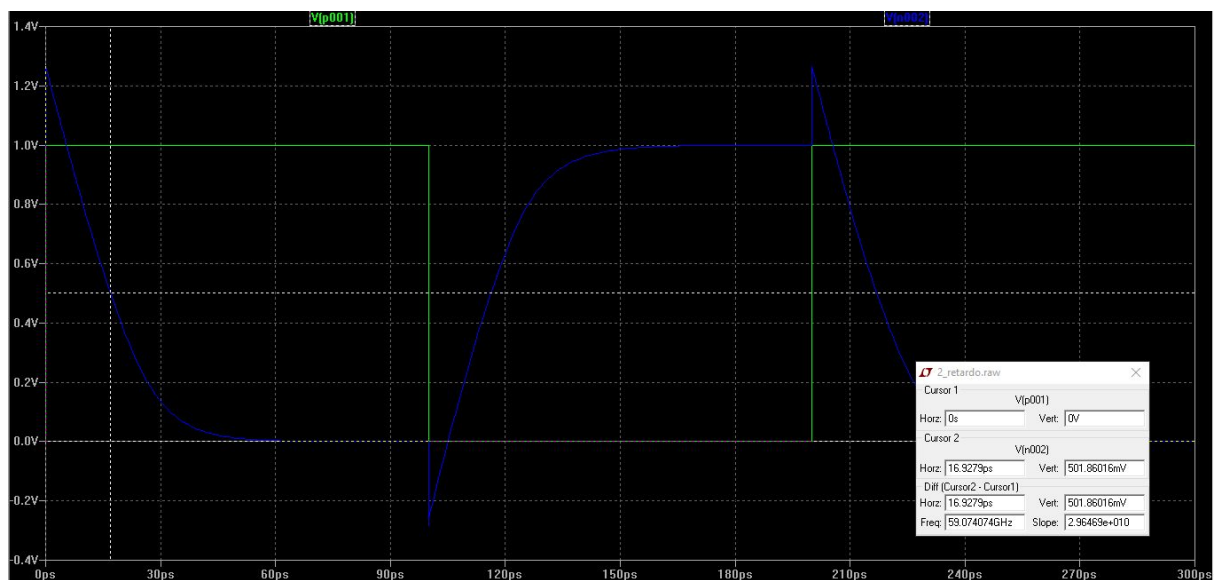
$$f \approx \frac{1}{N \cdot (t_{pHL} + t_{pLH})} \Leftrightarrow N \approx \frac{1}{f \cdot (t_{pHL} + t_{pLH})}$$

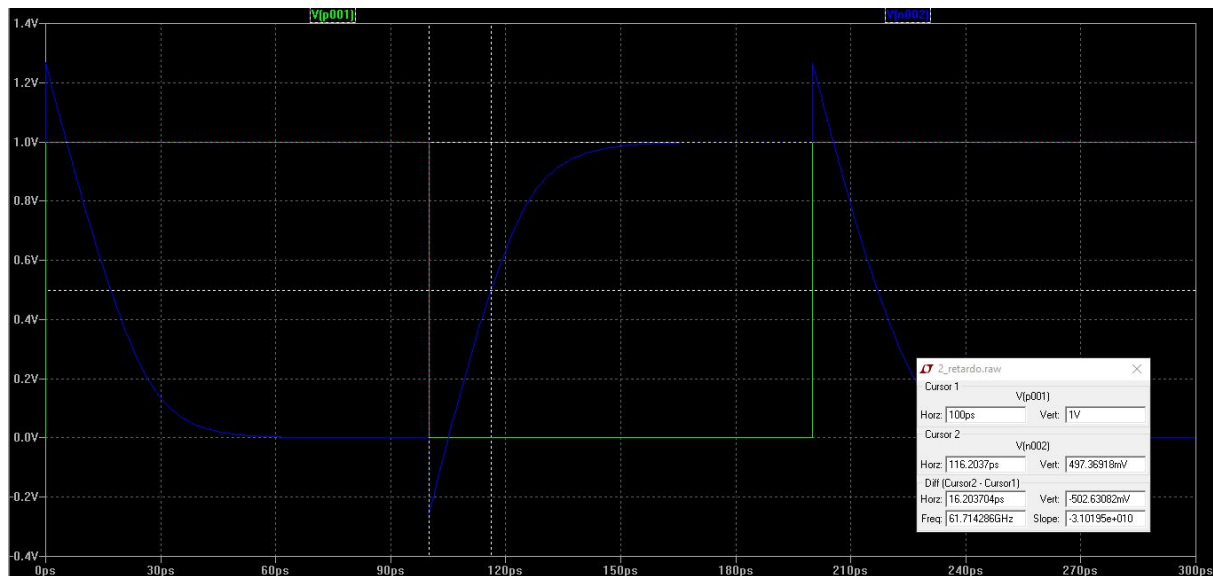
Para aplicar la fórmula, necesitamos conocer el retardo de propagación. Esto podemos estimarlo mediante el Anexo III, o podemos estimarlo con LTSPICE. Voy a usar esta segunda vía. Para ello, creo un componente inversor en base al que conseguí en el

apartado c) del ejercicio anterior, que tiene tiempos simétricos, y lo conecto a otro igual (2_retardo.asc).



Bastará entonces con medir cuánto tardan en alcanzarse V_{OH} y V_{OL} (2_retardo_lh.png, 2_retardo_hl.png, 2_retardo_lh.pdf y 2_retardo_hl.pdf)).





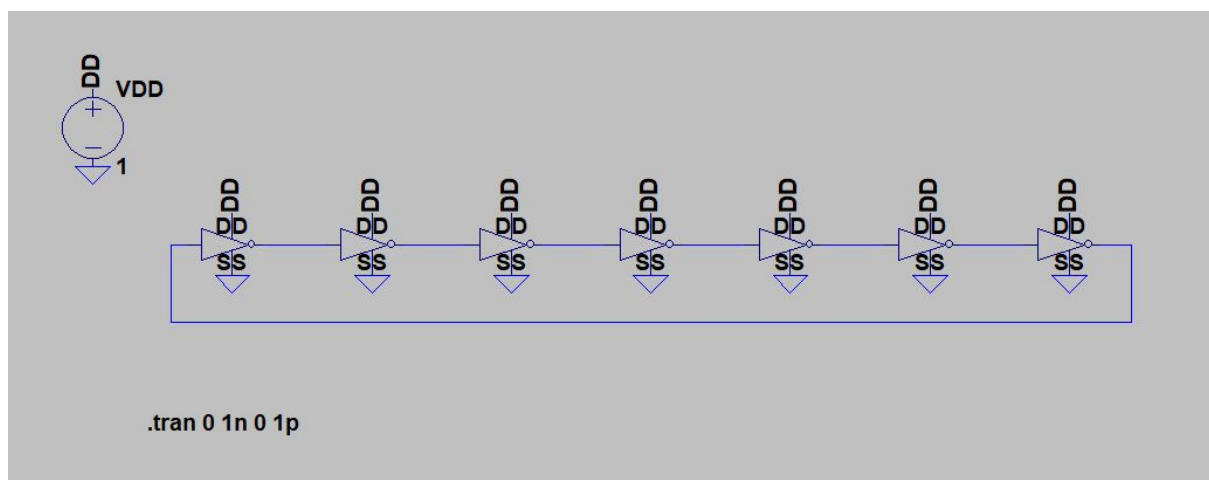
Vemos que obtenemos retardos de propagación de aproximadamente 0.016 ns.

Teniendo esto en cuenta, y sustituyendo en la fórmula de antes:

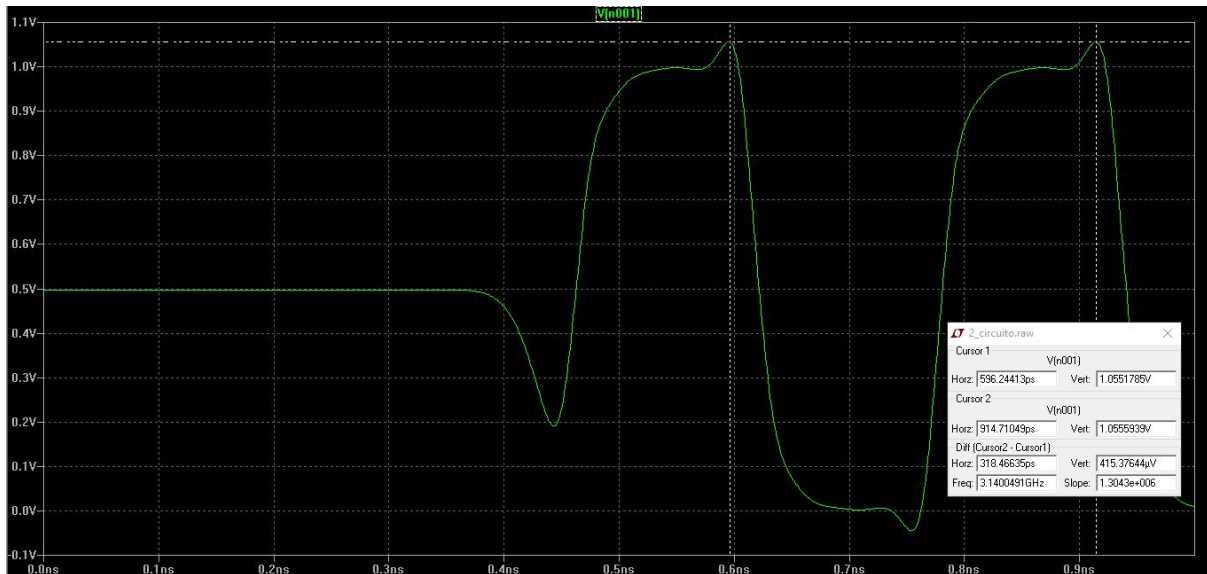
$$N \approx \frac{1}{f * (t_{pHL} + t_{pLH})} \approx 7.552 \approx 7 \text{ (cogemos 7 al ser el impar más próximo)}$$

Hace falta conectar 7 inversores.

Implementamos la cadena de inversores (2_circuito.asc):

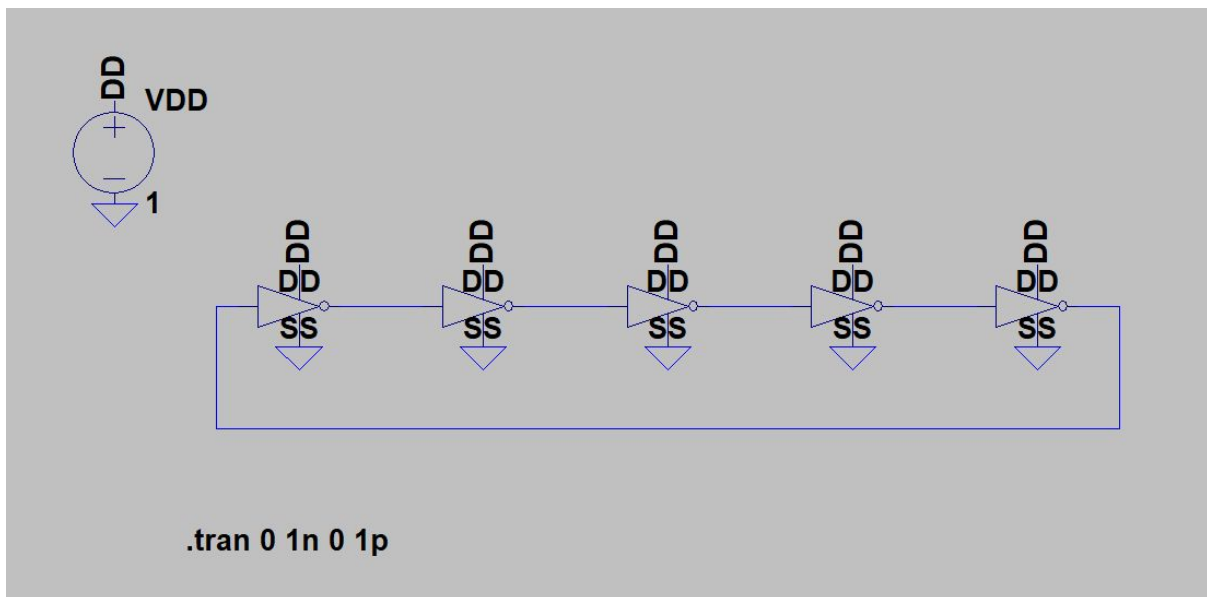


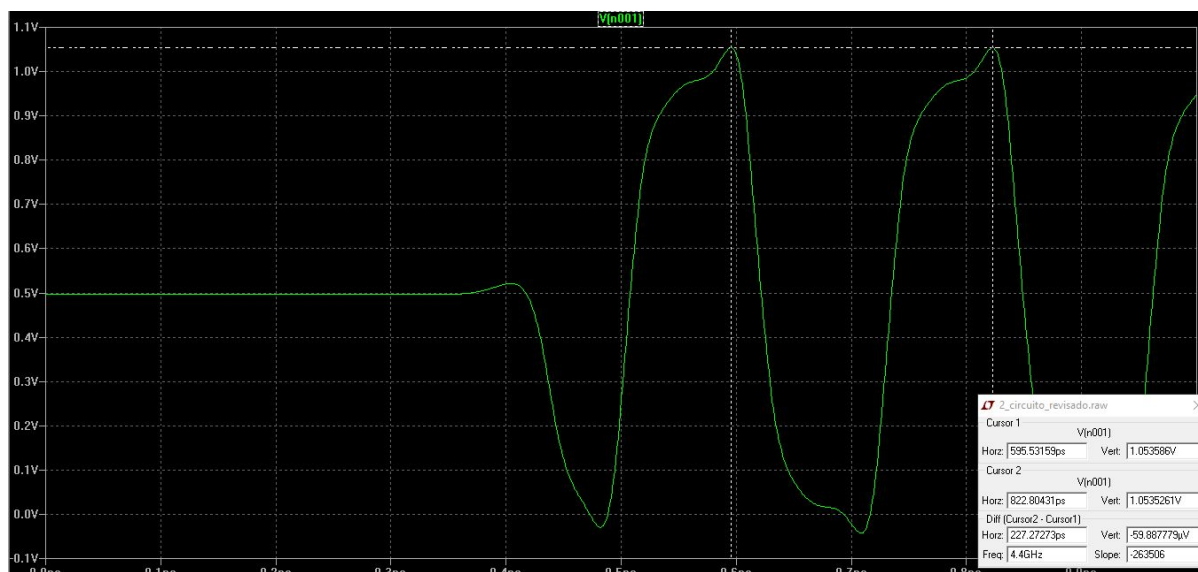
Y medimos la frecuencia (2_freq_7.png y 2_freq_7.pdf):



Como vemos, obtenemos una frecuencia de 3,14 GHz, bastante alejada de los 4 que buscamos.

Esto es debido a que nuestra fórmula teórica es una estimación relativamente burda, y por ello, para obtener una frecuencia mayor, deberemos probar a reducir el número de inversores al impar inferior más próximo:



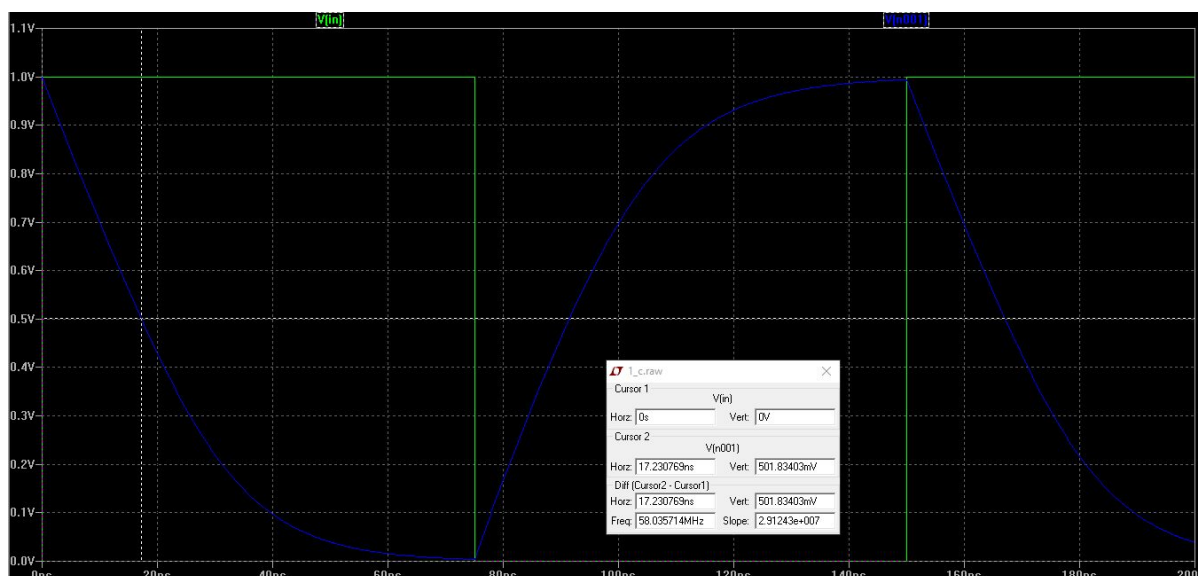


Con 5 inversores, tenemos una frecuencia de 4.4 GHz, lo cual se aproxima bastante más (2_circuito_revisado.asc, 2_frec_5.png y 2_frec_5.pdf). Así que es mejor, experimentalmente, la frecuencia que obtenemos con 5 inversores.

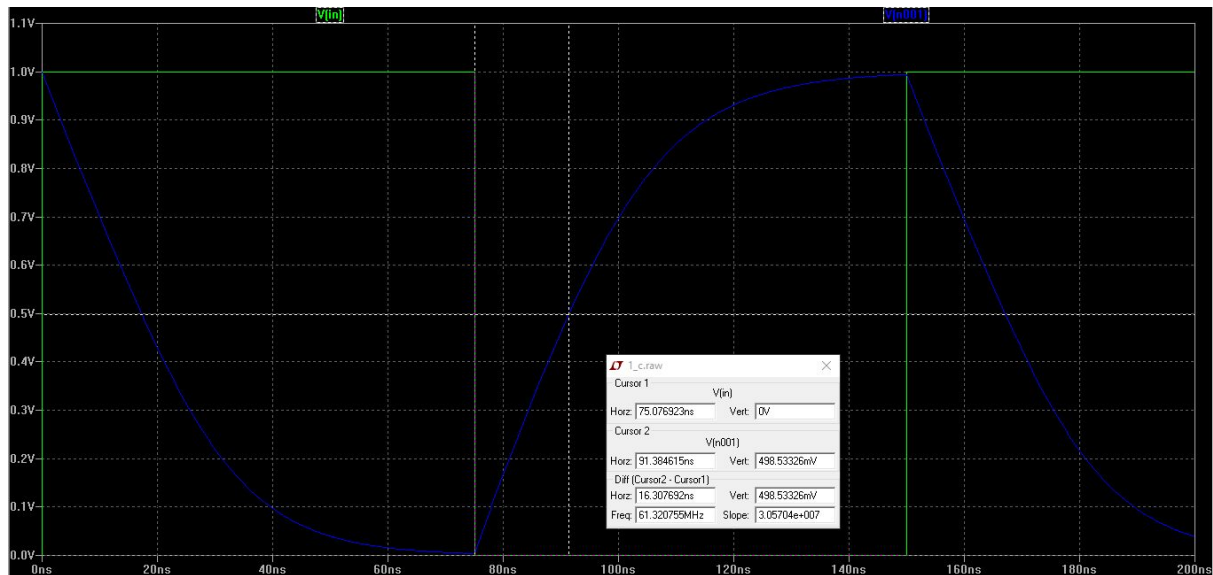
3. Considerar el inversor del apartado 1.c y una capacidad de carga $C_L = 10\text{pF}$

a) Obtener los retardos de propagación

Partimos del modelo del ejercicio 1.c. Dado que ahora la capacidad de carga es mucho mayor, aplicando la fórmula del ejercicio 1 de nuevo obtenemos una estimación del tiempo de propagación de ambos transistores (con el ajuste de anchura que le hicimos al PMOS, deberían ser muy próximos). Vemos en los cálculos de Sage que, efectivamente, son muy similares en la teoría. En el LTSPICE podemos obtener los tiempos con mayor exactitud (3_a.asc). Ya que el retardo de propagación no abarca toda la transición de un estado a otro, vamos a tomar el triple del estimado ($24\text{ns} * 3 \approx 75\text{ns}$), para darle tiempo a ejecutar el recorrido completo. El periodo será, entonces, de 150ns.



El tiempo de alta a baja es de unos 17 ns (3_a_hl.png y 3_a_hl.pdf).



El tiempo de baja a alta es similar, en torno a los 16ns (3_a_lh.png y 3_a_lh.pdf).

b) Optimizar el retardo mediante una cadena de inversores. Asumir que el primer inversor de la cadena es el del apartado anterior (Anexo 3)

Usando una cadena de inversores, podemos conseguir tiempos menores de propagación haciendo “pasos” en la anchura o la longitud de los transistores, con respecto al tiempo que obtendríamos si solamente usásemos el primero de la cadena.

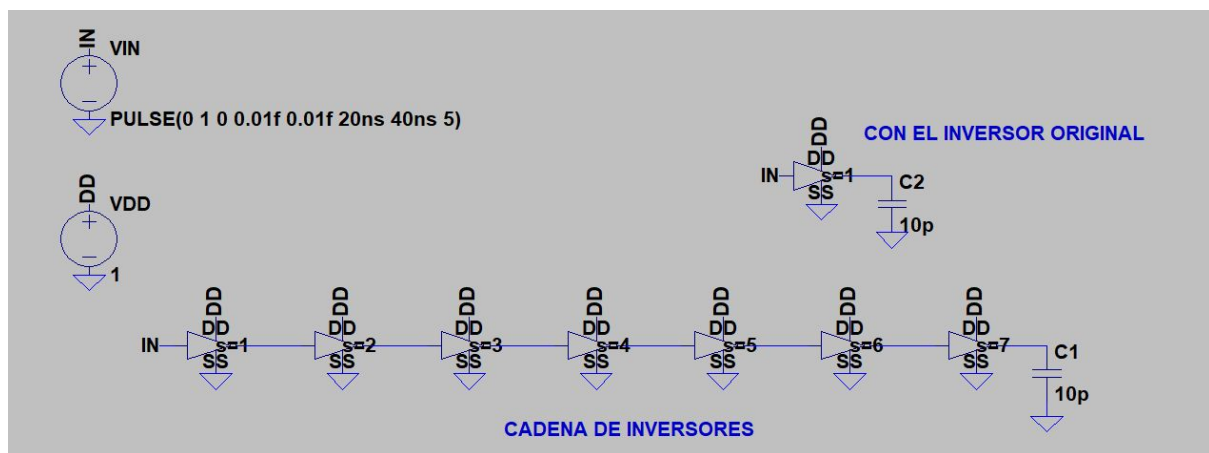
Se tratará de una progresión escalonada, que se calcula mediante la siguiente fórmula:

$$4 = \sqrt[N]{\frac{C_L}{C_{IN}}}$$

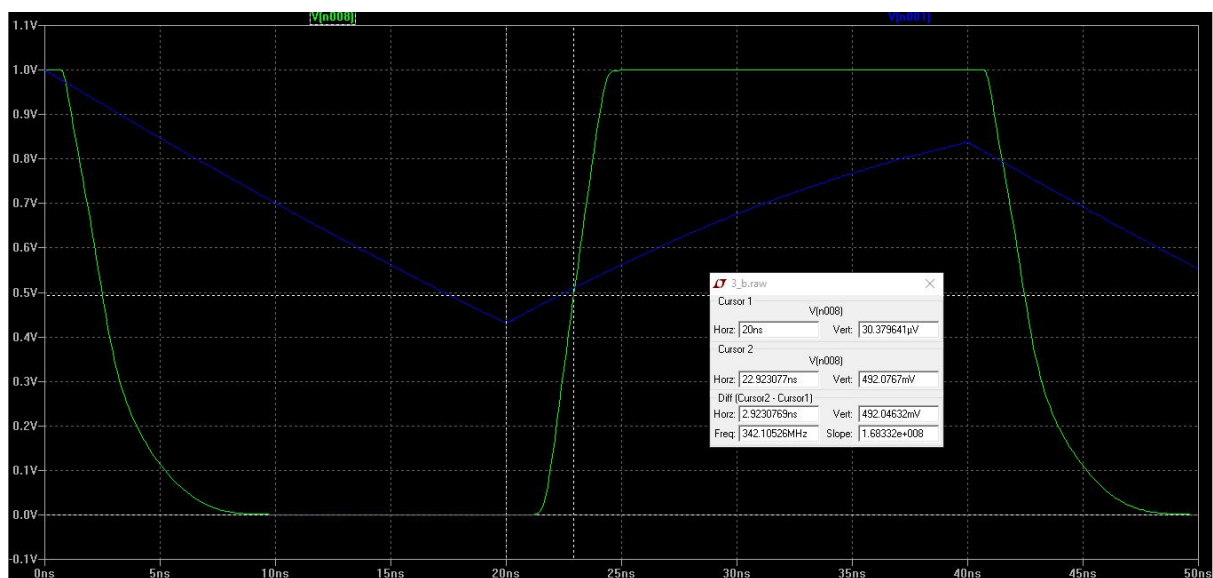
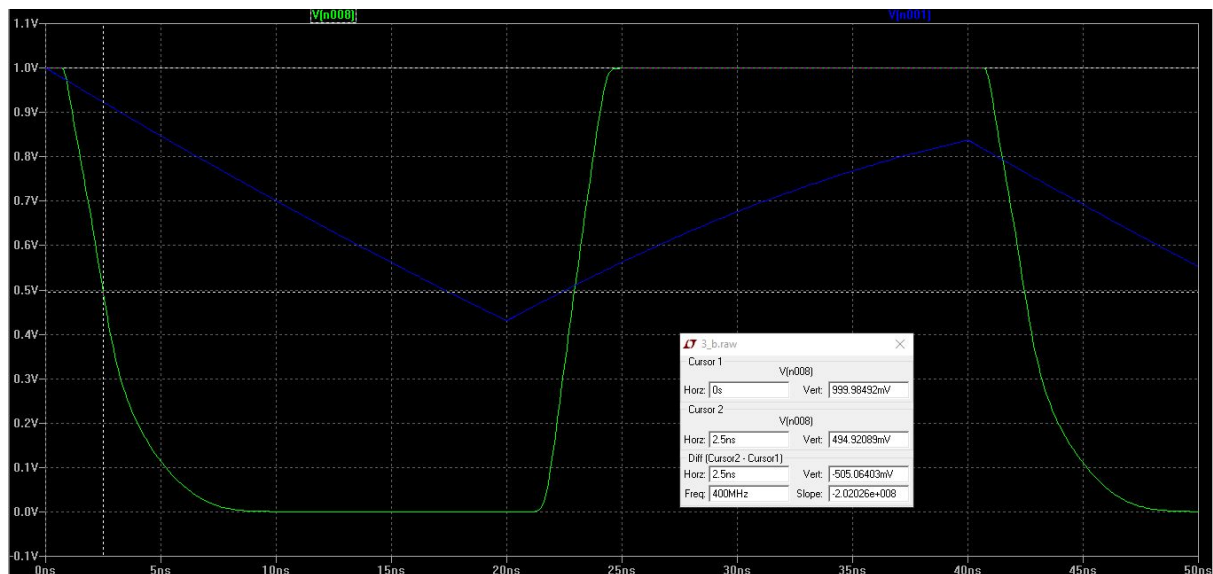
C_L será 10 pF, y $C_{IN} = 1.5 * (C_{OXN} + C_{OXP})$.

Sustituyendo, y despejando N (los cálculos están en el fichero de Sage), obtenemos que $N = 5.83 \approx 7$, ya que suele ser mejor coger más pasos.

Teniendo eso en cuenta, el factor de escalado será $\sqrt[7]{\frac{C_L}{C_{IN}}} \approx 3$. En LTSPICE diseñamos un componente que dependa de ese factor (3_simb_inv.asc y 3_simb_inv.asy), y los incorporamos en un circuito (3_b.asc):



Medimos los retardos de propagación (3_b_hl.png, 3_b_hl.pdf, 3_b_lh.png y 3_b_lh.pdf):



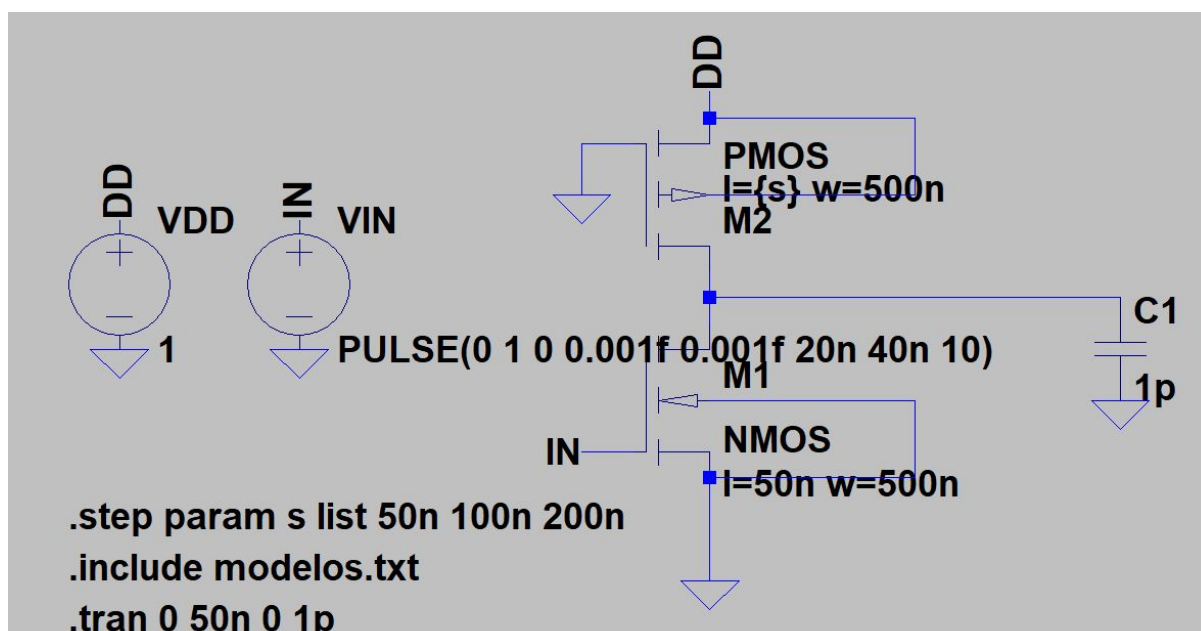
Y obtenemos retardos de 2.5 ns (HL) y 2.9 ns (LH), muchísimo menores al del primer inversor por separado.

Parte II

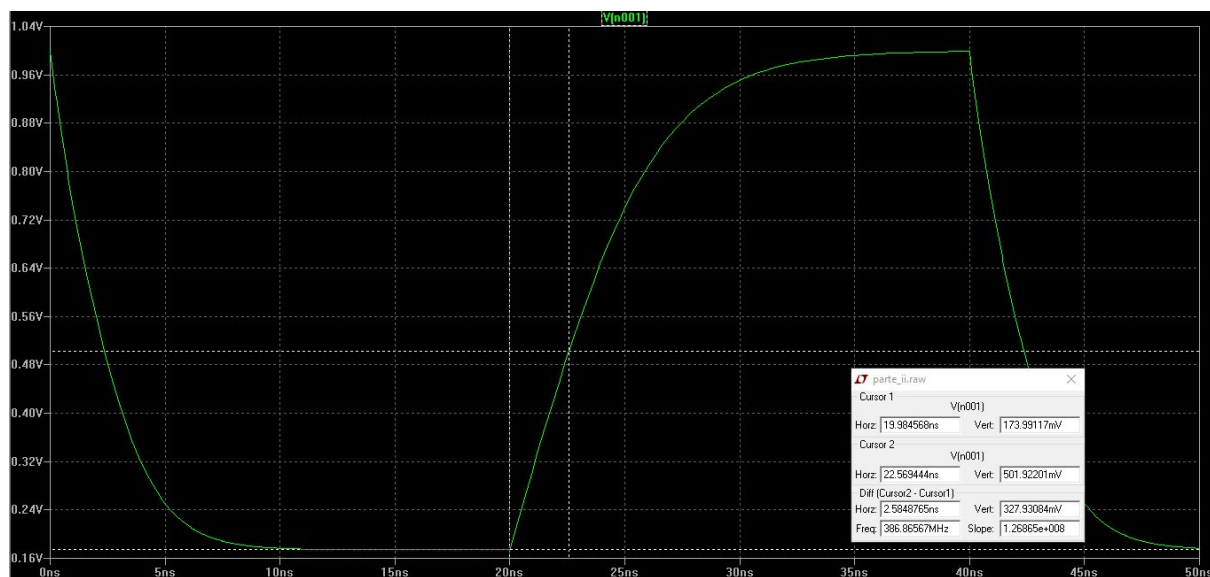
Dado un inversor en lógica pseudoNMOS donde el transistor NMOS es de tamaño mínimo y el PMOS presenta una anchura constante y de valor mínimo, completar la tabla siguiente:

L_p (nm)	V_{OL} (V)	P(μ W)	t_{pLH} (ns)
50	0.173	138.76	2.58
100	0.053	48.08	9.75
200	0.028	26.35	18.63

Para medir experimentalmente los datos de la tabla, montamos el siguiente circuito (parte ii.asc):



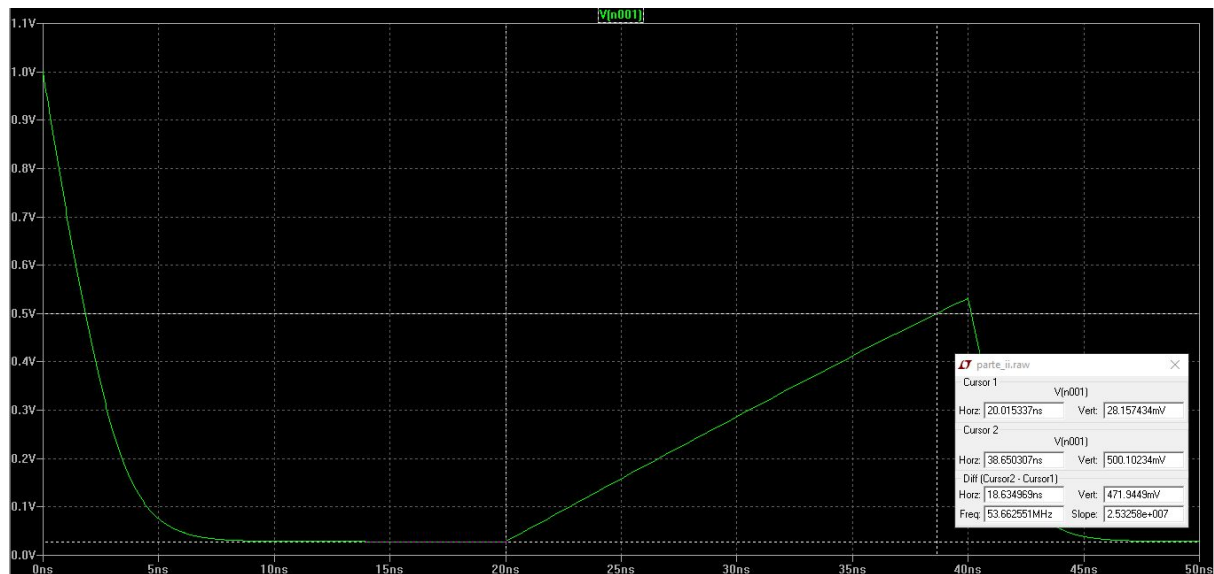
Para $L_p = 50 \text{ nm}$ (parte_ii_lh_50.png y parte_ii_lh_50.pdf):



Para $L_p = 100 \text{ nm}$ (parte_ii_lh_100.png y parte_ii_lh_100.pdf):



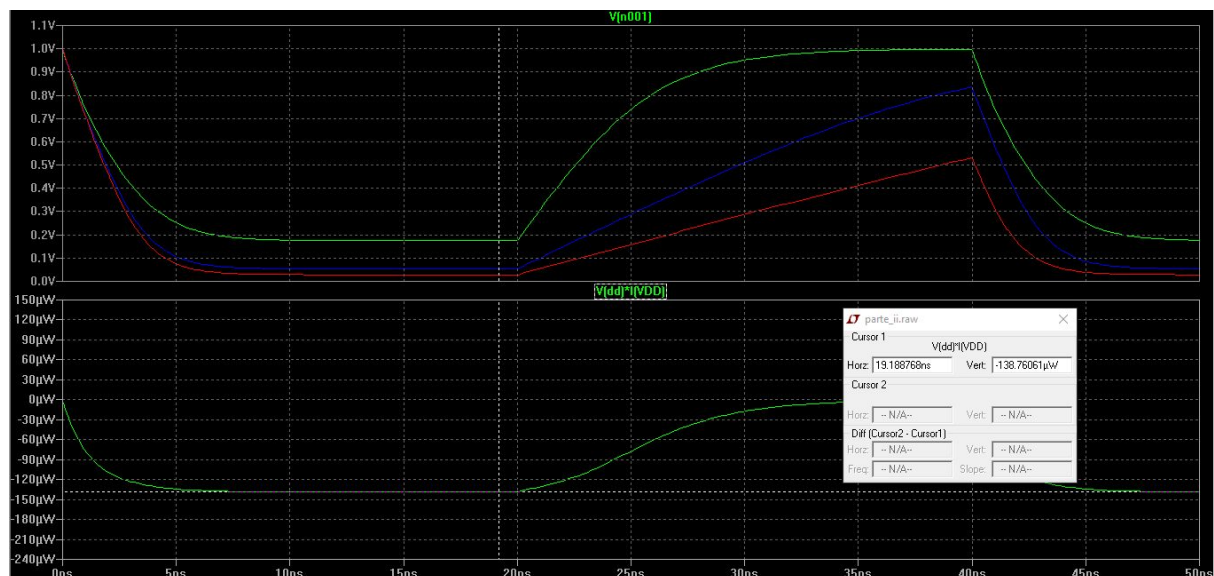
Para $L_p = 200 \text{ nm}$ (parte_ii_lh_200.png y parte_ii_lh_200.pdf):



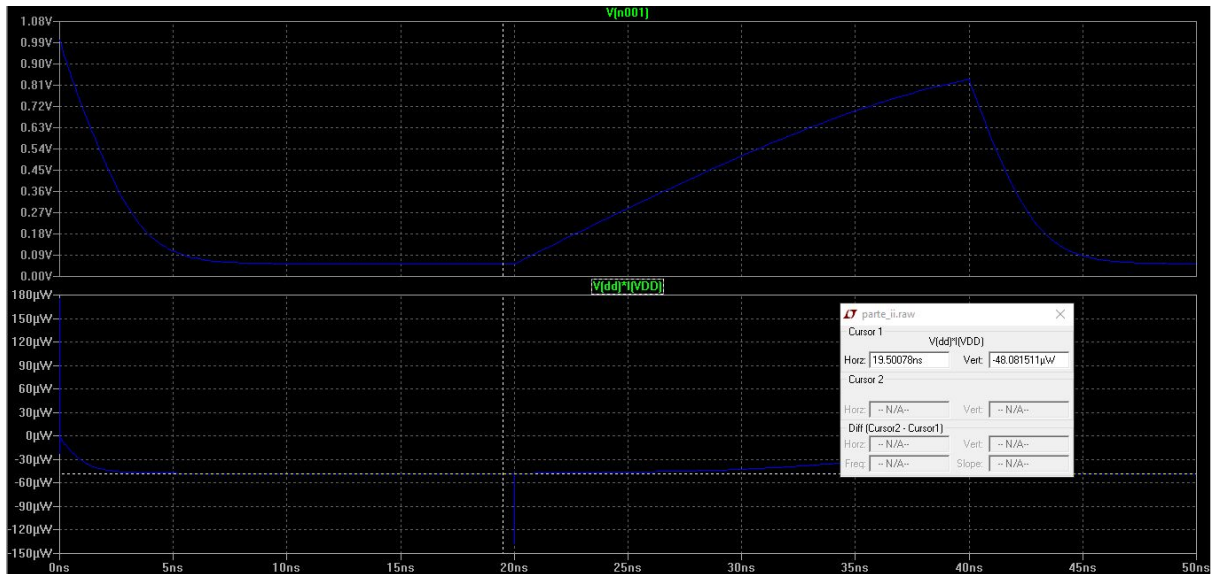
Los resultados de las mediciones están indicados ya en la tabla. Con estas mediciones obtenemos t_{pLH} (cursor 2 - cursor 1) y V_{OL} (cursor 1).

Con respecto a P, la podemos obtener como el producto de $V(dd) * I(VDD)$, en el circuito.

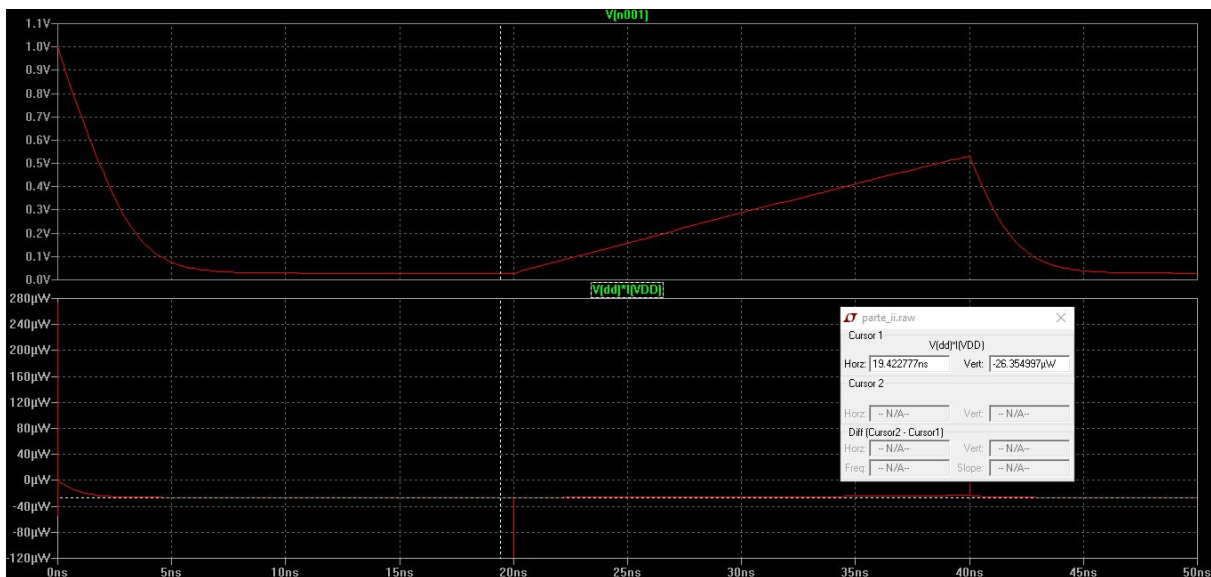
Para $L_p = 50 \text{ nm}$ (parte_ii_p_50.png y parte_ii_p_50.pdf):



Para $L_p = 100 \text{ nm}$ (parte_ii_p_100.png y parte_ii_p_100.pdf):



Para $L_p = 200 \text{ nm}$ (parte_ii_p_200.png y parte_ii_p_200.pdf):



De nuevo, los resultados ya están incorporados a la gráfica.

Vemos que, como es lógico, a mayor longitud del transistor PMOS, tenemos un menor voltaje de salida en baja (la resistencia es mayor). Por ejemplo, con $L = 50 \text{ nm}$, $V_{OL} = 0.17 \text{ V}$, lo cual tiene sentido si consideramos que la resistencia en el tamaño mínimo para el PMOS es el doble que para el NMOS (Anexo 2). A medida que incrementamos la longitud, el voltaje también cae, ya que el PMOS ejerce una resistencia cada vez más grande.

Con respecto de P , tenemos que es más bajo cuanto mayor sea la resistencia del PMOS. De nuevo, esto es lógico, ya que al ejercer mayor resistencia al paso de corriente, fluirán en menor cantidad por unidad de tiempo.

Finalmente, sobre los retardos de propagación, encontramos otro resultado coherente: si incrementamos la resistencia, sube el retardo. Es lógico, ya que como acabo de indicar tenemos una cantidad menor de corriente fluyendo. Por tanto, tardaremos más en cargar C_L : en este caso, el condensador de 1 pF que colocamos a la salida.