

# W3D2

## 回顾内容

- 五级流水
- 三种harzard

## 一、Performance

讨论对飞机的选择

A 波音

B 协和

在不考虑机票价格的情况下，应该选择

### 定义

performance由执行速度决定：

$$\frac{Performance(x)}{Performance(y)} = \frac{Execution_{time}(y)}{Execution_{time}(x)} \quad (1)$$

## CPU Performance

<b>CPU time</b>	<b>=</b>	<b><math>\frac{\text{Seconds}}{\text{Program}}</math></b>	<b>=</b>	<b><math>\frac{\text{Instructions}}{\text{Program}}</math></b>	<b>x</b>	<b><math>\frac{\text{Cycles}}{\text{Instruction}}</math></b>	<b>x</b>	<b><math>\frac{\text{Seconds}}{\text{Cycle}}</math></b>
-----------------	----------	---	----------	--	----------	--	----------	---

### 影响因素

#### 程序 Program

编写程序长短

#### 编译器 Compiler

exp. 编译器遇到S/L指令可以将别的指令填充进等待的时钟周期当中

#### 指令集 Inst.Set.

对于相同的c程序，简单指令集的指令会比复杂指令集的指令更多

#### Organization

exp.CLA方法，32位加法可以用逻辑门快速实现，一次可以同时加3个bit

exp.CPU频率过高可能也会出错，因为同步信号发出时，位置不同的器件接收指令的时间不同，可能导致出错。如果cpu设计结构简单，规模较小，这方面的出错概率将降低。

## Technology

- Inst count 指令集数量
- CPI 每条指令的平均周期数
- Clock Rate

## Amdahl's law

并行运算后效率提升能力

$$S_p = \frac{1 - \eta}{(1 - \eta) + \frac{\eta}{S}} \quad (2)$$

$S$  为处理器的数量

## 二、Memory Hierarchy

Register-- Cache-- Memory --Disk -- Tape

Why we care Memory Hierarchy?

CPU速度与memory速度的差距越来越大

## 三、Cache

隐藏空间，与缓冲（buffle）区别，buffle可以解决数据输入输出速度不统一的问题。

### Cache Measures

- Hit rate
- Miss penalty

### Average memory-access time

$$\text{Hit time} + \text{Miss rate} * \text{Miss penalty} \quad (3)$$

### 简单的cache结构

Cache 映射方式

- DM 直接映射
- FA 全相联映射
- SA 组相连映射

TLB

I-Cache; D-Cache; TLB(Cache's Cache)