

Instituição: Instituto Federal de Educação, Ciência e Tecnologia - Paraíba (IFPB).

Disciplina: Microprocessadores e microcontroladores.

Professor: Fagner de Araujo Pereira.

Aluno (a): _____

Exercício avaliativo 1 (Peso 100 pontos)

1. Descreva, em linhas gerais, a arquitetura geral de um microcomputador.

A arquitetura compreende uma unidade central de processamento (CPU), memória (de programa e de dados) e dispositivos de entrada e saída, interligados por meio de barramentos de endereços, dados e controle

2. Explique quais os fatores que contribuíram para o aumento do poder computacional de um processador ao longo do tempo.

O aumento do tamanho da palavra, permitindo que dados com maiores quantidades de bits pudessem ser diretamente processados simultaneamente, ou fazendo com que uma instrução pudesse processar um número maior de dados básicos de cada vez; Redução do tamanho e aumento da quantidade de transistores no chip, expandindo a capacidade de processamento com o advento de novas unidades funcionais implementadas diretamente no hardware; Maior velocidade do clock, aumentando a quantidade de instruções executadas por segundo e melhoria na arquitetura com a adoção de técnicas de paralelismo.

3. Como um tamanho de palavra maior pode aumentar o poder computacional de um processador?

Um tamanho de palavra maior permite que o processador opere com dados maiores em um único ciclo ou permite que uma maior quantidade de dados menores seja operada simultaneamente.

4. Considere 2 processadores de uso geral, sendo um de 8 bits e outro de 32 bits, operando na mesma frequência de clock de 2.8 GHz. Ambos os processadores realizam as seguintes operações:

float A = 5;
float B = 10;
C = A + B;
D = A - B;

Onde as duas primeiras operações carregam as variáveis do tipo float com valores iniciais. Considerando que cada operação acima é realizada em um único ciclo de clock, quanto tempo é necessário para executar esse conjunto de operações em cada processador?

Para um processador de 8 bits, cada linha acima seria executada em 16 pulsos de clock, uma vez que os dados são de 32 bits. Logo:

$$16 * \frac{1}{2,8 \times 10^9} = 5,71 \text{ ns}$$

Para um processador de 32 bits, cada linha acima seria executada em um único pulso de clock, isto é:

$$4 * \frac{1}{2,8 \times 10^9} = 1,42 \text{ ns}$$

5. O que são bits de status do processador? Descreva quais os principais bits de status do processador.

bits de status refletem os estados de operação da ULA, usados para tomar decisões que determinam o fluxo de execução do programa, com base nos resultados da ULA ou no conteúdo dos registradores. Os principais são:

- O bit de transporte (geralmente indicado como C), usado para indicar um transporte ou empréstimo aritmético gerado a partir do bit mais significativo da ULA;
- O bit sinalizador negativo (geralmente indicado como N), também chamado de bit de sinal, é usado para indicar se o resultado da última operação matemática produziu um valor negativo (na representação de números com sinal em complemento de 2);
- O bit de overflow, ou transbordamento (geralmente indicado como V) é usado para indicar quando ocorreu um estouro aritmético em uma operação, indicando que o resultado representado em complemento de dois sinalizado não caberia na quantidade de bits usados para a operação.
- O bit zero (geralmente indicado por Z) é usado para verificar se o resultado da última operação da ULA resultou em zero.

6. Descreva como funciona os seguintes tipos de arquitetura:

a) LOAD-STORE

Nesta arquitetura, todos os dados das operações executadas pela ULA são provenientes dos registradores.

b) Baseada em acumulador

Um dos dados vem sempre do registrador Acumulador, mas o outro pode ser oriundo de um registrador qualquer, da memória, ou de um dispositivo de entrada.

c) Baseada em pilha

As instruções não precisam endereçar operandos, pois o comportamento da pilha limita o acesso a uma posição referente ao topo, isto é, todos os operandos vêm da pilha, acessados sempre pelo seu topo.

d) Baseada em memória-registrador

Esta arquitetura permite que a ULA execute operações lógicas e aritméticas envolvendo ao mesmo tempo um registrador indicado pela instrução e um conteúdo proveniente da memória.

7. O que são máquinas RISC e CISC?

RISC (*Reduced Instruction Set Computer*) é uma linha de arquitetura de processadores que favorece um conjunto simples e pequeno de instruções que levam aproximadamente a mesma quantidade de tempo para serem executadas. Em oposição, a arquitetura CISC (*Complex Instruction Set Computer*) possui um conjunto maior de instruções especializadas, algumas delas raramente usadas pelos programas.

8. Descreva as arquiteturas de Von-Neumann e de Harvard.

Na arquitetura de Von Neumann, as instruções e os dados estão na mesma memória física. Há apenas um barramento de endereços e apenas um barramento de dados. Quando o conteúdo endereçado na memória é um dado, ele é direcionado para o banco de registradores do datapath. De outra forma, quando o conteúdo endereçado é uma instrução, ele é direcionado para a unidade de controle para ser decodificado e posteriormente executado. Apenas um acesso (dado ou instrução) pode ser realizado por vez. É uma arquitetura relativamente barata e simples.

Na arquitetura de Harvard, a memória de instruções, normalmente uma ROM não volátil, e a memória de dados, normalmente uma RAM, são dois dispositivos de memória separados. Há dois conjuntos de barramentos de dados e endereços, um para cada dispositivo, o que permite o acesso simultâneo a ambas as memórias. Devido a isso, oferece um processamento mais rápido, considerando a mesma velocidade de clock da arquitetura Von Neumann.

9. Explique como ocorre o endereçamento de instruções em uma memória.

Por meio do registrador contador de programa (PC), que fornece diretamente em sua saída as linhas de endereço para a memória de programa.

10. Quantos bits, no mínimo, possui o opcode de uma instrução de um processador cuja ULA é capaz de executar 170 diferentes instruções?

$$n = \lceil \log_2 170 \rceil = 8 \text{ bits}$$

11. Porque existem diferentes modos de endereçamento nas instruções de um processador?

A disponibilidade de vários modos de endereçamento oferece ao programador experiente a capacidade de escrever programas que exigem menos instruções.

12. A maioria dos algoritmos de processamento digital de sinais (DSP) implementa uma equação matemática conhecida como **Soma de Produtos** para retornar o valor processado. Um novo valor de saída “y” é calculado como sendo a soma de produtos parciais. Geralmente há dois arrays de registradores, sendo um de dados e outro de coeficientes constantes, que são multiplicados em pares ordenados e finalmente somados, cuja operação pode ser expressa pela equação:

$$y = \sum_{i=1}^N \text{dado}[i] * \text{coef}[i]$$

onde N representa o tamanho do array.

(a) Em aplicações de DSP, qual a vantagem em utilizar um processador que possui um multiplicador implementado em hardware em relação a outro que não possui essa unidade operacional?

A presença de um hardware multiplicador naturalmente acelera o processamento pois as multiplicações serão realizadas independentemente e imediatamente, por meio do uso dessa unidade operacional.

Exercício avaliativo 1

(b) Na expressão apresentada, considere que cada array é composto de 8 elementos ($N=8$) e que um processador, operando a 100 Mhz, possui uma instrução de multiplicação e outra de soma, ambas com endereçamento de 3 registradores, sendo 2 operandos e um destino. Se cada instrução é realizada em um único pulso de clock, após quanto tempo é obtida uma nova saída “y” válida, considerando que os arrays de dados e coeficientes estarão sempre prontos para serem processados?

Nesse caso, são necessárias 8 multiplicações e 7 somas, o que resulta em 15 pulsos de clock. Assim:

$$15 * \frac{1}{100 \times 10^6} = 150 \text{ ns}$$

Nota: se você considerou que são necessárias 8 multiplicações e 8 somas, também considere como uma resposta correta.

(c) Se um outro processador possui uma instrução aritmética com o seguinte formato: $ACC = ACC + A \times B$, onde ACC é um registrador acumulador de resultados parciais e A e B são registradores de uso geral, **qual a redução percentual** no tempo de processamento da equação apresentada?

Nesse caso, são necessárias apenas 8 operações, já que as somas são realizadas em paralelo com as multiplicações, o que resulta em:

$$8 * \frac{1}{100 \times 10^6} = 80 \text{ ns}$$

Logo, a redução percentual é de:

$$1 - \frac{8}{15} = 0,466 = 46,6\% \text{ de redução}$$

Nota: se você considerou que são necessárias 16 operações no item anterior, então a redução é de 50%, a qual também considere como uma resposta correta.

13. Um *Datapath* é formado por uma ULA capaz de executar 130 operações distintas com até 4 operandos, mais um destino, e um banco com 16 registradores. Considerando apenas o endereçamento dos registradores e seleção da operação na ULA, quantas linhas de controle possui esse *Datapath*?

O opcode possui:

$$n = \lceil \log_2 130 \rceil = 8 \text{ bits.}$$

Como o banco tem 16 registradores, são necessários 4 bits para endereçá-los individualmente. A ULA utiliza 5 endereçamentos, sendo 4 operandos e um destino, exigindo, portanto, $5 \times 4 = 20$ bits.

Assim, a quantidade de linhas de controle é $8 + 20 = 28$ linhas.

14. Marque a alternativa correta sobre uma característica fundamental de um processador com arquitetura CISC.

- a) Todas as instruções têm tamanho fixo e podem ser executadas em múltiplos ciclos de processamento.
- b) Possui instruções complexas que operam diretamente a memória para a carga ou armazenamento de valores.
- c) Todas as instruções têm tamanho fixo e devem ser executadas em um único ciclo de processamento.
- d) As instruções possuem tamanho variável, porém todas são executadas em um único ciclo de processamento.
- e) O código fonte (assembly) tem a tendência de ser maior devido à complexidade das instruções.

15. Considere um processador no qual há instruções de um operando, que utilizam um único registrador na CPU, conhecido como acumulador. A instrução **load** carrega o operando no acumulador; **mult** multiplica o operando pelo valor que está no acumulador e armazena o resultado no acumulador; **add** realiza a soma do operando com o valor que está no acumulador e armazena o resultado no acumulador; **store** armazena o valor do acumulador no operando. Com base nas instruções de um operando, um engenheiro escreveu o seguinte código:

```
load B
mult C
add D
store X.
```

Assinale a alternativa que corresponde à operação implementada pelo código descrito:

- a) $X = B * (C + D)$
- b) $X = (B + C) * D$
- c) $X = X + D$
- d) $X = B * D + C$
- e) $X = (B * C) + D$