

Instituição: Instituto Federal de Educação, Ciência e Tecnologia - Paraíba (IFPB).

Disciplina: Microprocessadores e microcontroladores.

Professor: Fagner de Araujo Pereira.

Aluno (a): _____

Exercício avaliativo 1 (Peso 40 pontos)

1. Descreva, em linhas gerais, a arquitetura geral de um microcomputador.
2. Explique quais os fatores que contribuíram para o aumento do poder computacional de um processador ao longo do tempo.
3. Como um tamanho de palavra maior pode aumentar o poder computacional de um processador?
4. Considere 2 processadores de uso geral, sendo um de 8 bits e outro de 32 bits, operando na mesma frequência de clock de 2.8 GHz. Ambos os processadores realizam as seguintes operações:

```
float A = 5;  
float B = 10;  
C = A + B;  
D = A - B;
```

Onde as duas primeiras operações carregam as variáveis do tipo float com valores iniciais. Considerando que cada operação acima é realizada em um único ciclo de clock, quanto tempo é necessário para executar esse conjunto de operações em cada processador?

5. O que são bits de status do processador? Descreva quais os principais bits de status do processador.
6. Descreva como funciona os seguintes tipos de arquitetura:
 - a) LOAD-STORE
 - b) Baseada em acumulador
 - c) Baseada em pilha
 - d) Baseada em memória-registrador
7. O que são máquinas RISC e CISC?
8. Descreva as arquiteturas de Von-Neumann e de Harvard.
9. Explique como ocorre o endereçamento de instruções em uma memória.
10. Quantos bits, no mínimo, possui o opcode de uma instrução de um processador cuja ULA é capaz de executar 170 diferentes instruções?
11. Porque existem diferentes modos de endereçamento nas instruções de um processador?
12. A maioria dos algoritmos de processamento digital de sinais (*DSP*) implementa uma equação matemática conhecida como **Soma de Produtos** para retornar o valor processado. Um novo valor de saída "y" é calculado como sendo a soma de produtos parciais. Geralmente há dois arrays de registradores, sendo um de dados e outro de coeficientes constantes, que são multiplicados em pares ordenados e finalmente somados, cuja operação pode ser expressa pela equação:

$$y = \sum_{i=1}^N \text{dado}[i] * \text{coef}[i]$$

onde N representa o tamanho do array.

- (a) Em aplicações de *DSP*, qual a vantagem em utilizar um processador que possui um multiplicador implementado em hardware em relação a outro que não possui essa unidade operacional?
- (b) Na expressão apresentada, considere que cada array é composto de 8 elementos ($N=8$) e que um processador, operando a 100 Mhz, possui uma instrução de multiplicação e outra de soma, ambas com endereçamento de 3 registradores, sendo 2 operandos e um destino. Se cada instrução é realizada em um único pulso de clock, após quanto tempo é obtida uma nova saída “ y ” válida, considerando que os arrays de dados e coeficientes estarão sempre prontos para serem processados?
- (c) Se um outro processador possui uma instrução aritmética com o seguinte formato: $ACC = ACC + A \times B$, onde ACC é um registrador acumulador de resultados parciais e A e B são registradores de uso geral, **qual a redução percentual** no tempo de processamento da equação apresentada?

13. Um *Datapath* é formado por uma ULA capaz de executar 130 operações distintas com até 4 operandos, mais um destino, e um banco com 16 registradores. Considerando apenas o endereçamento dos registradores e seleção da operação na ULA, quantas linhas de controle possui esse *Datapath*?

14. Marque a alternativa correta sobre uma característica fundamental de um processador com arquitetura CISC.

- a) Todas as instruções têm tamanho fixo e podem ser executadas em múltiplos ciclos de processamento.
- b) Possui instruções complexas que operam diretamente a memória para a carga ou armazenamento de valores.
- c) Todas as instruções têm tamanho fixo e devem ser executadas em um único ciclo de processamento.
- d) As instruções possuem tamanho variável, porém todas são executadas em um único ciclo de processamento.
- e) O código fonte (assembly) tem a tendência de ser maior devido à complexidade das instruções.

15. Considere um processador no qual há instruções de um operando, que utilizam um único registrador na CPU, conhecido como acumulador. A instrução **load** carrega o operando no acumulador; **mult** multiplica o operando pelo valor que está no acumulador e armazena o resultado no acumulador; **add** realiza a soma do operando com o valor que está no acumulador e armazena o resultado no acumulador; **store** armazena o valor do acumulador no operando. Com base nas instruções de um operando, um engenheiro escreveu o seguinte código:

```
load B
mult C
add D
store X.
```

Assinale a alternativa que corresponde à operação implementada pelo código descrito:

- a) $X = B * (C + D)$
- b) $X = (B + C) * D$
- c) $X = X + D$
- d) $X = B * D + C$
- e) $X = (B * C) + D$