

OAC - Projeto e Simulação de uma ULA em VHDL

Gabriel Correia de Vasconcelos - 16/0120781

Introdução

O objetivo do projeto é exercitar os conceitos da implementação da unidade lógica e aritmética em processadores utilizando o programa da Quartus 13.01sp e ModelSim-Altera, da Intel para sintetizá-la no FPGA Cyclone II EP270F896C6N, da Altera. A linguagem utilizada foi o VHDL para implementar a ULA e seu respectivo Testbench.

Operações e Testbench

Foram quinze operações implementadas, entre elas as aritméticas, de shift e condicionais, todas especificadas no relatório com três saídas: seu resultado e as flags de zero e overflow.

Os dados da síntese da implementação da ULA apresentado pelo Quartus podem ser visualizados abaixo.

Flow Summary	
Flow Status	Successful - Sun Nov 11 16:37:08 2018
Quartus II 64-Bit Version	13.0.1 Build 232 06/12/2013 SP 1 SJ Web Edition
Revision Name	ULA
Top-level Entity Name	ULA
Family	Cyclone II
Device	EP2C70F896C6
Timing Models	Final
Total logic elements	828
Total combinational functions	828
Dedicated logic registers	0
Total registers	0
Total pins	102
Total virtual pins	0
Total memory bits	0
Embedded Multiplier 9-bit elements	0
Total PLLs	0

Inicialmente foram feitos testes com as mesmas entradas para todas as 15 operações, com os valores de Z mostrados em hexadecimal.

/ula_tb/A	00000003	00000003			
/ula_tb/B	00000002	00000002			
/ula_tb/opcode	1111	0000	0001	0010	0011
/ula_tb/Z	00000000	00000002	00000003	00000005	
/ula_tb/ovfl	0				
/ula_tb/zero	1				

0100	0101	0110	0111	1000	1001
00000001		00000000		FFFFFFFC	00000001

1010	1011	1100	1101	1110	1111					
00000010	00000000		0000001E	00000000						

Para as funções aritméticas, foram desenvolvidos testes extras para verificar os casos em que o resultado é negativo, com overflow e zero.

Abaixo a função ADD.

/ula_tb/A	80...	FFFFFFF					80000000		
/ula_tb/B	80...	FFFFFFF			00000001		80000000		
/ula_tb/opcode	0010	0010							
/ula_tb/ovfl	1								
/ula_tb/Z	00...	FFFFFFE			00000000				
/ula_tb/zero	1								

Abaixo função SUB.

/ula_tb/A	-No...	00000000			FFFFFFF		7FFFFFFF		
/ula_tb/B	-No...	00000001			FFFFFFF		80000000		
/ula_tb/opcode	-No...	0100							
/ula_tb/ovfl	-No...								
/ula_tb/Z	-No...	FFFFFFF			00000000		FFFFFFF		
/ula_tb/zero	-No...								

Conclusão

O desenvolvimento do projeto contribuiu muito para uma ambientação inicial as plataformas que serão usadas nos próximos projetos e também a linguagem VHDL. Também foram desenvolvidos os conceitos de processadores e seus ciclos de processamento.