

卒業論文

電力制約下における蓄電池を用いた 高性能計算システムの性能向上

03-120601 酒井 崇至

指導教員 中村 宏 教授

2014 年 2 月

東京大学工学部計数工学科システム情報工学コース

概要

近年、コンピュータの消費電力の増大が大きな問題となっており、コンピュータの性能の指標として単なる実行速度だけではなく、消費電力あたりの実行速度（電力対性能）が重要視されるようになってきている。特にスーパーコンピュータのような今日の高性能計算システムでは数メガワットもの電力を消費しており、物理的制約からこれ以上の電力供給力の向上は困難である。このような背景により、予め決められた消費電力の制約下での実行速度の最大化が、今後の高性能計算システムの性能向上の鍵となっている。

そこで、本論文では蓄電池を用いた高性能計算システムの性能を向上手法を提案する。現在の高性能計算システムには、停電時にもシステムへの電力供給を続けられるように UPS（無停電電源装置）が搭載されている。それを非停電時にも積極的に充放電を行い、アプリケーションの中の電力対性能が上がりにくい部分から上がりやすい部分へ時間方向に電力を融通することによって、電力制約下における性能を向上させることができる。今回はこの手法を CPU-GPU ハイブリッド構成の計算ノードを用いて 3 種類のベンチマークで性能評価実験を行い、この手法を用いない場合に比べて平均 $\sim 70\%$ の性能向上が実現できることを示し、その有用性を確認した。

目次

第 1 章	序論	1
第 2 章	研究の背景	3
2.1	DVFS	3
2.2	蓄電池を含む電力供給システム	4
2.3	データセンターにおける蓄電池を用いたピーク電力削減手法	4
第 3 章	蓄電池を用いた高速化手法	5
3.1	フェーズ間の電力融通手法の提案	5
3.2	フェーズの要件	5
3.3	フェーズの求め方	5
3.4	電力融通問題の定式化	5
3.5	電力融通問題の解法	5
第 4 章	実験	6
4.1	実験の目的	6
4.2	実験方法	6
4.3	結果	6
4.4	考察	6
第 5 章	結論	7
	謝辞	8
	参考文献	9
	付録 A	10

第 1 章

序論

現代社会においてコンピュータの担う役割はかつてないほど大きくなっており、我々の生活に欠くことのできない存在となっている。より高性能なコンピュータを作るべく、これまで多くの研究者がコンピュータ技術の発展に貢献し、Moore の法則 [1] の示す通りチップの集積度が指数関数的に増すと共にコンピュータの性能も向上し続けている。

近年、コンピュータの性能向上の妨げとなっている要因の一つが消費電力の増大である。一般に、高速な演算を行うためには大きな電力を消費しなければならず、数年前までは性能向上と共に消費電力も増加し続けてきた。ところがスーパーコンピュータなどの HPC 領域においては既に供給できる限界に近い電力を消費しており、物理的な電力供給能力によってコンピュータの性能が制限されている。そのため、与えられた電力制約の中でいかに処理能力を向上させるかが現在の大きな課題となっている。

この課題を解決するため、プロセッサやメモリの動作速度を動的に制御する技術が開発され、現在の多くのコンピュータに搭載されている。この技術は性能のクリティカルパス上になりモジュールの動作速度を落とすことにより、性能低下を防ぎつつ消費電力を下げるというものであり、この技術を HPC 領域に応用することによる、電力制約下での性能向上が期待されている。

また、現在のデータセンターやスーパーコンピュータなどの大規模高性能計算システムにおいては、BCM(事業継続マネジメント)の観点から、地震や火事などの災害による停電時にも継続してコンピュータを稼働させられるように自家発電設備や蓄電池が搭載されているケースが多くなってきた。ただ、現状ではそれらの設備はあくまで緊急時のための予備電源としてのみ見なされており、平常時には使用されていない。そのため、それらの新たな電力資源を有効活用して電力対性能を向上させることができると提案されている [2] が、まだこの可能性が示唆されてから日が浅く、未開拓の領域が多く残されている。

そこで本論文では、蓄電池が搭載された高性能計算システムにおいて非停電時にも積極的に蓄電池の充放電を行うことによって、電力制約下での性能向上手法を提案する。HPC 領域において蓄電池を用いた電力制約下における性能向上手法はいまだ提案されておらず、本稿において初めての試みである。

本手法では、Tapasya Patki らの研究 [3] の対象となっているような、厳しい電力制約のた

2 第1章 序論

めに全てのモジュールを常に最高動作速度で動作させることはできないようなシステムを対象とする。まずアプリケーションのテスト実行時のプロファイルデータからアプリケーションの電力対性能グラフの時間推移を予測する。そして消費電力を減らしても性能が下がりにくい部分を見つけて充電し、逆に消費電力を増やすと大きく性能が上がる部分で放電することにより、電力制約下における性能向上を目指す。

以降、2章では本論文に関する技術や研究を紹介し、3章では解くべき問題の定義と、提案手法の核となる論理を説明する。4章では3章での手法の有用性を確認するための実験方法について述べる。5章で実験結果を示し、6章でその結果について考察した後、7章で結論と今後の課題を述べる。

第 2 章

研究の背景

本章ではまず提案手法の核となる技術である DVFS、及び DVFS を用いた既存の電力削減手法について説明する。そして、対象とする蓄電池を含んだシステムの電力供給システムについて説明した後、蓄電池と DVFS の両方を用いた電力削減手法の関連研究を紹介する。

2.1 DVFS

2.1.1 DVFS とは

基本的に、プロセッサやメモリはある一定の周波数で動作するように設計されている。動作周波数が高いほど処理能力も高くなるが、同様に消費電力も大きくなる。かつてのプロセッサやメモリは設計時に決められた一つの動作周波数でしか処理を行うことはできなかったが、現在では一つのプロセッサやメモリが複数の動作周波数をサポートしており、演算中であっても瞬時に動作周波数を切り替えられるようになった。この技術を用いて動的に動作周波数を切り替えることによって、処理速度と消費電力を変化させる手法を DVFS(Dynamic Voltage and Frequency Scaling) と呼ぶ。

2.1.2 DVFS を用いたコンピュータの既存の省電力化手法

プログラム実行時、メモリやネットワークなどのプロセッサ以外のモジュールがボトルネックとなっているときには、プロセッサはビジー状態となり、処理を行わず電力だけを消費している時間の割合が高くなる。そのためこのような状況ではプロセッサ自体の処理能力を落としてもシステム全体の処理能力はあまり下がらないため、プロセッサを低い動作周波数に切り替えることで性能低下を防ぎつつ省電力化を行ってきた。

同様に、メモリがボトルネックとなっていない状態ではメモリの動作周波数を落とすことで電力を削減することができる [4]。

また、近年では複数のプロセッサを搭載したマルチプロセッサシステムが増えてきた。マルチプロセッサシステムは複数のプロセッサで並列に処理を行うことで高速化をはかっている。しかし、ひとつずつ順番に処理を行うことが必要なプログラムではひとつのプロセッサのみが

処理を行っており、その他のプロセッサはほとんど処理を行っておらず、無駄な消費電力が発生していた。そのような状況では、処理を行っているひとつのプロセッサのみを高い周波数で動作させ、その他のプロセッサの動作周波数を落とすことで消費電力を削減している。

2.1.3 プロセッサとメモリの DVFS と組み合わせた電力削減の関連研究

一般に、プログラム実行時はプロセッサかメモリのどちらかの処理能力がシステム全体のボトルネックとなっていることが多く、このときボトルネックとなっていないモジュールでは処理能力が必要以上に高い状態となっており、電力が無駄に消費されている。そのため、それぞれのモジュール間での処理能力の差をなくすことが、無駄な電力消費を減らす上で重要である。

この問題を解決するため、プロセッサとメモリの DVFS を同時に用いることによって、それぞれの DVFS を別々に行う場合よりもさらに電力対性能の向上を目指した手法が存在する [5]。この手法では、一定時間おきにプロセッサとメモリの処理能力の両方を監視して、一方のモジュールの処理能力が足りないときにはそのモジュールに電力を融通することによって処理能力の偏りをなくし、与えられた性能制約を満たしつつ省電力化を行っている。

2.2 蓄電池を含む電力供給システム

2.3 データセンターにおける蓄電池を用いたピーク電力削減手法

Power Capping の先行研究 [6].

第 3 章

蓄電池を用いた高速化手法

- 3.1 フェーズ間の電力融通手法の提案
- 3.2 フェーズの要件
- 3.3 フェーズの求め方
- 3.4 電力融通問題の定式化
- 3.5 電力融通問題の解法

第 4 章

実験

4.1 実験の目的

4.2 実験方法

4.3 結果

4.4 考察

第 5 章

結論

謝辭

参考文献

- [1] Gordon E. Moore. Cramming more components onto integrated circuits. *Electronics*, pages 114–117, April 1965.
- [2] Sriram Govindan, Anand Sivasubramaniam, and Bhuvan Urgaonkar. Benefits and limitations of tapping into stored energy for datacenters. *SIGARCH Comput. Archit. News*, 39(3):341–352, June 2011.
- [3] Tapasya Patki, David K. Lowenthal, Barry Rountree, Martin Schulz, and Bronis R. de Supinski. Exploring hardware overprovisioning in power-constrained, high performance computing. In *Proceedings of the 27th International ACM Conference on International Conference on Supercomputing, ICS '13*, pages 173–182, New York, NY, USA, 2013. ACM.
- [4] Howard David, Chris Fallin, Eugene Gorbatoov, Ulf R. Hanebutte, and Onur Mutlu. Memory power management via dynamic voltage/frequency scaling. In *Proceedings of the 8th ACM International Conference on Autonomic Computing, ICAC '11*, pages 31–40, New York, NY, USA, 2011. ACM.
- [5] Qingyuan Deng, D. Meisner, A. Bhattacharjee, T.F. Wenisch, and R. Bianchini. Coscale: Coordinating cpu and memory system dvfs in server systems. In *Microarchitecture (MICRO), 2012 45th Annual IEEE/ACM International Symposium on*, pages 143–154, 2012.
- [6] Xiaobo Fan, Wolf-Dietrich Weber, and Luiz Andre Barroso. Power provisioning for a warehouse-sized computer. *SIGARCH Comput. Archit. News*, 35(2):13–23, June 2007.

付録 A