# Rapport TP HAE703E

# PLL-Boucle à verrouillage de phase

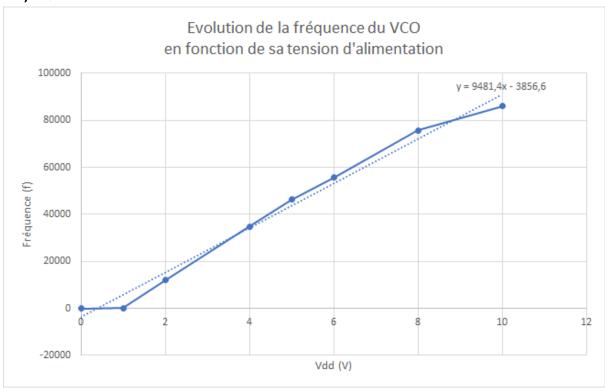
1) Etude du VCO	2
1) Q1	2
2) Q2	2
2) Plage de verrouillage	3
1) Q3	3
2) Q4	3
3) Q5	3
4) Q6	4
5) Q7	4
3) Plage de capture	4
1) Q8	4
2) Q9	4
3) Q10	5
4) Q11	6
5) Q12	7
4) Modèle linéaire de la boucle verrouillée	8
1) Q13	8
2) Q14	8
3) 015	9

# 1) Etude du VCO

### 1) Q1

On a : 
$$R_1 = 23k\Omega$$
;  $C_1 = 10nF$ ;  $f_0 = 45kHz$  
$$f_s = f_0 + K \times V_{CC} \text{ et on a } f_0 = f_s \text{ pour } \frac{V_{DD}}{2} \text{ donc : } K = \frac{f_0}{V_{DD}/2} = \frac{45e^3}{5} = 9 \text{ kHz/V}.$$

### 2) Q2



Caractéristique réelle : f = 9481.4x - 3856.6.



## 2) Plage de verrouillage

#### 1) Q3

La tension d'entrée du VCO est 5V. On retrouve cette tension pour un déphasage égal à 90°.

#### 2) Q4

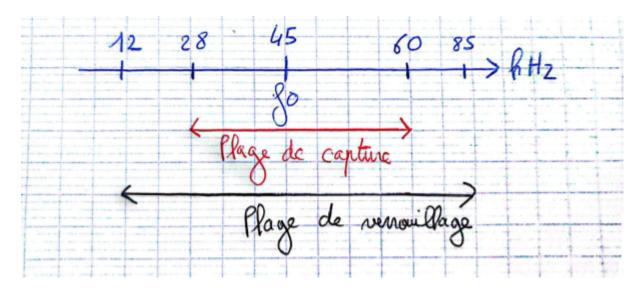
On peut observer un déphasage de -90°.

#### 3) Q5

Fréquence du signal de sortie: f=45kHz.

Le déphasage du signal de sortie par rapport au signal d'entrée est de -90° (pour f0 centrale)

Fréquence (kHz)	Phase(en degrés)
45	-90°
50	-100°
60	-118,5°
70	-137,2°
80	-156°



#### 4) Q6

La PLL n'est plus verrouillée pour une fréquence supérieure à 85 kHz et inférieure à 12 kHz (décrochage).

$$2F_L = 85 - 12 = 73 \text{ kHz}.$$

#### 5) Q7

Théoriquement, la fréquence de verrouillage théorique se détermine à l'aide du VCO : on prend la fréquence pour  $V_{\it DD}$  max et min.

$$2F_L = V_{DD max} - V_{DD min} = 83 - 0 = 83 kHz.$$

Pour la plage de verrouillage  $(2F_L)$ , on a une différence de fréquence entre la théorie et la pratique de 10 kHz.

## 3) Plage de capture

#### 1) Q8

Pour la plage de capture, en diminuant progressivement nous observons un verrouillage pour f=60kHz.

#### 2) Q9

Théorie:

$$2f_C = \frac{1}{\pi} \sqrt{\frac{2\pi f_L}{R_3 C_2}} = \frac{1}{\pi} \sqrt{\frac{\pi \times 73e^3}{10e^3 \times 4.7e^{-9}}} = 22.2 \text{ kHz}$$

Pratique:

$$2f_c = 60 - 28 = 32 \, kHz$$

Encore une fois, on relève une différence de 10 kHz entre la fréquence de capture théorique et pratique.

3) Q10
Réglages:
Frequency=4kHz; Amplitude=10Vpp; Offset=5Vcc

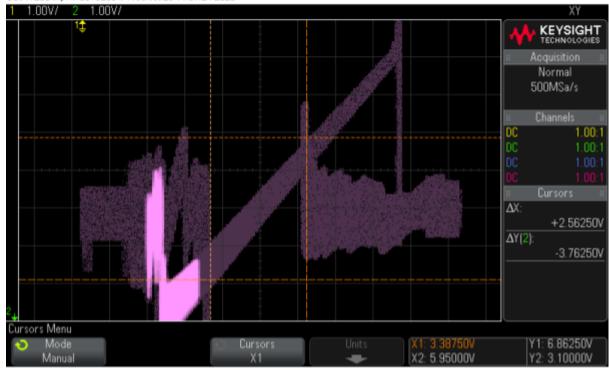


Le signal jaune est utilisé pour générer un signal qui varie en fréquence à l'aide d'un VCO. Cette allure de courbe permet de générer un signal en sortie de VCO qui va varier en fréquence car son Vcc oscille en tension de 0 à 10V.

Le signal vert, quant à lui, représente la sortie de la PLL : on peut clairement voir les captures et décrochages de la PLL.

#### 4) Q11

DS0-X 2004A, MY58102654: Wed 0ct 25 11:37:24 2023



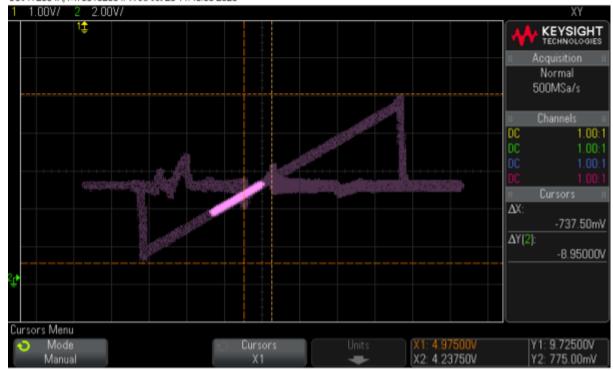
Plage de capture



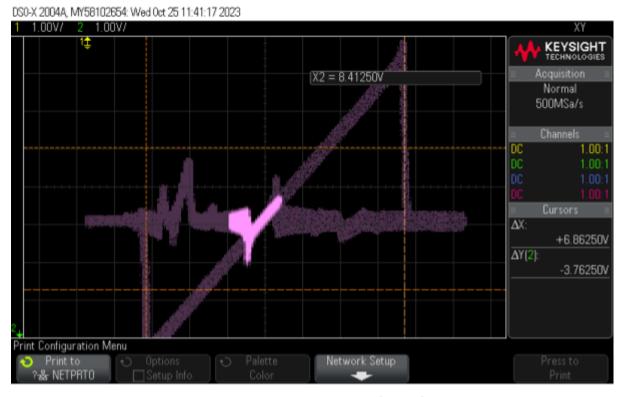
Plage de verrouillage

#### 5) Q12

DS0-X 2004A, MY58102654: Wed 0ct 25 11:45:06 2023



Plage de capture (0,74V)



Plage de verrouillage (6,9V)

#### En pratique:

Coefficient directeur de la droite=9481 Plage de capture=9481\*0,737=**7 kHz** Plage de verrouillage=9481\*6,9=**65,419 kHz** 

### Comparaison avec les valeurs théoriques (constructeur):

$$\begin{split} 2f_C &= \frac{1}{\pi} \sqrt{\frac{2\pi f_L}{R_3 C_3}} = \frac{1}{\pi} \sqrt{\frac{\pi \times 83e^3}{10e^3 \times 47e^{-9}}} = 7,5 \ kHz \\ 2f_L &= 2F_L = V_{DD \ max} - V_{DD \ min} = 83 - 0 = 83 \ kHz. \end{split}$$

On relève une différence d'environ 13 kHz entre la plage de verrouillage (2fL) théorique et pratique.