

ModelSim Simulation in Project Base Approach

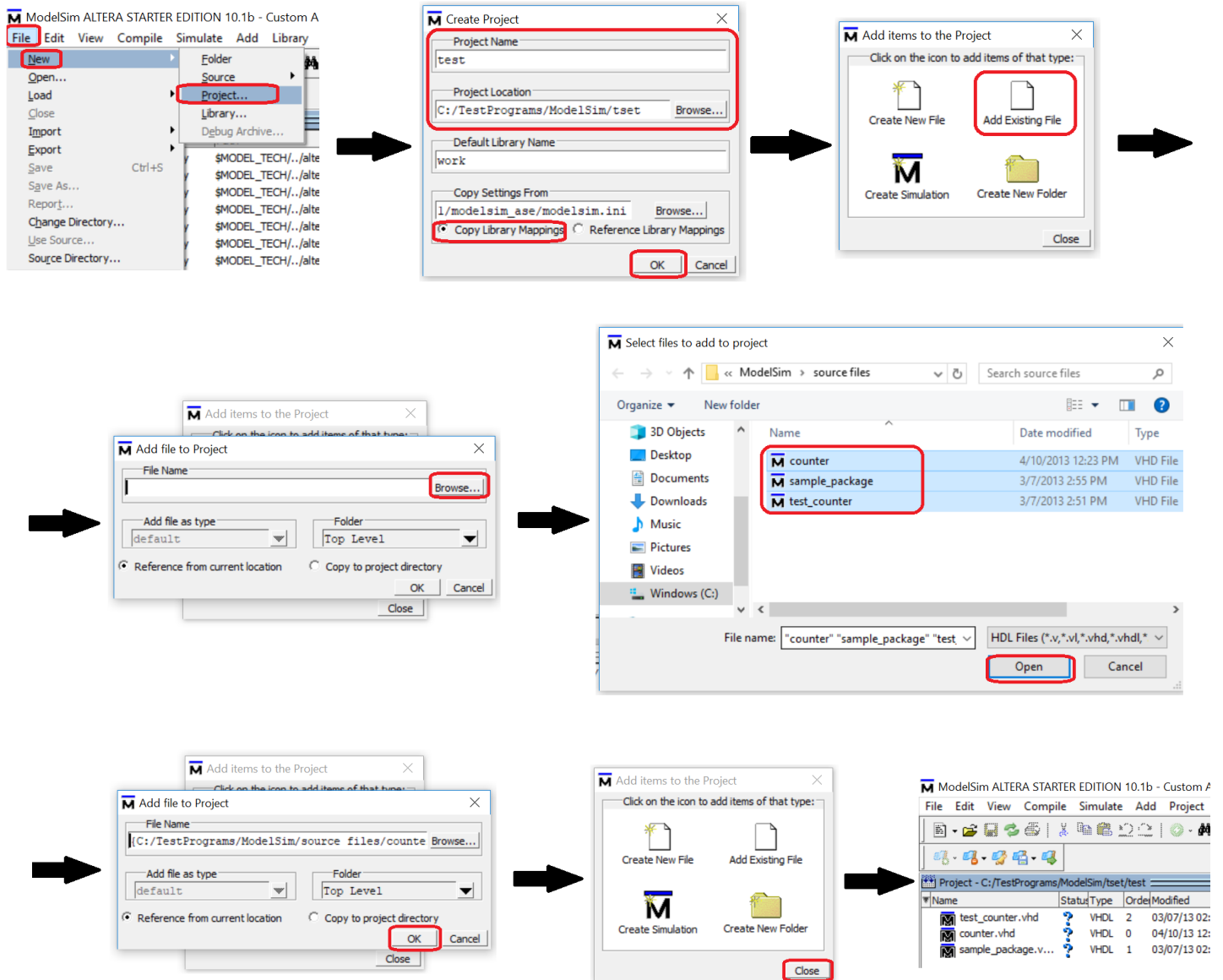
Contents

A. Create a New Project:	2
1) Step 1 – create a new project and add VHDL files:	2
2) Step 2 – compilation order and project compilation:	2
3) Step 3 – project’s signals selection:	3
I. Option 1:	3
II. Option 2:	3
4) Step 4 – project simulation using “test bench” envelop:.....	4
5) Step 5 – signals showing:	4
B. Changing the VHDL source files of the project:.....	5
C. Open an existing project:	6

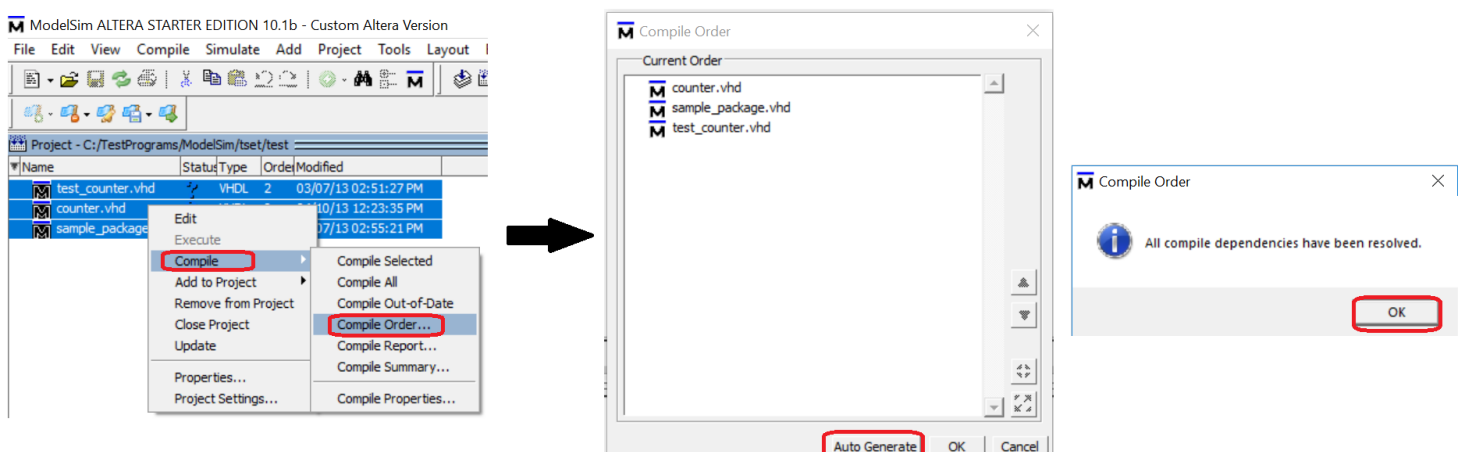
A. Create a New Project:

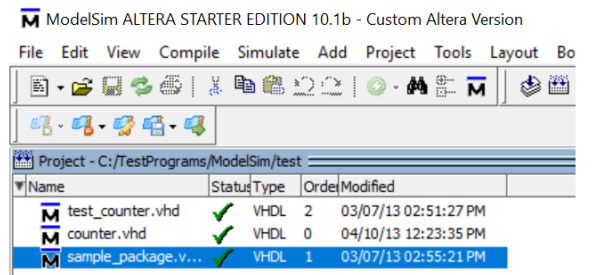
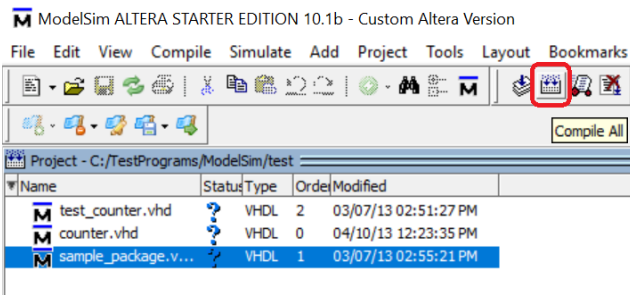
1) Step 1 – create a new project and add VHDL files:

First – download ModelSim: [ModelSim 10.1b](#)



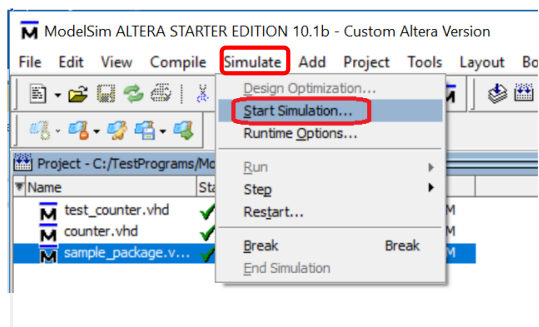
2) Step 2 – compilation order and project compilation:



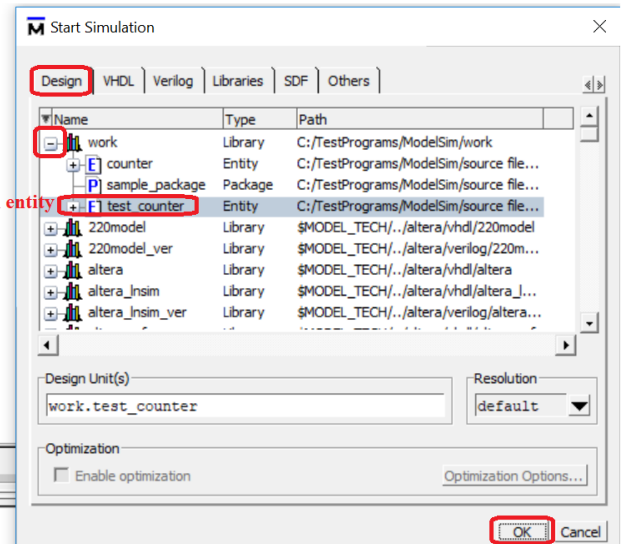


3) Step 3 – project's signals selection:

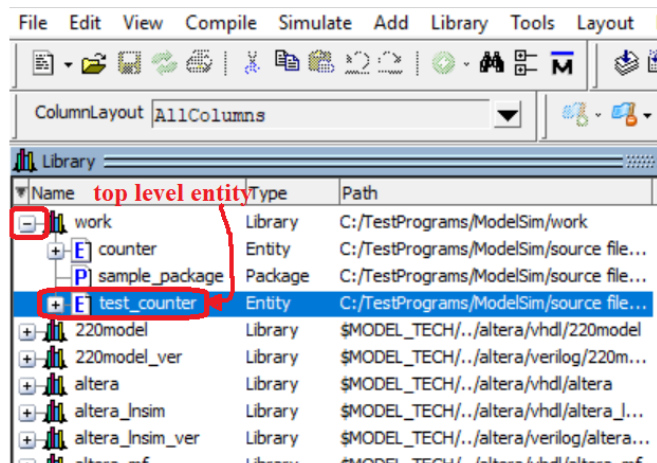
I. Option 1:



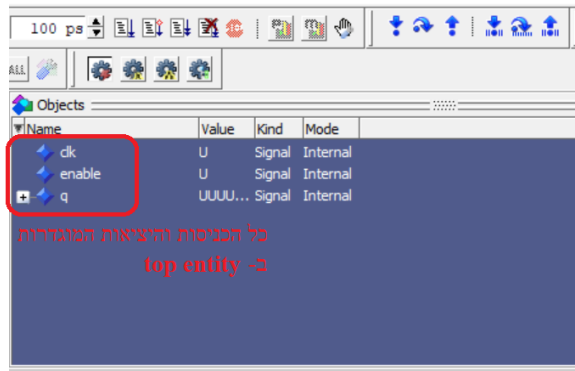
top level entity



II. Option 2:

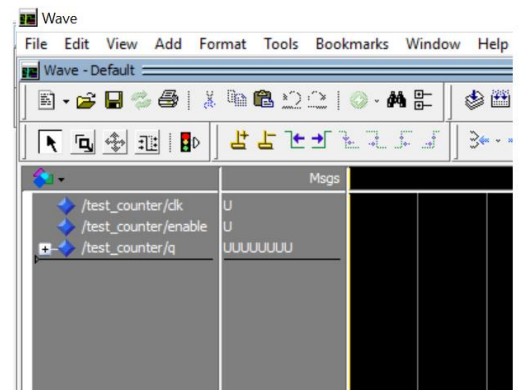
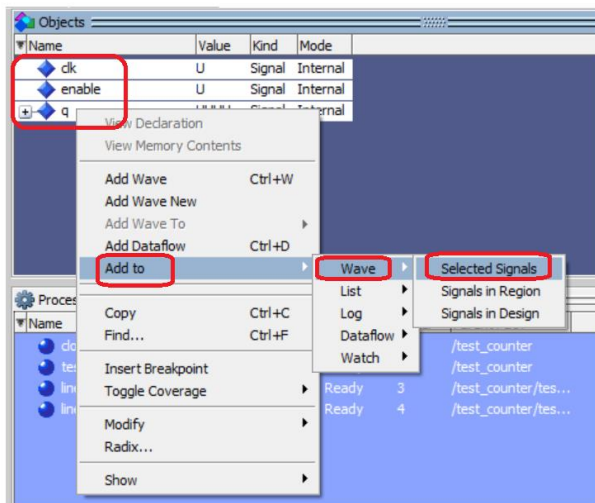
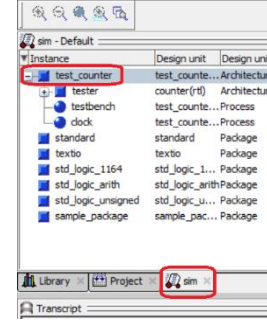


4) Step 4 – project simulation using “test bench” envelop:

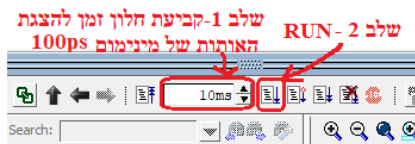


כל המכשירים והמגדירות
ב- top entity

שתי אפשרויות במידה ולא נפתח חלון Objects:
א. ניגש ללשונית sim, נסמן את השורה הראשונה
(עם שם ה- test bench). בלחצן ימני נבחר
. Add Wave
ב. View -> Objects

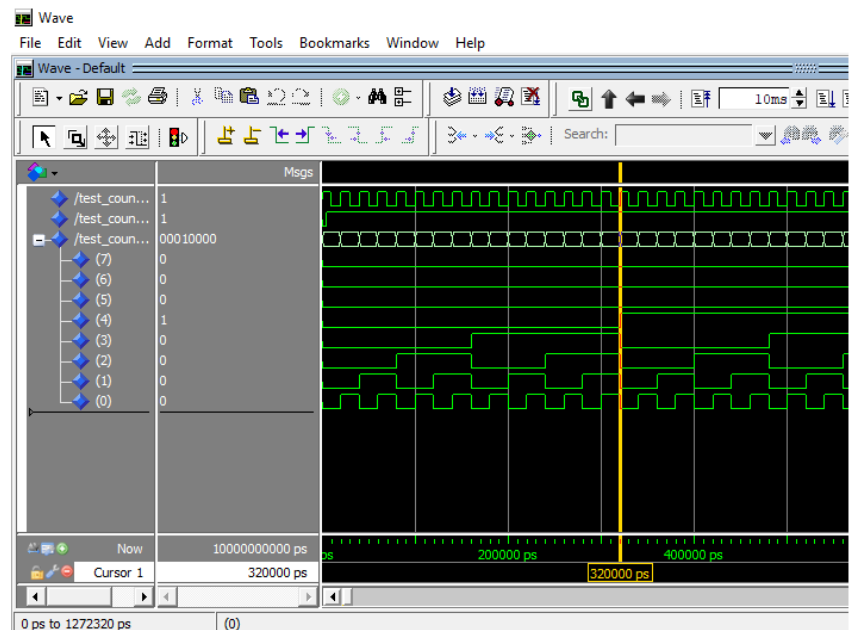


5) Step 5 – signals showing:

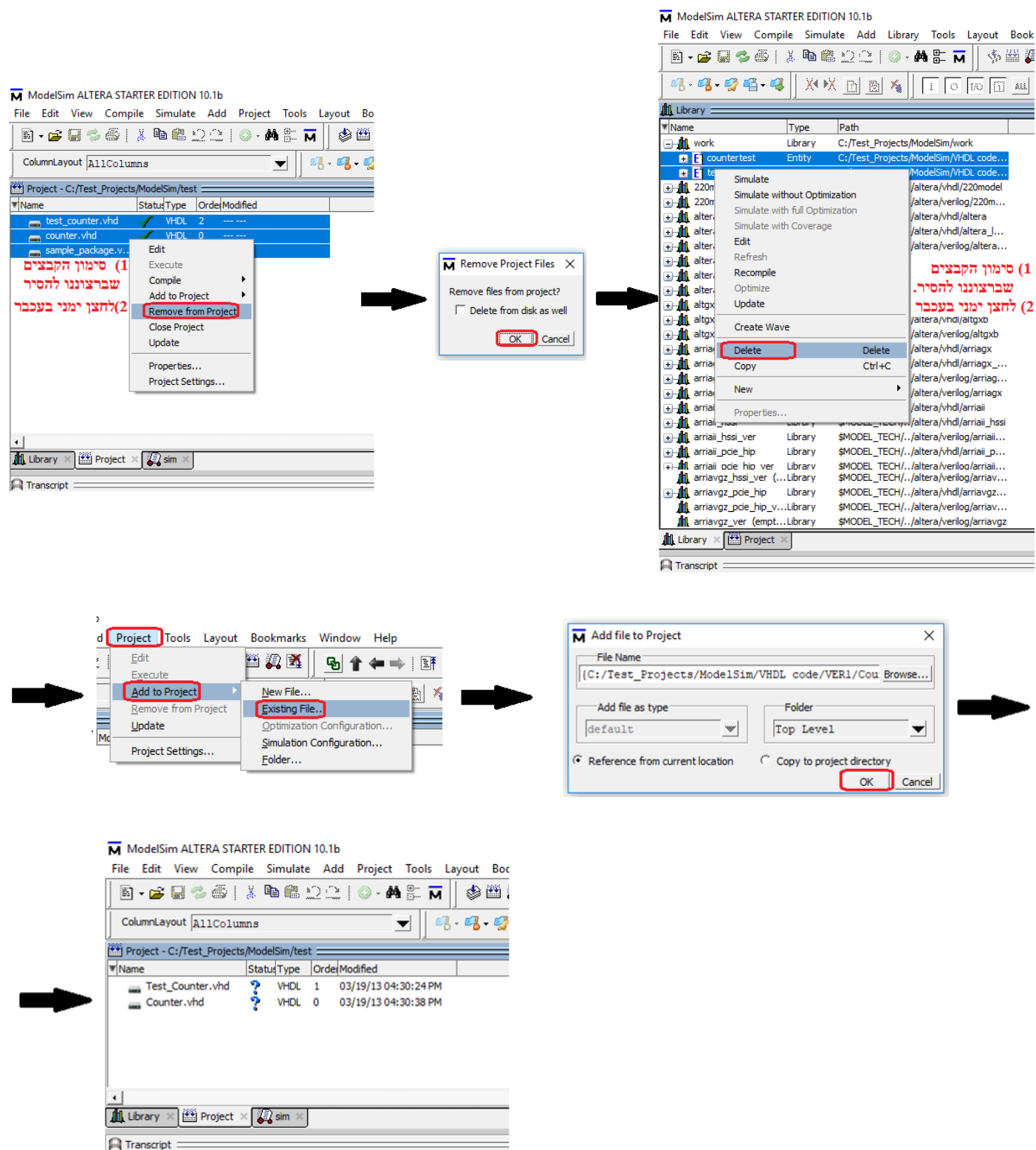


שלב 1- קביעת חלון זמן להצגת
האקטות של מניימיום 100ps

שלב 2- RUN



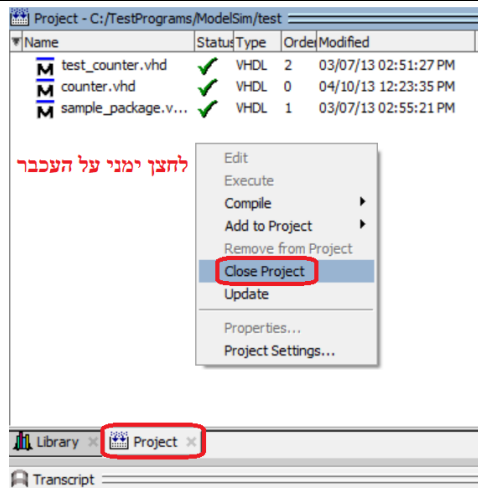
B. Changing the VHDL source files of the project:



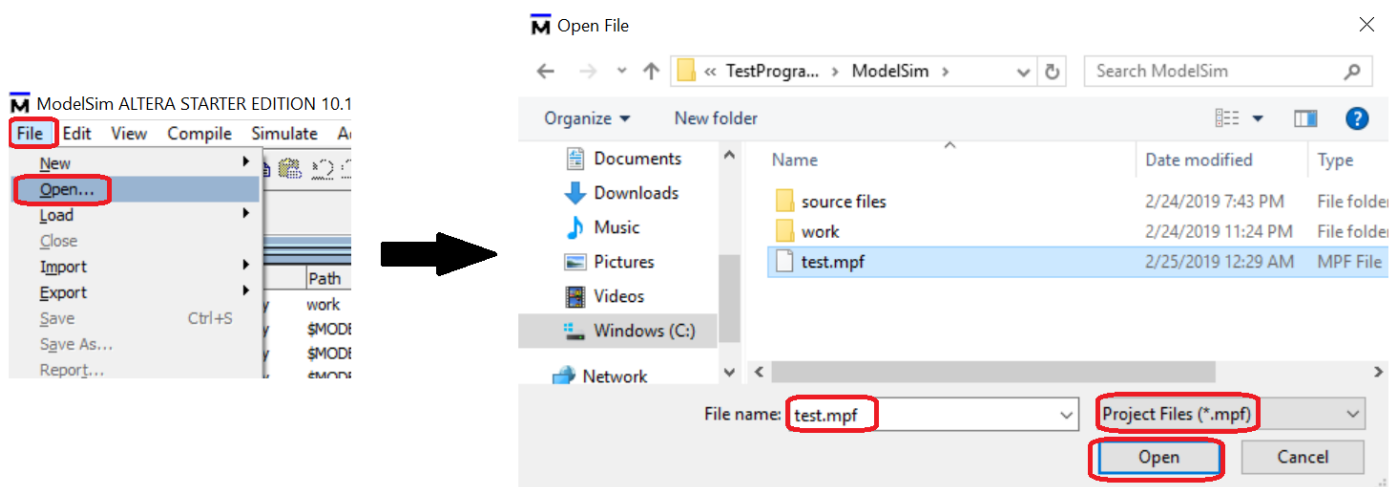
להמשך, יש לבצע את השלבים משלב 2 ואילך (כמתואר לעיל).

C. Open an existing project:

(1) סוגרים בסביבת הפיתוח את הפרויקט הנוכחי (במידה ופתוח, אם לא עבור לסעיף 2):



(2) נפתח את הפרויקט הקיים:



(3) נוודא שתיקיית work התעדכנה עבור הפרויקט החדש (ניתן לבצע קמפול נוסף בחלון Project ולאחר מכן סימולציה).