**Memorias**

Aramallo Guantay, Elian Leandro  
Ingeniería Electrónica  
e-mail: aramallog.elian@gmail.com

**RESUMEN:** Para este informe se realizó una exhaustiva investigación sobre la arquitectura de los procesadores. Se detallan la forma de almacenamiento de los diferentes tipos memorias semiconductoras, volátiles y no volátiles así como también las aplicaciones de estas como conjuntos de registros y memorias caché. Luego se procedió a recabar información acerca de distintos tipos de circuitos lógicos programables, como ser PLA, GAL y FPGA. De este último, se detalla principalmente el modelo iCE40 de la empresa Lattice. En paralelo con la investigación, se realizó en lenguaje VHDL la simulación de un registro y 2 tipos de memoria RAM, por separado.

**1 INTRODUCCIÓN**

Usando la bibliografía recomendada por la cátedra de Electrónica II para ingeniería electrónica, se realizó un resumen acerca de los diferentes de tipos de memorias de tecnología semiconductora y sus aplicaciones en las tecnologías actuales, como la memoria SSD. También realizó la búsqueda del datasheet y el manejo de diferentes circuitos programables, el PLA (Programmable Logic Array), el GAL (Generic Array Logic) y, el que se usará posteriormente, el FPGA (Fiel Programmable Gate Array) modelo iCE40 del fabricante Lattice Semiconductor. Por último, se describirá y evaluará en simulación tres memorias:

* Memoria RAM 512x8 bit con dos puertos sincrónicos, uno de lectura y uno de escritura.
* Memoria RAM de dos puertos de 256x32 bit donde el puerto de escritura permite de media palabra (16 bit) y byte (8 bit).
* Conjunto de registros de 32x32 bit de tres puertos, dos de lectura y uno de escritura.

**2 CONCEPTOS**

**2.1 ARREGLOS DE MEMORIA**

Los registros hechos a partir de flip-flops son una especie de memoria que almacena una pequeña cantidad de información. Los sistemas digitales suelen requerir memorias para almacenar la información que usan o generan en sus circuitos. Para tal fin, se han diseñado arreglos de memoria que pueden manejar grandes cantidades de información.

Estas memorias están organizadas como un arreglo bidimensional de celdas de memoria. La memoria lee o escribe el contenido de una de las filas del arreglo. Esta fila se especifica mediante una dirección. El valor leído o escrito se llama datos. Un arreglo con direcciones de N bits y datos de M bits tiene 2N filas y M columnas. Cada fila de datos se llama una palabra. Por lo tanto, el arreglo contiene 2N palabras de M bits. (Harris and Harris, (2019), pp. 265)

La profundidad de una matriz es el número de filas, y el ancho es el número de columnas, también llamado tamaño de palabra. El tamaño de una matriz se expresa como profundidad x ancho (*depth* x *width*).

Esquemático

Descripción generada automáticamente con confianza media

Figura Símbolo de un arreglo   
de memoria genérico  
(Harris and Harris, (2019), pp. 265)

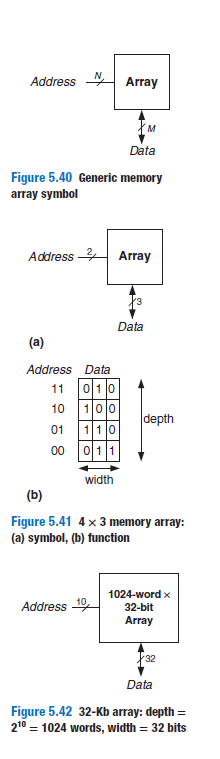


Figura Arreglo de memoria 4x3:  
(a) símbolo (b)función   
(Harris and Harris, (2019), pp. 265)

Esquemático

Descripción generada automáticamente con confianza media

Figura Arreglo de 32kB: profundidad=210=1024 palabras, ancho=32 bits  
(Harris and Harris, (2019), pp. 265)

Se detallarán tres tipos de arreglos de memoria: Memoria de Acceso Aleatorio Dinámica (DRAM), Memoria de acceso aleatorio estática (SRAM) y Memoria de solo lectura (ROM). Cada tipo de memoria difiere en la forma en que almacena los datos.

**2.1.1 ROM DE MÁSCARA**

La memoria ROM (Read Only Memory) es una unidad de almacenamiento de información no volátil que se caracteriza por ser de solo lectura, es decir, que no se puede modificar su contenido. Los datos que contiene se pre-graban durante la fabricación y se almacenan de forma permanente en un chip.

La ROM con máscara consistía en una cuadrícula de líneas formadas por una palabra y líneas formadas por un bit seleccionadas respectivamente a partir de cambios en el transistor. De esta manera podían representar una tabla de consultas arbitraria y un retardo de propagación deductible.

En las ROM con máscara los datos están físicamente codificados en el mismo circuito, así que solo se pueden programar durante la fabricación. (Harris and Harris, (2019), pp. 269-270)

Gráfico, Diagrama

Descripción generada automáticamente

Figura ROM 4x3: notación de punto (Harris and Harris, (2019), pp. 270)

**2.1.2 PROM**

Una memoria ROM programable (PROM) coloca un transistor en cada celda de bits, pero ofrece una forma de conectar o desconectar el transistor a GND. La Figura 5.53 muestra la celda de bits para una ROM programable mediante fusibles.

El usuario programa la ROM aplicando un voltaje alto para fundir selectivamente los fusibles. Si el fusible está presente, el transistor se conecta a tierra (GND) y la celda almacena un 0. Si el fusible se destruye, el transistor queda desconectado de tierra y la celda almacena un 1. Esto también se conoce como una ROM programable de una sola vez, ya que el fusible no se puede reparar una vez fundido.

Diagrama, Esquemático

Descripción generada automáticamente

Figura Celda de una PROM con fusibles (Harris and Harris, (2019), pp. 271)

**2.1.3 EEPROM**

Las PROM borrables (EPROM, *Erasable Programmable Read Only Memory*) reemplazan el transistor NMOS y el fusible con un transistor de puerta flotante. La puerta flotante no está físicamente conectada a ningún otro cable. Cuando se aplican voltajes altos adecuados, los electrones atraviesan un aislante y se depositan en la puerta flotante, activando el transistor y conectando la línea de bits a la línea de palabra (salida del decodificador).

Cuando la EPROM se expone a luz ultravioleta (UV) intensa durante aproximadamente media hora, los electrones son eliminados de la puerta flotante, desactivando el transistor. Estas acciones se denominan programación y borrado, respectivamente.

Las PROM borrables eléctricamente (EEPROM, *Electrical Erasable Programmable Read Only Memory*) y la memoria Flash utilizan principios similares, pero incluyen circuitos en el chip para borrar y programar, eliminando la necesidad de luz UV. (Harris and Harris, (2019), pp. 271)

**2.1.4 FLASH**

Las celdas de bits de EEPROM son borrables individualmente; en cambio, la memoria Flash borra bloques más grandes de bits, lo que la hace más económica, ya que requiere menos circuitos de borrado. Múltiples memorias Flash a menudo se integran en un único módulo del tamaño de una tarjeta de crédito para aplicaciones que requieren grandes cantidades de almacenamiento no volátil. La aplicación más común de estos módulos es en cámaras digitales, donde almacenar una sola imagen de alta resolución sin comprimir puede requerir 10 MB o más de almacenamiento. (Wakerly, (2006), pp. 812)

En 2021, la memoria Flash tenía un costo aproximado de $0.10 por GB, y su precio continúa bajando entre un 30% y un 40% por año. La memoria Flash se ha convertido en una forma extremadamente popular de almacenar grandes cantidades de datos en sistemas portátiles alimentados por baterías, como cámaras y reproductores de música. (Harris and Harris, (2019), pp. 271)

**2.1.5 DRAM**

La memoria DRAM *(Dinamic Random Access Memory)* almacena datos en función de la presencia o ausencia de carga de un capacitor. En la figura se muestra una celda de un bit de una DRAM. El valor del bit está almacenado en el capacitor. El transistor NMOS funciona como un interruptor que conecta o desconecta el capacitor de la línea de bits. Cuando se activa la línea de palabra, el transistor NMOS se enciende y el valor del bit almacenado se transfiere hacia o desde la línea de bits.

Cuando el capacitor se carga a VDD, el bit almacenado es 1; cuando se descarga a GND, el bit almacenado es 0. El nodo del capacitor es dinámico porque no es impulsado activamente a un estado ALTO o BAJO por un transistor conectado a VDD o GND.

Durante una lectura, los valores de datos se transfieren del capacitor a la línea de bits. Durante una escritura, los valores de datos se transfieren de la línea de bits al capacitor. La lectura destruye el valor del bit almacenado en el capacitor, por lo que la palabra de datos debe ser restaurada (reescrita) después de cada lectura. Incluso cuando la DRAM no se lee, su contenido debe refrescarse (leer y reescribir) cada poco milisegundo, ya que la carga en el capacitor se filtra gradualmente. (Harris and Harris, (2019), pp. 267-268)

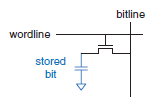


Figura Celda DRAM  
 (Harris and Harris, (2019), pp. 267)

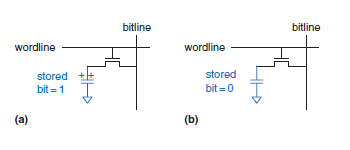


Figura Valores de almacenamiento en una celda DRAM  
(Harris and Harris, (2019), pp. 268)

**2.1.6 SRAM**

La SRAM es estática porque los bits almacenados no necesitan ser refrescados. La Figura muestra una celda de bit de SRAM. El bit de datos se almacena en inversores acoplados de forma cruzada. Cada celda tiene dos salidas: línea de bits y línea de bits inversa. Cuando la línea de palabra se activa, ambos transistores NMOS se encienden y los valores de datos se transfieren hacia o desde las líneas de bits. A diferencia de la DRAM, si el ruido degrada el valor del bit almacenado, los inversores acoplados de forma cruzada restauran el valor. (Harris and Harris, (2019), pp. 268)

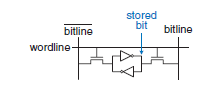


Figura Celda SRAM  
(Harris and Harris, (2019), pp. 268)

**2.2 APLICACIONES**

**2.2.1 CONJUNTO DE REGISTROS**

Los sistemas digitales a menudo utilizan varios registros para almacenar variables temporales. Este conjunto de registros, llamado banco de registros, generalmente se construye como una pequeña matriz SRAM con múltiples puertos, ya que es más compacta que una matriz de flip-flops. En algunos bancos de registros, una entrada particular, como el registro 0, está cableada para que siempre lea el valor 0, dado que 0 es una constante de uso común. (Harris and Harris, (2019), pp. 269)

**2.2.2 MEMORIA CHACHÉ**

Una memoria caché es un tipo de memoria de alta velocidad diseñada para almacenar temporalmente datos e instrucciones que la CPU utiliza con frecuencia, reduciendo el tiempo de acceso a la memoria principal (RAM) y mejorando el rendimiento general del sistema. Actúa como un búfer entre la CPU y la memoria principal, optimizando el acceso a los datos mediante la reutilización de información ya cargada.

**2.2.3 MEMORIA PRINCIPAL**

Es la memoria volátil utilizada por el sistema para almacenar temporalmente los datos y programas que la CPU necesita mientras se ejecutan. Por ejemplo, la memoria RAM.

**2.2.4 MEMORIA DE ALMACENAMIENTO**

Es la memoria no volátil utilizada para almacenar de manera permanente los datos y programas, incluso cuando el sistema está apagado. Por ejemplo, un disco de estado sólido (SSD) o un disco duro (HDD).

**2.3 CIRCUITOS LÓGICOS PROGRAMABLES**

**2.3.1 PROGRAMMABLE LOGIC ARRAY (PLA)**

Un PLA (Programmable Logic Array) o Matriz de Lógica Programable es un dispositivo digital programable que permite implementar funciones lógicas combinacionales. Es un tipo de circuito integrado que ofrece flexibilidad en el diseño lógico, ya que se puede programar para realizar diversas combinaciones de funciones booleanas.

**2.3.2 GENERIC ARRAY LOGIC (GAL)**

Un GAL (Generic Array Logic) o Matriz Lógica Genérica es un dispositivo digital reprogramable utilizado para implementar funciones lógicas combinacionales y secuenciales. Es un tipo de dispositivo lógico programable (PLD) que mejora las limitaciones de los dispositivos anteriores, como los PAL (Programmable Array Logic), al permitir reprogramaciones múltiples.

**2.3.3 FIELD PROGRAMMABLE GATE ARRAY (FPGA)**

Un FPGA (Field-Programmable Gate Array) o Matriz de Puertas Programables en Campo es un tipo de circuito integrado que permite a los diseñadores implementar funciones digitales personalizadas. A diferencia de dispositivos con lógica fija, como los ASIC (Circuitos Integrados de Aplicación Específica), los FPGAs son completamente reconfigurables, lo que los hace muy versátiles y útiles para una amplia gama de aplicaciones.

**2.4 FAMILIA FPGA iCE40**

**2.4.1 BLOQUES DE MEMORIA**

**3 MATERIALES Y MÉTODOS**

**4 RESULTADOS Y DISCUSIÓN**

**4.1 RAM 512x8**

En el archivo ram\_512x8 se encuentran las líneas de código de una RAM de 512x8 bits con un puerto de escritura y un puerto de lectura, y en el archivo sim\_ram\_512x8.vhd se encuentra la programación del banco de trabajo para la prueba del componente en cuestión.

**4.2 RAM 256x32**

**4.3 REGISTRO 32x32**

**5 CONCLUSIONES**

**6 REFERENCIAS**

Harris, S. and Harris D. (2019). *Digital Design and Computer Architecture, RISC-V Edition.* Editorial Morgan Kaufmann.

John F. Wakerly. (2006). *Digital Design: Principles and Practices*. Prentice Hall.