

Revision 1.1

Änderungsliste Schaltplan:

- Aufteilung der Anschlussklemmen auf zwei Terminalblöcke je Platinenseite aufgrund von Trennstegen im Hutschienengehäuse.
(J1 -> J1, J2; J2 -> J6, J7)
- Zusätzliche Schottkydioden BAT54S an den Analogeingängen für CP und CT0-CT2 zum Schutz der uC-Pins vor Spannungsspitzen (D8 - D11)
- Veränderte Pin-Belegung und Footprint für J4 und J5:
J5 mit zusätzlichem ESP GPIO 15 auf Pin 7 als Programmierschnittstelle
J4 jetzt einreihig als serielle Schnittstelle, nur im Bedarfsfall bestückt
- Angepasste Pinbelegung auf J6 und J7: 12V von J2, Pin 3 -> J6, Pin 6
- Angepasste Pinbelegung auf J1 und J2: Separate Klemme für N für jedes Schütz
- Strombegrenzung an 12V-Schiene bei U8: 4x 100 Ohm parallel -> 25 Ohm statt zuvor 50 Ohm
- C16 ist ein polarisierter Tantal-Kondensator: Symbol entsprechend angepasst
- Taster-Eingangsbeschaltung angepasst: R24 100 Ohm -> 1k Ohm, redundante Zener-Diode und Spannungsteiler entfernt (D8, R34)

Änderungsliste Leiterplattenlayout:

- Footprints für J3, J4 und J5 angepasst mit Beschriftung
- Footprint für IRM-10-12-Netzteil korrigiert
- ESP32 SoC auf Rückseite der Platine verlegt
- Zusätzliche Bauelemente aus Schaltplan eingefügt

Sheet: Mains and Power Circuitry

Mains Input Connector
Contactor Relays
12V Power Supply
3.3V DC Converter
-12V Voltage Inverter

SSR_L1
SSR_L2
SSR_L3

File: mains_and_power.sch

Sheet: ATmega4808 and Peripherals

ATmega4808
ESP32
RS485 Transceiver
Lock Actuator
Temperature Sensor

SSR_L1
SSR_L2
SSR_L3

File: atmega4808_and_peripherals.sch

Sheet: Analog Section and Low Voltage Outputs

Analog Section
- Opamp Buffer
- Comparator
Low Voltage I/O Connector
Signal Relays

RS485_A
RS485_B
Lock_B
Lock_RD
Lock_WD
LEDD
Button
PP
CP
PWM_Out
Signal_Relay
CT0
CT1
CT2

File: analog_section_low_voltage.sch



Sheet: /
File: atmevse.sch

Title: FGCCS-Ctrl22

Size: A4 Date: 2020-08-27

KiCad E.D.A. eeschema (5.1.5)-3

Rev: 1.1

Id: 1/4





