



Ingeniería Informática  
Tecnología de Computadores. 2ª prueba parcial  
Grupo 83. Mayo de 2006

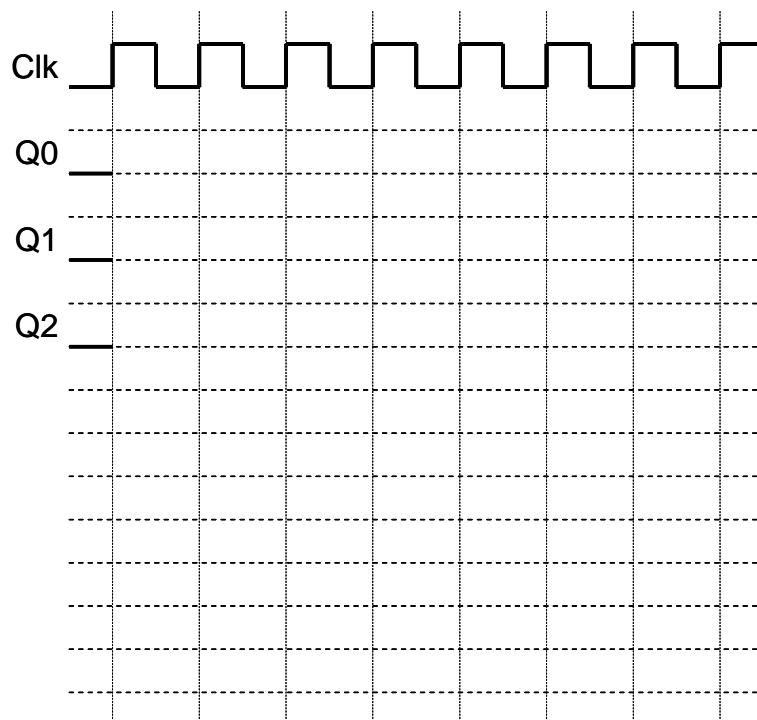
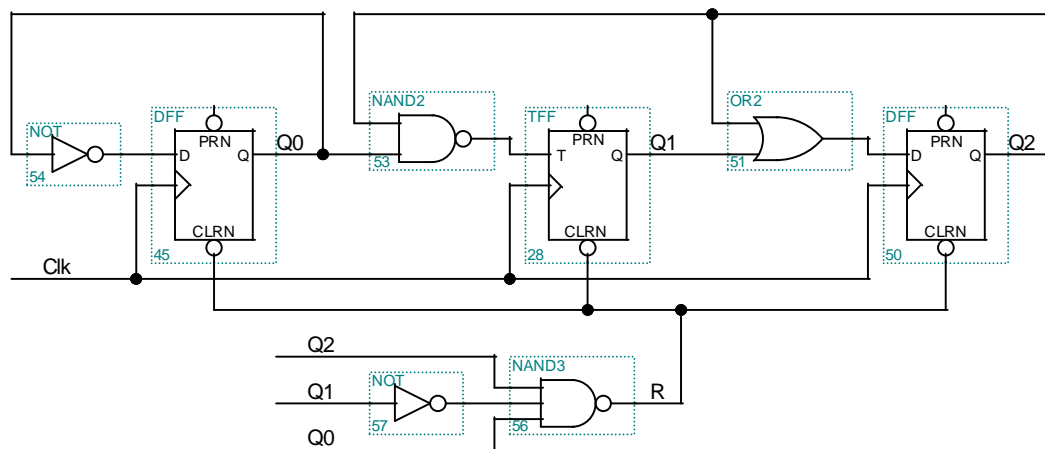
Nombre: \_\_\_\_\_

Grupo: \_\_\_\_\_

Apellidos: \_\_\_\_\_

### Cuestión 1.- (0,75 puntos)

Dado el circuito de la figura, rellenar el cronograma adjunto utilizando las variables intermedias que sean precisas. Suponer que los biestables son activos por flanco de subida y que su valor inicial es 0.





## Cuestión 2.- (0,75 puntos)

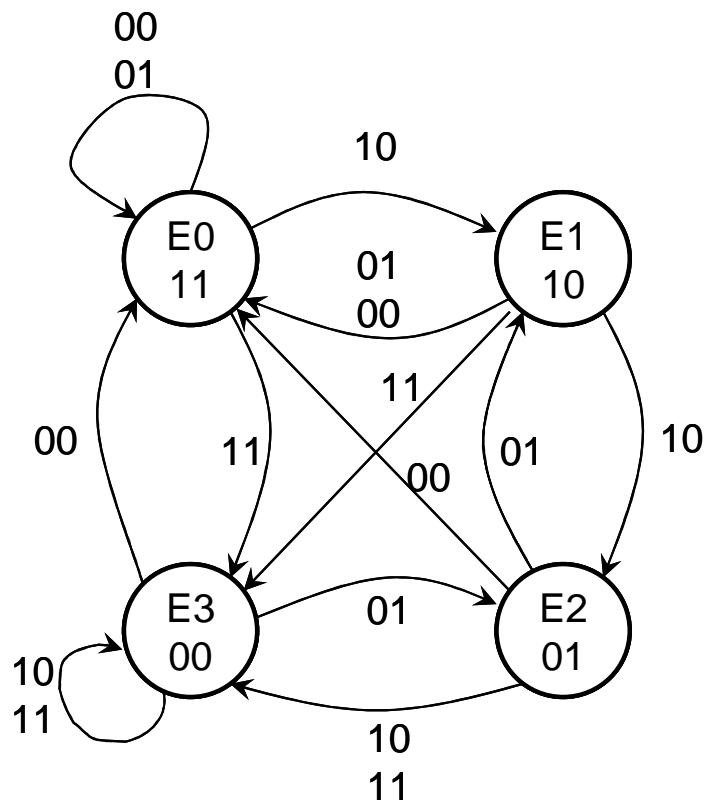
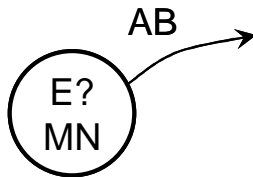
Diseñar un contador síncrono ascendente módulo 9 (que cuente de 0 a 8), con puesta a cero asíncrona. Diseñarlo con entrada de habilitación y reset.

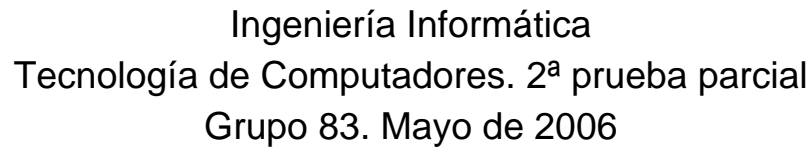
## Problema 1.- (2,5 puntos)

a) Dibujar el diagrama de estados de un detector de secuencias de tipo Mealy, que detecte las secuencias 1010 y 10111, es decir, que active la salida Y cuando su entrada X reciba consecutivamente los bits de alguna de las dos secuencias.

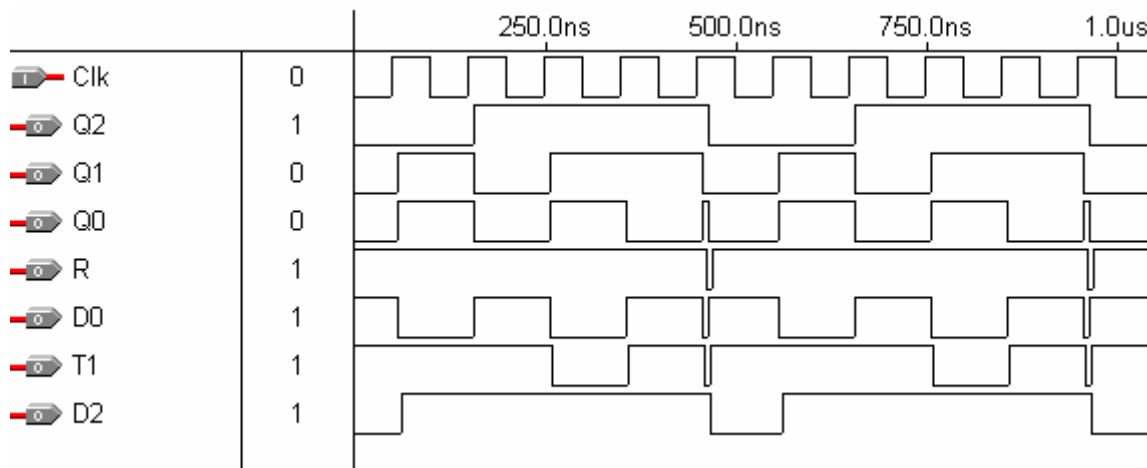
b) A partir del diagrama de estados de la figura, construir un circuito secuencial síncrono utilizando biestables T y puertas lógicas. Se considerará que el estado de reset del circuito es E0. Las entradas del circuito se denominan A y B, y las salidas M y N.

Notación





**Dado el circuito de la figura, rellenar el cronograma adjunto utilizando las variables intermedias que sean precisas. Suponer que los biestables son activos por flanco de subida y que su valor inicial es 0.**

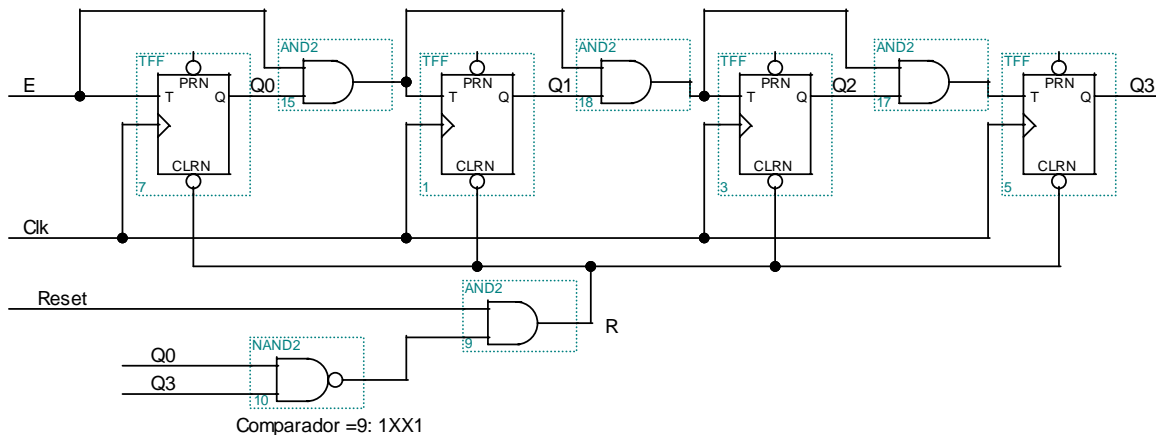




## Cuestión 2.- (0,75 puntos)

Diseñar un contador síncrono ascendente módulo 9 (que cuente de 0 a 8), con puesta a cero asíncrona. Diseñarlo con entrada de habilitación y reset.

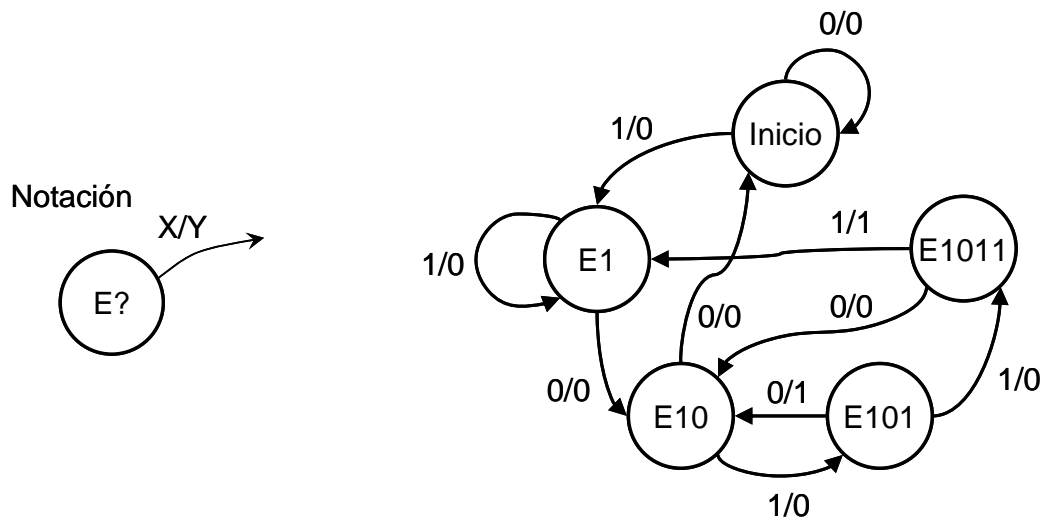
Solución:



## Problema 1.- (2,5 puntos)

a) Dibujar el diagrama de estados de un detector de secuencias de tipo Mealy, que detecte las secuencias 1010 y 10111, es decir, que active la salida Y cuando su entrada X reciba consecutivamente los bits de alguna de las dos secuencias.

Solución:

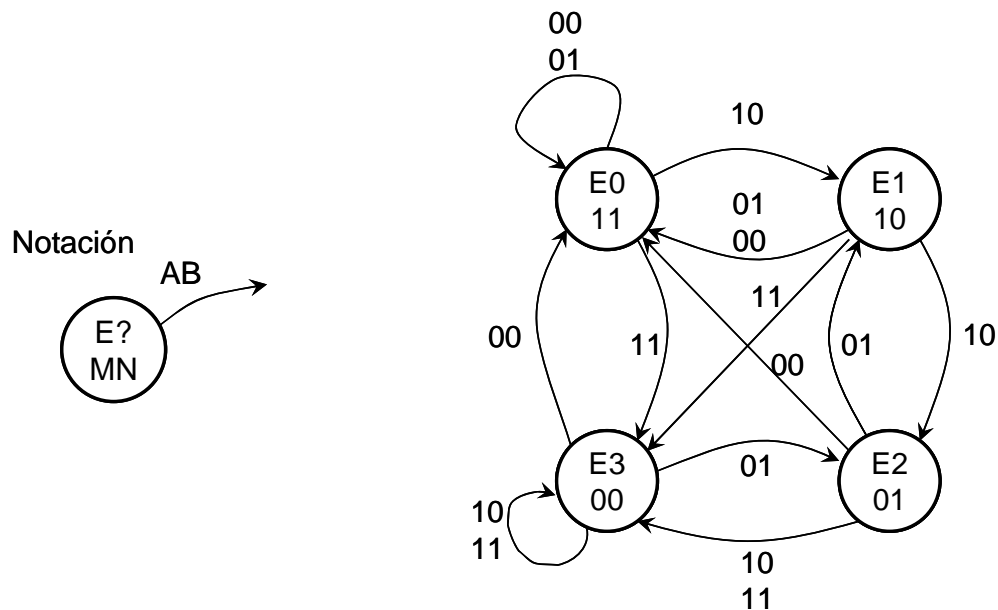




Ingeniería Informática  
Tecnología de Computadores. 2ª prueba parcial  
Grupo 83. Mayo de 2006

---

b) A partir del diagrama de estados de la figura, construir un circuito secuencial síncrono utilizando biestables T y puertas lógicas. Se considerará que el estado de reset del circuito es E0. Las entradas del circuito se denominan A y B, y las salidas M y N.



Solución:

Asignación de estados:

Puesto que los cuatro estados tienen cuatro combinaciones distintas de las dos salidas, podemos coger la codificación de estados en que coinciden las Q y las salidas M y N. Así, no es necesario calcular M y N.

Estado	$Q_1=M$	$Q_0=N$
E0	1	1
E1	1	0
E2	0	1
E3	0	0



Ingeniería Informática  
Tecnología de Computadores. 2ª prueba parcial  
Grupo 83. Mayo de 2006

---

Tabla de transiciones:

Estado	Q <sub>1</sub>	Q <sub>0</sub>	A	B	Estado'	Q <sub>1</sub> '	Q <sub>0</sub> '	T <sub>1</sub>	T <sub>0</sub>
E3	0	0	0	0	E0	1	1	1	1
	0	0	0	1	E2	0	1	0	1
	0	0	1	0	E3	0	0	0	0
	0	0	1	1	E3	0	0	0	0
E2	0	1	0	0	E0	1	1	1	0
	0	1	0	1	E1	1	0	1	1
	0	1	1	0	E3	0	0	0	1
	0	1	1	1	E3	0	0	0	1
E1	1	0	0	0	E0	1	1	0	1
	1	0	0	1	E0	1	1	0	1
	1	0	1	0	E2	0	1	1	1
	1	0	1	1	E3	0	0	1	0
E0	1	1	0	0	E0	1	1	0	0
	1	1	0	1	E0	1	1	0	0
	1	1	1	0	E1	1	0	0	1
	1	1	1	1	E3	0	0	1	1

Simplificación de funciones:

	T1				T0			
Q <sub>1</sub> Q <sub>0</sub> / AB	00	01	11	10	00	01	11	10
00	1	0	0	0	1	1	0	0
01	1	1	0	0	0	1	1	1
11	0	0	1	0	0	0	1	1
10	0	0	1	1	1	1	0	1

$$T_1 = \overline{Q_1} \overline{A} B + \overline{Q_1} Q_0 \overline{A} + Q_1 A B + Q_1 \overline{Q_0} A$$

$$T_0 = \overline{Q_1} Q_0 B + Q_1 \overline{Q_0} \overline{B} + \overline{Q_0} A + Q_0 A$$



Ingeniería Informática  
Tecnología de Computadores. 2ª prueba parcial  
Grupo 83. Mayo de 2006

Implementación:

