

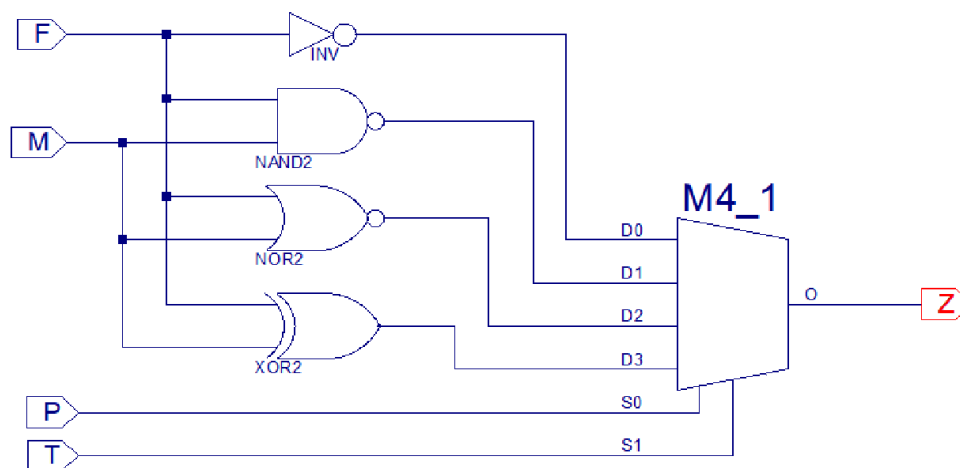
NOMBRE:

GRUPO:

CONTESTE CADA PROBLEMA POR SEPARADO

Problema 1.1 (4 p., 30 min.)

Dado el siguiente circuito, en donde M4\_1E es un multiplexor 4 a 1:



- a) Complete la tabla de verdad, incluyendo los nombres de las entradas en el orden que considere más conveniente, para la salida Z

Entradas				Salida
				Z

NOMBRE:

GRUPO:

CONTESTE CADA PROBLEMA POR SEPARADO

b) Obtenga sus expresiones canónicas

c) Realice su diseño en VHDL

NOMBRE:

GRUPO:

CONTESTE CADA PROBLEMA POR SEPARADO

Problema 1.2 (3 p., 30 min.)

Se dispone del código VHDL que se presenta a continuación:

```
library ieee;
    use ieee.std_logic_1164.all;

entity CRS_cir is
    port(
        Vector: --- COMPLETAR ---
        Z:      --- COMPLETAR ---
        Salida: --- COMPLETAR ---
    );
end CRS_cir;

architecture FUNCIONAL of CRS_cir is
    signal a,b,c,d: --- COMPLETAR ---
    signal Sz:      --- COMPLETAR ---
    signal Sel:     --- COMPLETAR ---

begin

    d <= Vector(3); c <= Vector(2); b <= Vector(1); a <= Vector(0);
    Sel <= d&c;

    process (--- COMPLETAR ---)
    begin
        case Sel is
            when "00"|"01" => Sz <= a xor b;
            when "10"      => Sz <= a and (not b);
            when others => Sz <= (not a) and b;
        end case;
    end process;

    Z <= Sz;
    Salida <= '1' when (Vector="0011" or Sz='1' or (c and d)='1') else '0';

end architecture;
```

Se pide:

- Complete en la entidad y en la arquitectura, las zonas de texto incompletas (declaraciones de puertos, declaraciones de señales y lista de sensibilidad).
- Represente con componentes discretos el esquema completo del circuito que se encuentra codificado en VHDL.

NOMBRE:

GRUPO:  
CONTESTE CADA PROBLEMA POR SEPARADO

- c) Represente la tabla de la verdad de la función Salida. Puede ser de ayuda identificar primero la tabla de la verdad de Sz.

NOMBRE:

GRUPO:

CONTESTE CADA PROBLEMA POR SEPARADO

Problema 1.3 (3 p., 20 min.)

a) Complete la siguiente tabla con las representaciones de los números en los diferentes sistemas. Utilice 8 bits para todas las conversiones.

	Número 1	Número 2
Decimal	42 <sub>10</sub>	
Binario natural		
Hexadecimal		
Octal		
BCD		10010111 <sub>BCD</sub>

b) Considerando los siguientes dos números representados en complemento a 2:

$$A = 01101110_{2c}$$

$$B = 10111100_{2c}$$

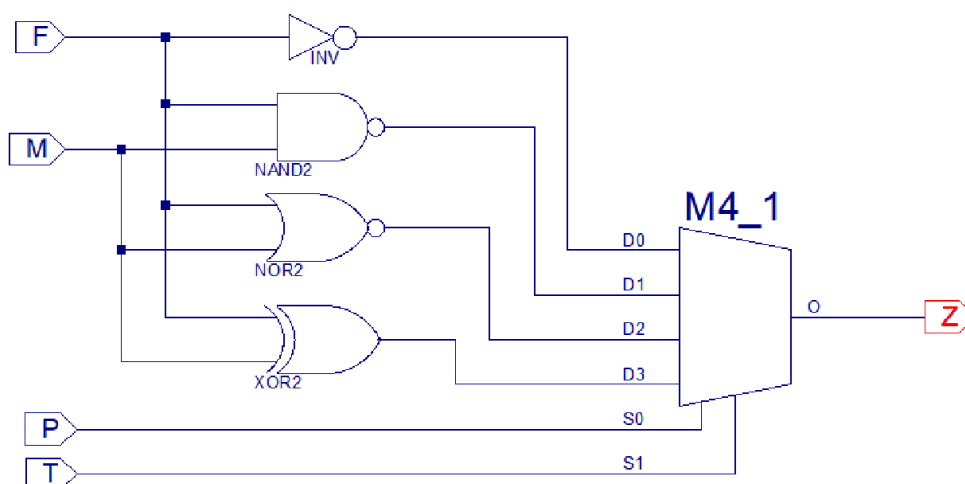
b.1) Escriba la representación de los dos números en sistema decimal.

b.2) Realice las operaciones A+B y A-B en complemento a 2. Indique, justificando su respuesta, si se produce desbordamiento en alguna de las operaciones.

A+B :

A-B :

Answer the questions below for the following circuit, where M4\_1E is a 4:1 multiplexer:



- a) Complete the truth table, including the names of the inputs in the order that you consider most convenient, for the output Z

[illegible]

NAME:

GROUP:

ANSWER EACH PROBLEM IN A DIFFERENT SHEET

b) Write the canonical expressions of  $Z$

c) Write the VHDL description of the circuit

NAME:

GROUP:

ANSWER EACH PROBLEM IN A DIFFERENT SHEET

Exercise 1.2 (3 p., 30 min.)

For the following VHDL code:

```
library ieee;
    use ieee.std_logic_1164.all;

entity CRS_cir is
    port(
        Vector: --- TO COMPLETE ---
        Z:      --- TO COMPLETE ---
        Salida: --- TO COMPLETE ---
    );
end CRS_cir;

architecture FUNCIONAL of CRS_cir is
    signal a,b,c,d: --- TO COMPLETE ---
    signal Sz: --- TO COMPLETE ---
    signal Sel: --- TO COMPLETE ---

begin

    d <= Vector(3); c <= Vector(2); b <= Vector(1); a <= Vector(0);
    Sel <= d&c;

    process (---TO COMPLETE ---)
    begin
        case Sel is
            when "00"|"01" => Sz <= a xor b;
            when "10"      => Sz <= a and (not b);
            when others => Sz <= (not a) and b;
        end case;
    end process;

    Z <= Sz;
    Salida <= '1' when (Vector="0011" or Sz='1' or (c and d)='1') else '0';

end architecture;
```

- Complete the entity and the architecture for the incomplete areas (declaration of ports, declaration of signals and sensitivity list)
- Draw a complete schema of the circuit described by the VHDL code using discrete components



NAME:

COMPUTER TECHNOLOGY  
Computer Science and Engineering Degree

Extraordinary Exam. 2020-2021  
July 1st, 2021

GROUP:

ANSWER EACH PROBLEM IN A DIFFERENT SHEET

- c) Write the truth table of the output Salida. It may be helpful to identify the Sz truth table first.

NAME:

GROUP:

ANSWER EACH PROBLEM IN A DIFFERENT SHEET

Exercise 1.3 (3 p., 20 min.)

a) Complete the following table with the representations of the numbers in the various systems. Use 8 bits in all cases.

	Number 1	Number 2
Decimal	42 <sub>10</sub>	
Natural Binary		
Hexadecimal		
Octal		
BCD		10010111 <sub>BCD</sub>

b) Consider the following two numbers in 2's Complement:

$$A = 01101110_{2c}$$

$$B = 10111100_{2c}$$

b.1) Write the decimal representation of the two numbers.

b.2) Perform the operations A+B and A-B in 2's complement. Determine if there is overflow in any of the operations. Justify your answer.

A+B :

A-B :



Departamento  
Tecnología  
Electrónica

NAME:

COMPUTER TECHNOLOGY  
Computer Science and Engineering Degree

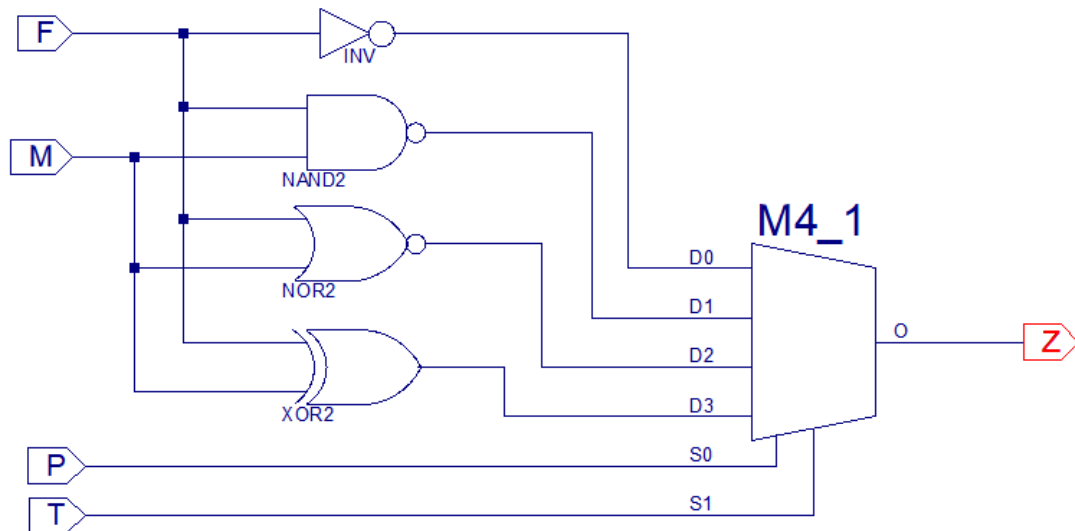
Extraordinary Exam. 2020-2021

July 1st, 2021

GROUP:

ANSWER EACH PROBLEM IN A DIFFERENT SHEET

Dado el siguiente circuito:



En donde M4\_1E es un multiplexor 4 a 1.

- (a) Completar la tabla de verdad, incluyendo los nombres de las entradas en el orden que considere más conveniente, para la salida Z

Entradas				Salida
T	P	M	F	Z
0	0	0	0	1
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	0
1	0	1	1	0
1	1	0	0	0
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

- (b) Obtenga sus expresiones canónicas

$$\sum \text{Minterms}(0, 2, 4, 5, 6, 8, 13, 14) = \overline{T}\overline{P}\overline{M}\overline{F} + \overline{T}P\overline{M}\overline{F} + \dots$$

$$\prod \text{Maxterms}(1,3,7,9,10,11,12,15) = (T + P + M + \overline{F})(T + P + \overline{M} + \overline{F}) \dots$$

(c) Realice su diseño en VHDL

```
LIBRARY ieee;
USE ieee.std_logic_1164.all;

-- ENTITY CombA IS
-- PORT (
    F, M, P, T:      IN    std_logic;
    En:              IN    std_logic;
    z:               OUT   std_logic
);
END CombA;
```

Implementación a partir de la tabla de verdad

```
-- ARCHITECTURE corto OF CombA IS

    signal Aux:          std_logic_vector(3 downto 0);

-- BEGIN

    Aux <= T&P&M&F;
--    Process (Aux, En)
--    begin
--        if En = '0' then
--            Z <= '0';
--        else
--            case Aux is
--                When "0000" | "0010" | "0100" | "0101" | "0110" | "1000" | "1101" | "1110" =>
--                    Z <= '1';
--                When others =>
--                    Z <= '0';
--            end case;
--        end if;
--    End process;
END corto ;
```

Otra forma de hacerlo

```
-- ARCHITECTURE largo OF CombA IS

    signal Aux:          std_logic_vector(1 downto 0);
    signal e0, e1, e2, e3 :   std_logic;

-- BEGIN

    Aux <= T&P;

--    Process (Aux, e0, e1, e2, e3, En)
--    begin
--        if En = '0' then
--            Z <= '0';
--        else
--            case Aux is
--                When "00" =>
--                    Z <= e0;
--                When "01" =>
--                    Z <= e1;
--                When "10" =>
--                    Z <= e2;
--                When others =>
--                    Z <= e3;
--            end case;
--        end if;
--    End process;

    e0 <= not F;
    e1 <= not (F and M);
    e2 <= not (F or M);
    e3 <= F xor M;

end largo;
```

Se dispone del código VHDL que se presenta a continuación:

```
library ieee;
    use ieee.std_logic_1164.all;

entity CRS_cir is
    port(
        Vector: --- COMPLETAR ---
        Z: --- COMPLETAR ---
        Salida: --- COMPLETAR ---
    );
end CRS_cir;

architecture FUNCIONAL of CRS_cir is
    signal a,b,c,d: --- COMPLETAR ---
    signal Sz: --- COMPLETAR ---
    signal Sel: --- COMPLETAR ---

begin

    d <= Vector(3); c <= Vector(2); b <= Vector(1); a <= Vector(0);
    Sel <= d&c;

    process (--- COMPLETAR ---)
    begin
        case Sel is
            when "00"|"01" => Sz <= a xor b;
            when "10"      => Sz <= a and (not b);
            when others => Sz <= (not a) and b;
        end case;
    end process;

    Z <= Sz;
    Salida <= '1' when (Vector="0011" or Sz='1' or (c and d)='1') else '0';

end architecture;
```

Se pide:

- Complete en la entidad y en la arquitectura, las zonas de texto incompletas (definición de variables, señales y lista de sensibilidad).
- Represente con componentes discretos el esquema completo del circuito que se encuentra codificado en VHDL.
- Represente la tabla de la verdad de la función  $Z=f(d,c,b,a)$ .
- Represente en minterminos la función  $Salida=f(d,c,b,a)$ .

```

library ieee;
    use ieee.std_logic_1164.all;

entity CRS_cir is
    port(
        Vector: in std_logic_vector(3 downto 0);
        Z:       out std_logic;
        Salida: out std_logic
    );
end CRS_cir;

architecture FUNCIONAL of CRS_cir is
    signal a, b, c, d: std_logic;
    signal Sz: std_logic;
    signal Sel: std_logic_vector(1 downto 0);

begin

    d <= Vector(3); c <= Vector(2); b <= Vector(1); a <= Vector(0);
    Sel <= d&c;

    process (a, b, Sel)
    begin
        case Sel is
            when "00"|"01" => Sz <= a xor b;
            when "10"      => Sz <= a and (not b);
            when others => Sz <= (not a) and b;
        end case;
    end process;

    Z <= Sz;
    Salida <= '1' when (Vector="0011" or Sz='1' or (c and d)='1') else '0';

end architecture;

```







Problema 3

a) Complete la siguiente tabla con las representaciones de los números en los diferentes sistemas. Utilice 8 bits para todas las conversiones.

	Número 1 (0.6p)	Número 2 (0.6p)
Decimal	42 <sub>10</sub>	97
Binario natural	00101010	01100001
Hexadecimal	2A	61
Octal	52	141
BCD	01000010 <sub>BCD</sub>	10010111 <sub>BCD</sub>

b) Considerando los siguientes dos números representados en complemento a 2:

$$A = 01101110_{2c}$$

$$B = 10111100_{2c}$$

b.1) Escriba la representación de los dos números en sistema decimal. (0.2+0.2p)

A representa un número positivo mientras que B representa un número negativo.

$$A = 01101110_{2c} \rightarrow A = 110_{10}$$

B = 10111100<sub>2c</sub> → Obtenemos la magnitud de B aplicando la operación complemento a 2:

$$\text{abs}(B) = 2C(10111100_{2c}) = 01000100 = 68,$$

Como B es un número negativo: B = -68.

b.2) Realice las operaciones A+B (0.4p) y A-B (0.6p) mediante una suma binaria de 8 bits de números representados en complemento a 2. Indique, justificando su respuesta, si se produce desbordamiento en alguna de las operaciones (0.4p).

A+B :

$$\begin{array}{r}
 01101110_{2c} \quad (110) \\
 + \quad 10111100_{2c} \quad (-68) \\
 \hline
 \cancel{1}00101010_{2c} \quad (42)
 \end{array}$$

No hay desbordamiento ya que el resultado se puede representar con 8 bits. No puede haber desbordamiento en la suma de un número positivo con otro negativo.

A-B :

$$A-B = A+(-B) = A+2C(B)$$

$$2C(B) = 01000100 \text{ (68)}$$

$$\begin{array}{r} 01101110_{2c} \quad (110) \\ + \quad 01000100_{2c} \quad (68) \\ \hline 10110010_{2c} \quad (-78) \end{array}$$

Hay desbordamiento ya que el resultado es negativo siendo los operandos positivos. El rango de números enteros que se pueden representar con 8 bits en complemento a 2 va desde -128 a +127. El resultado de la resta en representación decimal (188) está fuera de este rango.