



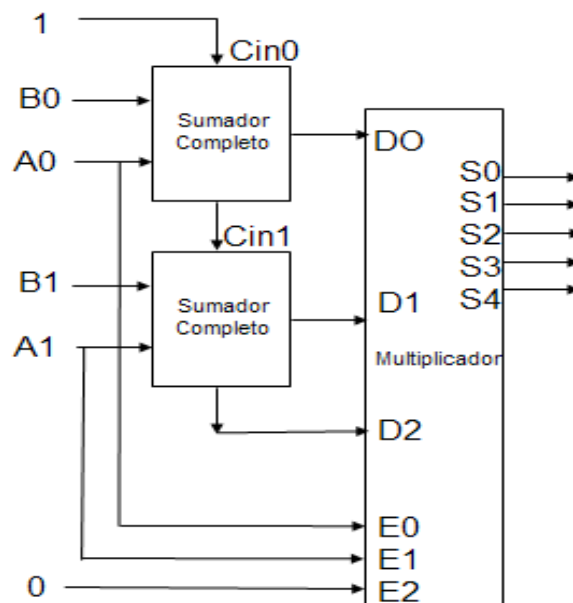
**NOTAS IMPORTANTES:**

**Cada problema o cuestión se entregan por separado. No mezcle las soluciones en una misma hoja. En cada hoja que entregue debe figurar el nombre, el grupo y la titulación a la que pertenece. No se permitirá calculadora**

**Tiempo: 3 horas**

**Problema 1 (2,5 puntos)**

El circuito de la figura se corresponde con la unidad aritmética de una ruta de datos. Dicha unidad realiza una operación con dos números A y B de dos bits cada uno.



Se pretende resintetizar dicha unidad de control, teniendo en cuenta que el dato A nunca alcanza el valor 3. Se pide:

- Identificar la operación aritmética que realiza dicha unidad.
- Plantear en decimal la tabla de valores posibles de A y de B que pueden introducirse en la unidad, junto con los valores de las salidas D y S.
- Plantear en binario la tabla de verdad del conjunto de la unidad, tomado como entradas los valores posibles de A y de B y como salida S. Tenga en cuenta la restricción del dato A.
- Sintetizar la función S0 con el mínimo número posible de puertas NAND
- Sintetizar la función S1 con un decodificador con salidas activas por nivel bajo y el mínimo número posible de puertas lógicas adicionales.
- Sintetizar la función S2 con un multiplexor de dos entradas de selección del canal y el mínimo número posible de puertas lógicas adicionales.
- Sintetizar la función S3 con el mínimo número posible de puertas NOR



# Universidad Carlos III de Madrid

Grados en Ingeniería: Tecnología de Telecomunicaciones, Sistemas de Comunicaciones,  
Telemática, Sistemas Audiovisuales  
ELECTRÓNICA DIGITAL.

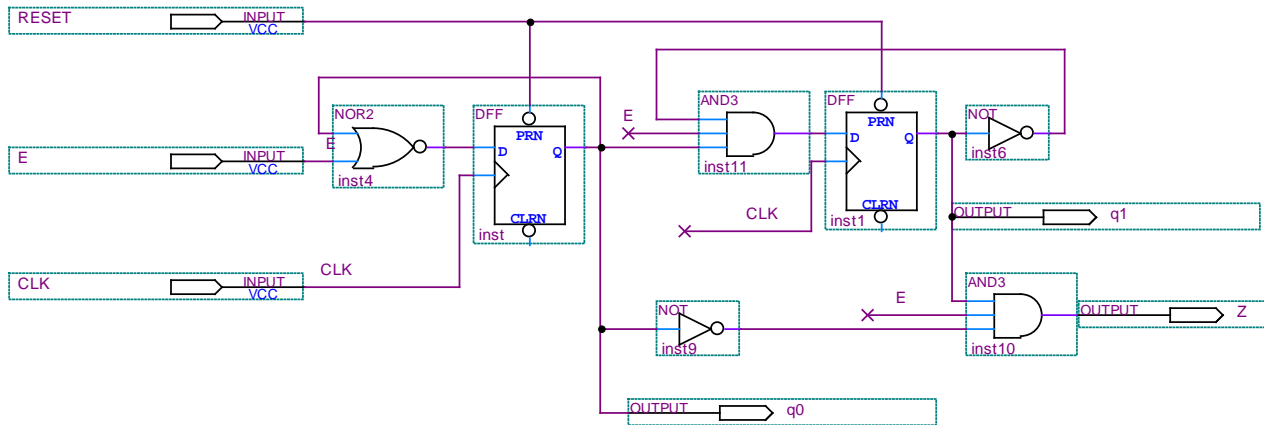
Examen final - 23 de mayo de 2013

NOMBRE: \_\_\_\_\_

GRUPO: \_\_\_\_\_

## Problema 2 (2,5 puntos)

Para el circuito de la figura:

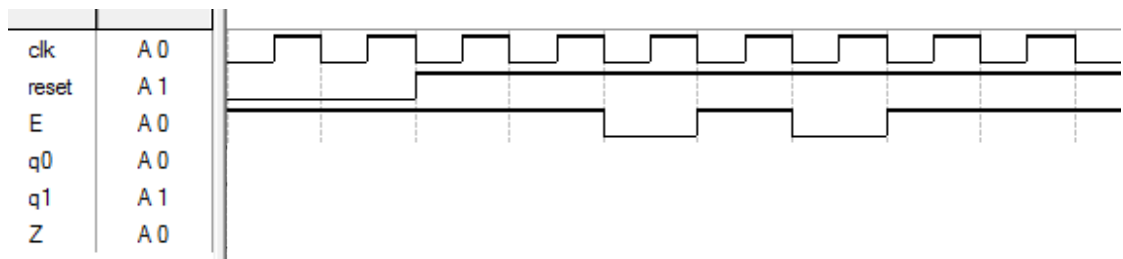


1. Escribir las ecuaciones lógicas de excitación de los biestables y de salida.
2. Rellenar la siguiente tabla y obtener el diagrama de estados, considerando la codificación de estados facilitada:

Q1	Q0	
0	0	E0
0	1	E1
1	0	E2
1	1	E3

Q1	Q0	E	D1	D0	Z	Q1 <sup>+</sup>	Q0 <sup>+</sup>

3. Completar el cronograma adjunto, considerando que los biestables son activos por flanco de subida:





**NOMBRE:** \_\_\_\_\_

**GRUPO:** \_\_\_\_\_

**NOTAS IMPORTANTES:**

**Cada problema o cuestión se entregan por separado. No mezcle las soluciones en una misma hoja. En cada hoja que entregue debe figurar el nombre, el grupo y la titulación a la que pertenece. No se permitirá calculadora**

**Problema 3 (2 puntos)**

*Responda a las siguientes cuestiones, indicando con un círculo la respuesta correcta. Si se equivoca, corríjalo de forma clara y no ambigua. En caso contrario se considerará la respuesta como incorrecta.*

*La nota final de este ejercicio será proporcional a*

*$N^{\circ}$  de respuestas acertadas – ( $N^{\circ}$  de respuestas falladas)/3.*

*La pregunta no contestada no equivale a respuesta fallada.*

1. Los Buffer triestado permiten:
  - a) Aumentar el número de entradas que se puede conectar a una salida.
  - b) Conectar varias salidas sin que se produzcan cortocircuitos.
  - c) Almacenar un bit mientras el buffer este alimentado.
  - d) Ninguna de las anteriores
  
2. El margen de ruido es:
  - a) Intervalos de tensiones que se asocian a un nivel lógico determinado.
  - b) La diferencia entre la tensión de alimentación y la tensión de entrada admisible en una puerta lógica
  - c) La diferencia entre la tensión de ruido en la salida y la tensión de ruido en la entrada en una puerta lógica
  - d) Ninguna de las anteriores.
  
3. Los ASICs son:
  - a) Circuitos Integrados programables una sola vez.
  - b) Circuitos Integrados reprogramables.
  - c) Circuitos Integrados de aplicación específica.
  - d) Ninguna de las anteriores.
  
4. El registro de estado (SR) de un microprocesador contiene:
  - a) El resultado de la última operación.
  - b) Un operando de la operación a realizar.
  - c) El estado de habilitación de las salidas.
  - d) Ninguna de las anteriores.



## Universidad Carlos III de Madrid

Grados en Ingeniería: Tecnología de Telecomunicaciones, Sistemas de Comunicaciones,  
Telemática, Sistemas Audiovisuales  
ELECTRÓNICA DIGITAL.

Examen final - 23 de mayo de 2013

---

5. El Contador de Programa de un microprocesador contiene:
  - a) El número de instrucciones ejecutadas.
  - b) El tamaño del programa en ejecución.
  - c) La dirección de memoria de la siguiente instrucción a ejecutar.
  - d) Ninguna de las anteriores.
6. La arquitectura Von Neuman se caracteriza por:
  - a) Poder realizar accesos a memoria de programa y de datos simultáneamente.
  - b) Utilizar el mismo BUS de direcciones para acceder a posiciones de programa y de datos
  - c) Disponer de un banco de registros independiente para operaciones de Entrada/Salida.
  - d) Ninguna de las anteriores.
7. Si la ALU realiza la operación lógica AND con los datos; 0x63 y 0x45 el resultado será:
  - a) 0x12
  - b) 0x41
  - c) 0xA8.
  - d) Ninguna de las anteriores.

NOTA: La notación "0x" significa HEXADECIMAL
8. El tamaño de las instrucciones en un microprocesador:
  - a) Es el mismo para todas.
  - b) Es el mismo que el tamaño de la palabra de memoria.
  - c) Es un múltiplo del tamaño de la palabra de memoria.
  - d) Ninguna de las anteriores.
9. Para programar en lenguaje ensamblador:
  - a) Se necesita conocer la arquitectura del microprocesador.
  - b) Hay que conocer los códigos de operación de las instrucciones.
  - c) Es necesario saber programar en lenguajes de alto nivel.
  - d) Ninguna de las anteriores.
10. El circuito controlador de un microprocesador.
  - a) Es un circuito combinacional.
  - b) Es un circuito secuencial síncrono.
  - c) Es un circuito secuencial asíncrono.
  - d) Ninguna de las anteriores.



## Universidad Carlos III de Madrid

Grados en Ingeniería: Tecnología de Telecomunicaciones, Sistemas de Comunicaciones,  
Telemática, Sistemas Audiovisuales  
ELECTRÓNICA DIGITAL.

Examen final - 23 de mayo de 2013

---

**NOMBRE:** \_\_\_\_\_

**GRUPO:** \_\_\_\_\_

### **Problema 4 (3 puntos)**

Un sistema microprocesador tiene una memoria de datos de 256M x 16 bits. En esta memoria las direcciones más bajas son de memoria de sólo lectura y las más altas de memoria RAM. Hay 64M de direcciones ROM y 192M de RAM.

Para implementar esta memoria se dispone de los siguientes módulos:

2 chips de ROM de 32M x 16 bits	IC1, IC2
2 chips de RAM de 64M x 8 bits	IC3, IC4
1 chip de RAM de 128M x 16 bits	IC5

- Construya el mapa de memoria resultante del diseño, indicando claramente las direcciones iniciales y finales de cada módulo, en binario y hexadecimal.
  - Dibujar el circuito con todos los módulos y conexiones, utilizando un decodificador 2:4 con salida por nivel bajo para realizar la decodificación de direcciones.
- Nota: Todas las memorias tienen las señales de control activas a nivel bajo.