



## **PRIMERA PARTE**

### **Problema 1.1 (2.25 p.)**

Dada la siguiente función lógica:

$$f(a,b,c,d) = \sum_4 (0,4,6,7,8,10,12) + \Delta_4 (2,13)$$

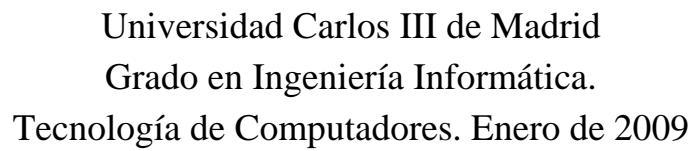
- a) Obtenga la expresión más simplificada posible como producto de sumas
- b) Obtenga la expresión más simplificada posible como suma de productos
- c) Implemente la función lógica utilizando únicamente puertas NOR de dos entradas.
- d) Implemente la función lógica utilizando un decodificador 4:16 con salidas activas a nivel alto.
- e) Implemente la función lógica utilizando un MUX4 y lógica adicional

**Nota importante:** se valorará el uso del menor número de componentes en las soluciones

### **Cuestión 1.1 (0,75 p.)**

- a) Expresar  $0_{10}$ ,  $1_{10}$ ,  $129_{10}$  y  $829_{10}$  en binario, octal, hexadecimal y BCD natural
- b) Expresar  $671_8$  en BCD natural
- c) Expresar  $+165_{10}$  y  $-165_{10}$  mediante el convenio de complemento a 2. Utilizar el menor número posible de bits para representar todos ellos.
- d) Realizar las siguientes operaciones en complemento a 2. Utilizar el número de bits necesario para que no haya desbordamiento en ninguna operación.

$$165-165 \qquad 165+97 \qquad 97-165$$



**Nombre:** \_\_\_\_\_ **Grupo:** \_\_\_\_\_

**Apellidos:** \_\_\_\_\_

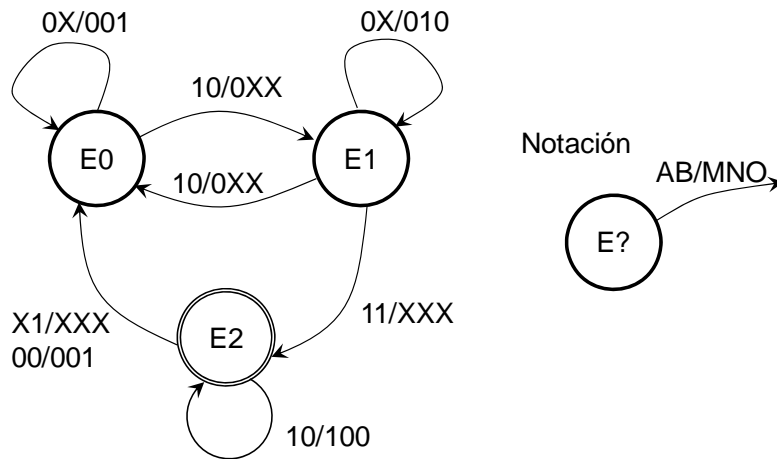
Timing diagram showing the clock signal (Clk) and the outputs (Q0, Q1, Q2) of a 3-bit shift register. The clock signal is a periodic square wave. The outputs Q0, Q1, and Q2 are all low (0) throughout the entire duration shown.



**Problema 2.1 (1,5 p.)**

El diagrama de estados de la figura representa el comportamiento de un circuito secuencial síncrono, que se quiere implementar mediante biestables D. Se pide:

- Determinar razonadamente si el diagrama corresponde a un modelo de Moore o de Mealy.
- Determinar el número mínimo de biestables necesario para implementar el circuito correspondiente.
- Representar la tabla de asignación de estados.
- Determinar las transiciones que no están especificadas en el diagrama.
- Representar la tabla de transiciones.
- Calcular las ecuaciones de estado y de salida simplificadas.
- Dibujar el esquemático de circuito. No olvide conectar las señales de reloj y reset, teniendo en cuenta que el estado inicial es E2.



**Cuestión 2.2 (1 punto)**

Dibujar el diagrama de estados de un circuito que detecte las secuencias 100111, 100101 y 100100. Considerar que las secuencias son de tamaño fijo de 6 bits, y por tanto, no puede haber solapamiento de secuencias. La salida debe valer '0' durante todo el tiempo y '1' si al llegar el 6º bit la secuencia es una de las seleccionadas.



**Nombre:** \_\_\_\_\_

**Grupo:** \_\_\_\_\_

**Apellidos:** \_\_\_\_\_

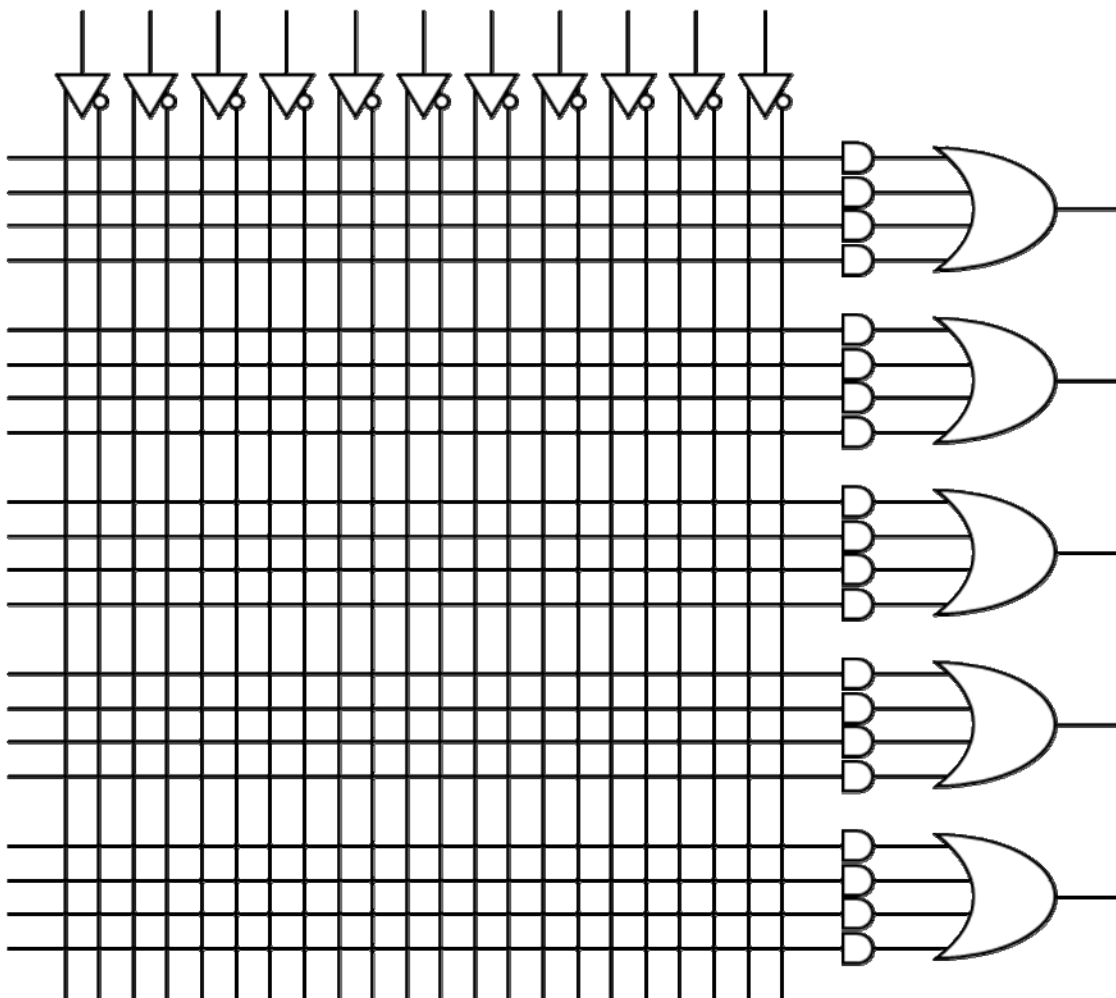
**Cuestión 3.2 (0,5 punto)**

Implemente las siguientes funciones lógicas utilizando la PAL de la figura:

$$F1 = \sum_4 (2,6,8)$$

$$F2 = \sum_4 (1,3,9,11)$$

$$F3 = \sum_4 (1,2,3,5,6,8,9,11)$$



### Question 1.1

a)  $\phi_{10} = \phi_2 = \phi_8 = \phi_{16} = 0000_{BCD}$

$$A_{10} = A_2 = A_8 = A_{16} = 0001000$$

$$129_{10} = \frac{\frac{2}{10000001}_2}{\frac{8}{1}} = 201_8 = 81_{16} = 0001.0010.1001_{BCD}$$

829 | 2  
1 414 | 2  
0 207 | 2  
1 103 | 2  
1 51 | 25  
1 25 | 2  
1 12 | 6  
0 6 | 2  
0 3 | 2  
1 1

1 4 7 5

$$829_{10} = \overbrace{1100}^1 \overbrace{1110}^4 \overbrace{101}^7 \overbrace{1}^5_2 = 1475_8 = 33D_{16} = 1000.0010.1001_{BCD}$$

$$b) 671_8 = 6 \cdot 8^2 + 7 \cdot 8 + 1 = 384 + 56 + 1 = 441_{10}$$

$$44A_{10} = 0100.0100.0001_{BCD}$$

c)  $165 = 128 + 32 + 4 + 1 = 10100101_2$

Para representar +165 y -165 necesitamos un bit más

$+165 = 010100101$   
 $-165 = 101011011$

$$-165 = 101011011$$

d) Para que no haya desbordamiento,  $165 + 97 = 262$ , se necesitan 9 bits (0-511) más el de signo.

$$10 \text{ bits} \Rightarrow -512 \text{ a } +511$$

$$97 = 64 + 32 + 1 = 01100001$$

$$+165 = 00.1010.0101$$

$$-165 = 11.0101.1011$$

$$+ 97 = 00.01100001$$

Se hace por extensión  
del signo: se repite el  
bit de signo por la izda.  
las veces que haga falta.

$$+165 = \overset{1}{0}\overset{1}{0}.\overset{1}{1}\overset{1}{0}\overset{1}{1}.\overset{1}{0}\overset{1}{1}$$

$$-165 = \overset{1}{1}.\overset{1}{0}\overset{1}{1}.\overset{1}{0}\overset{1}{1} +$$

$$\cancel{\times} 00.0000.0000 = 0$$

$$+165 = \overset{1}{0}\overset{1}{0}.\overset{1}{1}\overset{1}{0}.\overset{1}{0}\overset{1}{1}$$

$$+97 = \overset{1}{0}\overset{1}{0}.\overset{1}{1}\overset{1}{0}.\overset{1}{0}\overset{1}{0}$$

$$01.0000.0110 = 256 + 4 + 2 = 262$$

$$+97 = \overset{1}{0}\overset{1}{0}.\overset{1}{0}\overset{1}{1}.\overset{1}{0}\overset{1}{0}$$

$$-165 = \overset{1}{1}.\overset{1}{0}\overset{1}{1}.\overset{1}{0}\overset{1}{1}$$

$$\underline{11.1011.1100} = -512 + 256 + 128 + 32 +$$

$$+16 + 8 + 4 = -68$$

## Problema 2.1

a) El diagrama es de Healy ya que los valores de las salidas dependen de cada transición, es decir, dependen de las entradas y no sólo del estado.

b) 3 estados  $\Rightarrow$  2 biestables

c) Estado	$Q_1, Q_0$
E0	0 0
E1	0 1
E2	1 0

d) Al estado E0 le falta la transición correspondiente a las entradas  $AB=11$ .

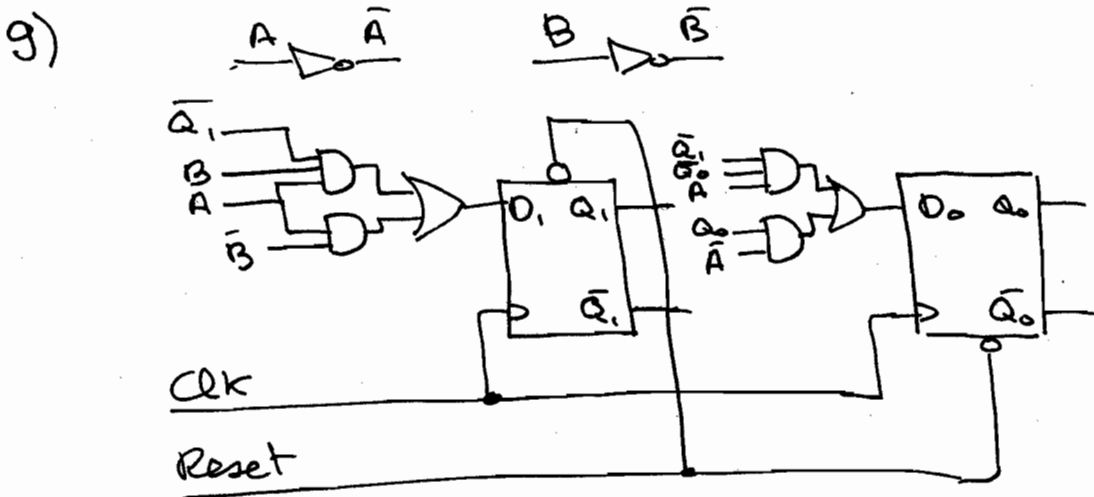
e) Estado	$Q_1, Q_0$	AB	$\overset{Q_1}{Q_1}, \overset{Q_0}{Q_0}$	MNO
E0	0 0	0 0	0 0	0 0 1
		0 1	0 0	0 0 1
		1 0	0 1	0 X X
		1 1	X X	X X X
E1	0 1	0 0	0 1	0 1 0
		0 1	0 1	0 1 0
		1 0	0 0	0 X X
		1 1	1 0	X X X
E2	1 0	0 0	0 0	0 0 1
		0 1	0 0	X X X
		1 0	1 0	1 0 0
		1 1	0 0	X X X
Resto			X X	X X X

f)

Q <sub>1</sub> Q <sub>0</sub> \ AB	D <sub>1</sub>				D <sub>0</sub>			
	00	01	11	10	00	01	11	10
00	0	0	X	0	0	0	X	1
01	0	0	1	0	1	1	0	0
11	X	X	X	X	X	X	X	X
10	0	0	0	1	0	0	0	0

$$D_1 = \bar{Q}_1 AB + Q_1 \bar{A} \bar{B} \quad D_0 = Q_0 \bar{A} + \bar{Q}_0 \bar{Q}_1 A$$

Q <sub>1</sub> Q <sub>0</sub> \ AB	M				N				O			
	00	01	11	10	00	01	11	10	00	01	11	10
00	0	0	X	0	0	0	X	X	1	1	X	X
01	0	0	X	0	1	1	X	X	0	0	X	X
11	X	X	X	X	X	X	X	X	X	X	X	X
10	0	X	X	1	0	X	X	0	1	X	X	0

$$M = Q_1 A \quad N = Q_0 \quad O = \bar{Q}_0 \bar{A}$$


Puesto que el estado de inicio es E2, cuya codificación es "10", la señal de Reset debe hacer preset a Q<sub>1</sub> y clear a Q<sub>0</sub>.