



- Debe situar encima de la mesa durante todo el examen un DOCUMENTO OFICIAL que permita su identificación
- LA DURACIÓN TOTAL DEL EXAMEN ES DE 3 HORAS
- DEBE ENTREGAR CADA EJERCICIO EN HOJAS SEPARADAS, Y AL MENOS UNA HOJA POR EJERCICIO CON SU NOMBRE Y APELLIDOS.
- Ponga el NOMBRE Y APELLIDOS EN TODAS LAS HOJAS
- NO se tendrán en cuenta las respuestas escritas a LÁPIZ
- NO SE PERMITE EL USO DE CALCULADORA

EJERCICIO 1 (3,5 de 10 puntos)

Parte 1:

Se dispone de un circuito con tres bits de entrada de datos (A,B,C), tres bits de salida (X,Y,Z) y una entrada de control (K). El funcionamiento del circuito es como sigue:

- Si $K=1$ las salidas representan los bits de entrada rotados circularmente a la derecha.
- Si $K=0$ las salidas representan los bits de entrada rotados circularmente a la izquierda.

Se pide lo siguiente:

(Nota: Expresé todas las funciones con la siguiente ordenación de variables: K,A,B,C, siendo K=MSB, para las salidas ordénense como X,Y,Z)

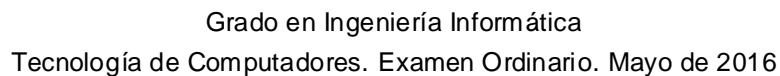
- a) La tabla de la verdad de las variables de salida X,Y,Z, en función de las entradas (K,A,B,C).
- b) Escriba las expresiones canónicas (minitérminos y maxitérminos) de la variable de salida Y.

Parte 2:

Dada la siguiente función lógica:

$$Z(K,A,B,C) = \sum_4(1,4,5,6,7,9,11,13,14,15), \text{ siendo } K=\text{MSB}.$$

- c) Construya la función Z, simplificada por Karnaugh con puertas NAND.
- d) Construya la función Z, con multiplexores de 8 a 1 y lógica adicional.
- e) Construya la función Z con un decodificador y una única puerta lógica adicional.



Timing diagram showing the relationship between CLK, PRESET, A, Q0, Q1, Q2, and X. The diagram illustrates the sequence of events for the counter, including the effect of the PRESET signal and the output A on the counter's state (Q0, Q1, Q2).

- 1) Dibuje el diagrama de estados de un registro de 2 bits de desplazamiento serie a la derecha y salida paralelo. La entrada del circuito es A. Las salidas del circuito son las salidas Q de los biestables que forman el registro. Indique la notación empleada para representar el diagrama de estados.
- 2) Diseñe un circuito detector de secuencia capaz de detectar las secuencias “101” y “010” utilizando únicamente puertas lógicas y el registro del apartado anterior.



EJERCICIO 3 (3 de 10 puntos)

Un sistema basado en microprocesador tiene una memoria de 32 K con las siguientes características

- Longitud de palabra de 1 byte.
- 16K de memoria PROM en la parte más baja de la memoria (la posición inicial de la memoria del sistema es la posición 0).
- A continuación 8K de memoria EEPROM.
- A continuación 4K de memoria SDRAM
- La parte más alta de la memoria debe permanecer libre para futuras ampliaciones.

En el almacén disponemos de los siguientes módulos de memoria: PROM de 16K×4 bits, EEPROM de 4K×8 bits y SDRAM de 2K×8 bits. Todas las memorias tienen las señales de control activas a nivel bajo. Considere como señales de control CS (chip select), OE (Output Enable) y R/W (Read/Write).

Se pide:

1. Calcular razonadamente el número de líneas de dirección necesarias para la memoria del sistema.
2. Calcular razonadamente el número de líneas de dirección necesarias para cada tipo de módulo de memoria disponible.
3. Determinar razonadamente el número de módulos de memoria de cada tipo que son necesarios.
4. Dibujar el mapa de memoria indicando en hexadecimal y en binario las direcciones de comienzo y de fin de cada una de los módulos de memoria. Debe utilizar la figura proporcionada, EJ3.1, completándola con los módulos de memoria de cada tipo necesarios.
5. Implementar el sistema de decodificación utilizando un solo decodificador del tamaño mínimo necesario y el número mínimo de puertas lógicas adicionales. Debe considerar decodificadores con entradas activas a nivel alto, salidas activas a nivel bajo y con entrada con ENABLE activa a nivel bajo.



Apellidos, Nombre: _____ Grupo: _____

Ejercicio 3-apartado 4-Debe entregar la hoja del enunciado

hexadecimal	A0				
	A1				
	A2				
	A3				
	A4				
	A5				
	A6				
	A7				
	A8				
	A9				
	A10				
	A11				
	A12				
	A13				
	A14				
	A15				
	A16				
	A17				
	A18				
	A19				
Libre					
SDRAM					
EEPROM					
ROM					
POSICIÓN 0					

Figura Ej3.1

Nota: A indica la línea de dirección del bus de direcciones, siendo A19 la línea de dirección más significativa y A0 la línea de dirección menos significativa



- The student must have on the desk an **OFFICIAL IDENTIFICATION DOCUMENT**
- **THE TOTAL DURATION OF THE EXAM IS 3 HOURS**
- The student must hand out each exercise in a different piece of paper. All the sheets must contain the **NAME AND SURNAME** of the student.
- Write your exam with a pen; **PENCILS** are not allowed.
- **CALCULATORS ARE NOT ALLOWED**

EXERCISE 1 (3,5 out of 10 points)

Part 1:

Consider a circuit with 3 input data bits(A,B,C), 3 output bits (X,Y,Z) and a control input (K). The operation of the circuit is as follows:

- If K=1 the outputs represent the data inputs circular-shifted to the right.
- If K=0 the outputs represent the data inputs circular-shifted to the left.

Answer the following questions:

(Note: Express all the functions with the following variable sorting order: K,A,B,C, where K=MSB, and X,Y,Z for the outputs)

- a) Write the truth table of the output functions X,Y,Z, as a function of the inputs (K,A,B,C).
- b) Write the **CANONICAL** expressions (minterms and maxterms) of the output function Y.

Part 2:

Given the following logic function:

$$Z(K,A,B,C) = \sum_4(1,4,5,6,7,9,11,13,14,15), \text{ where } K=\text{MSB}.$$

- c) Implement Z, once simplified using Karnaugh, using NAND logic gates.
- d) Implement Z, with 8:1 multiplexers and additional logic.
- e) Implement Z, with a decoder and just one additional gate.



Surname, Name: _____ Group: _____

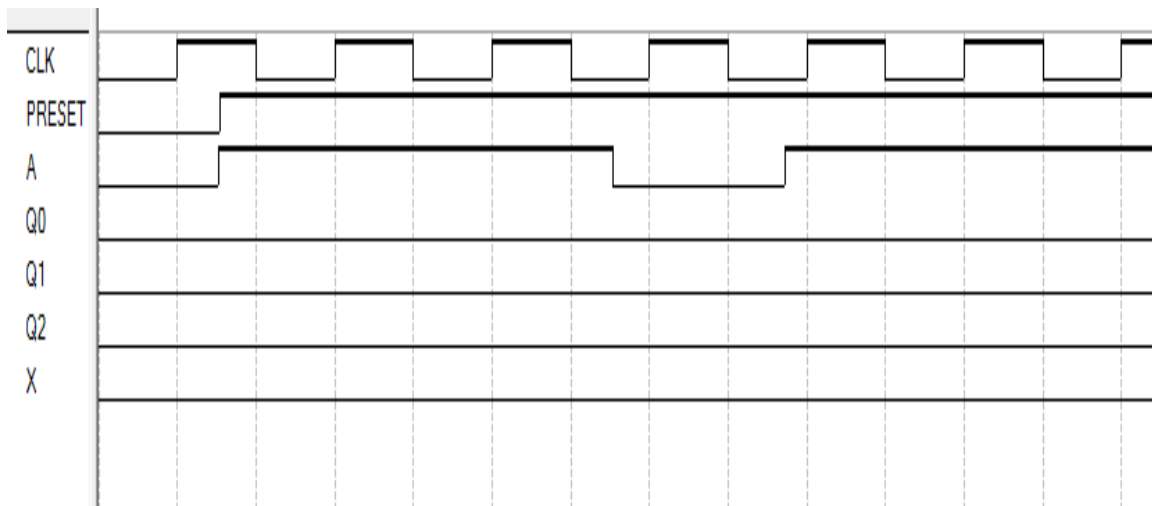
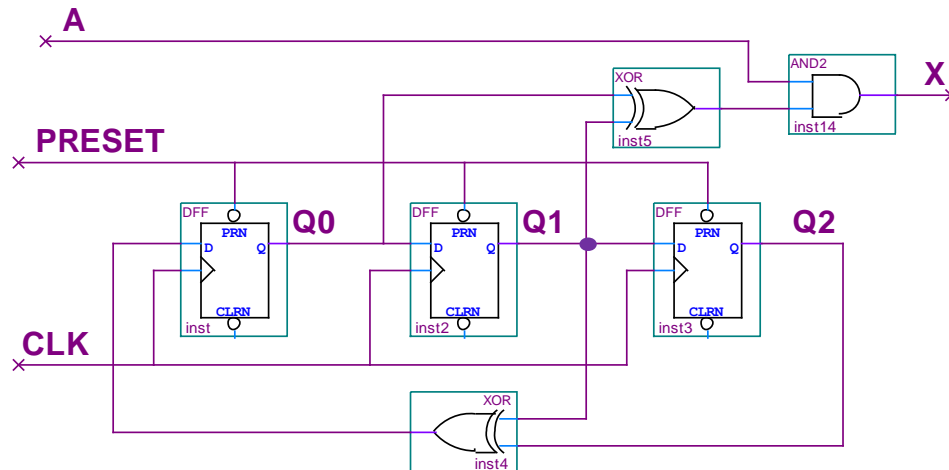
EXERCISE 2 (3,5 out of 10 points)

Part 1: (Answer this part of the exercise in this sheet)

Given the sequential circuit of the figure, which input is A, and its output is X:

1) Obtain the state and output equations.

2) Complete the chronogram.



Part 2:

- 1) Draw the STG (State Transition Graph) of a 2 bits serial input parallel output shift right register. A is the circuit input. Circuit outputs are the Q outputs of the register flip flops. Indicate the notation used to represent the STG.
- 2) Design a sequence detector circuit that detects the sequences "101" and "010" using logic gates and the shift register of the previous question.



EXERCISE 3 (3 out of 10 points)

We wish to implement a 32K memory system so that the following requirements are met:

- Word-length of 1 byte.
- 16K of PROM in the lower part of memory (the initial address position is 0).
- Then 8K of EEPROM
- Next 4K of SDRAM
- The highest part should be free memory zone

In the store we have available the following memory modules: PROM of 16K×4 bits, EEPROM of 4K×8 bits and SDRAM of 2K×8 bits. All the memories have active-low level control signals. Consider as control signals: CS (chip select), OE (Output Enable) and R/W (Read/Write).

It is asked:

1. Determine the number of address-lines of the system. Justify the answer
2. Determine the number of address-lines of each memory module. Justify the answer
3. Determine the number of memory modules of each type that are needed. Justify the answer.
4. Draw the memory map showing the addresses -in hexadecimal and binary- of the beginning and the end of each memory module. You must use figure Ex3.1, including the necessary memory modules.
5. Implement the decoding logic functions of the memories using only one decoder with the minimum size and the minimum number of necessary logic gates. You must consider decoders that have active-high level inputs, active-low level outputs and an active-low ENABLE.



Surname, Name: _____ Group: _____

Exercise 3-4-You should hand out this sheet with the exercise solution

A0				
A1				
A2				
A3				
A4				
A5				
A6				
A7				
A8				
A9				
A10				
A11				
A12				
A13				
A14				
A15				
A16				
A17				
A18				
A19				
hexadecimal				
Free	SDRAM	EEPROM	ROM	POSITION 0

Figure Ex3.1

Note: A indicates the address-line. A19 is the most significant address-line and A0 is the least significant address-line

PUNTOS SOBRE 10

EJERCICIO 1

(a)
2p

K \ ABC	X Z Z
0 0 0 0	0 0 0
0 0 0 1	0 1 0
0 0 1 0	1 0 0
0 0 1 1	1 1 0
0 1 0 0	0 0 1
0 1 0 1	0 1 1
0 1 1 0	1 0 1
0 1 1 1	1 1 1
1 0 0 0	0 0 0
1 0 0 1	1 0 0
1 0 1 0	0 0 1
1 0 1 1	1 0 1
1 1 0 0	0 1 0
1 1 0 1	1 1 0
1 1 1 0	0 1 1
1 1 1 1	1 1 1

(b)

MINITERMINOS =

$$Y = \sum_4 (1, 3, 5, 7, 12, 13, 14, 15) \quad \text{1p}$$

MAXITERMINOS =

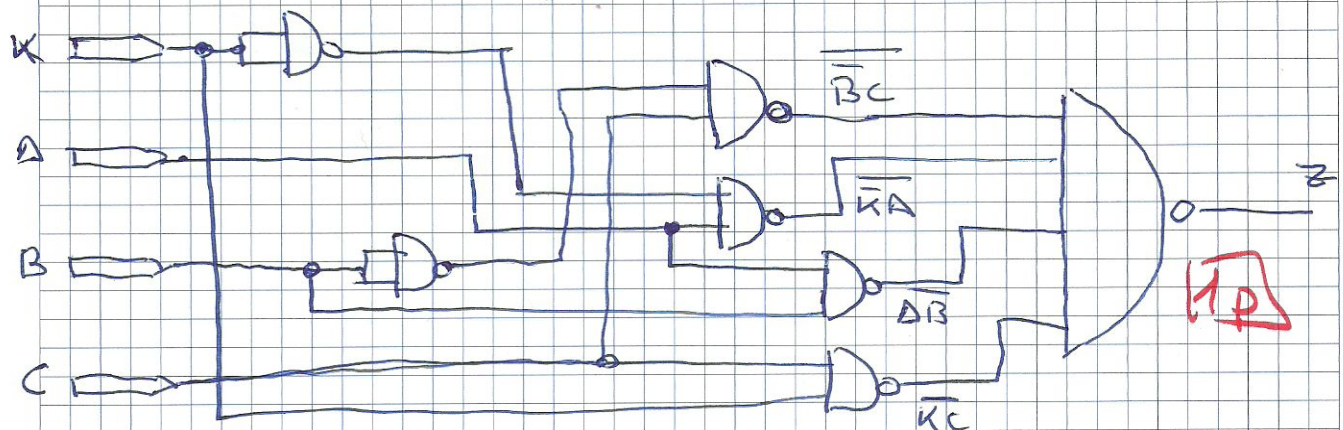
$$Y = \prod_4 (0, 2, 4, 6, 8, 9, 10, 11) \quad \text{1p}$$

para $K = 755B$.

(c)

KA \ BC	00	01	11	10
00	0	1	0	0
01	1	1	1	1
11	0	1	1	1
10	0	1	1	0

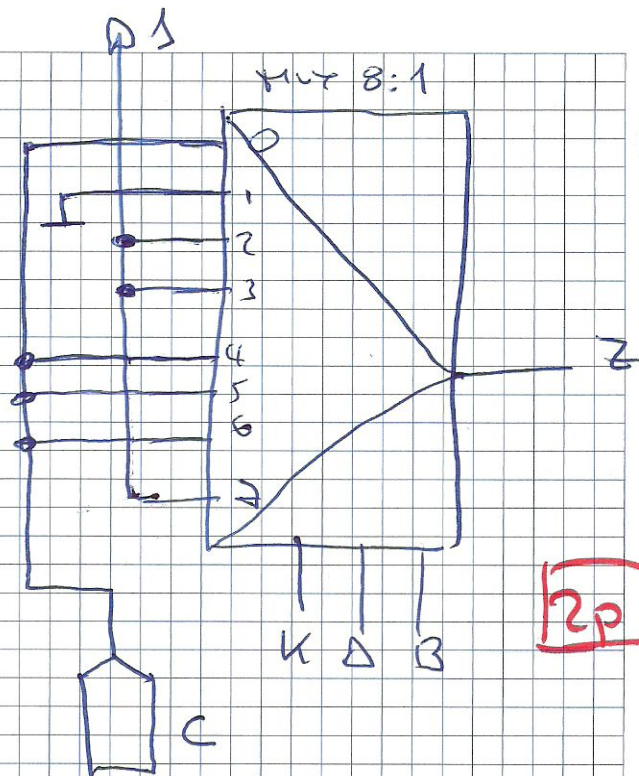
$$Z = \overline{B}C + \overline{K}A + AB + KC$$



SISTEMA

1

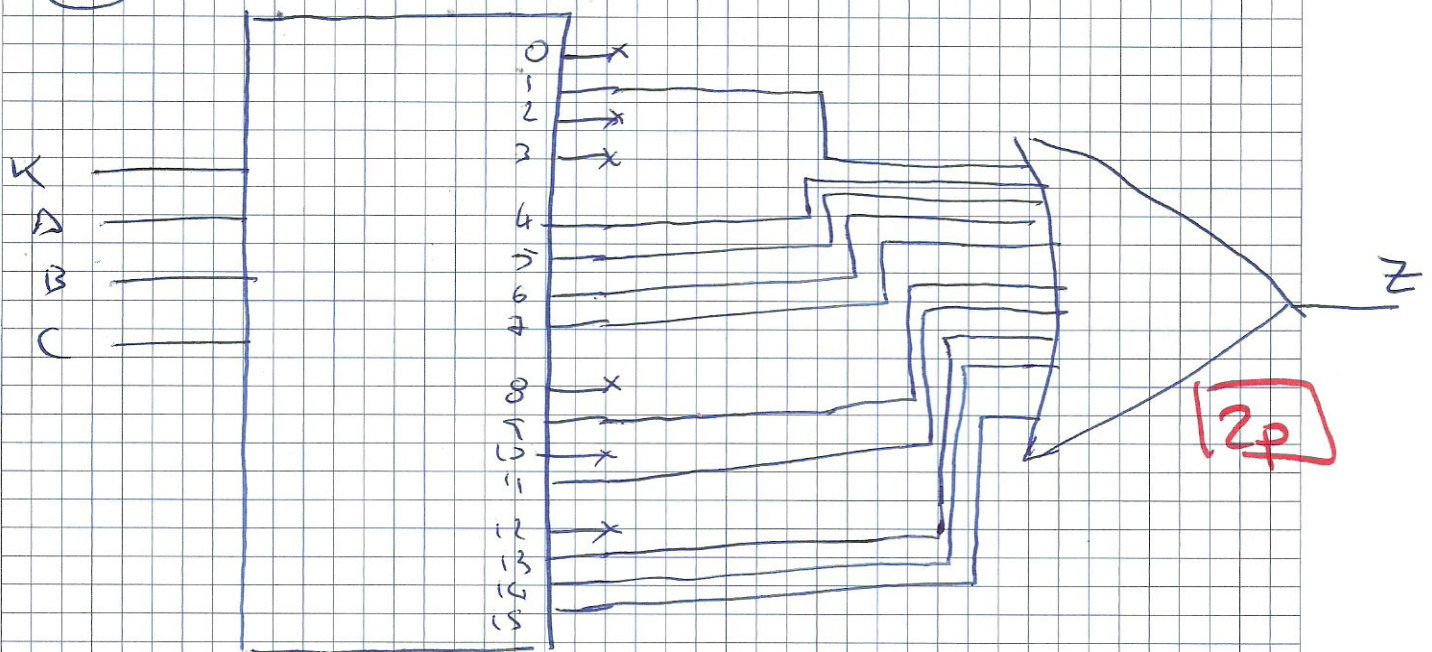
K	A	B	C	Z	Z(c)
0	0	0	0	0	0
0	0	0	1	1	0
0	0	1	0	0	1
0	0	1	1	0	1
0	1	0	0	1	2
0	1	0	1	1	2
0	1	1	0	1	3
0	1	1	1	1	3
1	0	0	0	0	4
1	0	0	1	1	4
1	0	1	0	0	5
1	0	1	1	1	5
1	1	0	0	0	6
1	1	0	1	1	6
1	1	1	0	1	7
1	1	1	1	1	7



2p

2

DEC 1:16



2p



Apellidos, Nombre: _____ Grupo: _____

EJERCICIO 2 (3,5 de 10 puntos)

Parte 1: (conteste a esta parte en la hoja del enunciado)

Para el circuito secuencial de la figura cuya entrada es A y su salida X:

- 1) Obtenga las ecuaciones de estado y de salida.

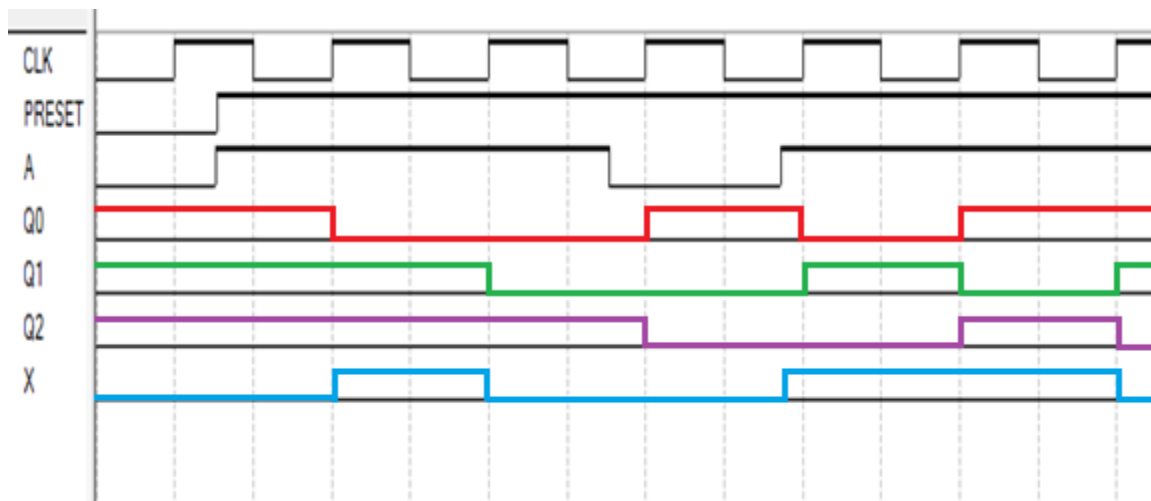
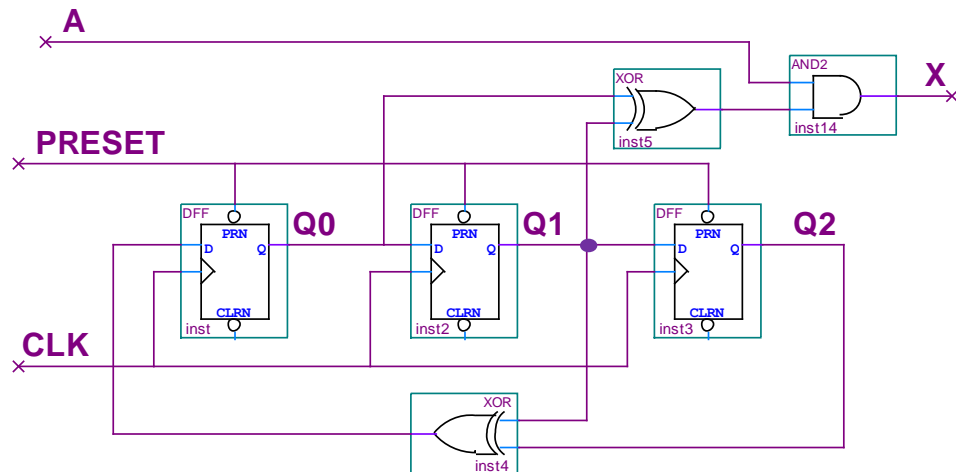
$$D_0 = Q_1 \oplus Q_2$$

$$D_1 = Q_0$$

$$D_2 = Q_1$$

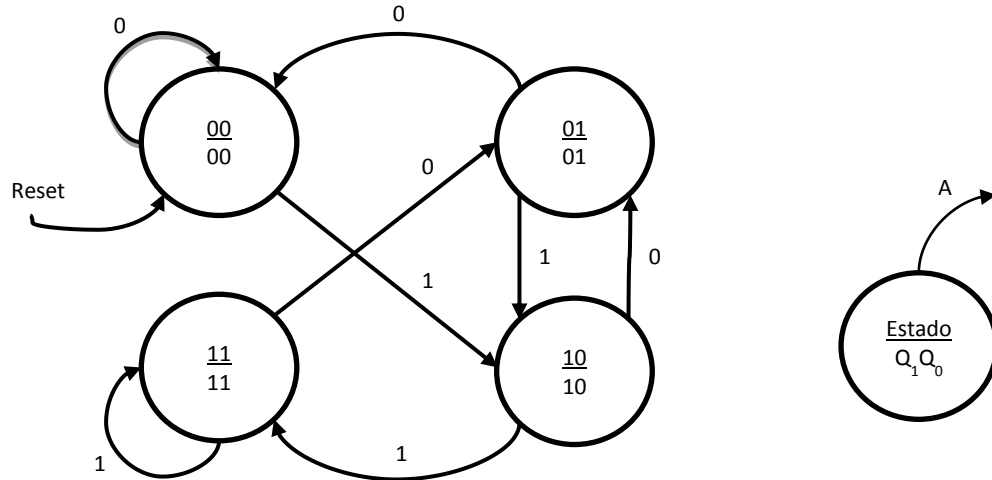
$$X = (Q_0 \oplus Q_1) \cdot A$$

- 2) Complete el cronograma adjunto.

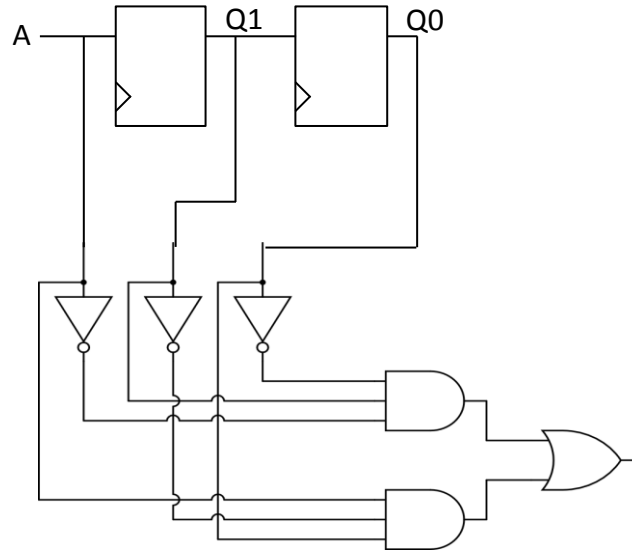


Parte 2:

- 1) Dibuje el diagrama de estados de un registro de 2 bits de desplazamiento serie a la derecha y salida paralelo. La entrada del circuito es A. Las salidas del circuito son las salidas Q de los biestables que forman el registro. Indique la notación empleada para representar el diagrama de estados.



- 2) Diseñe un circuito detector de secuencia capaz de detectar las secuencias “101” y “010” utilizando únicamente puertas lógicas y el registro del apartado anterior.





EJERCICIO2 (parte 1) 5 puntos	Cronograma	Puntos	Comentarios
1)	Ecuaciones estado y salida	2	4 ecuaciones 0,5 puntos cada una
2)	Cronograma	8	1,5 puntos cada onda. 2 puntos inicialiación correcta (preset)

EJERCICIO 2 (parte 2) 5 puntos	Diagrama de estados	Puntos	Corregir cada ejercicio sobre 10 y luego ponderar
1)	Diagrama estados registro serie dcha-paralelo	3	1 punto el modelo; 9 la máquina de estados
2)	circuito detector secuencias "101" y "010" con registro	2	4 puntos cada secuencia; 2 puntos el registro

E.3

SOLUCIÓN / SOLUTION

1) $32k = 2^{15} \Rightarrow 15 \text{ líneas / lines}$ (0'5/10)

2) $16k = 2^{14} \Rightarrow 14 \text{ líneas / lines}$ (0'25/10)

$4k = 2^{12} \Rightarrow 12 \text{ líneas / lines}$ (0'25/10)

$2k = 2^{11} \Rightarrow 11 \text{ líneas / lines}$ (0'25/10)

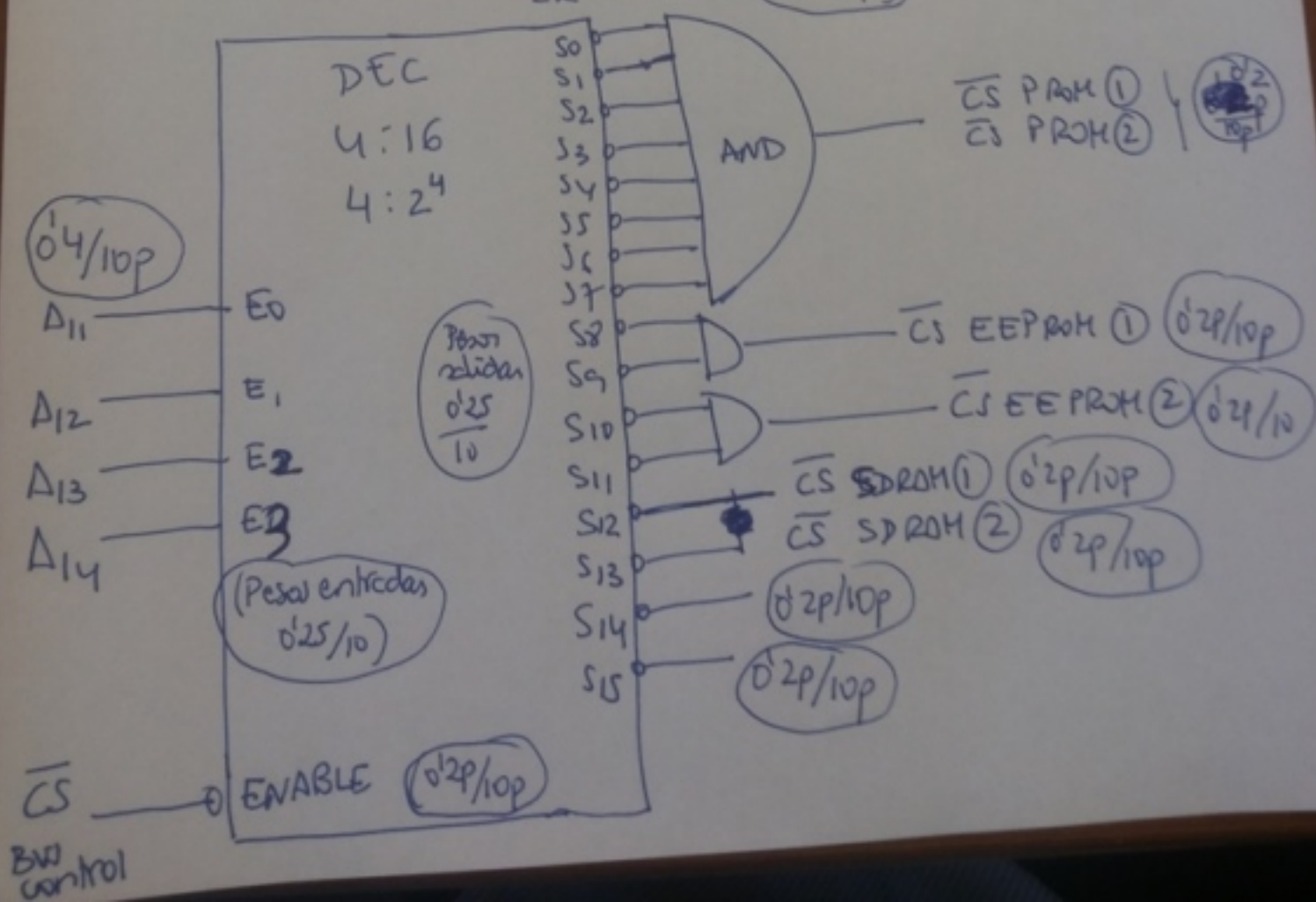
3) $\text{PROH} = \frac{16k \times 8}{16k \times 4} = 2 \text{ módulos / modules}$ (0'25/10)

$\text{EEPROM} = \frac{8k \times 8}{4k \times 8} = 2 \text{ módulos / modules}$ (0'25/10)

$\text{SDRAM} = \frac{4k \times 8}{2k \times 8} = 2 \text{ módulos / modules}$ (0'25/10)

4) Fig EJS.1 / Fig. Ex3.1 (5p/10)

5) $\text{Tamaño / Size} = \frac{32k}{2k} = 16$ (0'5/10p)





Apellidos, Nombre: _____

Grupo: _____

Ejercicio 3-apartado 4-Debe entregar la hoja del enunciado

Nota: A indica la línea de dirección del bus de direcciones, siendo A19 la línea de dirección más significativa y A0 la línea de dirección menos significativa

Figura Ej3.1

Libre <u>P2EE</u>	hexadecimal A19 A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0																			
SDRAM	SDRAM	6FFF																		
	(2)	62DD	1	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	SDRAM	67FF	1	1	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1
	(1)	6000	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
EEPROM	EEPROM	5FFF	1	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	(2)	5000	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
EEPROM	EEPROM	4FFF	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	(1)	4000	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
PROM	PROM	3FFF	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
	(2)	3000	0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1
PROM	PROM	0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
	(1)	0000	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

0'25
cada uno = 25 p/10

0'2 cada uno = 2 p/10

- Los criterios son sobre 10 puntos
- El apartado 1 vale 0,5 puntos en total
- El apartado 2 vale 0,75 puntos en total
- El apartado 3 vale 0,75 puntos en total
- El apartado 4 vale 5 puntos en total
- El apartado 5 vale 3 puntos en total