



**PRIMERA PARTE (1h)**

**Cuestión 1 (1 punto) (25 min)**

- a) Expresar  $65_{10}$ ,  $17_{10}$  y  $671_{10}$  en binario, octal y hexadecimal
  - b) Expresar  $671_{10}$  en BCD natural
  - c) Expresar  $+65_{10}$ ,  $+17_{10}$ ,  $-65_{10}$  y  $-17_{10}$ , mediante el convenio de complemento a 2. Utilizar el menor número posible de bits para representar todos ellos.
  - d) Realizar las siguientes operaciones en complemento a 2, justificando adecuadamente si hay acarreo y/o desbordamiento. Utilizar el mismo número de bits del apartado c).
- $65+17$        $65+65$        $17-65$        $-17-17$

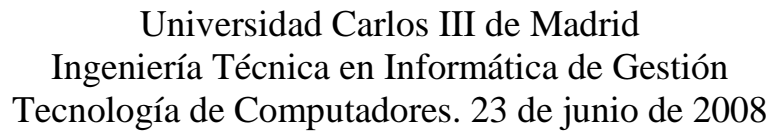
**Problema 1 (2,5 puntos) (35 min)**

Dada la función lógica f:

$$f = \bar{a}d + \bar{a}\bar{b} + a\bar{b}\bar{c}d + a\bar{b}d$$

Se pide:

- a) Su tabla de verdad
- b) Su expresión en forma de maxitérminos y minitérminos.
- c) Su expresión simplificada en forma de producto de sumas y de suma de productos.
- d) Su implementación con puertas NAND, únicamente.
- e) Su implementación con un multiplexor de 8 entradas de datos.
- f) Su implementación con un decodificador de 4 entradas.



**Nombre:** \_\_\_\_\_ **Grupo:** \_\_\_\_\_

**Cuestión 2 (1,5 puntos) (20 min)**

- ¿Se trata de un circuito de Moore o de Mealy? Razone la respuesta.
- Determinar las funciones de estado y las de salida.
- Rellenar el cronograma adjunto.
- Calcular la frecuencia máxima de funcionamiento del circuito, suponiendo que el tiempo de propagación de las puertas es de 19ns y el tiempo de *setup* y *hold* de los biestables es 1ns y 0ns respectivamente.

	Name	Value at 0 ps	0 ps	10.0 ns	20.0 ns	30.0 ns	40.0 ns	50.0 ns	60.0 ns	70.0 ns
			0 ps							
			U							
0	Reset	U 0								
1	Clk	U 0								
2	E	U 0								
3	Q0	U 0								
4	Q1	U 0								
5	Q2	U 0								
6	D2	U 0								
7	S	A 0								



**Problema 2 (3 puntos) (1h)**

Se desea diseñar un circuito secuencial síncrono con biestables de tipo D, mediante el modelo de MOORE, con una entrada de control (A) y cuatro salidas (S3, S2, S1, S0), que debe funcionar de la siguiente forma:

Si  $A=0$  el circuito funciona como un contador ascendente siguiendo una secuencia de código binario Johnson de 4 bits en sus salidas:

S3 S2 S1 S0=0000, 0001, 0011, 0111, 1111, 1110, 1100, 1000, 0000, ...

Si  $A=1$  el circuito funcionará también como un contador, recorriendo los mismos valores del código Johnson, pero con los valores recorridos de menor a mayor, asumiendo que ahora las salidas representan un código binario natural.

Se pide :

- Diagrama de transición de estados. Especificar claramente el convenio de señales utilizado en el diagrama.
- Tabla de asignación de estados y salidas, tabla de transición de estados.
- Funciones simplificadas de excitación y salidas.
- Implementación del circuito resultante, incluyendo las señales de reloj y reset.



**TERCERA PARTE (50 min)**

**Nombre:** \_\_\_\_\_ **Grupo:** \_\_\_\_\_

**Apellidos:** \_\_\_\_\_

**Cuestión 3 (1 punto) (10 min)**

Esta cuestión se responderá en esta misma hoja.

Se quiere implementar un circuito secuencial síncrono con biestables D, con dos entradas A y B, y una salida S. Las funciones de estado y de salida son las siguientes:

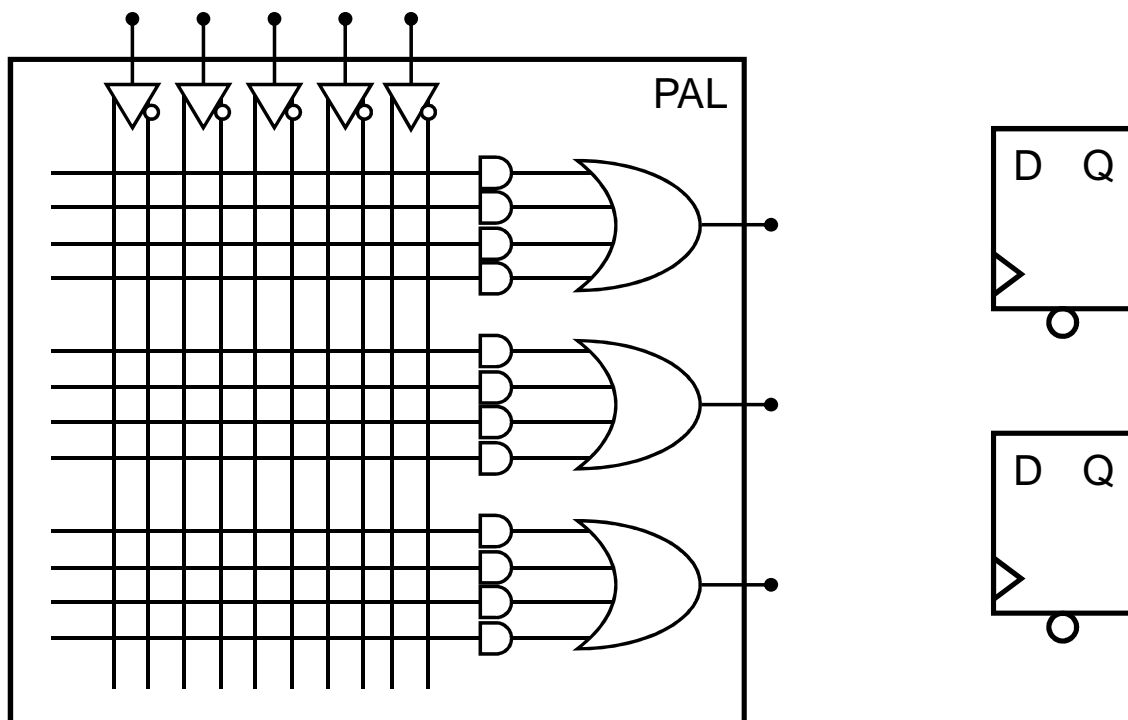
- Funciones de estado:

$$D_0 = ABQ_0 + A\overline{Q_0}Q_1$$
$$D_1 = Q_0Q_1 + \overline{A}BQ_1 + AB$$

- Funciones de salida:

$$S = A + B + Q_0\overline{Q_1}$$

Implemente el circuito utilizando la PAL y los biestables de la figura.





**Problema 3 (1,5 puntos) (40 min)**

Un microprocesador dispone de un bus de datos de 16 bits y un bus de direcciones de 24 bits. La memoria de este microprocesador se ha dispuesto de la siguiente manera:

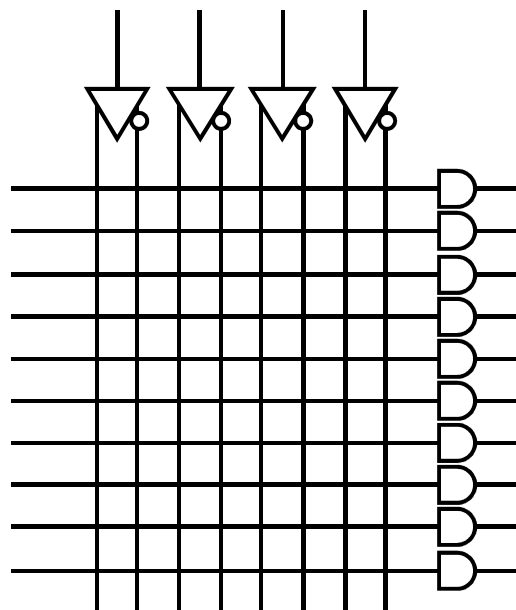
- En la parte baja de la memoria (posición 0) hay 2M de ROM.
- A continuación se ubican 4M de EEPROM.
- Se quieren reservar otros 2M para futuras ampliaciones de memoria EEPROM que se realizarán mediante circuitos integrados de 1Mx8.
- En la parte alta del mapa de memoria se encuentra la memoria SRAM, completando el resto de direcciones disponibles.

Para completar este esquema de memoria se dispone de los siguientes integrados:

- ROM 2Mx16
- EEPROM 2Mx8
- SRAM 4Mx16

Se pide:

- Obtenga el mapa de memoria del microprocesador, indicando (en hexadecimal) las direcciones de comienzo y final de cada integrado.
- Diseñe un esquema de decodificación de direcciones para la memoria del microprocesador, utilizando el mínimo número de decodificadores posible.
- Dibuje el esquema eléctrico de conexiones, indicando todas las entradas y salidas de cada integrado y sus conexiones a los buses, para la zona de memoria EEPROM.
- Implemente la decodificación de direcciones en la matriz programable de la figura. Indique mediante un círculo los fusibles que permanecen tras el proceso de grabación, así como las señales que se conectan a las entradas y salidas de la matriz programable.



### Question 1

a)  $65 = 100.0001_2 = 101_8 = 41_{16}$       $67_{10} \mid 2$

$$\Delta 7 = \Delta 1000 \Delta 2 = 218 = 1110$$

$$671 = \sqrt{1010011111}_2 = 1237_{10} = 29F_{16}$$

$$b) 671 = \underbrace{0110}_6 \cdot \underbrace{0111}_7 \cdot \underbrace{0001}_1$$

c) Para representar números en C2 necesitaremos los bits del número mayor y uno más para el signo.

65  $\Rightarrow$  7 bits + sign  $\Rightarrow$  8 bits

$$+65 = 0100.0001$$

$$+17 = 0001.0001$$

$$-65 = 1011.1111$$

$$-17 = 1110.111 \Delta$$

d) 
$$\begin{array}{r} +65 = 0100\ 0001 \\ +17 = 0001\ 0001 \\ \hline 0101\ 0010 = \end{array}$$

No a cameo

No desbordamiento

Trabajamos  
con 8bits

$$+65 = 01000001$$

$$+65 = 01000001$$

$$10000010 = -126$$

No a carico

Desbordamiento, ya que sumamos dos positivos y sale negativo.

$$+17 = 0001.0001$$

$$-65 = 1011.1111$$

$$\underline{11010000} = -48$$

No a carro

No desbordamiento.

$$-17 = 1110.1111$$

$$-17 = 1110.\underline{1111}$$

$$\boxed{11101.1110} = -34.$$

Hay acarreo, que se desprecia.

No desbordamiento.

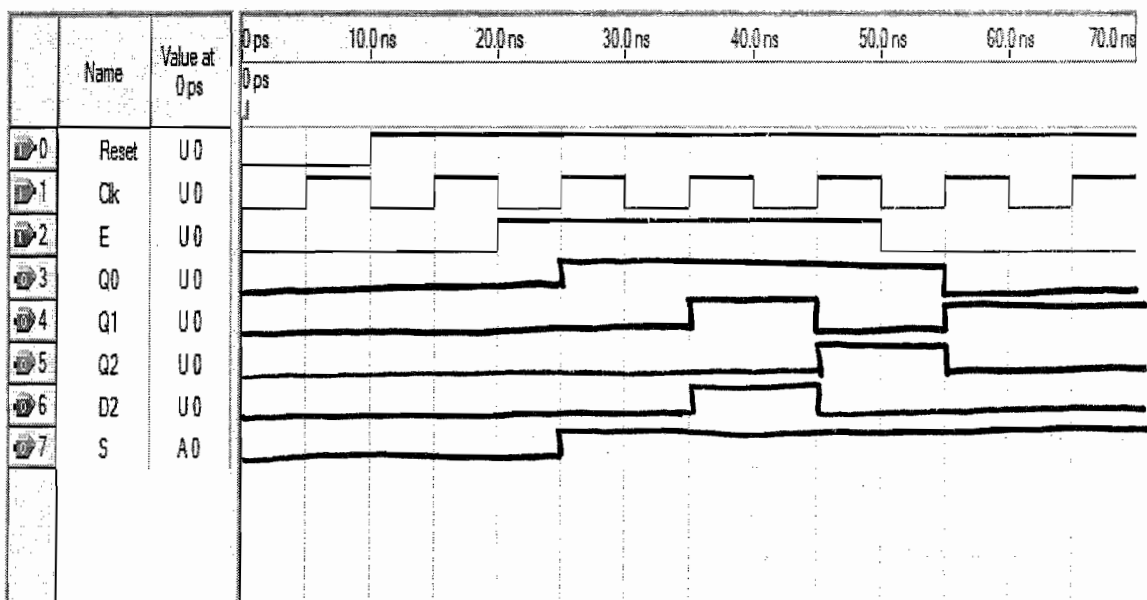
## Cuestión 2

a) Es un circuito de Mealy ya que la salida  $S$  depende de la entrada  $E$ , y no sólo del estado ( $Q_0, Q_1, Q_2$ ).

b) Funciones de estado:  $D_0 = E$   
 $T_1 = Q_0$   
 $D_2 = Q_0 Q_1$

Función de salida:  $S = E \cdot Q_0 + Q_1 + Q_2$

## c) Cronograma



d) La frecuencia máxima la determina el camino más lento entre dos biestables (llamado "camino crítico"). Además, hay que añadir el tiempo de setup y hold de los biestables. En este caso, el camino crítico tiene una puerta.

$$T = 19 + 1 + 0 = 20 \text{ ns} \Rightarrow f_{\max} = \frac{1}{T} = \underline{50 \text{ MHz} = f_{\max}}$$



**TERCERA PARTE (50 min)**

**Nombre:** \_\_\_\_\_ **Grupo:** \_\_\_\_\_

**Apellidos:** \_\_\_\_\_

**Cuestión 3 (1 punto) (10 min)**

Esta cuestión se responderá en esta misma hoja.

Se quiere implementar un circuito secuencial síncrono con biestables D, con dos entradas A y B, y una salida S. Las funciones de estado y de salida son las siguientes:

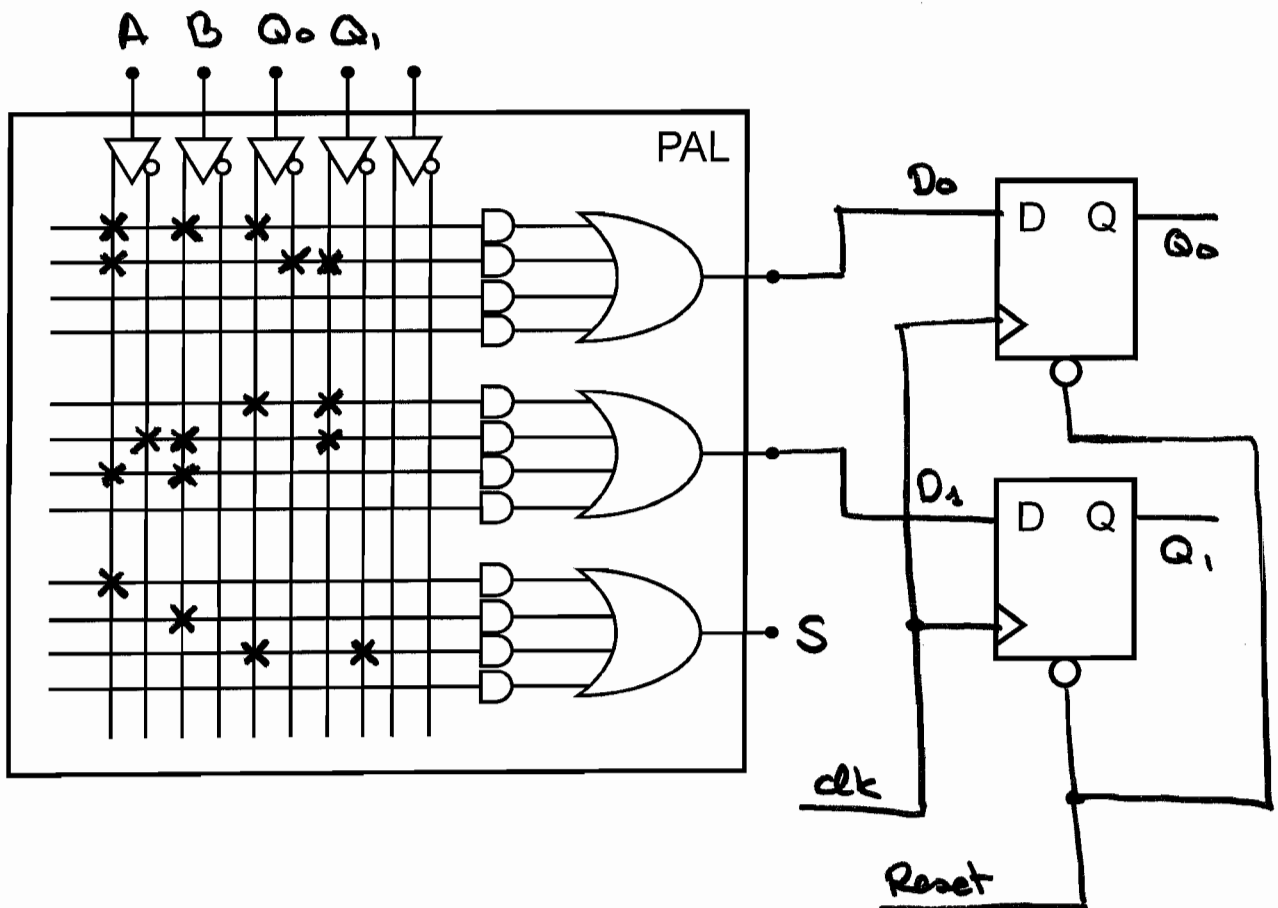
- Funciones de estado:

$$D_0 = ABQ_0 + A\overline{Q_0}Q_1$$
$$D_1 = Q_0Q_1 + \overline{A}BQ_1 + AB$$

- Funciones de salida:

$$S = A + B + Q_0\overline{Q_1}$$

Implemente el circuito utilizando la PAL y los biestables de la figura.





Dada la función lógica:

$$f = \bar{a}d + \bar{a}\bar{b} + a\bar{b}c\bar{d} + a\bar{b}d$$

Se pide:

- Su tabla de verdad.
- Su expresión en forma de maxitérminos y minitérminos.
- Su expresión simplificada en forma de producto de sumas y de suma de productos.
- Su implementación con puertas NAND, únicamente.
- Su implementación con un multiplexor de 8 entradas de datos.
- Su implementación con un decodificador de 4 entradas.

a) Tabla de verdad:

a	b	c	d	f
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
-----				
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
-----				
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
-----				
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

Karnaugh (grupos de 1s y 0s):

f	c d			
	00	01	11	10
a b				
00	1	1	1	1
01	0	1	1	0
11	0	0	0	0
10	0	1	1	1

$$f = \bar{a}d + \bar{a}\bar{b} + \bar{b}c + \bar{b}d$$

$$f = (\bar{a} + \bar{b})(\bar{b} + d)(\bar{a} + c + d)$$

b)

Maxitérminos (forma compacta):

$$f = \prod_4 (4, 6, 8, 12, 13, 14, 15)$$

Minitérminos (forma compacta):

$$f = \sum_4 (0, 1, 2, 3, 5, 7, 9, 10, 11)$$

c) Formas simplificadas.

Producto de sumas:

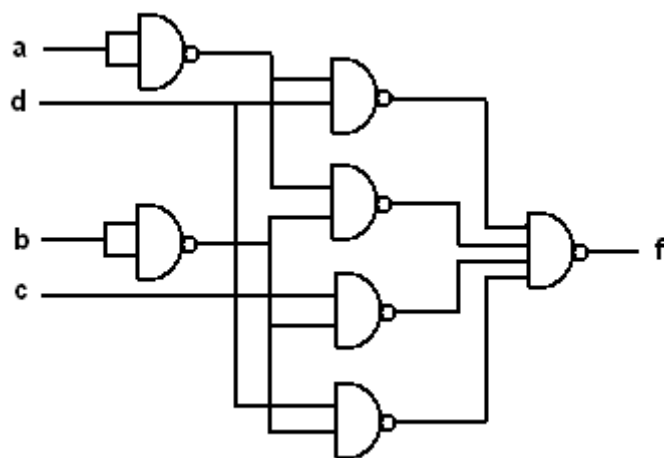
$$f = (\bar{a} + \bar{b})(\bar{b} + d)(\bar{a} + c + d)$$

Suma de productos:

$$f = \bar{a}d + \bar{a}\bar{b} + \bar{b}c + \bar{b}d$$

d)

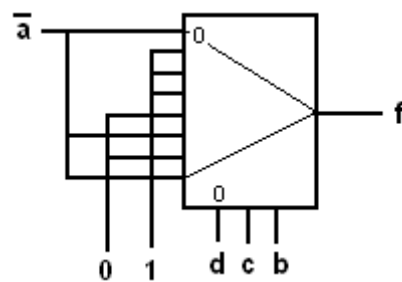
Esquema con puertas NAND:



e)

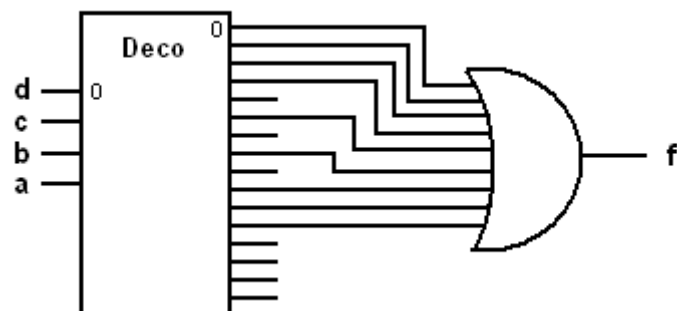
Multiplexor de 8 entradas de datos:

	bcd							
a	000	001	010	011	100	101	110	111
0	1	1	1	1	0	1	0	1
1	0	1	1	1	0	0	0	0
Entrada	0	1	2	3	4	5	6	7
Dato	$\bar{a}$	1	1	1	0	$\bar{a}$	0	$\bar{a}$

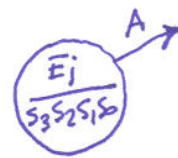


f)

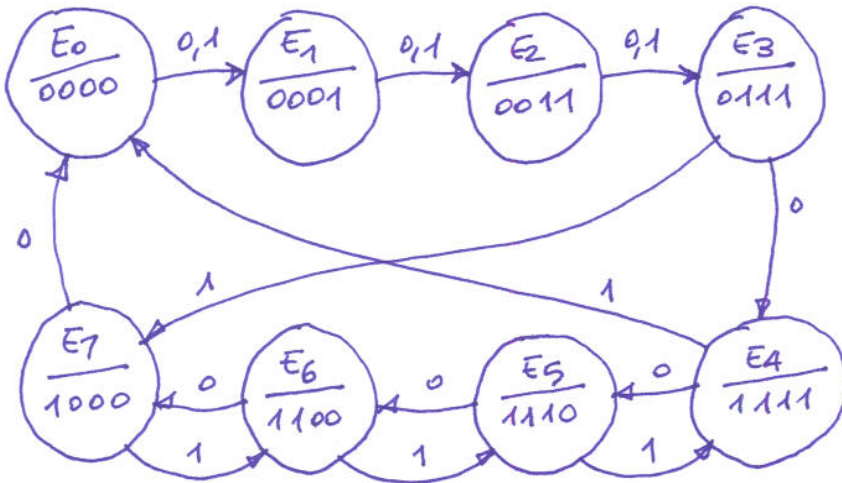
Decodificador de 4 entradas:



# SOLUCIÓN P2

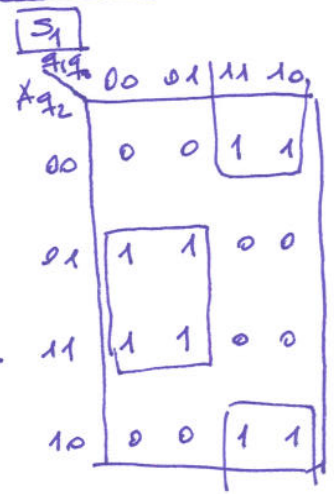
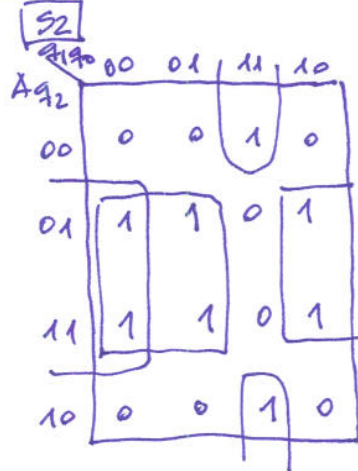
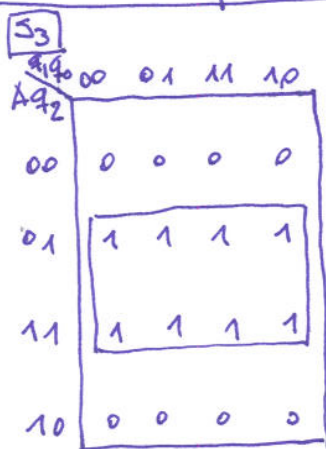
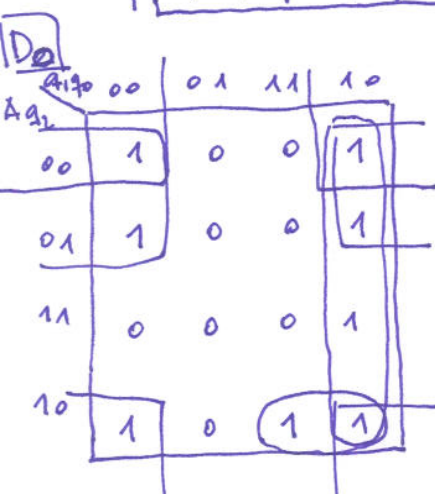
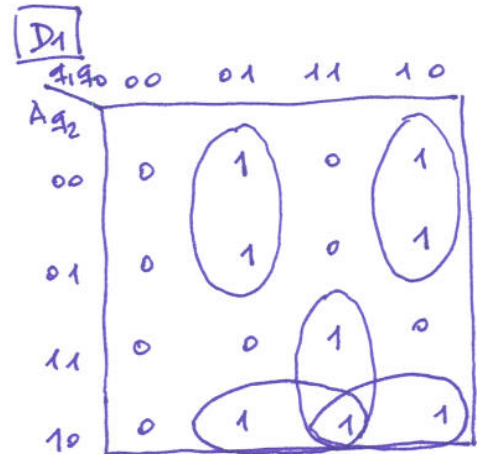
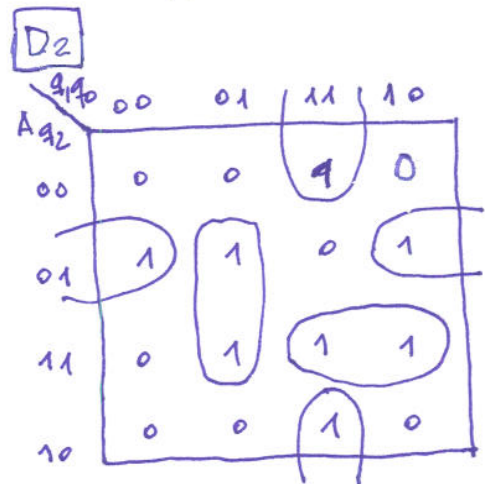


CODIFICACIÓN ESTADOS  
 $N=8 \quad 2^n \geq N \rightarrow n=3 \text{ FF}$



	$q_2$	$q_1$	$q_0$
$E_0$	0	0	0
$E_1$	0	0	1
$E_2$	0	1	0
$E_3$	0	1	1
$E_4$	1	0	0
$E_5$	1	0	1
$E_6$	1	1	0
$E_7$	1	1	1

	$A$	$q_2^t$	$q_1^t$	$q_0^t$	$q_2^{t+1}$	$q_1^{t+1}$	$q_0^{t+1}$	$S_3$	$S_2$	$S_1$	$S_0$
SALIDA GRAY	0	0	0	0	0	0	1	0	0	0	0
	0	0	0	1	0	1	0	0	0	0	1
	0	0	1	0	0	1	1	0	0	1	1
	0	0	1	1	1	0	0	0	1	1	1
	0	1	0	0	1	0	1	1	1	1	1
	0	1	0	1	1	1	1	0	1	1	0
	0	1	1	0	1	1	1	1	1	0	0
	0	1	1	1	0	0	0	0	1	0	0
SALIDA BINARIO NATURAL	1	0	0	0	0	0	1	0	0	0	0
	1	0	0	1	0	1	0	0	0	0	1
	1	0	1	0	0	1	1	0	0	1	1
	1	0	1	1	1	1	1	0	1	1	1
	1	1	0	0	0	0	0	1	1	1	1
	1	1	0	1	1	0	0	1	1	1	0
	1	1	1	0	1	0	1	1	1	0	0
	1	1	1	1	1	1	0	1	0	0	0



$S_0$

$q_1 q_0$	00	01	11	10
$A q_2$				
00	0	1	1	1
01	1	0	0	0
11	1	0	0	0
10	0	1	1	1

$$D_0 = \bar{A} \bar{q}_0 + q_1 \bar{q}_0 + A \bar{q}_2 q_1 + A \bar{q}_2 \bar{q}_0$$

$$D_1 = \bar{A} \bar{q}_1 q_0 + \bar{A} q_1 \bar{q}_0 + A \bar{q}_2 q_0 + A \bar{q}_2 q_1 + A q_1 q_0$$

$$D_2 = \bar{A} q_2 \bar{q}_0 + q_2 \bar{q}_1 q_0 + \bar{q}_2 q_1 q_0 + A q_2 q_1$$

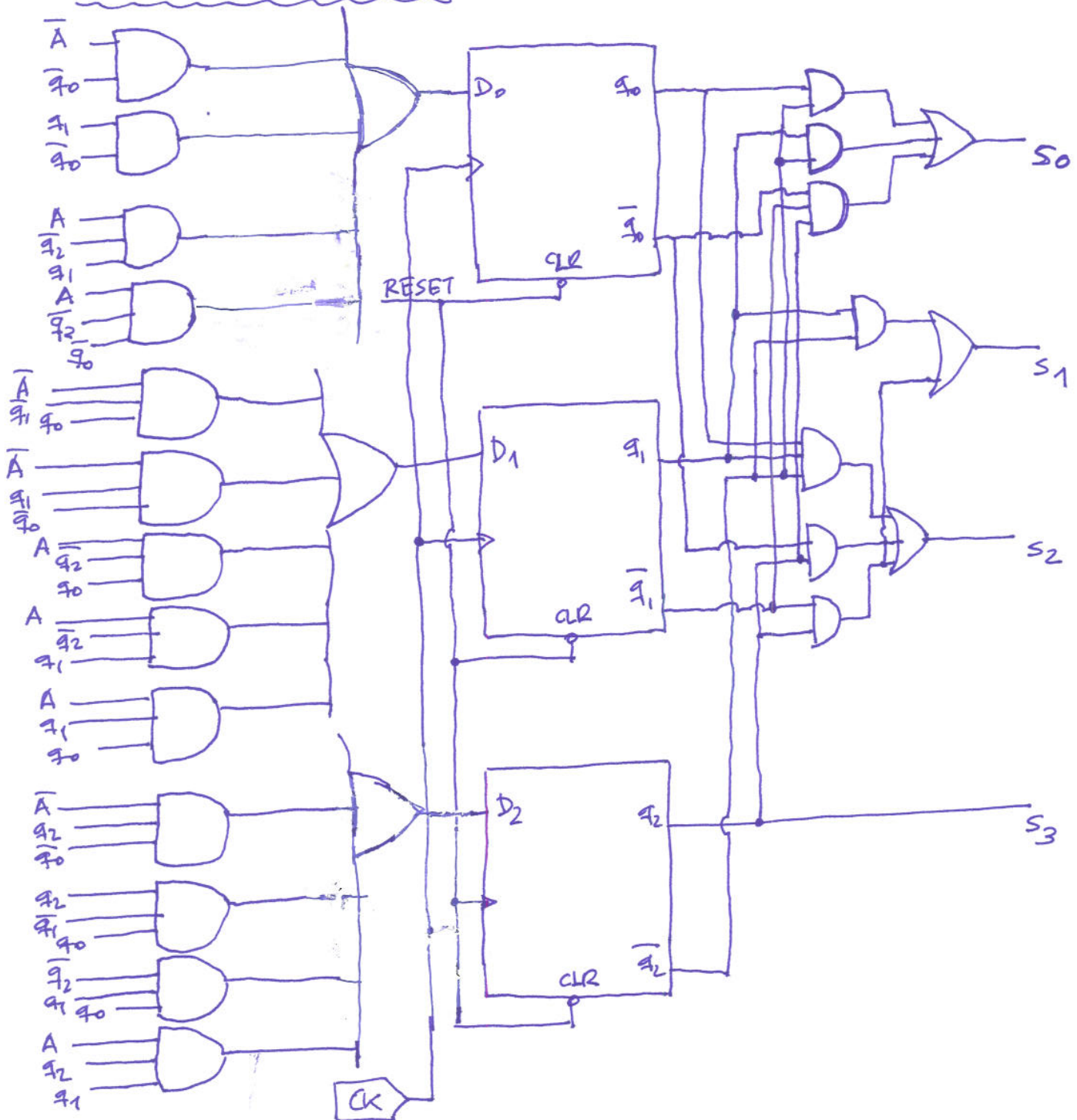
$$S_3 = q_2$$

$$S_2 = \bar{q}_2 q_1 q_0 + q_2 \bar{q}_1 + q_2 \bar{q}_0$$

$$S_1 = q_2 \bar{q}_1 + q_1 \bar{q}_2$$

$$S_0 = q_2 \bar{q}_1 \bar{q}_0 + \bar{q}_2 q_0 + \bar{q}_2 q_1$$

### IMPLEMENTACIÓN CIRCUITO



ASIGNATURA TECNOLOGÍA DE COMPUTADORES

FECHA

APELLIDOS DEL ALUMNO SOLUCIÓNNOMBRE DEL ALUMNO JUNIO 2008CURSO GRUPO TITULACIÓNPROBLEMA 3

Microprocesador → Bus datos 16 bits  
→ Bus direcciones 24 bits

## • Mapa de Memoria

2M ROM

+

4M EEPROM

+

2M ampliaciones 1Mx8

XM SRAM (completar direcciones)

## • Se dispone de

ROM 2Mx16

EEPROM 2Mx8

SRAM 4Mx16

a) Mapa de memoria del  $\mu P$ ~~2M~~ ~~24~~

Integrados necesarios de cada tipo

$$\text{ROM: } \frac{2\text{Mx16}}{2\text{Mx16}} = 1 \times 1 \Rightarrow 1 \text{ C.I. Integrado}$$

$$\text{EEPROM } \frac{4\text{Mx16}}{2\text{Mx8}} = 2 \times 2 \Rightarrow 4 \text{ C.I.}$$

SRAM

$$\text{Se necesitan } 16\text{M} - (2 + 4 + 2) = 8\text{M}$$

El Mapa de memoria tiene en total 16M al ser el  
bus de direcciones de 24 bits  $2^{20} \cdot 2^4 = 16\text{M}$

(16Mx16)

Para representar 16M direcciones en Hexadecimal, se  
necesitan:

$$24/4 = 6 \text{ dígitos}$$



ROM 2Mx16		000000
		1FFFFFFF
EEPROM0 2Mx8	EEPROM1 2Mx8	200000
		3FFFFFFF
EEPROM2 2Mx8	EEPROM3 2Mx8	400000
		5FFFFFFF
AMPLIACION 1M		600000
		6FFFFFFF
AMPLIACION 1M		700000
		7FFFFFFF
SRAM0 4Mx16		800000
		BFFFFFFF
SRAM1 4Mx16		C00000
		FFFFFFF

$$1M \equiv 2^{20} \rightarrow 0FFFFFFF$$

$$2M \equiv 2^{21} \rightarrow 1FFFFFFF$$

$$4M \equiv 2^{22} \rightarrow 3FFFFFFF$$



ASIGNATURA \_\_\_\_\_ FECHA \_\_\_\_\_

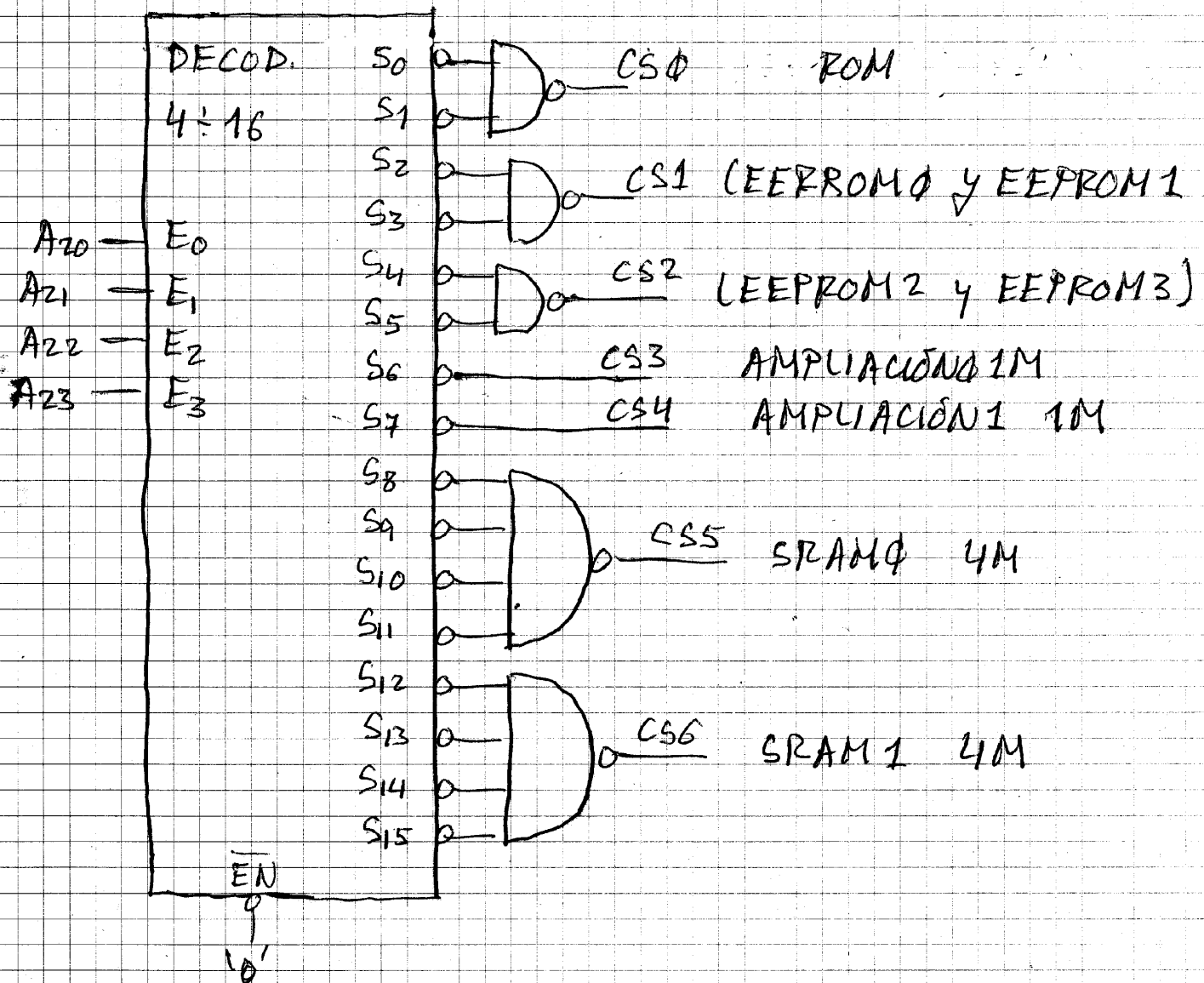
APELLIDOS DEL ALUMNO \_\_\_\_\_

NOMBRE DEL ALUMNO \_\_\_\_\_

CURSO \_\_\_\_\_ GRUPO \_\_\_\_\_ TITULACIÓN \_\_\_\_\_

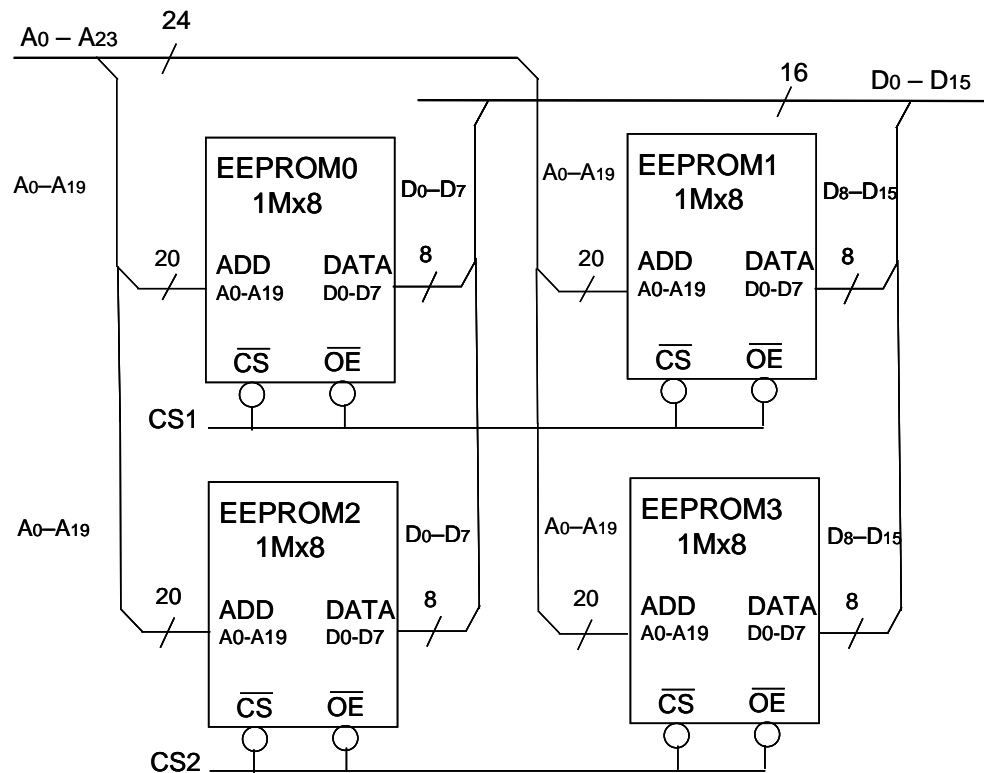
b) Esquema de decodificación con el menor número posible de decodificadores

El Bloque mínimo para el que se necesita un  $\overline{CS}$  es de 1M  
Por lo que es necesario un decodificador de 16 salidas y 4 entradas





c) Esquema Eléctrico de conexiones para la zona de memoria EEPROM

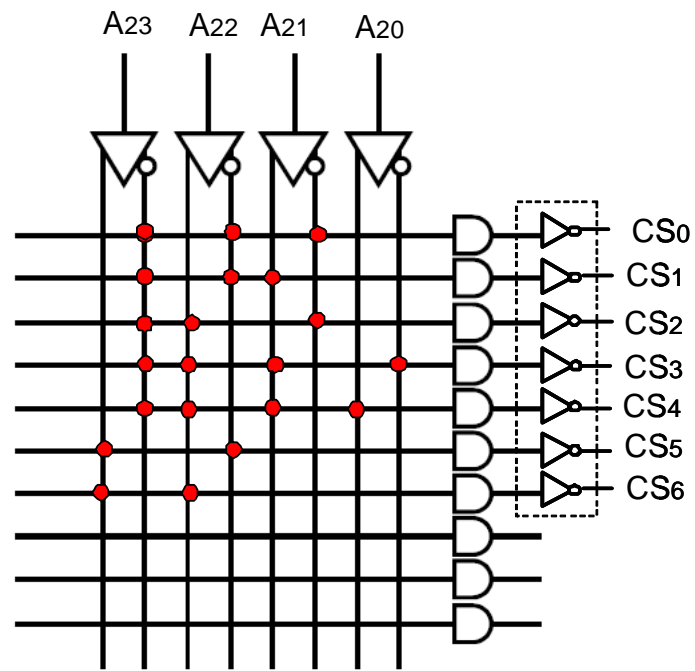


d) Decodificación en matriz programable

Si se considera que las entradas de CS de las memorias son activos a nivel alto, Las ecuaciones de decodificación de cada uno de los grupos de integrados son:

$$\begin{aligned}
 CS_0 &= CS_{ROM} = \overline{A_{23}} \overline{A_{22}} \overline{A_{21}} \\
 CS_1 &= CS_{EEPROM0} = \overline{A_{23}} \overline{A_{22}} A_{21} \\
 CS_2 &= CS_{EEPROM1} = \overline{A_{23}} A_{22} \overline{A_{21}} \\
 CS_3 &= CS_{SLOT4} = \overline{A_{23}} A_{22} A_{21} \overline{A_{20}} \\
 CS_4 &= CS_{SLOT1} = \overline{A_{23}} A_{22} A_{21} A_{20} \\
 CS_5 &= CS_{RAM0} = A_{23} \overline{A_{22}} \\
 CS_6 &= CS_{RAM1} = A_{23} A_{22}
 \end{aligned}$$

Por lo que el plano programable será:



Los inversores son necesarios si las entradas de CS de las memorias se han escogido activos a nivel bajo (como es el caso), en caso contrario no serían necesarios.