

APELLIDOS, NOMBRE:

GRUPO:

Problema 1 (2.5 puntos; 25 minutos)

a) Obtenga la representación del siguiente número decimal $A=+245_{10}$ para las siguientes bases:

Binario	11110101
Octal	365
Hexadecimal	F5

b) Dado el número $B = 100010110_{CA2}$ representado en complemento a 2, obtenga su representación decimal.

$$100010110 = -1 \cdot 2^8 + 1 \cdot 2^4 + 1 \cdot 2^2 + 1 \cdot 2^1 = -234$$

c) Lleve a cabo las siguientes operaciones: $X=A+B$ e $Y=B-A$. Represente el resultado en CA2, diga si existe overflow en cada una de las operaciones y explíquelo.

$$A+B = 11$$

$$B-A = -479$$

$$011110101$$

$$100010110$$

$$+100010110$$

$$+100001011$$

$$000001011$$

$$000100001$$

Con 9 bits se pueden representar los números desde el $-256 (-2^8)$ hasta el $+255 (+2^8-1)$. Por lo tanto no existe overflow en la primera operación pero sí en la segunda.

d) Para llevar a cabo las operaciones anteriores, defina a continuación el tipo de datos y longitud de los mismos. ¿Que haría para resolver el problema del overflow en las anteriores operaciones?

A: **IN SIGNED (8 DOWNT0 0);**

B: **IN SIGNED (8 DOWNT0 0);**

X: **IN SIGNED (8 DOWNT0 0);**

Y: **IN SIGNED (8 DOWNT0 0);**

Añadiendo un bit más tanto a los operandos como a los resultados se podría resolver el problema del overflow.

APELLIDOS, NOMBRE:

GRUPO:

Problema 2 (3 puntos; 30 minutos)

Given the following VHDL code:

```

ARCHITECTURE first_partial OF exam IS
-- Signal declaration
Signal y: STD_LOGIC_VECTOR (1 downto 0);
Signal f: STD_LOGIC_VECTOR (3 downto 0);

BEGIN

s<=a&b;

PROCESS( c,b,a )
BEGIN
f(0)<=c OR b;
f(1)<=c;
f(3 downto 2)<=a;
END PROCESS;

y <= "00" WHEN f(3) = '0' ELSE
      "01" WHEN f(2) = '0' ELSE
      "10" WHEN f(1) = '0' ELSE
      "11" WHEN f(0) = '0' ELSE
      "--";
eo <= '1' WHEN f = "1111" ELSE '0';

PROCESS(y,b,c,d)
BEGIN
CASE y IS
      WHEN "00" => e <= b OR (c AND d);
      WHEN "01" => e <= '0';
      WHEN "10" => e <= '1';
      WHEN OTHERS => e <= d NAND b;
END CASE;
END PROCESS;

END first_partial;

```

a) Describa la entidad del circuito

ENTITY exam IS

PORT(b,c,d : IN STD_LOGIC;

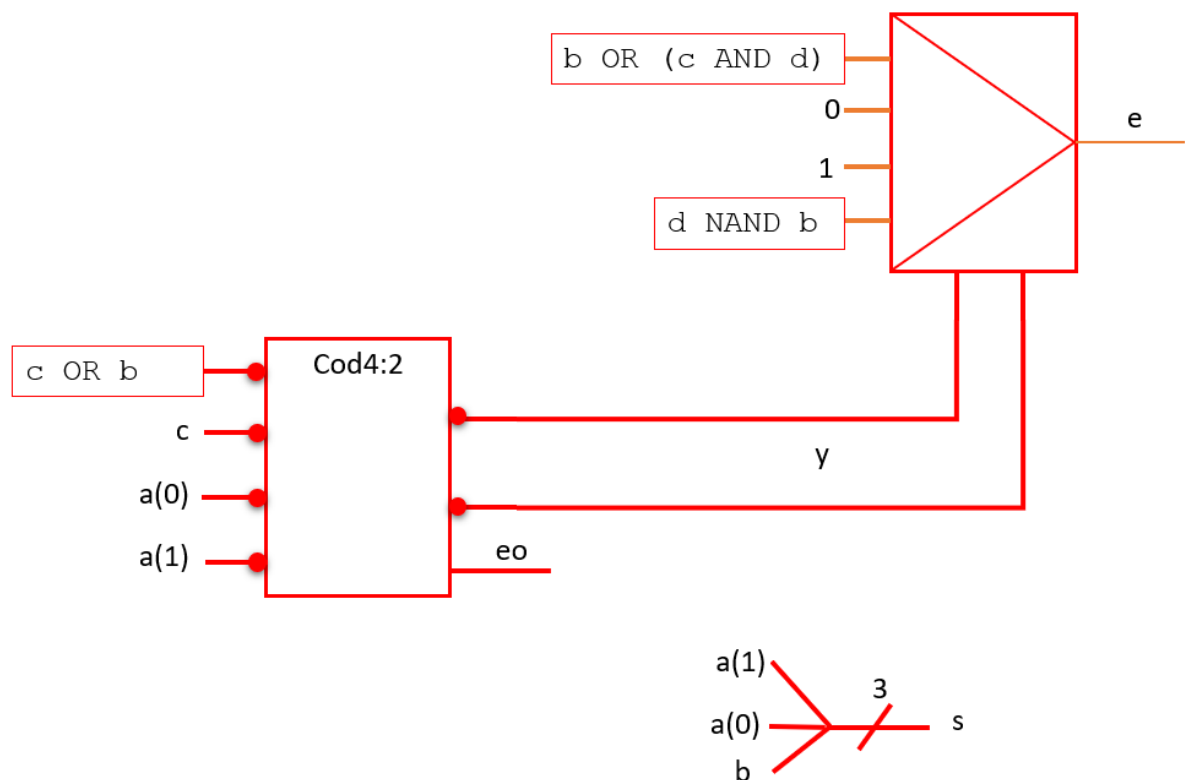
A: IN STD_LOGIC_VECTOR (1 downto 0);

E,EO: OUT STD_LOGIC;

S: OUT STD_LOGIC_VECTOR(2 downto 0));

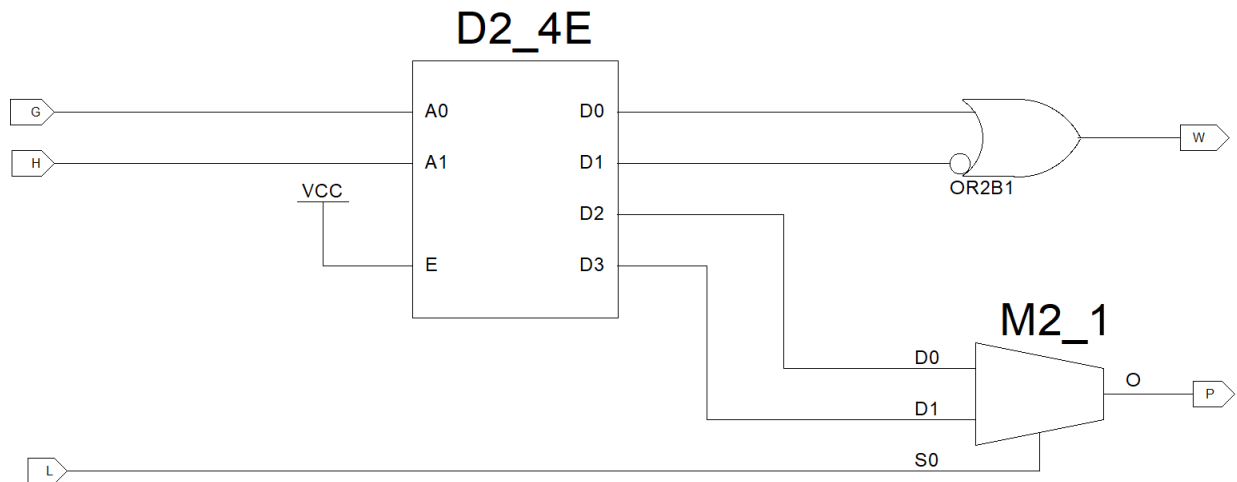
END exam;

- b) Declare las señales del circuito (en el código)
- c) Rellene las listas de sensibilidad (en el código)
- d) Dibuje el esquemático correspondiente al código VHDL identificando claramente todos los bloques y conexiones



Problema 4 (2 puntos; 20 minutos)

Dado el siguiente circuito



Teniendo en cuenta que la entrada A0 del bloque D2_4E es la más prioritaria

- a) Obtenga la tabla de verdad siguiendo el orden GHL para las entradas

G	H	L	W	P
0	0	0	1	0
0	0	1	1	0
0	1	0	0	0
0	1	1	0	0
1	0	0	1	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

- b) Describa usando VHDL la **arquitectura** del circuito anterior. Haga uso de **al menos una sentencia concurrente y otra secuencial**. Asuma que todas las entradas y salidas del circuito han sido definidas convenientemente como STD_LOGIC. Declare las señales necesarias.

ARCHITECTURE p3 OF parcial1 IS

BEGIN

P<='0' when G='0' ELSE

H XNOR L;

PROCESS(G,H)

BEGIN

IF G='0' THEN

W<= NOT H;

ELSE

W<='1';

END IF;

END PROCESS;

END p1;

APELLIDOS, NOMBRE:

GRUPO:

Problema 2 (2.5 puntos; 25 minutos)

Un jurado de cuatro jueces (A,B,C,D) utiliza un sistema para emitir el veredicto de sus juicios, basándose en el voto de cada uno de ellos. Cada uno de los jueces posee un pulsador digital que genera un 1 cuando se activa (votación culpable) o un 0 (votación inocente) cuando no está activado.

Un sistema combinacional lee la información de cada uno de estos cuatro jueces y activa una señal digital (Z) con el veredicto final de culpabilidad (1) o inocencia (0), calculado en base a la mayoría de votos en un sentido u otro.

En caso de empate, el veredicto es el voto del juez A.

Se pide :

- a) Tabla de verdad que describe el comportamiento del sistema de votación
- b) Ecuación en forma canónica como suma de productos.
- c) Implementación con un multiplexor de tres entradas de control.
- d) Implementación con decodificador decimal con salidas activas a nivel bajo.
- e) Arquitectura en VHDL
- f) En el caso de que el juez D y el B siguieran los mismos criterios, y votasen lo mismo siempre. ¿Qué valores indiferentes tendría la función Z?

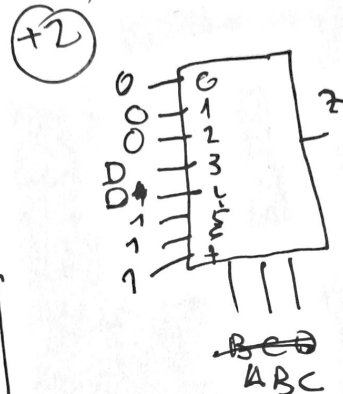
Soluciones examen parcial ED. SITT 16 PARCIAL

a)

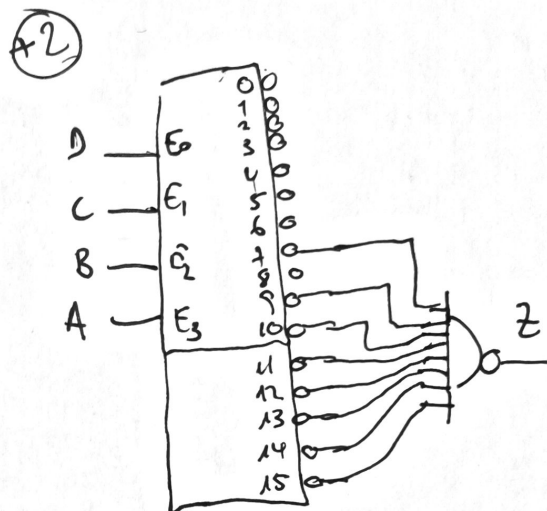
A	B	C	D	Z
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	0
0	1	0	0	0
0	1	0	1	0
0	1	1	0	0
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

b) $f = \sum (2, 9, 10, 11, 12, 13, 14, 15)$

c) Canux



d) Decco



e) Architecture una of examen is

+2 Signal entradas : std_logic_vector (3 downto 0);

Begin

with entradas select

Z <= '1' when "000" | "100" | "101" | "110" | "111" |

"1110" | "1111";

'0' when others;

end una;

f) No se producen situaciones indiferentes en la salida Z.

+1 En las entradas podrian encontrarse algunas don't care.