

Problema 1 (2 puntos)

- a) Usando como bloques funcionales puertas lógicas y circuitos combinacionales aritméticos y lógicos, obtenga el esquema de bloques del circuito descrito mediante el siguiente código VHDL

```
ENTITY componente IS
    PORT (
        Y          : OUT std_logic_vector(7 DOWNTO 0);
        a_sal      : OUT std_logic;
        A, B       : IN std_logic_vector(7 DOWNTO 0);
        a_en, M    : IN std_logic;
        ele        : IN std_logic_vector(1 DOWNTO 0)
    );
END componente;

ARCHITECTURE funcional OF componente IS
    SIGNAL arit : signed(7 DOWNTO 0);
    SIGNAL logi : std_logic_vector(7 DOWNTO 0);

BEGIN
    Y <= logi WHEN M = '1' ELSE
        std_logic_vector(arit);

    PROCESS (ele, A, B, a_en)
    BEGIN
        a_sal <= '0';
        CASE ele IS
            WHEN "01" =>
                IF a_en = '1' THEN
                    arit <= signed(A) + signed(B) + 1;
                    arit <= signed(A) + signed(B);
                ELSE
                    arit <= signed(A) + signed(B) + 1;
                END IF;
            WHEN "00" =>
                IF a_en = '1' THEN
                    arit <= signed(A) - signed(B) - 1;
                ELSE
                    arit <= signed(A) - signed(B);
                END IF;
            WHEN "11" =>
                arit <= signed(A(6 DOWNTO 0) & '0');
                a_sal <= A(7);
            WHEN "10" =>
                arit <= signed(A);
            WHEN OTHERS =>
                arit <= (OTHERS => ' - ');
        END CASE;
    END PROCESS;

    PROCESS (ele, A, B)
    BEGIN
        CASE ele IS
            WHEN "00" => logi <= NOT (A AND B);
            WHEN "01" => logi <= A OR (NOT B);
            WHEN "10" => logi <= NOT B;
            WHEN "11" => logi <= A XOR B;
            WHEN OTHERS => logi <= (OTHERS => ' - ');
        END CASE;
    END PROCESS;
END funcional;
```

- Escriba las cláusulas LIBRAY y USE necesarias para que el código funcione correctamente.
- Cree una tabla en la que en función de los posibles valores binarios de M y *ele*, se describa la funcionalidad del circuito mediante ecuaciones aritméticas y lógicas (una línea por funcionalidad)

Problema 2 (3 puntos)

Un sistema lógico posee tres entradas (A, B, C) y tres salidas (X, Y, Z).

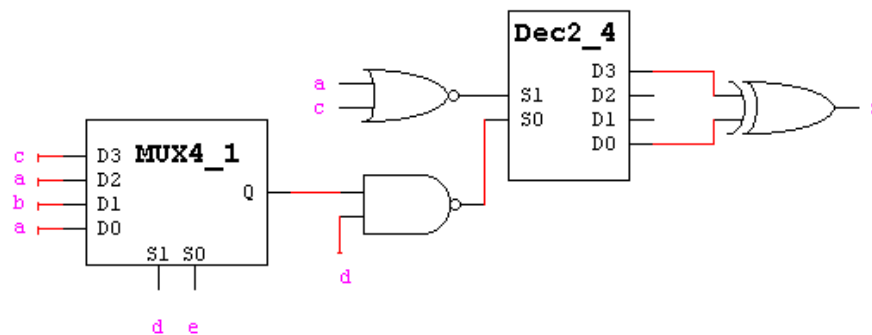
- X=1 cuando en las combinaciones de entrada se dan dos o más ceros contiguos.
- Y=1 cuando en las combinaciones de entrada se dan dos o más unos contiguos.
- Z=1 cuando X=0 e Y=0.

Se pide :

- La tabla de verdad de la multifunción X,Y,Z que describe el funcionamiento del sistema
- La ecuación lógica de Z en forma de suma de productos
- La descripción VHDL del sistema

Problema 3 (3 puntos)

Analice el siguiente circuito y escriba una arquitectura VHDL que modele su funcionalidad usando un proceso (o una asignación concurrente) por cada una de las cinco unidades funcionales representadas en la imagen.



Problema 4 (2 puntos)

Si A = 55 y B = 33. Se pide:

- Represente A en binario natural, Octal, Hexadecimal y código BCD
- Expresé A,B,-A,-B, en complemento a dos con 7 bits
- Realice la operación B+A
- Realice la operación -B+A
- Realice la operación B-A

Si en algún caso se produce desbordamiento (overflow) solucione el problema para que no se produzca y vuelva a realizar la operación para obtener un resultado correcto.