

浙江大学

本科实验报告

课程名称： 计算机组成与设计（周一 9，10 节）

姓 名：

学 院：

信息与电子工程学院

专 业：

电子科学与技术

学 号：

指导教师：

屈民军、唐奕

2020 年 9 月 21 日

浙江大学实验报告

专业： 电子科学与技术

姓名：

学号：

课程名称： 计算机组成与设计 指导老师： 屈民军、唐奕

实验名称： 快速加法器的设计

一、实验目的

二、实验任务与要求

三、实验原理

四、主要仪器设备

五、实验步骤与过程

六、实验调试、实验数据记录

七、实验结果和分析处理

八、讨论、心得

一、实验目的

- (1) 掌握快速加法器的设计方法。
- (2) 熟悉流水线技术。
- (3) 掌握时序仿真的工作流程。

二、实验任务与要求

- (1) 采用“进位选择加法”技术设计 32 位加法器，并对设计进行功能仿真和时序仿真
- (2) 采用四级流水线技术设计 32 位加法器，并对设计进行功能仿真和时序仿真。

三、实验原理

略

四、主要仪器设备

Modelsim、Vivado

五、实验步骤与过程

- (1) 4 位超前进位加法器设计

1、Verilog HDL 设计

略

2、功能仿真

| | | | | | | | | | | | | |
|---|----------------------|------|------|------|------|------|------|------|------|------|------|------|
| + | /adder_4bits_tb/a | 4'hf | 4'h3 | | 4'h5 | | 4'h6 | | 4'h9 | | 4'hf | |
| + | /adder_4bits_tb/b | 4'hf | 4'h2 | | 4'ha | | | | 4'hc | | 4'hf | |
| | /adder_4bits_tb/cin | 1'h0 | | | | | | | | | | |
| + | /adder_4bits_tb/sum | 4'he | 4'h6 | 4'h5 | 4'h0 | 4'hf | 4'h1 | 4'h0 | 4'h6 | 4'h5 | 4'hf | 4'he |
| | /adder_4bits_tb/cout | 1'h1 | | | | | | | | | | |

由波形图可见，4 位超前进位加法器功能实现。

(2) 32 位超前进位加法器设计

1、Verilog HDL 设计

将加法器分成 8 块分别进行加法计算，最低一块由 4 位超前进位加法器构成，后面 7 块分别假设前一块的进位为 0 或 1 将两种结果都计算出来，再根据前级进位选择正确的和与进位。每一块加法结构内部都采用超前进位加法器结构。

该模块由顶层模块 adder_32bits，四位超前进位加法器 adder_4bits，和二选一数据选择器 mux2 构成。

2、功能仿真

| | | | | | | | | | | | | |
|---|---------------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|
| + | /adder_32bits_tb/a | 32'hffffff0 | 32'ha0022475 | 32'h57b451c7 | 32'ha0000575 | 32'h4bc3b1e | 32'h0149b475 | 32'hf00041c7 | 32'h451bcd75 | 32'h00002b1e | 32'h00000000 | 32'hffffff0 |
| + | /adder_32bits_tb/b | 32'h0000000f | 32'h85561c86 | 32'h9712093b | 32'h00004ab4 | 32'h5aa64395 | 32'h67845c86 | 32'h9677693b | 32'h30981ab4 | 32'hd3950000 | 32'h00000000 | 32'h0000000f |
| | /adder_32bits_tb/ci | 1'h1 | | | | | | | | | | |
| + | /adder_32bits_tb/s | 32'h00000000 | 32'h255840fb | 32'heec65b02 | 32'ha0005029 | 32'ha6627eb3 | 32'h68ca10fc | 32'h8677ab03 | 32'h75b3e82a | 32'hd3952b1f | 32'h00000000 | 32'h00000000 |
| | /adder_32bits_tb/co | 1'h1 | | | | | | | | | | |

局部放大：

| | | | | | | | |
|---|---------------------|--------------|--------------|--------------|--------------|--------------|--------------|
| + | /adder_32bits_tb/a | 32'hffffff0 | 32'ha0022475 | 32'h57b451c7 | 32'ha0000575 | 32'h4bc3b1e | 32'h0149b475 |
| + | /adder_32bits_tb/b | 32'h0000000f | 32'h85561c86 | 32'h9712093b | 32'h00004ab4 | 32'h5aa64395 | 32'h67845c86 |
| | /adder_32bits_tb/ci | 1'h1 | | | | | |
| + | /adder_32bits_tb/s | 32'h00000000 | 32'h255840fb | 32'heec65b02 | 32'ha0005029 | 32'ha6627eb3 | 32'h68ca10fc |
| | /adder_32bits_tb/co | 1'h1 | | | | | |

由波形图可见，32 位超前进位加法器功能实现。

3、时序仿真

| | | | | | | | | | | | |
|---------------------|----------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|--------------|
| /adder_32bits_tb/a | 32'hf... | 32'ha0022475 | 32'h57b451c7 | 32'ha0000575 | 32'h4bc3b1e | 32'h0149b475 | 32'hf00041c7 | 32'h451bcd75 | 32'h00002b1e | 32'h00000000 | 32'hffffff0 |
| /adder_32bits_tb/b | 32'h... | 32'h85561c86 | 32'h9712093b | 32'h00004ab4 | 32'h5aa64395 | 32'h67845c86 | 32'h9677693b | 32'h30981ab4 | 32'hd3950000 | 32'h00000000 | 32'h0000000f |
| /adder_32bits_tb/ci | 1'h1 | | | | | | | | | | |
| /adder_32bits_tb/s | 32'h... | 32'h255840fb | 32'heec65b02 | 32'ha0005029 | 32'ha6627eb3 | 32'h68ca10fc | 32'h8677ab03 | 32'h75b3e82a | 32'hd3952b1f | 32'h00000000 | 32'h00000000 |
| /adder_32bits_tb/co | 1'h1 | | | | | | | | | | |
| /glbl/GSR | 1'h0 | | | | | | | | | | |

局部放大：

| | | | | | | | | | | | |
|---------------------|---------|--------------|--------------|--|--|--------------|--|--|--|--------------|--|
| /adder_32bits_tb/a | 32'h... | 32'hf00041c7 | | | | 32'h451bcd75 | | | | 32'h00002b1e | |
| /adder_32bits_tb/b | 32'h... | 32'h9677693b | | | | 32'h30981ab4 | | | | 32'hd3950000 | |
| /adder_32bits_tb/ci | 1'h0 | | | | | | | | | | |
| /adder_32bits_tb/s | 32'h... | 32'h6... | 32'h8677ab03 | | | 32'h75b3e82a | | | | 32'hd3952b1f | |
| /adder_32bits_tb/co | 1'h1 | | | | | | | | | | |
| /glbl/GSR | 1'h1 | | | | | | | | | | |

局部放大图可见输出信号时延及竞争冒险现象。当 a = 32'h00002b1e, b = 32'hd3950000 时，进位为 0，

输出却出现了短暂的 1，出现了竞争冒险现象。

六、问题记录

实验中我碰到了如下问题：

1、设计 adder_4bits.v 时，赋值语句比如 `assign s[0] = p[0]&(~g[0])&(~ci) | (~(p[0]&(~g[0])))&ci`，我最初写成了 `assign s[0] = p[0]&(~g[0])&(~ci) + (~(p[0]&(~g[0])))&ci`。即用“+”代替了按位或“|”，导致输出呈高阻。后来通过查阅资料发现这样赋值如果“+”两边都是“1”，右边结果为“10”，而左边只有 1 位，位数不匹配，无法得到正确结果，改正后仿真结果便正确了。

2、设计 adder_32bits.v 时，我受 C 语言条件运算 `a=s?a:b` 影响，将数据选择中的 in1 和 out 都用了 `s[3:0]`，in0 用了 `stmp[3:0]`，结果进位正确，s 却一直不正确，后来我 in1 用了 `stmp1[3:0]`，in0 用了 `stmp0[3:0]`，out 仍为 `s[3:0]`，得到了正确结果。后来想明白 verilog 的一个模块相当于一个电路模块，输入输出怎么可以一样呢，这个又不是双向端口，而且组合电路不能把输出接回输入的。

七、思考题

1、为什么要进行时序仿真？

因为功能仿真反映的是设计功能是否实现，时钟周期延迟是否基本正确，没有与具体开发板对应，只是一种理想情况下的仿真。而时序仿真反映的是芯片的实际工作状态，与开发板相对应，可以在时钟频率精确度和冒险延迟方面对电路进行仿真，与电路实际工作状态更接近。在 32 位超前进位加法器中我们可以看到功能仿真没有时延，但是时序仿真有时延，即输出改变比时钟上升沿到来的时间略迟，同时我们可以看到进位 co 在应该为 0 的时间出现了短暂的 1 状态，即出现了竞争冒险现象。

2、采用流水线技术有什么优缺点？

优点：流水线缩短了在一个时钟周期内给的那个信号必须通过的通路长度，增加了数据吞吐量，从而提高时钟频率。

缺点：功耗增加，面积增加，硬件复杂度增加，数据延迟。例如 32 位流水线加法器因为锁存器延迟了 4 个时钟周期。