



دانشکده مهندسی برق

طراحی پردازنده ۳۲ بیتی با معماری RISC-V

محل کارآموزی:

پژوهشکده الکترونیک دانشگاه علم و صنعت ایران

آزمایشگاه طراحی مدار مجتمع دیجیتال

نام دانشجو:

آروین دلاوری

نام استاد کارآموزی:

آقای دکتر ستار میرزا کوچکی

تابستان ۱۴۰۲

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

تأییدیه‌ی صحت و اصالت نتایج

بسمه تعالی

اینجانب آروین دلاوری به شماره دانشجویی ۹۹۴۱۱۴۹۷ دانشجوی رشته مهندسی برق - گرایش الکترونیک مقطع تحصیلی کارشناسی تأیید می‌نمایم که کلیه‌ی مطالب مندرج در این گزارش حاصل ۳۰۰ ساعت حضور و کار اینجانب در آزمایشگاه طراحی مدار مجتمع دیجیتال پژوهشکده الکترونیک دانشگاه علم و صنعت ایران و بدون هرگونه دخل و تصرف است و موارد نسخه‌برداری شده از آثار دیگران را با ذکر کامل مشخصات منبع ذکر کرده‌ام. در صورت اثبات خلاف مندرجات فوق، به تشخیص دانشگاه مطابق با ضوابط و مقررات حاکم آموزشی، پژوهشی و انضباطی با اینجانب رفتار خواهد شد و حق هرگونه اعتراض درخصوص احقاق حقوق مکتسب و تشخیص و تعیین تخلف و مجازات را از خویش سلب می‌نمایم.

نام و نام خانوادگی: آروین دلاوری

امضا و تاریخ: ۱۴۰۲ / ۷ / ۱

تشکر و قدردانی:

جناب آقای دکتر میرزا کوچکی

جناب آقای دکتر شاه حسینی

جناب آقای مهندس فراز قریشی

جناب آقای مهندس نیما امیر افشار

جناب آقای مهندس آرین حاجی زاده

جناب آقای مهندس عرفان ریاضتی

سرکار خانم مهندس مائده قادری

جناب آقای مهندس وحید خدادادی ویائی

چکیده

در طول دوره کارآموزی سپری شده در آزمایشگاه طراحی مدار مجتمع دیجیتال، واقع در پژوهشکده الکترونیک دانشگاه علم و صنعت ایران، بنده و جناب آقای مهندس فراز قریشی به صورت گروهی موفق به طراحی یک پردازنده ۳۲ بیتی با معماری RISC-V شدیم که مناسب استفاده در سیستم های نهفته و انجام محاسبات همه منظوره می باشد. این پردازنده دارای ویژگی های بسیاری مانند طراحی ماژولار و گسترش پذیر، واحد کنترل غیر متمرکز، خط لوله (pipeline) ۵ مرحله ای، واحد تشخیص وابستگی داده و رفع انواع وابستگی ها و ... می باشد. همچنین نرم افزار هایی برای سیستم عامل های ویندوز و لینوکس که اجرا و شبیه سازی برنامه های مختلف به زبان C و زبان Assembly روی این پردازنده را محقق می سازد، طراحی شد. در پایان نیز با استفاده از نرم افزار های سنتز سخت افزار مدار های مجتمع، طرح و مدار فیزیکی تراشه پردازنده طراحی شده با استفاده از زبان های توصیف سخت افزار، انجام و نهایی شد.

واژه های کلیدی: طراحی سیستم های دیجیتال – طراحی مدار مجتمع فشرده – معماری کامپیوتر – طراحی پردازنده – معماری RISC-V

فهرست مطالب

۱	فصل ۱: معرفی واحد کارآموزی
۲	۱-۱- معرفی محل کارآموزی
۳	فصل ۲: مشروح فعالیت های انجام شده در محل استقرار
۴	۲-۱- مقدمه
۴	۲-۲- محاسبات تقریبی
۴	۲-۲-۱- توضیح محاسبات تقریبی
۴	۲-۲-۲- طراحی ضرب کننده تقریبی
۶	۲-۳- طراحی پردازنده ۳۲ بیتی RISC-V
۶	۲-۳-۱- مطالعه مجموعه معماری دستورالعمل
۷	۲-۳-۲- طراحی پردازنده با وریلاگ
۷	۲-۳-۳- طراحی تراشه فیزیکی پردازنده
۸	۲-۳-۴- طراحی نرم افزار کمکی برای اجرای برنامه
۱۰	فصل ۳: نتیجه گیری و پیشنهادها
۱۱	۳-۱- مقدمه
۱۱	۳-۲- نتایج ضرب کننده تقریبی
۱۱	۳-۲-۱- بررسی خطا، زمان و مساحت
۱۳	۳-۲-۲- نتیجه در برنامه پردازش تصویر
۱۴	۳-۳- نتایج پردازنده نهایی
۱۵	فصل ۴: مراجع

فهرست اشکال

- شکل (۲-۱) مدار جمع کننده طراحی شده در مقاله با رقم نقلی قابل ماسک ۵
- شکل (۲-۲) معماری ضرب کننده ارائه شده در مقاله [۴] ۵
- شکل (۲-۳) بلوک دیاگرام پردازنده ۶
- شکل (۲-۴) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده ۸
- شکل (۲-۵) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده با لایه های فلز کامل ۸
- شکل (۳-۱) مدار جمع کننده ارائه شده جدید با زمان بهبود یافته ۱۱
- شکل (۳-۲) مقایسه پارامتر میزان خطا در ضرب کننده ها ۱۲
- شکل (۳-۳) پارامتر میانگین فاصله خطای نسبی در ضرب کننده ها ۱۲
- شکل (۳-۴) مقایسه خروجی تصاویر پردازش شده توسط ضرب کننده های تقریبی ۱۳

فهرست جداول

- جدول (۳-۱) مساحت ضرب کننده های طراحی شده ۱۱
- جدول (۳-۲) پارامتر های آماری خطا در ضرب کننده اصلی ۱۲
- جدول (۳-۳) پارامتر های آماری خطا در ضرب کننده جدید ۱۲
- جدول (۳-۴) مقدار PSNR تصاویر خروجی ۱۳
- جدول (۳-۵) تاخیر انتشار خروجی ماژول های تشکیل دهنده پروسور ۱۴
- جدول (۳-۶) مشخصات فنی پردازنده طراحی شده ۱۴

فصل ۱:

معرفی حوزه کارآموزی

۱-۱- معرفی محل کارآموزی

دوره کارآموزی اینجانب در تابستان سال ۱۴۰۲ در آزمایشگاه طراحی مدار مجتمع دیجیتال، واقع در پژوهشکده الکترونیک دانشگاه علم و صنعت ایران سپری شد. این آزمایشگاه تحت سرپرستی جناب آقای دکتر میرزا کوچکی، استاد گروه الکترونیک دانشگاه علم و صنعت می‌باشد. از امکانات آزمایشگاه که در طول کارآموزی برای آزمون و بررسی طرح‌های دیجیتال ساخته شده استفاده شد، میتوان به برد های FPGA از برند Xilinx و خانواده Spartan 6 و ZYNQ 7010 اشاره کرد.

پژوهشکده الکترونیک دانشگاه علم و صنعت ایران در سال ۱۳۷۶ با هدف ارائه خدمات پژوهشی در زمینه الکترونیک شامل ابزار دقیق و اتوماسیون، اندازه گیری الکترونیکی، نیمه هادی و طراحی مدار تاسیس گردید. از بدو تاسیس تاکنون آزمایشگاههای تخصصی متنوعی، از جمله آزمایشگاه نیمه هادی، آزمایشگاه طراحی مدارات مجتمع، آزمایشگاه تئوری اطلاعات، آزمایشگاه کنترل حرکت پیشرفته و ... در این پژوهشکده فعال بوده‌اند و پروژه‌های صنعتی متعددی در این آزمایشگاه‌ها به انجام رسیده است.

تحولات شگرفی که در سالیان اخیر در صنعت الکترونیک و حوزه‌های مرتبط با آن به وجود آمده است، در کنار نیازها، تقاضاها و شرایط جدیدی که در کشور عزیزمان مطرح شده است، منجر به طرح ایده بازنگری در ساختار و برنامه‌های پژوهشکده شد و در نهایت با توجه به محدودیتهای موجود، برنامه راهبردی پژوهشکده در سال ۱۳۹۱ تدوین و ارائه گردید. بر اساس این برنامه، اهداف بلند مدت و جامع بر اساس نیاز و تقاضاهای موجود تعریف شده‌اند و در راستای تحقق اهداف مورد نظر، حوزه فعالیت‌های پژوهشکده گسترش یافته است. در برنامه راهبردی پژوهشکده، تبدیل دانش به فناوری و محصولات فناورانه به عنوان رویکرد محوری پژوهشکده تعریف شده است. همچنین استفاده از ظرفیت محققین و اعضاء هیئت علمی جوان مورد توجه قرار گرفته است.

هم اکنون این پژوهشکده با بهره گیری از تجهیزات پیشرفته در حوزه‌های مختلف، مانند دستگاه لایه نشانی MBE و دستگاههای اندازه گیری منحصر به فرد، در حوزه طراحی و ساخت افزارهای نیمه هادی الکترونیکی و نوری، طراحی و ساخت حسگرهای رادیویی و نوری، سیستمهای الکترونیکی هوا-فضا و اویونیک، سیستمها و شبکه‌های صنعتی، فناوری اطلاعات و ... به فعالیت خود ادامه می‌دهد.

فصل ۲:

مشروح فعالیت های انجام شده در محل استقرار

۱-۲- مقدمه

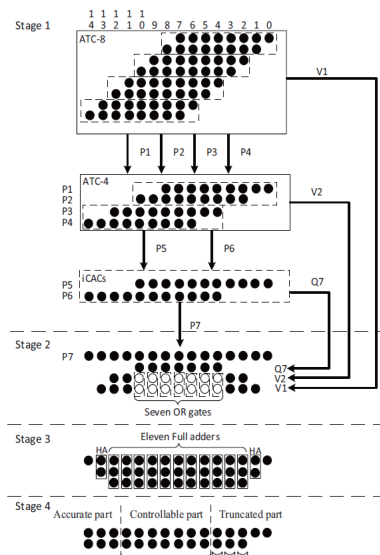
دوره کارآموزی ابتدا با مطالعه و تحقیقات در زمینه معماری کامپیوتر و تکنیک های نوین طراحی دیجیتال آغاز شد و در پایان با پیاده سازی چندین طرح مختلف در زمینه های ذکر شده به ثمر رسید. برای انجام آموزش های ابتدایی جهت ورود به تحقیقات و انجام پروژه، از منابع معتبر خارجی مانند مقالات بین المللی کنفرانسی و ژورنالی تحت نظارت IEEE، کتاب های مرجع شناخته شده در زمینه های مربوط، دوره ها و ویدئو های آموزشی ضبط شده توسط دانشگاه های معتبر مانند دانشگاه کالیفرنیا برکلی، پرینستون، ای تی اچ زوریخ و ... استفاده شده است. موضوع مورد بررسی قرار گرفته در این دوره به دو دسته اصلی تقسیم می شود: ۱- محاسبات تقریبی ۲- معماری کامپیوتر، که در دو دسته دوم بصورت تخصصی تر به معماری معروف و نوپای RISC-V [۱] پرداخته شد.

۲-۲- محاسبات تقریبی

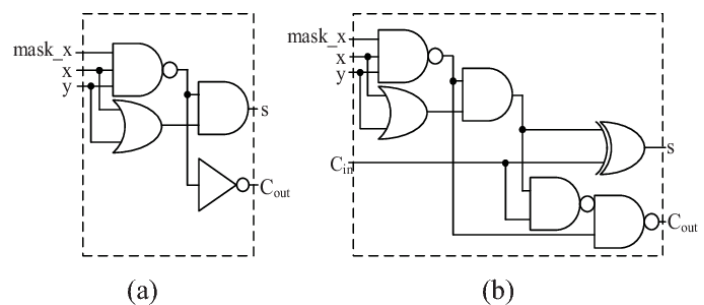
۱-۲-۲- توضیح محاسبات تقریبی: محاسبات تقریبی، موضوع جدید و مورد بحثی در طراحی دیجیتال می باشد که هدف از بررسی و تحقیق در این زمینه، بهبود سرعت، مساحت و توان مصرفی طرح های دیجیتال مورد استفاده در واحد های پردازشگر می باشد [۲]. با جایگزینی واحد های محاسباتی تقریبی با میزان خطای قابل قبول، به جای واحد های محاسباتی دقیق می توان به مزایای دیگری مانند سرعت و یا توان مصرفی کمتر دست پیدا کرد. بسیاری از عملیات های ریاضی مانند جمع، ضرب، تقسیم، رادیکال و ... توانایی پذیرش تقریب در مرحله پیاده سازی مدار را دارند. روش ها و استاندارد های مختلفی برای تقریبی کردن یک واحد عملیاتی در مدار های مختلف وجود دارد. امروزه از محاسبات تقریبی در مباحث بسیاری مانند هوش مصنوعی، پردازش تصویر، یادگیری ماشین، شبکه های عصبی و ... استفاده می شود [۳].

۲-۲-۲- طراحی ضرب کننده تقریبی: در دنباله مطالعات ما در زمینه محاسبات تقریبی، لیستی از طرح های تقریبی متفاوت جمع آوری شد که می توان این طرح های مختلف در دو دسته عمومی تقریب ثابت و تقریب قابل کنترل تقسیم بندی کرد. در میان ضرب کننده های تقریبی با خطای قابل کنترل مقاله [۴] که توسط تیمی ژاپنی در کنفرانس علوم کامپیوتر IEEE به چاپ رسیده است به چشم می خورد. این ضرب کننده دارای معیار های خطای قابل قبول است و ساختار کنترل تقریب آن به راحتی با مدار اصلی تلفیق شده است. ابتدا

ضرب کننده ارائه شده در این مقاله، مجدداً با زبان توصیف سخت افزار ورپلاگ پیاده سازی و شبیه سازی شده و نتایج ارائه شده در مقاله اصلی بازیابی و صحت آنها سنجیده شد. سپس به بررسی نقاط قوت و ضعف این طرح پرداخته شد و بعد از تشکیل معماری کامل ضرب کننده، با ایجاد تغییر در مدار های جمع کننده (Full Adder) میانی، مدار جدیدی برای ضرب کننده ی تقریبی با معماری مد نظر ارائه شد. این مدار از نظر زمانی بهینه تر از مدار ارائه شده در مقاله اصلی می باشد. با وجود هزینه ای مختصر از نظر مساحت اشغالی طرح روی تراشه، ضرب کننده جدید ارائه شده از آمار های خوبی در معیار های خطای متداول برای ضرب کننده های تقریبی بهره می برد.



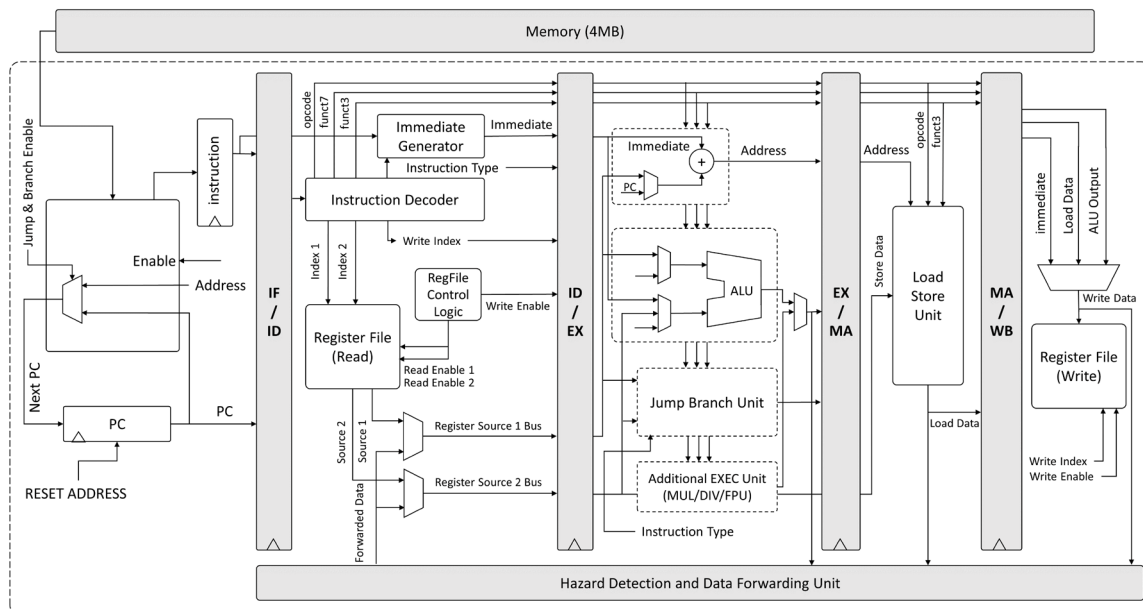
شکل (۲-۲) معماری ضرب کننده ارائه شده در مقاله [۴]



شکل (۲-۱) مدار جمع کننده طراحی شده در مقاله با رقم نقلی قابل ماسک

۳-۲- طراحی پردازنده ۳۲ بیتی RISC-V

در ادامه مطالعات در زمینه معماری کامپیوتر تصمیم به طراحی یک پردازنده پایه و استاندارد برای پیاده سازی تکنیک های معماری کامپیوتر گرفته شد. پروژه طراحی پردازنده با مطالعه مستندات معماری مجموعه دستورالعمل RISC-V [۵] آغاز شد. در ادامه با یادگیری ریزمعماری پردازنده های مدرن با استفاده از مطالب ارائه شده در کلاس های درس دانشگاه های معتبر بین المللی و کتاب های مرجع معروف [۸-۹]، اطلاعات و پیشنهاد های کافی برای آغاز طراحی گردآوری شد. طراحی پردازنده با زبان توصیف سخت افزار وریلاگ انجام شد که در نهایت پردازنده ساخته شده را قابل پیاده سازی روی FPGA ساخته و همچنین رعایت موارد برای داشتن قابلیت سنتز و ساخت بصورت تراشه ی فیزیکی نیز هنگام طراحی در نظر گرفته شده است. در شکل ذیل بلوک دیاگرام سطح بالای پردازنده آورده شده است.



شکل (۳-۲) بلوک دیاگرام پردازنده

۱-۳-۲- مطالعه مجموعه معماری دستورالعمل

مجموعه معماری دستورالعمل RISC-V یک سند حدوداً ۲۵۰ صفحه ای است که در آن تمامی مشخصات فنی این معماری اعم از انواع دستورات و نحوه اجرای آنها، انواع روش های آدرس دهی قابل قبول و ... شرح داده شده است. همچنین روش جداسازی بخش های مختلف و مورد استفاده ی پردازنده در دستورالعمل های

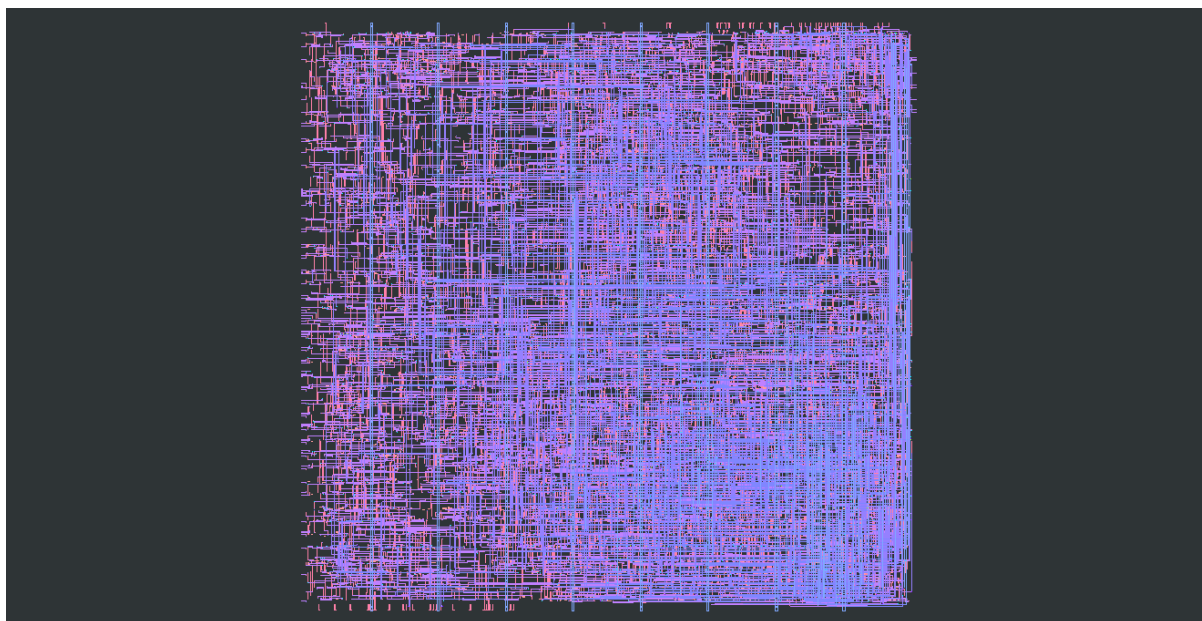
مختلف به طور مبسوط تشریح شده است. قابلیت گسترش پذیری بزرگ ترین ویژگی این معماری محسوب می شود که به کاربر در مرحله طراحی آزادی عمل و انتخاب در مجموعه دستور های پوشش داده شده را می دهد. در دستورالعمل های RISC-V انواع مختلفی وجود دارد که روش تجزیه هر کدام از این انواع با یک دیگر متفاوت می باشد. پردازنده ی طراحی شده تمامی انواع دستورالعمل های مربوط به عملیات های صحیح (Integer) را پوشش می دهد.

۲-۳-۲- طراحی پردازنده با وریلاگ

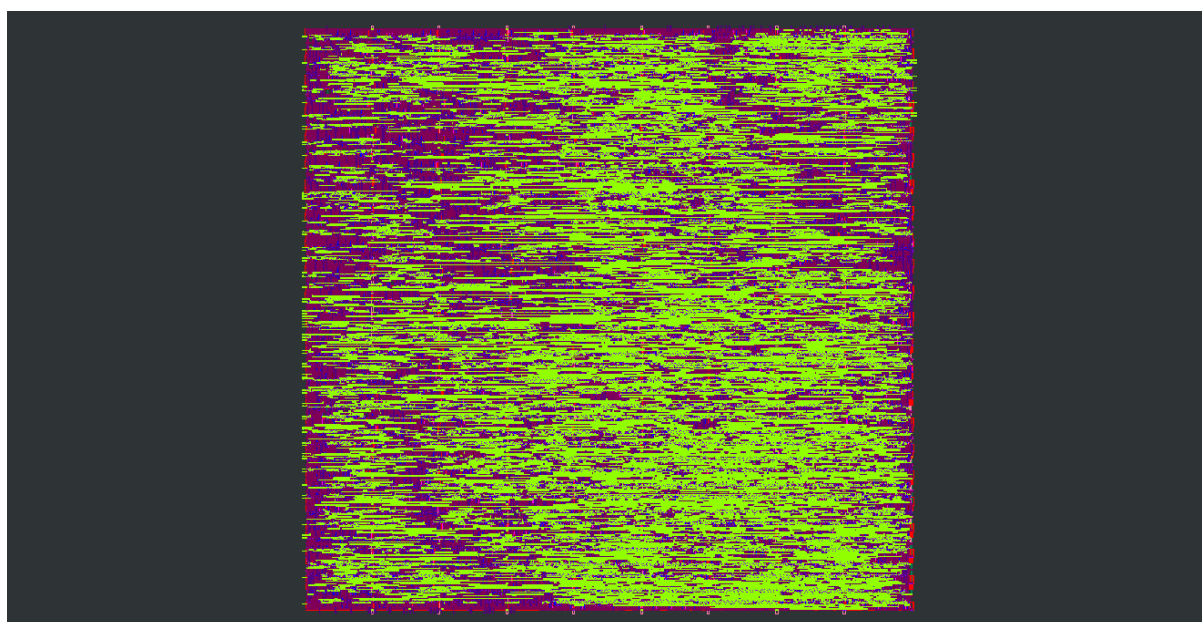
بعد از انجام مطالعات تئوری در رابطه با معماری RISC-V، طراحی پردازنده با استفاده از زبان توصیف سخت افزار وریلاگ آغاز گردید. پردازنده مورد نظر با چند هدف خاص طراحی شد که باعث ایجاد چند ویژگی مثبت در طرح نهایی می باشد. یکی از مهم ترین اهداف طراحی این پردازنده ماژولار بودن و قابل گسترش بودن آن است، تا بتواند تبدیل به یک مبنای خوب برای آزمون تکنیک ها و روش های معماری کامپیوتر برای طراحان و محققان این زمینه باشد. برای در نظر گرفتن این ویژگی، پردازنده به طوری طراحی شد که واحد کنترل متمرکز ندارد و هرکدام از اجزای این پردازنده، سیگنال های مربوطه از یک دستورالعمل را دریافت کرده و خود سیگنال های کنترلی را به شکل درونی تولید می کنند. به عبارت دیگر هر جز از این پردازنده خود-کنترل شونده محسوب می شود و طراح می تواند با قرار دادن یک واحد خود-کنترل پذیر دیگر، طرح کلی را به نحو دلخواه توسعه دهد. پردازنده طراحی شده دارای یک خط لوله ۵ مرحله ای استاندارد می باشد و توانایی اجرای برنامه به زبان C و اسمبلی را دارد.

۲-۳-۳- طراحی تراشه فیزیکی پردازنده

پس از پایان طراحی سخت افزار با استفاده از وریلاگ، با استفاده از نرم افزار های متن باز موجود در زمینه روند RTL to GDS، اقدام به طراحی تراشه فیزیکی پردازنده صورت گرفت. این روند شامل مراحل مختلفی می باشد که عبارت اند از: سنتز، چیدمان، اتصال، بررسی قوانین طراحی، بررسی زمانی و فرکانسی و ... می شود. این مراحل با استفاده از نرم افزار Qflow [۱۰] که زنجیره ای از مراحل ذکر شده با استفاده از نرم افزار های دیگر را تشکیل می دهد، انجام شده است.



شکل (۲-۴) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده



شکل (۲-۵) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده با لایه های فلز کامل

۴-۳-۲- طراحی نرم افزار کمکی برای اجرای برنامه

بعد از اتمام طراحی فیزیکی و انجام شبیه سازی های ابتدایی با وریلاگ، به طراحی دو نرم افزار جدید آغاز شد که برای کاربران اجرا و شبیه سازی برنامه های C و اسمبلی را روی این پردازنده ساده تر انجام شود.

نکته قابل اشاره این است که برنامه های C فقط در سیستم عامل لینوکس قابل اجرا می باشند، زیرا کامپایلر مربوط به دستورالعمل های RISC-V برای این سیستم عامل طراحی شده است. اما نرم افزار دیگری برای اجرای برنامه اسمبلی توسط زبان پایتون نیز طراحی شده و قابل اجرا روی سیستم عامل ویندوز و لینوکس می باشد.

فصل ۳:

نتیجه گیری و پیشنهادها

۱-۳- مقدمه

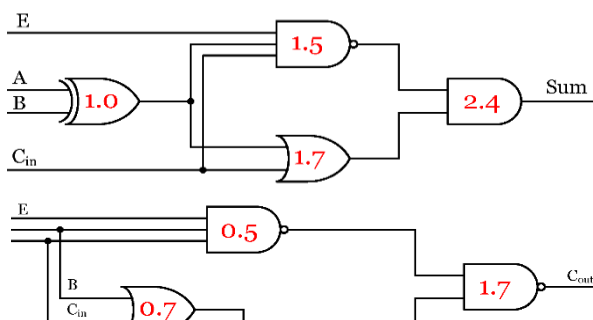
بعد از اتمام مراحل طراحی ضرب کننده تقریبی و پردازنده ۳۲ بیتی RISC-V که در فصل دوم ارائه شد، نوبت به انجام شبیه سازی و آزمون های مختلف روی طرح های پیاده سازی شده، و مقایسه آن ها با طرح های موجود رسید. با گرفتن این تست ها به نتایج آماری مختلفی در رابطه با طرح های ارائه شده دست یافتیم که در این فصل به ارائه و تحلیل این نتایج پرداخته خواهد شد.

۲-۳- نتایج ضرب کننده تقریبی

در این قسمت خروجی های مربوط به ضرب کننده تقریبی بصورت جداگانه ارائه خواهد شد. نکته: طرح ECA (Error Configurable Adder) مدار تقریبی ارائه شده جدید، و CMA (Carry Maskable Adder) مدار ارائه شده در مقاله [۴] می باشد.

۱-۲-۳- بررسی خطا، زمان و مساحت

تفاوت ایجاد شده در معماری ضرب کننده ارائه شده نسبت به مقاله اصلی در مدارات جمع کننده میانی می باشد. مدار جمع کننده ارائه شده در شکل زیر نمایش داده شده است. در این معماری مسیر بحرانی را سیگنال رقم نقلی خروجی Cout مشخص می کند. با استفاده از داده های استاندارد برای تاخیر گیت های



منطقی [۹] بررسی استاتیک زمانی مدار صورت گرفت و در شکل روبرو تاخیر انتشار مدار برای سیگنال های خروجی دیده می شود.

شکل (۱-۳) مدار جمع کننده ارائه شده جدید با زمان بهبود یافته

جدول زیر نشان دهنده مساحت هردو ضرب کننده با استفاده از تکنولوژی ساخت ۴۵ نانومتر می باشد.

همانطور که مشاهده می‌شود ضرب کننده ها مساحت نزدیکی به یکدیگر دارند.

Multiplier - Area Analysis (Nangate45)

جدول (۳-۱) مساحت ضرب کننده های طراحی شده

مربوط به معیار	248	269	262
----------------	-----	-----	-----

جداول زیر

های خطای مختلف با توجه به خطاهای تنظیم شده در هر دو طرح می‌باشد که نشان دهنده بهبود نتایج در

	NMED	MRED	ER
m_7b	0.25	0.85	36.16
m_6b	0.26	0.99	43.46
m_5b	0.29	1.31	52.07
m_4b	0.35	1.93	61.05
m_3b	0.49	3.05	69.61
m_2b	0.71	4.57	74.93
m_1b	1.05	6.5	78.1
m_ob	1.64	9.02	80.02

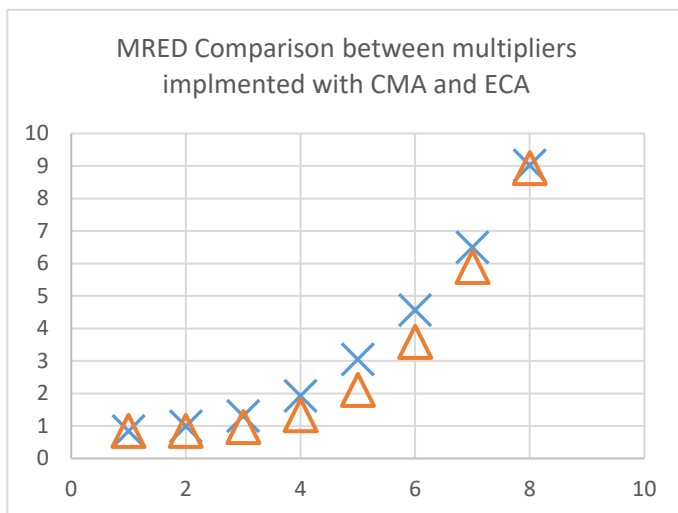
	NMED	MRED	ER
ecm_7b	0.25	0.85	36.16
ecm_6b	0.25	0.85	36.16
ecm_5b	0.26	0.97	39.73
ecm_4b	0.28	1.33	44.33
ecm_3b	0.34	2.11	50.33
ecm_2b	0.48	3.59	57.02
ecm_1b	0.76	5.89	61.8
ecm_ob	1.25	8.94	65.07

ضرب کننده ارائه شده می‌باشد.

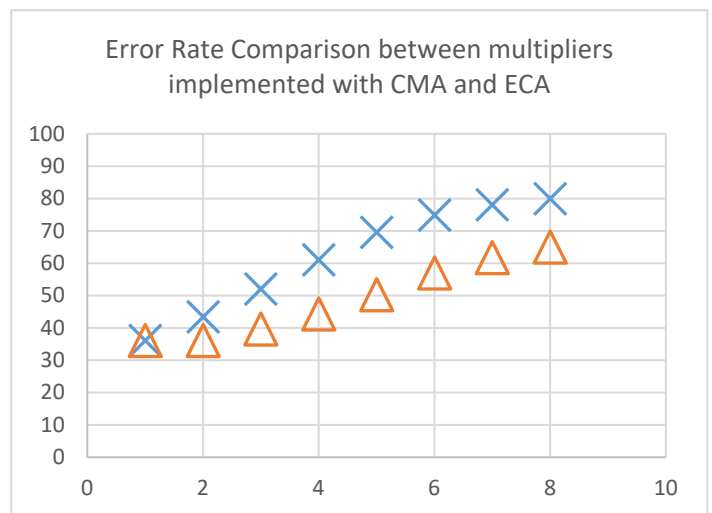
جدول (۳-۳) پارامتر های آماری خطا در ضرب کننده جدید

جدول (۳-۲) پارامتر های آماری خطا در ضرب کننده [۴]

نمودار های زیر نیز نشان دهنده میزان بهبود پارامتر های آماری در ضرب کننده جدید (نارنجی رنگ) نسبت به ضرب کننده ارائه شده در مقاله [۴] (آبی رنگ) می‌باشد.



شکل (۳-۳) معیار میانگین فاصله خطای نسبی در ضرب کننده ها



شکل (۳-۲) مقایسه پارامتر نرخ خطا در ضرب کننده ها

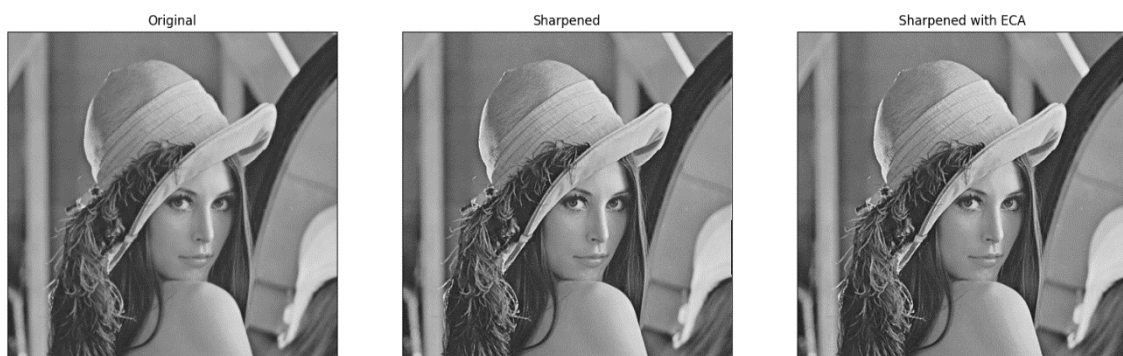
۳-۲-۲- نتیجه در برنامه پردازش تصویر

تصاویر ارائه شده در این بخش، شامل عکس اصلی و دو عکس حاصل که یک الگوریتم پردازش تصویر برای تیز کردن (sharpening) توسط ضرب کننده های ارائه شده، روی آن ها اعمال شده است، می باشد. همچنین یک جدول نیز برای مقایسه کیفیت که در آن از معیار PSNR (حداکثر نسبت سیگنال به نویز) در تصاویر پردازش شده توسط ضرب کننده اصلی و ضرب کننده جدید می باشد نیز ارائه شده است. بهبود کیفیت تصاویر نسبت به طرح قبلی در آمار بدست آمده مشهود است.

PSNR for image sharpening algorithm on Lenna image

	M_7b	M_6b	M_5b	M_4b	M_3b	M_2b	M_1b	M_ob
CMA	46.32	44.78	42.94	38.93	33.63	28.15	24.81	15.90
ECA	46.32	46.32	43.99	41.78	37.51	31.27	26.52	21.82

جدول (۳-۴) مقدار PSNR تصاویر خروجی



شکل (۳-۴) مقایسه خروجی تصاویر پردازش شده توسط ضرب کننده های تقریبی

۳-۳- نتایج پردازنده نهایی

در پایان شبیه سازی های لازم برای پردازنده نیز انجام شد و انواع کد های مختلف به زبان C و اسمبلی روی پردازنده اجرا شد. کد های معروف پر مراجعه مانند دنباله فیبوناچی، پیدا کردن بزرگ ترین خانه یک آرایه، جمع یک سری عددی و ... روی پردازنده با زبان C و با زبان اسمبلی RISC-V اجرا و پیاده سازی شد. در تمامی برنامه ها، این پردازنده ی جدید بصورت میانگین نسبت به پردازنده PicoRV32 [۱۱] که یکی از پردازنده های معروف و مرجع در کار های تحقیقاتی و مقالات می باشد دارای بهبود ۷۳ درصدی در زمان اجرا می باشد که حاصل پایپلین ۵ مرحله ای و رفع وابستگی های داده ها در برنامه با استفاده از تکنیک های معماری کامپیوتر می باشد. فرآیند ساخت فیزیکی پردازنده با تکنولوژی ۱۸۰ نانومتر TSMC [۱۲] شبیه سازی شده و نتیجه نهایی، پردازنده ای با فرکانس کاری ۲۵۰ مگاهرتز می باشد که مقدار قابل قبولی نسبت به پردازنده های هم سطح در سیستم های نهفته می باشد.

Module	Max Delay (ps)
Address Generator	3844.84
Arithmetic Logic Unit	3099.01
Control Status Registers	747.689
Hazard Forward Unit	1131.73
Immediate Generator	1016.44
Instruction Decoder	716.437
Jump Branch Unit	243.115
Register File	695.34
Normalized Memory Access Time	10000 - 40000
Fetch Unit	308.907
Load Store Unit	569.903

جدول (۳-۵) تاخیر انتشار خروجی واحد های تشکیل دهنده پروسسور

Core specifications	
Clock Cycle Time	4 ns
CPI (R, I Type)	1.13
Frequency	250MHz

جدول (۳-۶) مشخصات فنی پردازنده طراحی شده

فصل ٤:

مراجع

مراجع

- [1] <https://riscv.org/>
- [2] W. Liu, L. Qian, C. Wang, H. Jiang, J. Han and F. Lombardi, "Design of Approximate Radix-4 Booth Multipliers for Error-Tolerant Computing," in IEEE Transactions on Computers, vol. 66, no. 8, pp. 1435-1441, 1 Aug. 2017, doi: 10.1109/TC.2017.2672976.
- [3] S. Hashemi, R. I. Bahar and S. Reda, "DRUM: A Dynamic Range Unbiased Multiplier for approximate applications," 2015 IEEE/ACM International Conference on Computer-Aided Design (ICCAD), Austin, TX, USA, 2015, pp. 418-425, doi: 10.1109/ICCAD.2015.7372600.
- [4] T. Yang, T. Ukezono and T. Sato, "A low-power high-speed accuracy-controllable approximate multiplier design," 2018 23rd Asia and South Pacific Design Automation Conference (ASP-DAC), Jeju, Korea (South), 2018, pp. 605-610, doi: 10.1109/ASPDAC.2018.8297389.
- [5] The RISC-V Instruction Set Manual, Volume I: User-Level ISA, Document Version 20191213", Editors Andrew Waterman and Krste Asanovic, RISC-V Foundation, December 2019
- [6] D. A. Patterson and J. L. Hennessy, "Computer Organization and Design: The Hardware/Software Interface," 5th ed., *Morgan Kaufmann*, 2013.
- [7] J. L. Hennessy and D. A. Patterson, "Computer Organization and Design: A Quantitative Approach," 6th ed., *Morgan Kaufmann*, 2017.
- [8] Modern Processor Design: Fundamentals of Superscalar Processors. (2013). (n.p.): Waveland Press.
- [9] Wen-Chang Yeh and Chein-Wei Jen, "High-speed Booth encoded parallel multiplier design," in IEEE Transactions on Computers, vol. 49, no. 7, pp. 692-701, July 2000, doi: 10.1109/12.863039.
- [10] <http://opencircuitdesign.com/qflow/>
- [11] <https://github.com/YosysHQ/picorv32>
- [12] https://www.tsmc.com/english/dedicatedFoundry/technology/logic/l_018micron