



دانشکده مهندسی برق

طراحی پردازنده 32 بیتی با معماری RISC-V

محل کارآموزی:

پژوهشکده الکترونیک دانشگاه علم و صنعت ایران

آزمایشگاه طراحی مدار مجتمع دیجیتال

نام دانشجو:

آروین دلاوری

نام استاد کارآموزی:

آقای دکتر میرزا کوچکی

ترم تابستان 1402

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

تأییدیه‌ی صحت و اصالت نتایج

بسمه تعالی

اینجانب آروین دلاوری به شماره دانشجویی 99411497 دانشجوی رشته مهندسی برق - گرایش الکترونیک مقطع تحصیلی کارشناسی تأیید می‌نمایم که کلیه‌ی مطالب مندرج در این گزارش حاصل 300 ساعت حضور و کار اینجانب در آزمایشگاه طراحی مدار مجتمع دیجیتال پژوهشکده الکترونیک دانشگاه علم و صنعت ایران و بدون هرگونه دخل و تصرف است و موارد نسخه‌برداری شده از آثار دیگران را با ذکر کامل مشخصات منبع ذکر کرده‌ام. در صورت اثبات خلاف مندرجات فوق، به تشخیص دانشگاه مطابق با ضوابط و مقررات حاکم آموزشی، پژوهشی و انضباطی با اینجانب رفتار خواهد شد و حق هرگونه اعتراض درخصوص احقاق حقوق مکتسب و تشخیص و تعیین تخلف و مجازات را از خویش سلب می‌نمایم.

نام و نام خانوادگی: آروین دلاوری

امضا و تاریخ: 1402 / 7 / 1



آروین دلاوری

تشکر و قدردانی:

جناب آقای دکتر میرزا کوچکی

جناب آقای دکتر شاه حسینی

جناب آقای مهندس فراز قریشی

جناب آقای مهندس امیر افشار

جناب آقای مهندس آرین حاجی زاده

جناب آقای مهندس عرفان ریاضتی

سرکار خانم مهندس مائده قادری

چکیده

در طول دوره کارآموزی سپری شده در آزمایشگاه طراحی مدار مجتمع دیجیتال، واقع در پژوهشکده الکترونیک دانشگاه علم و صنعت ایران، بنده و جناب آقای مهندس فراز قریشی به صورت گروهی موفق به طراحی یک پردازنده 32 بیتی با معماری RISC-V شدیم که توانایی های قابل توجهی دارد. این پردازنده دارای ویژگی های بسیاری مانند طراحی ماژولار و گسترش پذیر، واحد کنترل غیر متمرکز، پایپلاین 5 مرحله ای، واحد تشخیص وابستگی داده و رفع انواع وابستگی ها و ... می باشد. همچنین نرم افزار هایی طراحی کردیم برای سیستم عامل های ویندوز و لینوکس که اجرا و شبیه سازی برنامه های مختلف به زبان C و زبان Assembly روی پردازنده طراحی شده را محقق می سازد. در پایان نیز با استفاده از نرم افزار های سنتز سخت افزار مدار های مجتمع، طراحی انجام شده با استفاده از زبان های توصیف سخت افزار، طراحی فیزیکی تراشه پردازنده انجام و نهایی شد.

واژه های کلیدی: طراحی سیستم های دیجیتال – طراحی مدار مجتمع فشرده – معماری کامپیوتر –

طراحی پردازنده – معماری RISC-V

فهرست مطالب

1	فصل 1: معرفی واحد کارآموزی
2	1-1- معرفی محل کارآموزی
3	فصل 2: مشروح فعالیت های انجام شده
4	2-1- مقدمه
4	2-2- محاسبات تقریبی
4	2-2-1- توضیح محاسبات تقریبی
4	2-2-2- طراحی ضرب کننده تقریبی
5	2-3- طراحی پردازنده 32 بیتی RISC-V
6	2-3-1- مطالعه مجموعه معماری دستورات عمل
6	2-3-2- طراحی پردازنده با وریلاگ
7	2-3-3- طراحی تراشه فیزیکی پردازنده
8	2-3-4- طراحی نرم افزار کمکی برای اجرای برنامه
9	فصل 3: نتیجه گیری و پیشنهادها
10	3-1- مقدمه
10	3-2- نتایج ضرب کننده تقریبی
10	3-2-1- بررسی خطا، زمان و مساحت
12	3-2-2- نتیجه در برنامه پردازش تصویر
13	3-3- نتایج پردازنده نهایی
14	فصل 4: مراجع

فهرست اشکال

- شکل (2-1) مدار جمع کننده طراحی شده در مقاله با carry قابل ماسک 5
- شکل (2-2) معماری ضرب کننده ارائه شده در مقاله 5
- شکل (2-3) بلوک دیاگرام پردازنده 6
- شکل (2-4) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده 7
- شکل (2-5) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده با لایه های متال کامل 8
- شکل (3-1) مدار جمع کننده ارائه شده جدید با زمان بهبود یافته 10
- شکل (3-2) مقایسه پارامتر میزان خطا در ضرب کننده ها 11
- شکل (3-3) پارامتر میانگین فاصله خطای نسبی در ضرب کننده ها 11
- شکل (3-4) مقایسه خروجی تصاویر پردازش شده توسط ضرب کننده های تقریبی 12

فهرست جداول

- جدول (3-1) مساحت ضرب کننده های طراحی شده 11
- جدول (3-2) پارامتر های آماری خطا در ضرب کننده اصلی 11
- جدول (3-3) پارامتر های آماری خطا در ضرب کننده جدید 11
- جدول (3-4) مقدار PSNR تصاویر خروجی 12
- جدول (3-5) تاخیر انتشار خروجی ماژول های تشکیل دهنده پروسسور 13
- جدول (3-6) مشخصات فنی پردازنده طراحی شده 13

فصل 1:

معرفی حوزه کارآموزی

1-1- معرفی محل کارآموزی

دوره کارآموزی اینجانب در تابستان سال 1402 در آزمایشگاه طراحی مدار مجتمع دیجیتال، واقع در پژوهشکده الکترونیک دانشگاه علم و صنعت ایران سپری شد. این آزمایشگاه تحت سرپرستی جناب آقای دکتر میرزا کوچکی، استاد گروه الکترونیک دانشگاه علم و صنعت می باشد. از امکانات آزمایشگاه که در طول کارآموزی برای آزمون و بررسی طرح های دیجیتال ساخته شده، استفاده کردیم میتوان به برد های FPGA از برند Xilinx و خانواده Spartan 6 و ZYNQ 7010 اشاره کرد.

پژوهشکده الکترونیک دانشگاه علم و صنعت ایران در سال 1376 با هدف ارائه خدمات پژوهشی در زمینه الکترونیک شامل ابزار دقیق و اتوماسیون، اندازه گیری الکترونیکی، نیمه هادی و طراحی مدار تاسیس گردید. از بدو تاسیس تاکنون آزمایشگاههای تخصصی متنوعی، از جمله آزمایشگاه نیمه هادی، آزمایشگاه طراحی مدارات مجتمع، آزمایشگاه تئوری اطلاعات، آزمایشگاه کنترل حرکت پیشرفته و ... در این پژوهشکده فعال بوده اند و پروژه های صنعتی متعددی در این آزمایشگاه ها به انجام رسیده است.

تحولات شگرفی که در سالیان اخیر در صنعت الکترونیک و حوزه های مرتبط با آن به وجود آمده است، در کنار نیازها، تقاضاها و شرایط جدیدی که در کشور عزیزمان مطرح شده است، منجر به طرح ایده بازنگری در ساختار و برنامه های پژوهشکده شد و در نهایت با توجه به محدودیتهای موجود، برنامه راهبردی پژوهشکده در سال 1391 تدوین و ارائه گردید. بر اساس این برنامه، اهداف بلند مدت و جامع بر اساس نیاز و تقاضاهای موجود تعریف شده اند و در راستای تحقق اهداف مورد نظر، حوزه فعالیت های پژوهشکده گسترش یافته است. در برنامه راهبردی پژوهشکده، تبدیل دانش به فناوری و محصولات فناورانه به عنوان رویکرد محوری پژوهشکده تعریف شده است. همچنین استفاده از ظرفیت محققین و اعضاء هیئت علمی جوان مورد توجه قرار گرفته است.

هم اکنون این پژوهشکده با بهره گیری از تجهیزات پیشرفته در حوزه های مختلف، مانند دستگاه لایه نشانی MBE و دستگاههای اندازه گیری منحصر به فرد، در حوزه طراحی و ساخت افزارهای نیمه هادی الکترونیکی و نوری، طراحی و ساخت حسگرهای رادیویی و نوری، سیستمهای الکترونیکی هوا-فضا و اویونیک، سیستمها و شبکه های صنعتی، فناوری اطلاعات و ... به فعالیت خود ادامه می دهد.

فصل 2:

مشروح فعالیت های انجام شده در محل استقرار

1-2- مقدمه

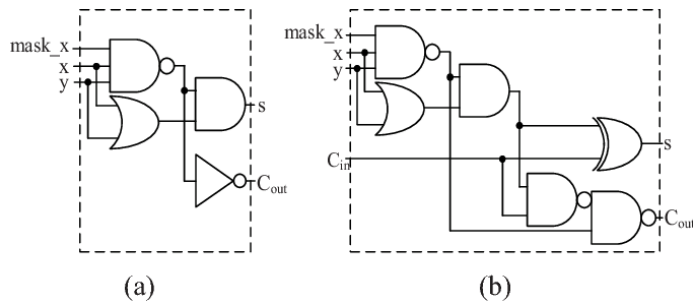
دوره کارآموزی ابتدا با مطالعه و تحقیقات در زمینه معماری کامپیوتر و تکنیک های نوین طراحی دیجیتال آغاز شد و در پایان با پیاده سازی چندین طرح مختلف در زمینه های ذکر شده به ثمر رسید. برای انجام آموزش های ابتدایی جهت ورود به تحقیقات و انجام پروژه، از منابع معتبر خارجی مانند مقالات بین المللی کنفرانسی و ژورنالی تحت نظارت [1] IEEE، کتاب های مرجع شناخته شده در زمینه های مربوط، دوره ها و ویدئو های آموزشی ضبط شده توسط دانشگاه های معتبر مانند دانشگاه کالیفرنیا برکلی [2]، پرینستون [3]، ای تی ایچ زوریخ [4] و ... استفاده شده است. موضوع مورد بررسی قرار گرفته در این دوره به دو دسته اصلی تقسیم می شود: 1 - محاسبات تقریبی 2 - معماری کامپیوتر، که در در دو دسته دوم بصورت تخصصی تر به معماری معروف و نوپای [5] RISC-V پرداخته شد.

2-2- محاسبات تقریبی

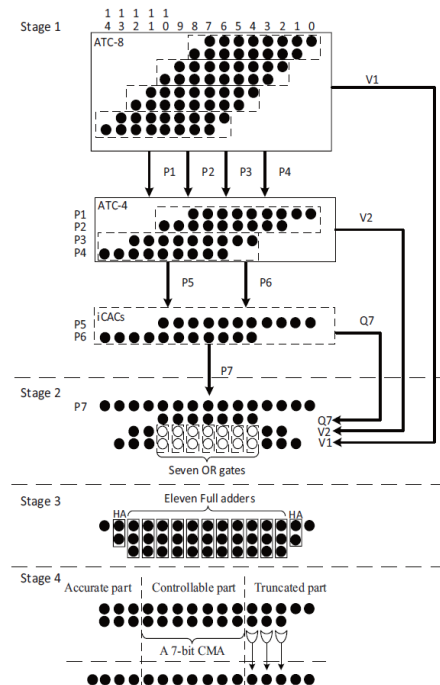
1-2-2-2 توضیح محاسبات تقریبی: محاسبات تقریبی، موضوع جدید و مورد بحثی در طراحی دیجیتال می باشد که هدف از بررسی و تحقیق در این زمینه، بهبود سرعت، مساحت و توان مصرفی طرح های دیجیتال مورد استفاده در واحد های پردازشگر می باشد. با جایگزینی واحد های محاسباتی تقریبی با میزان خطای منطقی و قابل قبول، به جای واحد های محاسباتی دقیق ما به مزایای دیگری مانند سرعت و یا توان مصرفی کمتر دست پیدا می کنیم. خیلی از عملیات های ریاضی مانند جمع، ضرب، تقسیم، رادیکال و ... توانایی پذیرش تقریب در مرحله پیاده سازی مداری را دارند. تکنیک ها و استانداردهای مختلفی برای تقریبی کردن یک واحد عملیاتی در مدار های مختلف وجود دارد. امروزه از محاسبات تقریبی در مباحث بسیاری مانند هوش مصنوعی، پردازش تصویر، یادگیری ماشین، شبکه های عصبی و ... استفاده می شود.

2-2-2-2 طراحی ضرب کننده تقریبی: در دنباله مطالعات ما در زمینه محاسبات تقریبی، ما به مقاله ای در زمینه طراحی یک ضرب کننده تقریبی با خطای قابل کنترل و تغییر توسط کاربر برخورد کردیم. این مقاله که توسط تیمی ژاپنی [6] در کنفرانس علوم کامپیوتر IEEE به چاپ رسیده بود. ما ابتدا ضرب کننده ارائه شده در مقاله را مجدداً با زبان توصیف سخت افزار ورپلاگ پیاده سازی و شبیه سازی کردیم و موفق شدیم به نتایج درست که در مقاله اصلی ارائه شده بود دست پیدا کنیم. بعد از شکل دادن معماری کامل ضرب

کننده، با ایجاد تغییر در مدار های جمع کننده (Full Adder) میانی، توانستیم مدار جدیدی برای ضرب کننده ی تقریبی با معماری مد نظر ارائه بدیم. این مدار از نظر زمانی بهینه تر از مدار ارائه شده در مقاله اصلی می باشد. نتایج ضرب کننده ها در فصل سوم ارائه و با هم مقایسه خواهد شد.



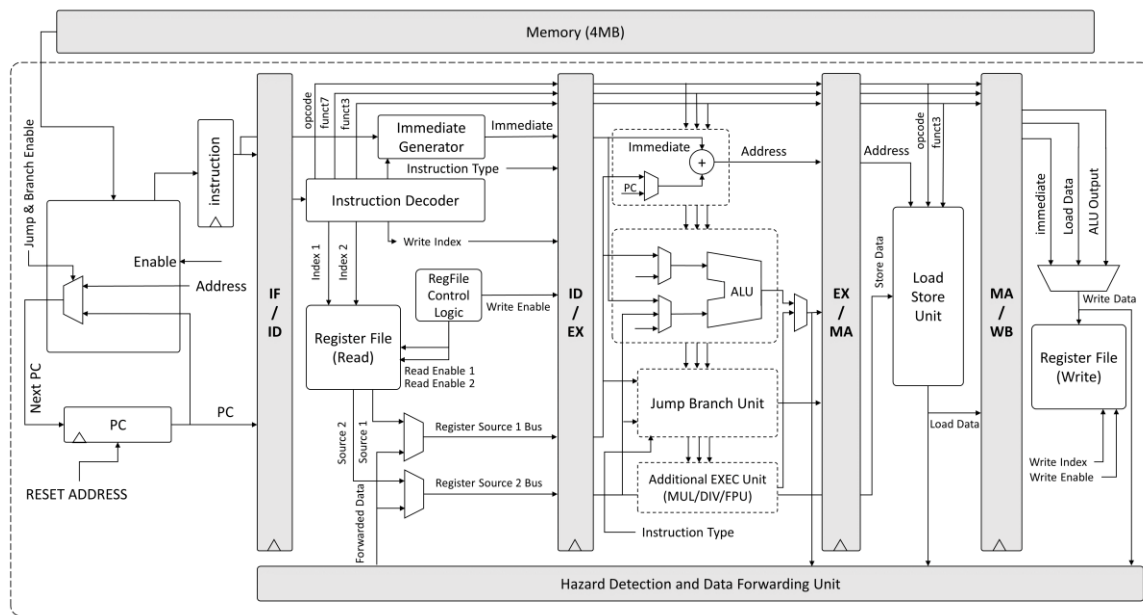
شکل (2-1) مدار جمع کننده طراحی شده در مقاله با carry قابل ماسک



شکل (2-2) معماری ضرب کننده ارائه شده در مقاله

2-3- طراحی پردازنده 32 بیتی RISC-V

در ادامه مطالعات در زمینه معماری کامپیوتر تصمیم به طراحی یک پردازنده پایه و استاندارد برای پیاده سازی تکنیک های معماری کامپیوتر گرفته شد. پروژه طراحی پردازنده با مطالعه مستندات معماری مجموعه دستورالعمل RISC-V [7] آغاز شد. در ادامه با یادگیری ریزمعماری پردازنده های مدرن با استفاده از مطالب ارائه شده در کلاس های درس دانشگاه های معتبر بین المللی و کتاب های مرجع معروف [8] [9]، داده کافی برای آغاز طراحی گردآوری شد. طراحی پردازنده با زبان توصیف سخت افزار وریلاگ انجام شد که در نهایت پردازنده ساخته شده، قابل پیاده سازی روی FPGA ساخته و همچنین با قابلیت سنتز و ساخت بصورت تراشه ی فیزیکی طراحی شده است.



شکل (2-3) بلوک داگرام پردازنده

2-3-1- مطالعه مجموعه معماری دستورات عمل

مجموعه معماری دستورات عمل RISC-V یک سند حدوداً 250 صفحه ای است که در آن روش جدا سازی بخش های مختلف و مورد استفاده ی پردازنده در دستورات عمل های مختلف را شرح داده است. قابلیت گسترش پذیری بزرگ ترین ویژگی این معماری محسوب می شود که به کاربر در مرحله طراحی آزادی عمل و انتخاب در مجموعه دستورات های پوشش داده شده را می دهد. در دستورات عمل های RISC-V انواع مختلفی وجود دارد که روش تجزیه هر کدام از این انواع با یک دیگر متفاوت می باشد. پردازنده ای که ما طراحی کردیم تمامی انواع دستورات عمل های مربوط به عملیات های صحیح (integer) را پوشش می دهد.

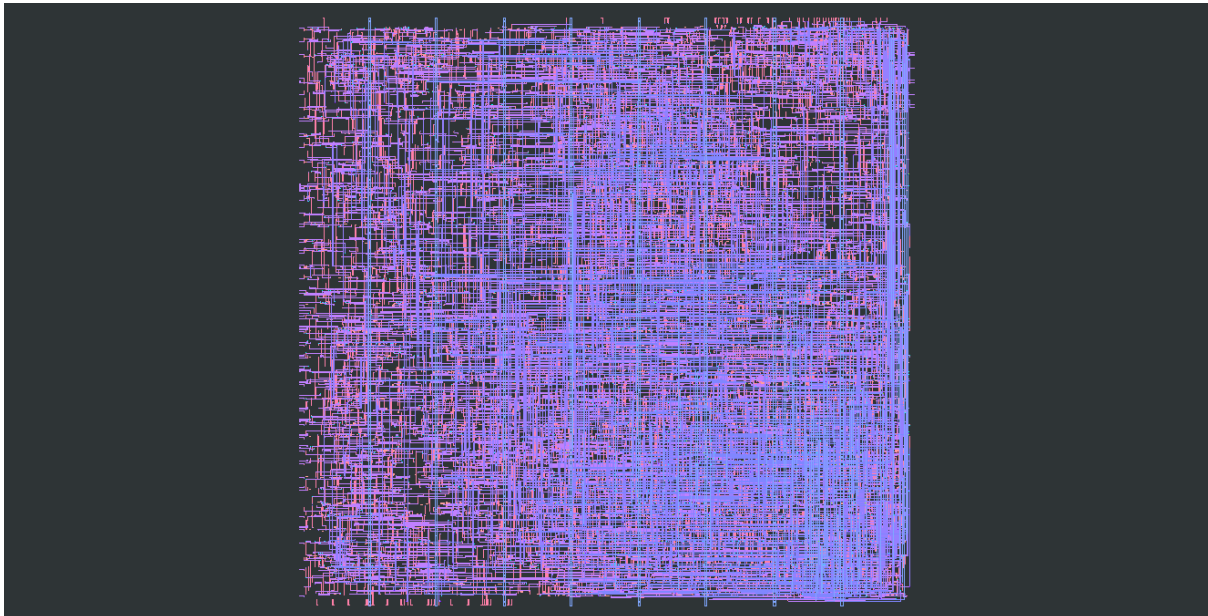
2-3-2- طراحی پردازنده با وریلاگ

بعد از انجام مطالعات تئوری در رابطه با معماری RISC-V، طراحی پردازنده با استفاده از زبان توصیف سخت افزار وریلاگ آغاز گردید. پردازنده مورد نظر با چند هدف خاص طراحی شد که باعث ایجاد چند ویژگی مثبت در طرح نهایی می باشد. یکی از مهم ترین اهداف طراحی این پردازنده ماژولار بودن و قابل گسترش

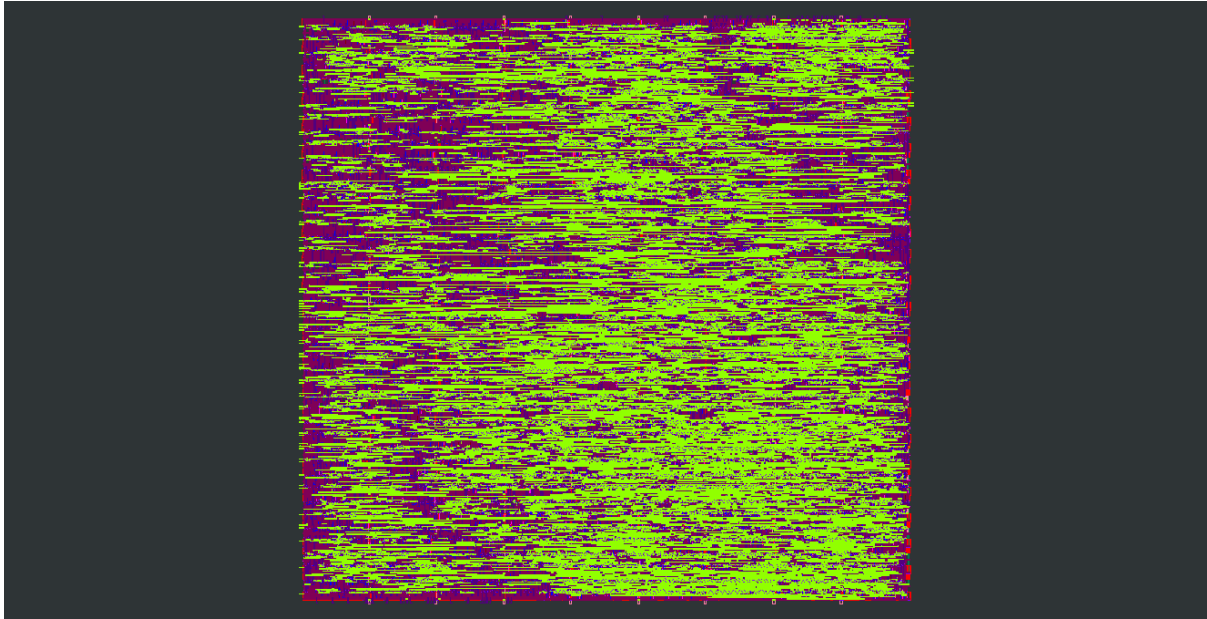
بودن آن است، تا بتواند تبدیل به یک پایه ی خوب برای آزمون تکنیک ها و روش های معماری کامپیوتر برای طراح ها و محققان این زمینه با شد. برای در نظر گرفتن این ویژگی، پردازنده به طوری طراحی شد که واحد کنترل متمرکز ندارد و هرکدام از اجزای این پردازنده، سیگنال های کنترلی مربوط به خودشان را کنترل می کنند که ویژگی خوبی برای این طرح و هدف طراحی آن محسوب می شود. پردازنده طراحی شده دارای پایپلاین 5 مرحله ای استاندارد می باشد و توانایی اجرای برنامه به زبان C و اسمبلی را دارد.

2-3-3- طراحی تراشه فیزیکی پردازنده

پس از پایان طراحی سخت افزار با استفاده از وریلاگ، با استفاده از نرم افزار های رایگان و موجود در زمینه روند RTL to GDS، اقدام به طراحی تراشه فیزیکی پردازنده صورت گرفت. این روند شامل مراحل مختلفی صورت گرفته است که عبارت اند از: سنتز، چیدمان، اتصال، بررسی قوانین طراحی، بررسی زمانی و فرکانسی و ... می شود. این مراحل با استفاده از نرم افزار Qflow [10] که زنجیره ای از مراحل ذکر شده با استفاده از نرم افزار های دیگر را تشکیل می دهد، انجام شده است.



شکل (2-4) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده



شکل (5-2) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده با لایه های متال کامل

4-3-2- طراحی نرم افزار کمکی برای اجرای برنامه

بعد از اتمام طراحی فیزیکی و اتمام شبیه سازی های ابتدایی با وریلاگ، شروع به طراحی دو نرم افزار جدید کردیم که برای کاربران اجرا و شبیه سازی برنامه های C و اسمبلی را روی این پردازنده ساده تر انجام شود. نکته قابل اشاره این است که برنامه های C فقط در سیستم عامل لینوکس قابل اجرا می باشند، زیرا کامپایلر مربوط به دستورالعمل های RISC-V برای این سیستم عامل طراحی شده است. اما نرم افزار طراحی شده برای اجرای برنامه اسمبلی توسط زبان پایتون نوشته شده و قابل اجرا روی سیستم عامل ویندوز و لینوکس می باشد.

فصل 3:

نتیجه گیری و پیشنهادها

3-1- مقدمه

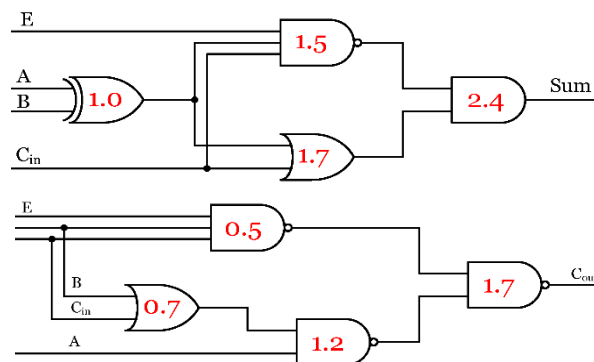
بعد از اتمام مراحل طراحی ضرب کننده تقریبی و پردازنده 32 بیتی RISC-V که در فصل دوم ارائه شد، نوبت به انجام شبیه سازی و آزمون های مختلف روی طرح های پیاده سازی شده، و مقایسه آن ها با طرح های موجود رسید. با گرفتن این تست ها به نتایج آماری مختلفی در رابطه با طرح های ارائه شده دست یافتیم که در این فصل به ارائه و تحلیل این نتایج پرداخته خواهد شد.

3-2- نتایج ضرب کننده تقریبی

در این قسمت خروجی های مربوط به ضرب کننده تقریبی بصورت جداگانه ارائه خواهد شد. نکته: ECA طرح ارائه شده جدید، و CMA طرح ارائه شده در مقاله اصلی می باشد.

3-2-1- بررسی خطا، زمان و مساحت

تفاوت ایجاد شده در معماری ضرب کننده ارائه شده نسبت به مقاله اصلی در مدارات جمع کننده میانی می باشد. مدار جمع کننده ارائه شده توسط ما در شکل زیر نمایش داده شده است. در این معماری مسیر بحرانی را سیگنال Cout مشخص می کند که همانطور که در شکل دیده می شود تاخیر انتشار کمتری نسبت به طرح اولیه ارائه شده دارد که نشان دهنده بهبود سرعت در طرح جدید ما نسبت به طرح اصلی می باشد.



شکل (3-1) مدار جمع کننده ارائه شده جدید با زمان بهبود یافته

جدول زیر نشان دهنده مساحت هردو ضرب کننده با استفاده از تکنولوژی ساخت 45 نانومتر می باشد. همانطور که مشاهده می شود ضرب کننده های مساحت نزدیکی به هم دیگر دارند.

Multiplier - Area Analysis (Nangate45)		
Paper (μm^2)	ECA (μm^2)	CMA (μm^2)
248	269	262

جدول (3-1) مساحت ضرب کننده های طراحی شده

جداول زیر مربوط پارامتر های خطای مختلف با توجه خطاهای تنظیم شده در هر دو طرح می باشد که نشان دهنده بهبود شرایط در ضرب کننده ارائه شده ی جدید می باشد.

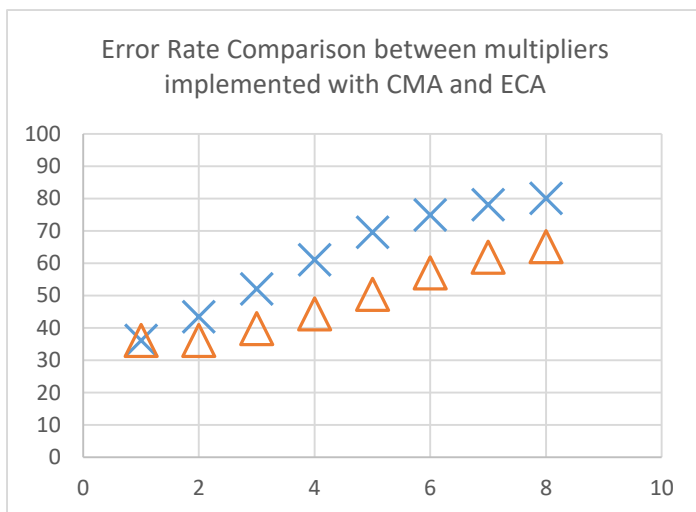
	NMED	MRED	ER
m_7b	0.25	0.85	36.16
m_6b	0.26	0.99	43.46
m_5b	0.29	1.31	52.07
m_4b	0.35	1.93	61.05
m_3b	0.49	3.05	69.61
m_2b	0.71	4.57	74.93
m_1b	1.05	6.5	78.1
m_ob	1.64	9.02	80.02

	NMED	MRED	ER
ecm_7b	0.25	0.85	36.16
ecm_6b	0.25	0.85	36.16
ecm_5b	0.26	0.97	39.73
ecm_4b	0.28	1.33	44.33
ecm_3b	0.34	2.11	50.33
ecm_2b	0.48	3.59	57.02
ecm_1b	0.76	5.89	61.8
ecm_ob	1.25	8.94	65.07

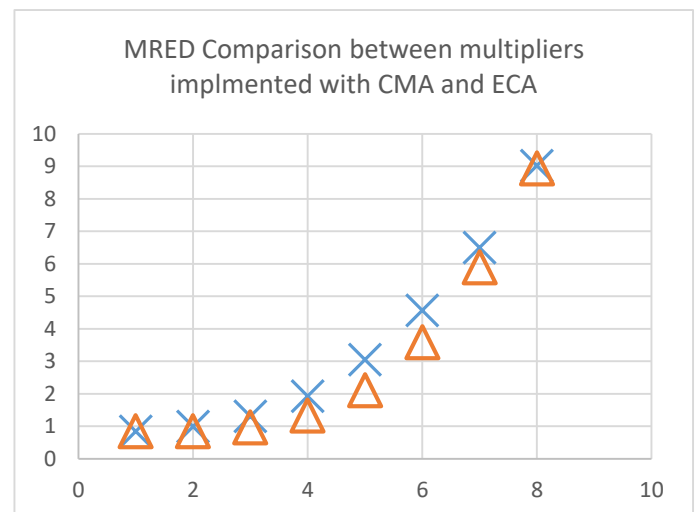
جدول (3-2) پارامتر های آماری خطا در ضرب کننده اصلی

جدول (3-3) پارامتر های آماری خطا در ضرب کننده جدید

نمودار های زیر نیز نشان دهنده میزان بهبود پارامتر های آماری در ضرب کننده جدید (رنگ نارنجی) نسبت به ضرب کننده ارائه شده در مقاله (رنگ آبی) می باشد.



شکل (3-2) مقایسه پارامتر میزان خطا در ضرب کننده ها



شکل (3-3) پارامتر میانگین فاصله خطای نسبی در ضرب کننده ها

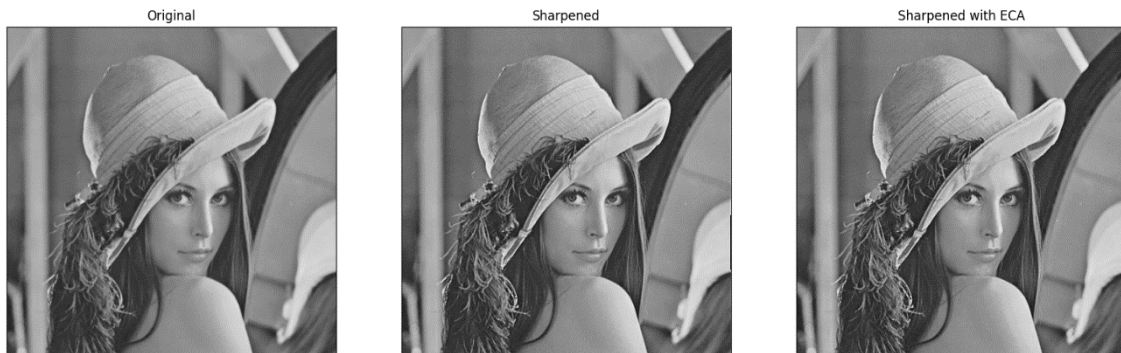
3-2-2- نتیجه در برنامه پردازش تصویر

تصاویر ارائه شده در این بخش، شامل عکس اصلی و دو عکس که یک الگوریتم پردازش تصویر برای تیز کردن (sharpening) توسط ضرب کننده های ارائه شده، روی آن ها اعمال شده است، می باشد. همچنین یک جدول نیز برای آن آورده شده که نشان دهنده PSNR (نسبت سیگنال به نویز) در تصاویر پردازش شده توسط ضرب کننده اصلی و ضرب کننده جدید می باشد نیز ارائه شده است که نشان دهنده بهبود کیفیت توسط ضرب کننده جدید می باشد.

PSNR for image sharpening algorithm on Lenna image

	M_7b	M_6b	M_5b	M_4b	M_3b	M_2b	M_1b	M_ob
CMA	46.32	44.78	42.94	38.93	33.63	28.15	24.81	15.90
ECA	46.32	46.32	43.99	41.78	37.51	31.27	26.52	21.82

جدول (3-4) مقدار PSNR تصاویر خروجی



شکل (3-4) مقایسه خروجی تصاویر پردازش شده توسط ضرب کننده های تقریبی

3-3- نتایج پردازنده نهایی

در پایان شبیه سازی های لازم برای پردازنده نیز انجام شد و انواع کد های مختلف به زبان C و اسمبلی روی پردازنده اجرا شد. کد های معروف پر مراجعه مانند دنباله فیبوناچی، پیدا کردن بزرگ ترین خانه یک آرایه، جمع یک سری عددی و ... روی پردازنده هم با زبان C و هم با زبان اسمبلی RISC-V اجرا و پیاده سازی شد.

در تمامی برنامه ها، این پردازنده ی جدید به صورت میانگین نسبت به پردازنده PicoRV32 [11] که یکی از پردازنده های معروف و مرجع در کار های تحقیقاتی و مقالات می باشد دارای بهبود 73 درصدی در زمان اجرا می باشد که حاصل پایپلین 5 مرحله ای و رفع وابستگی های داده ها در برنامه با استفاده از تکنیک های معماری کامپیوتر می باشد. پردازنده که فیزیکی ساخته شده با تکنولوژی 180 نانومتر TSMC [12] طراحی شده و حاصل طراحی نهایی، پردازنده ای با فرکانس کاری 250 مگاهرتز می باشد که مقدار قابل قبولی نسبت به پردازنده های هم سطح آن دارا می باشد.

Module	Max Delay (ps)
Address Generator	3844.84
Arithmetic Logic Unit	3099.01
Control Status Registers	747.689
Hazard Forward Unit	1131.73
Immediate Generator	1016.44
Instruction Decoder	716.437
Jump Branch Unit	243.115
Register File	695.34
Normalized Memory Access Time	10000 - 40000
Fetch Unit	308.907
Load Store Unit	569.903

جدول (3-5) تاخیر انتشار خروجی ماژول های تشکیل دهنده پروسسور

Core specifications	
Clock Cycle Time	4 ns
CPI (R,I-TYPE)	1.13
Frequency	250MHz

جدول (3-6) مشخصات فنی پردازنده طراحی شده

فصل 4:

مراجع

- [1] <https://www.ieee.org/>
- [2] <https://eecs.berkeley.edu/>
- [3] <https://www.princeton.edu/>
- [4] <https://ethz.ch/en.html>
- [5] <https://riscv.org/>
- [6] T. Yang, T. Ukezono, and T. Sato, "A Low-Power High-Speed Accuracy-Controllable Approximate Multiplier Design", *2018 23rd Asia and South Pacific Design Automation Conference (ASP-DAC)*, Jeju, Korea (south), 2018, pp.605-610
- [7] <https://riscv.org/technical/specifications/>
- [8] D. A. Patterson and J. L. Hennessy, "Computer Organization and Design: The Hardware/Software Interface," 5th ed., *Morgan Kaufmann*, 2013.
- [9] J. L. Hennessy and D. A. Patterson, "Computer Organization and Design: A Quantitative Approach," 6th ed., *Morgan Kaufmann*, 2017.
- [10] <http://opencircuitdesign.com/qflow/>
- [11] <https://github.com/YosysHQ/picorv32>
- [12] https://www.tsmc.com/english/dedicatedFoundry/technology/logic/l_018micron