

دانشكده مهندسی برق

طراحی پردازنده 32 بیتی با معماری RISC-V

محل کارآموزی:

پژوهشکده الکترونیک دانشگاه علم و صنعت ایران

آزمایشگاه طراحی مدار مجتمع دیجیتال

نام دانشجو:

سیدفراز قریشی

نام استاد کارآموزی:

آقای دكتر ستار میرزاکوچکی

تابستان 1402



تأييديه‌ي صحت و اصالت نتايج

**بسمه تعالي**

اينجانب سیدفراز قریشی به شماره دانشجويي 99412456 دانشجوي رشته مهندسی برق – گرایش الکترونیک مقطع تحصيلي کارشناسی تأييد مي‌نمايم كه كليه‌ي مطالب مندرج در این گزارش حاصل 300 ساعت حضور و کار اينجانب در آزمایشگاه طراحی مدار مجتمع دیجیتال پژوهشکده الکترونیک دانشگاه علم و صنعت ایران و بدون هرگونه دخل و تصرف است و موارد نسخه‌برداري‌شده از آثار ديگران را با ذكر كامل مشخصات منبع ذكر كرده‌ام. درصورت اثبات خلاف مندرجات فوق، به تشخيص دانشگاه مطابق با ضوابط و مقررات حاكم آموزشي، پژوهشي و انضباطي با اينجانب رفتار خواهد شد و حق هرگونه اعتراض درخصوص احقاق حقوق مكتسب و تشخيص و تعيين تخلف و مجازات را از خويش سلب مي‌نمايم.

نام و نام خانوادگي: سیدفراز قریشی

امضا و تاريخ: 1 / 7 / 1402

تشكر و قدرداني:

جناب آقای دکتر میرزاکوچکی

جناب آقای دکتر شاه حسینی

جناب آقای مهندس آروین دلاوری

جناب آقای مهندس نیما امیر افشار

جناب آقای مهندس آرین حاجی زاده

جناب آقای مهندس عرفان ریاضتی

سرکار خانم مهندس مائده قادری

جناب آقای مهندس وحید خدادادی ویائی

چکيده

در طول دوره کارآموزی سپری شده در آزمایشگاه طراحی مدار مجتمع دیجیتال، واقع در پژوهشکده الکترونیک دانشگاه علم و صنعت ایران، بنده و جناب آقای مهندس فراز قریشی به صورت گروهی موفق به طراحی یک پردازنده 32 بیتی با معماری RISC-V شدیم که مناسب استفاده در سیستم های نهفته و انجام محاسبات همه­منظوره می­باشد. این پردازنده دارای ویژگی های بسیاری مانند طراحی ماژولار و گسترش پذیر، واحد کنترل غیر متمرکز، خط لوله (pipeline) 5 مرحله ای، واحد تشخیص وابستگی داده و رفع انواع وابستگی ها و ... می‌باشد. همچنین نرم افزار هایی برای سیستم عامل های ویندوز و لینوکس که اجرا و شبیه سازی برنامه های مختلف به زبان C و زبان Assembly روی این پردازنده را محقق می‌سازد، طراحی شد. در پایان نیز با استفاده از نرم افزار های سنتز سخت افزار مدار های مجتمع، طرح و مدار فیزیکی تراشه پردازنده طراحی شده با استفاده از زبان های توصیف سخت افزار، انجام و نهایی شد.

واژه‌هاي كليدي:طراحی سیستم های دیجیتال – طراحی مدار مجتمع فشرده – معماری کامپیوتر – طراحی پردازنده – معماری RISC-V

[فصل 1: معرفی واحد کارآموزی 1](#_Toc16262960)

[1-1- معرفی محل کارآموزی](#_Toc16262961) 2

[فصل 2: مشروح فعالیت های انجام شده در محل استقرار 3](#_Toc16262964)

[2-1- مقدمه 4](#_Toc16262965)

[2-2- محاسبات تقریبی](#_Toc16262966) 4

[2-2-1- توضیح محاسبات تقریبی 4](#_Toc16262967)

[2-2-2- طراحی ضرب کننده تقریبی 4](#_Toc16262967)

[2-3- طراحی پردازنده 32 بیتی RISC-V](#_Toc16262968) 6

[2-3-1- مطالعه مجموعه معماری دستورالعمل 6](#_Toc16262969)

[2-3-2- طراحی پردازنده با وریلاگ 7](#_Toc16262969)

[2-3-3- طراحی تراشه فیزیکی پردازنده 7](#_Toc16262969)

[2-3-4- طراحی نرم افزار کمکی برای اجرای برنامه 8](#_Toc16262969)

[فصل 3: نتیجه گیری و پیشنهادها 10](#_Toc16262972)

[3-1- مقدمه 11](#_Toc16262973)

[3-2- نتایج ضرب کننده تقریبی 11](#_Toc16262974)

[3-2-1- بررسی خطا، زمان و مساحت 11](#_Toc16262975)

[3-2-2- نتیجه در برنامه پردازش تصویر 13](#_Toc16262975)

[3-3- نتایج پردازنده نهایی 14](#_Toc16262974)

[فصل 4: مراجع 15](#_Toc16262977)

[شکل (1-2) مدار جمع کننده طراحی شده در مقاله با رقم نقلی قابل ماسک 5](#_Toc523815779)

[شکل (2-2) معماری ضرب کننده ارائه شده در مقاله [4] 5](#_Toc523815779)

[شکل (3-2) بلوک دیاگرام پردازنده 6](#_Toc523815779)

[شکل (4-2) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده 8](#_Toc523815779)

[شکل (5-2) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده با لایه های فلز کامل 8](#_Toc523815779)

[شکل (1-3) مدار جمع کننده ارائه شده جدید با زمان بهبود یافته 11](#_Toc523815779)

[شکل (2-3) مقایسه پارامتر میزان خطا در ضرب کننده ها 12](#_Toc523815779)

[شکل (3-3) پارامتر میانگین فاصله خطای نسبی در ضرب کننده ها 12](#_Toc523815779)

[شکل (4-3) مقایسه خروجی تصاویر پردازش شده توسط ضرب کننده های تقریبی 13](#_Toc523815779)

[جدول (1-3) مساحت ضرب کننده های طراحی شده 11](#_Toc523815780)

[جدول (2-3) پارامتر های آماری خطا در ضرب کننده اصلی 12](#_Toc523815780)

[جدول (3-3) پارامتر های آماری خطا در ضرب کننده جدید 12](#_Toc523815780)

[جدول (4-3) مقدار PSNR تصاویر خروجی 13](#_Toc523815780)

[جدول (5-3) تاخیر انتشار خروجی ماژول های تشکیل دهنده پروسسور 14](#_Toc523815780)

[جدول (6-3) مشخصات فنی پردازنده طراحی شده 14](#_Toc523815780)

1. معرفی حوزه کارآموزی
   1. معرفی محل کارآموزی

دوره کارآموزی اینجانب در تابستان سال 1402 در آزمایشگاه طراحی مدار مجتمع دیجیتال، واقع در پژوهشکده الکترونیک دانشگاه علم و صنعت ایران سپری شد. این آزمایشگاه تحت سرپرستی جناب آقای دکتر میرزاکوچکی، استاد گروه الکترونیک دانشگاه علم و صنعت می‌باشد. از امکانات آزمایشگاه که در طول کارآموزی برای آزمون و بررسی طرح های دیجیتال ساخته شده استفاده شد، میتوان به برد های FPGA از برند Xilinx و خانواده Spartan 6 و ZYNQ 7010 اشاره کرد.

پژوهشکده الکترونیک دانشگاه علم و صنعت ایران در سال 1376 با هدف ارائه خدمات پژوهشی در زمینه الکترونیک شامل ابزار دقیق و اتوماسیون، اندازه گیری الکترونیکی، نیمه هادی و طراحی مدار تاسیس گردید. از بدو تاسیس تاکنون آزمایشگاههای تخصصی متنوعی، از جمله آزمایشگاه نیمه هادی، آزمایشگاه طراحی مدارات مجتمع، آزمایشگاه تئوری اطلاعات، آزمایشگاه کنترل حرکت پیشرفته و ... در این پژوهشکده فعال بوده‌اند و پروژه‌های صنعتی متعددی در این آزمایشگاه‌ها به انجام رسیده است.

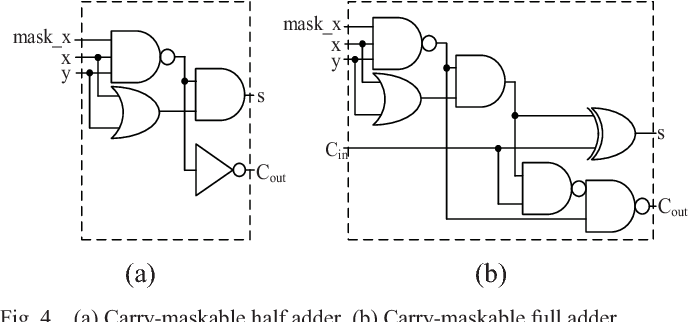
تحولات شگرفی که در سالیان اخیر در صنعت الکترونیک و حوزه‌های مرتبط با آن به وجود آمده است، در کنار نیازها، تقاضاها و شرایط جدیدی که در کشور عزیزمان مطرح شده است، منجر به طرح ایده بازنگری در ساختار و برنامه‌های پژوهشکده شد و درنهایت با توجه به محدودیتهای موجود، برنامه راهبردی پژوهشکده در سال 1391 تدوین و ارائه گردید. بر اساس این برنامه، اهداف بلند مدت و جامع بر اساس نیاز و تقاضاهای موجود تعریف شده‌اند و در راستای تحقق اهداف مورد نظر، حوزه فعالیت‌های پژوهشکده گسترش یافته است. در برنامه راهبردی پژوهشکده، تبدیل دانش به فناوری و محصولات فناورانه به عنوان رویکرد محوری پژوهشکده تعریف شده است. همچنین استفاده از ظرفیت محققین و اعضاء هیئت علمی جوان مورد توجه قرار گرفته است.

هم اکنون این پژوهشکده با بهره گیری از تجهیزات پیشرفته در حوزه‌های مختلف، مانند دستگاه لایه نشانی MBE و دستگاههای اندازه گیری منحصر به فرد، در حوزه‌ طراحی و ساخت افزاره‌های نیمه هادی الکترونیکی و نوری، طراحی و ساخت حسگرهای رادیوئی و نوری، سیستمهای الکترونیکی هوا-فضا و اویونیک، سیستمها و شبکه‌های صنعتی، فناوری اطلاعات و ... به فعالیت خود ادامه می‌دهد.

1. مشروح فعالیت های انجام شده در محل استقرار
   1. مقدمه

دوره کارآموزی ابتدا با مطالعه و تحقیقات در زمینه معماری کامپیوتر و تکنیک های نوین طراحی دیجیتال آغاز شد و در پایان با پیاده سازی چندین طرح مختلف در زمینه های ذکر شده به ثمر رسید. برای انجام آموزش های ابتدایی جهت ورود به تحقیقات و انجام پروژه، از منابع معتبر خارجی مانند مقالات بین المللی کنفرانسی و ژورنالی تحت نظارت IEEE ، کتاب های مرجع شناخته شده در زمینه های مربوط، دوره ها و ویدئو های آموزشی ضبط شده توسط دانشگاه های معتبر مانند دانشگاه کالیفرنیا برکلی ، پرینستون ، ای تی اچ زوریخ و ... استفاده شده است. موضوع مورد بررسی قرار گرفته در این دوره به دو دسته اصلی تقسیم می‌شود: 1 – محاسبات تقریبی 2 – معماری کامپیوتر، که در در دسته دوم بصورت تخصصی تر به معماری معروف و نوپای RISC-V [1] پرداخته شد.

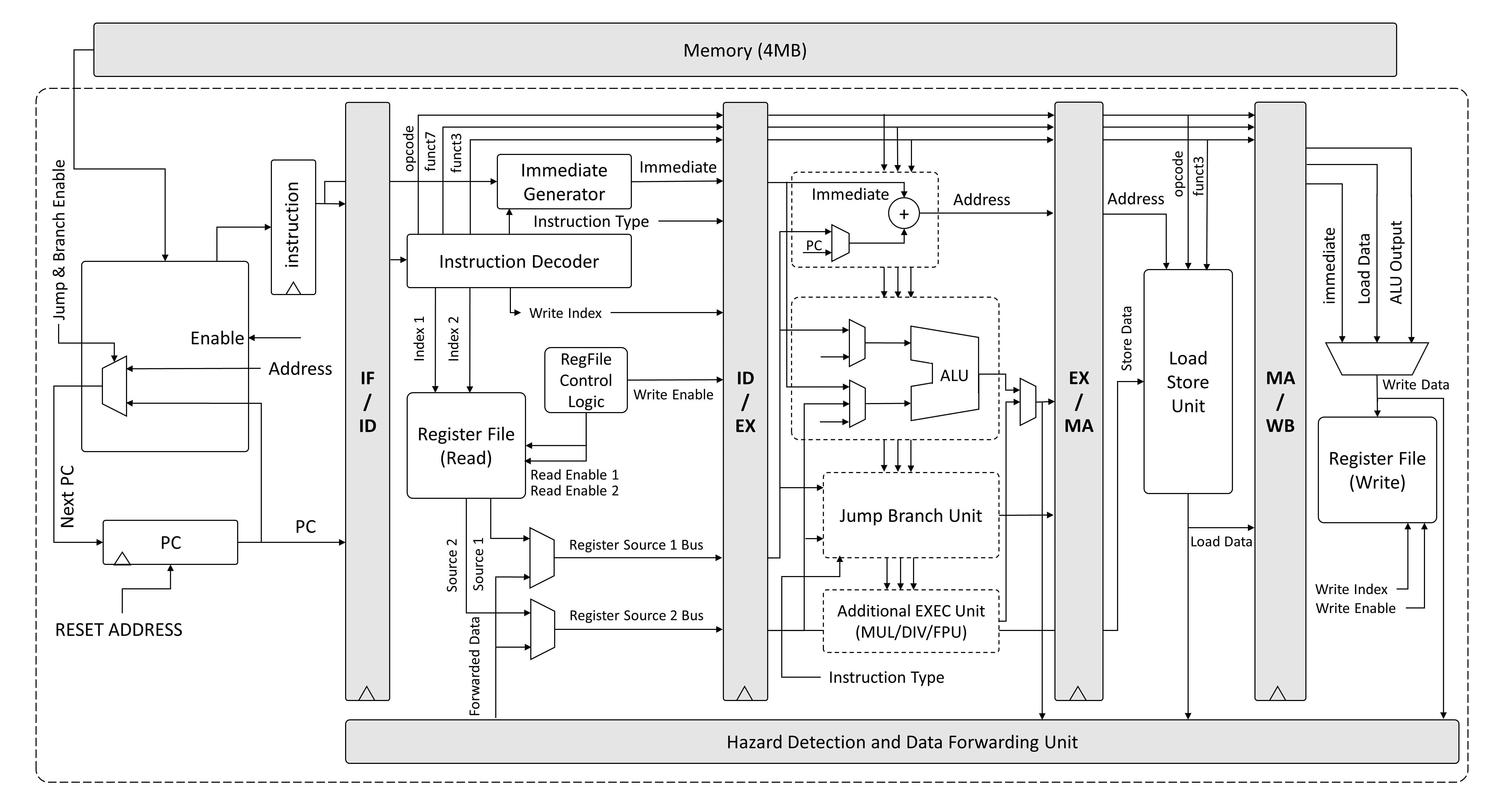
* 1. محاسبات تقریبی
     1. توضیح محاسبات تقریبی: محاسبات تقریبی، موضوع جدید و مورد بحثی در طراحی دیجیتال می‌باشد که هدف از بررسی و تحقیق در این زمینه، بهبود سرعت، مساحت و توان مصرفی طرح های دیجیتال مورد استفاده در واحد های پردازشگر می‌باشد [2]. با جایگزینی واحد های محاسباتی تقریبی با میزان خطای قابل قبول، به جای واحد های محاسباتی دقیق می­توان به مزایای دیگری مانند سرعت و یا توان مصرفی کمتر دست پیدا کرد. بسیاری از عملیات های ریاضی مانند جمع، ضرب، تقسیم، رادیکال و ... توانایی پذیرش تقریب در مرحله پیاده سازی مداری را دارند. روش ها و استاندارد های مختلفی برای تقریبی کردن یک واحد عملیاتی در مدار های مختلف وجود دارد. امروزه از محاسبات تقریبی در مباحث بسیاری مانند هوش مصنوعی، پردازش تصویر، یادگیری ماشین، شبکه های عصبی و ... استفاده می‌شود [3].
     2. طراحی ضرب کننده تقریبی: در دنباله مطالعات ما در زمینه محاسبات تقریبی، لیستی از طرح های تقریبی متفاوت جمع­آوری شد که می­توان این طرح های مختلف در دو دسته عمومی تقریب ثابت و تقریب قابل کنترل تقسیم­بندی کرد. در میان ضرب کننده های تقریبی با خطای قابل کنترل مقاله [4] که توسط تیمی ژاپنی در کنفرانس علوم کامپیوتر IEEE به چاپ رسیده است به چشم می­خورد. این ضرب­کننده دارای معیار های خطای قابل قبول است و ساختار کنترل تقریب آن به راحتی با مدار اصلی تلفیق شده است. ابتدا ضرب کننده ارائه شده در این مقاله، مجددا با زبان توصیف سخت افزار وریلاگ پیاده سازی و شبیه سازی شده و نتایج ارائه شده در مقاله اصلی بازیابی و صحت آنها سنجیده شد. سپس به بررسی نقاط قوت و ضعف این طرح پرداخته شد و بعد از تشکیل معماری کامل ضرب کننده، با ایجاد تغییر در مدار های جمع کننده (Full Adder) میانی، مدار جدیدی برای ضرب کننده ی تقریبی با معماری مد نظر ارائه شد. این مدار از نظر زمانی بهینه تر از مدار ارائه شده در مقاله اصلی می‌باشد. با وجود هزینه­ای مختصر از نظر مساحت اشغالی طرح روی تراشه، ضرب کننده جدید ارائه شده از آمار های خوبی در معیار های خطای متداول برای ضرب کننده های تقریبی بهره می­برد.



شکل (1-2) مدار جمع کننده طراحی شده در مقاله با رقم نقلی قابل ماسک

شکل (2-2) معماری ضرب کننده ارائه شده در مقاله [4]

* 1. طراحی پردازنده 32 بیتی RISC-V

در ادامه مطالعات در زمینه معماری کامپیوتر تصمیم به طراحی یک پردازنده پایه و استاندارد برای پیاده سازی تکنیک های معماری کامپیوتر گرفته شد. پروژه طراحی پردازنده با مطالعه مستندات معماری مجموعه دستورالعمل RISC-V [5] آغاز شد. در ادامه با یادگیری ریزمعماری پردازنده های مدرن با استفاده از مطالب ارائه شده در کلاس های درس دانشگاه های معتبر بین المللی و کتاب های مرجع معروف [8-9]، اطلاعات و پیشنیاز های کافی برای آغاز طراحی گردآوری شد. طراحی پردازنده با زبان توصیف سخت افزار وریلاگ انجام شد که در نهایت پردازنده ساخته شده را قابل پیاده سازی روی FPGA ساخته و همچنین رعایت موارد برای داشتن قابلیت سنتز و ساخت بصورت تراشه ی فیزیکی نیز هنگام طراحی در نظر گرفته شده است. در شکل ذیل بلوک دیاگرام سطح بالای پردازنده آورده شده است.

شکل (3-2) بلوک دیاگرام پردازنده

* + 1. مطالعه مجموعه معماری دستورالعمل

مجموعه معماری دستورالعمل RISC-V یک سند حدودا 250 صفحه ای است که در آن تمامی مشخصات فنی این معماری اعم از انواع دستورات و نحوه اجرای آنها، انواع روش های آدرس­دهی قابل قبول و ... شرح داده شده­است. همچنین روش جداسازی بخش های مختلف و مورد استفاده ی پردازنده در دستورالعمل های مختلف به طور مبسوط تشریح شده­است. قابلیت گسترش پذیری بزرگ ترین ویژگی این معماری محسوب می‌شود که به کاربر در مرحله طراحی آزادی عمل و انتخاب در مجموعه دستور های پوشش داده شده را می‌دهد. در دستورالعمل های RISC-V انواع مختلفی وجود دارد که روش تجزیه هر کدام از این انواع با یک دیگر متفاوت می‌باشد. پردازنده­ی طراحی شده تمامی انواع دستورالعمل های مربوط به عملیات های صحیح (Integer) را پوشش می‌دهد.

* + 1. طراحی پردازنده با وریلاگ

بعد از انجام مطالعات تئوری در رابطه با معماری RISC-V، طراحی پردازنده با استفاده از زبان توصیف سخت افزار وریلاگ آغاز گردید. پردازنده مورد نظر با چند هدف خاص طراحی شد که باعث ایجاد چند ویژگی مثبت در طرح نهایی می‌باشد. یکی از مهم ترین اهداف طراحی این پردازنده ماژولار بودن و قابل گسترش بودن آن است، تا بتواند تبدیل به یک مبنای خوب برای آزمون تکنیک ها و روش های معماری کامپیوتر برای طراحان و محققان این زمینه باشد. برای در نظر گرفتن این ویژگی، پردازنده به طوری طراحی شد که واحد کنترل متمرکز ندارد و هرکدام از اجزای این پردازنده، سیگنال های مربوطه از یک دستورالعمل را دریافت کرده و خود سیگنال های کنترلی را به شکل درونی تولید می‌کنند. به عبارت دیگر هر جز از این پردازنده خود-کنترل­شونده محسوب می­شود و طراح می­تواند با قرار دادن یک واحد خود-کنترل­پذیر دیگر، طرح کلی را به نحو دلخواه توسعه دهد.. پردازنده طراحی شده داری یک خط لوله 5 مرحله ای استاندارد می‌باشد و توانایی اجرای برنامه به زبان C و اسمبلی را دارد.

* + 1. طراحي تراشه فیزیکی پردازنده

پس از پایان طراحی سخت افزار با استفاده از وریلاگ، با استفاده از نرم افزار های متن­باز موجود در زمینه روند RTL to GDS، اقدام به طراحی تراشه فیزیکی پردازنده صورت گرفت. این روند شامل مراحل مختلفی می­باشد که عبارت اند از: سنتز، چیدمان، اتصال، بررسی قوانین طراحی، بررسی زمانی و فرکانسی و ... می‌شود. این مراحل با استفاده از نرم افزار Qflow [10] که زنجیره ای از مراحل ذکر شده با استفاده از نرم افزار های دیگر را تشکیل می‌دهد، انجام شده است.



شکل (4-2) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده



شکل (5-2) تصویر نهایی مدار مجتمع طراحی شده برای پردازنده با لایه های فلز کامل

* + 1. طراحي نرم افزار کمکی برای اجرای برنامه

بعد از اتمام طراحی فیزیکی و انجام شبیه سازی های ابتدایی با وریلاگ، به طراحی دو نرم افزار جدید آغاز شد که برای کاربران اجرا و شبیه سازی برنامه های C و اسمبلی را روی این پردازنده ساده تر انجام شود. نکته قابل اشاره این است که برنامه های C فقط در سیستم عامل لینوکس قابل اجرا می‌باشند، زیرا کامپایلر مربوط به دستورالعمل های RISC-V برای این سیستم عامل طراحی شده است. اما نرم افزار دیگری برای اجرای برنامه اسمبلی توسط زبان پایتون نیز طراحی شده و قابل اجرا روی سیستم عامل ویندوز و لینوکس می‌باشد.

1. نتیجه گیری و پیشنهادها
   1. مقدمه

بعد از اتمام مراحل طراحی ضرب کننده تقریبی و پردازنده 32 بیتی RISC-V که در فصل دوم ارائه شد، نوبت به انجام شبیه سازی و آزمون های مختلف روی طرح های پیاده سازی شده، و مقایسه آن ها با طرح های موجود رسید. با گرفتن این تست ها به نتایج آماری مختلفی در رابطه با طرح های ارائه شده دست یافتیم که در این فصل به ارائه و تحلیل این نتایج پرداخته خواهد شد.

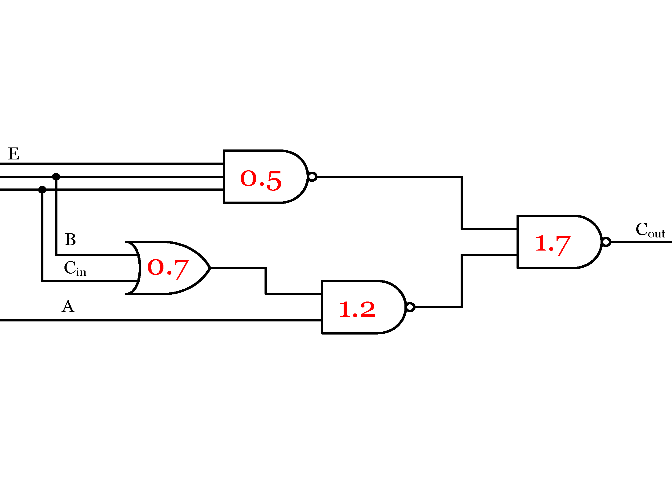
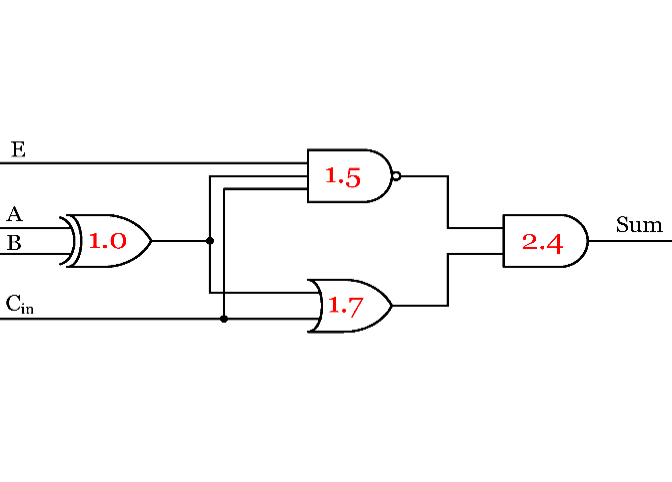
* 1. نتایج ضرب کننده تقریبی

در این قسمت خروجی های مربوط به ضرب کننده تقریبی بصورت جداگانه ارائه خواهد شد.

نکته: طرح ECA (Error Configurable Adder) مدار تقریبی ارائه شده جدید، و CMA (Carry Maskable Adder) مدار ارائه شده در مقاله [4] می‌باشد.

* + 1. بررسی خطا، زمان و مساحت

تفاوت ایجاد شده در معماری ضرب کننده ارائه شده نسبت به مقاله اصلی در مدارات جمع کننده میانی می‌باشد. مدار جمع کننده ارائه شده در شکل زیر نمایش داده شده است. در این معماری مسیر بحرانی را سیگنال رقم نقلی خروجی Cout مشخص می‌کند. با استفاده از داده های استاندارد برای تاخیر گیت های منطقی [9] بررسی استاتیک زمانی مدار صورت گرفت و در شکل روبرو تاخیر انتشار مدار برای سیگنال های خروجی دیده می‌شود.

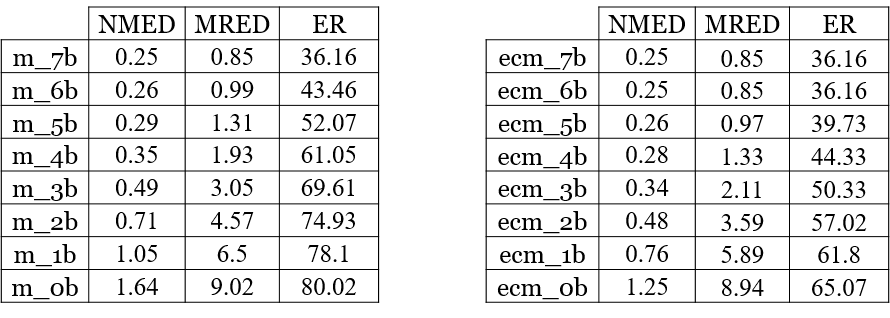


شکل (1-3) مدار جمع کننده ارائه شده جدید با زمان بهبود یافته

جدول زیر نشان دهنده مساحت هردو ضرب کننده با استفاده از تکنولوژی ساخت 45 نانومتر می‌باشد. همانطور که مشاهده می‌شود ضرب کننده ها مساحت نزدیکی به یکدیگر دارند.

|  |  |  |
| --- | --- | --- |
| Multiplier - Area Analysis (Nangate45) | | |
| Paper () | ECA () | CMA () |
| 248 | 269 | 262 |

جدول (1-3) مساحت ضرب کننده های طراحی شده

جداول زیر مربوط به معیار های خطای مختلف با توجه به خطاهای تنظیم شده در هر دو طرح می‌باشد که نشان دهنده بهبود نتایج در ضرب کننده ارائه شده ی جدید می‌باشد.

جدول (3-3) پارامتر های آماری خطا در ضرب کننده جدید

جدول (2-3) پارامتر های آماری خطا در ضرب کننده [4]

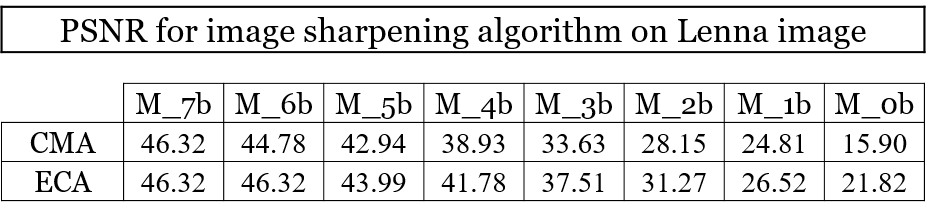
نمودار های زیر نیز نشان دهنده میزان بهبود پارامتر های آماری در ضرب کننده جدید (نارنجی رنگ) نسبت به ضرب کننده ارائه شده در مقاله [4] (آبی رنگ) می‌باشد.

شکل (2-3) مقایسه پارامتر نرخ خطا در ضرب کننده ها

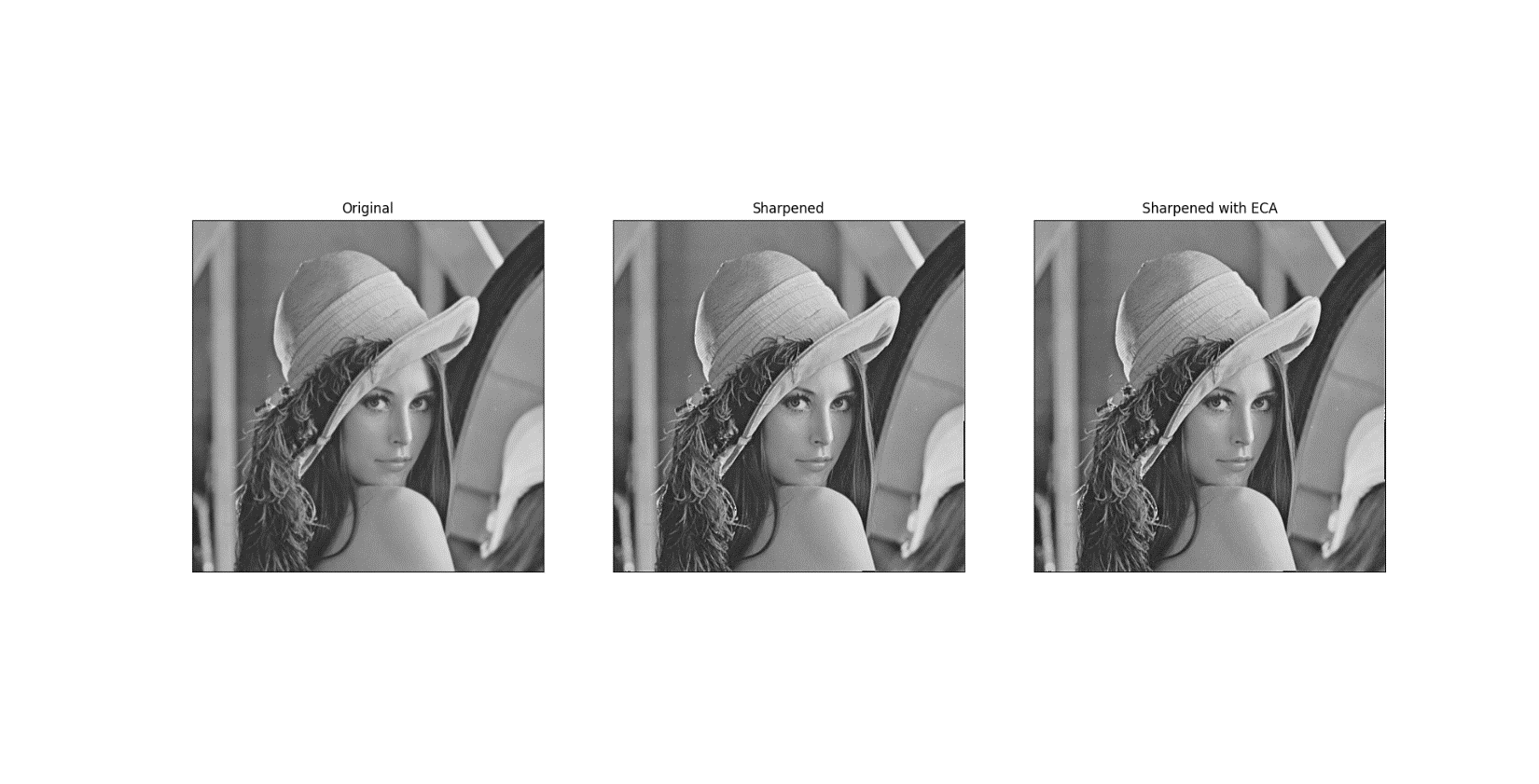
شکل (3-3) معیار میانگین فاصله خطای نسبی در ضرب کننده ها

* + 1. نتیجه در برنامه پردازش تصویر

تصاویر ارائه شده در این بخش، شامل عکس اصلی و دو عکس حاصل که یک الگوریتم پردازش تصویر برای تیز کردن (sharpening) توسط ضرب کننده های ارائه شده، روی آن ها اعمال شده است، می باشد. همچنین یک جدول نیز برای مقایسه کیفیت که در آن از معیار PSNR (حداکثر نسبت سیگنال به نویز) در تصاویر پردازش شده توسط ضرب کننده اصلی و ضرب کننده جدید می‌باشد نیز ارائه شده است. بهبود کیفیت تصاویر نسبت به طرح قبلی در آمار بدست آمده مشهود است.



جدول (4-3) مقدار PSNR تصاویر خروجی



شکل (4-3) مقایسه خروجی تصاویر پردازش شده توسط ضرب کننده های تقریبی

* 1. نتایج پردازنده نهایی

در پایان شبیه سازی های لازم برای پردازنده نیز انجام شد و انواع کد های مختلف به زبان C و اسمبلی روی پردازنده اجرا شد. کد های معروف پر مراجعه مانند دنباله فیبوناچی، پیدا کردن بزرگ ترین خانه یک آرایه، جمع یک سری عددی و ... روی پردازنده با زبان C و با زبان اسمبلی RISC-V اجرا و پیاده سازی شد.

در تمامی برنامه ها، این پردازنده ی جدید بصورت میانگین نسبت به پردازنده PicoRV32 [11] که یکی از پردازنده های معروف و مرجع در کار های تحقیقاتی و مقالات می‌باشد دارای بهبود 73 درصدی در زمان اجرا می‌باشد که حاصل پایپلاین 5 مرحله ای و رفع وابستگی های داده ها در برنامه با استفاده از تکنیک های معماری کامپیوتر می‌باشد. فرآیند ساخت فیزیکی پردازنده با تکونولوژی 180 نانومتر TSMC [12] شبیه­سازی شده و نتیجه نهایی، پردازنده ای با فرکانس کاری 250 مگاهرتز می‌باشد که مقدار قابل قبولی نسبت به پردازنده های هم سطح در سیستم های نهفته می‌باشد.

|  |  |
| --- | --- |
| Module | Max Delay (ps) |
| Address Generator | 3844.84 |
| Arithmetic Logic Unit | 3099.01 |
| Control Status Registers | 747.689 |
| Hazard Forward Unit | 1131.73 |
| Immediate Generator | 1016.44 |
| Instruction Decoder | 716.437 |
| Jump Branch Unit | 243.115 |
| Register File | 695.34 |
| Normalized Memory Access Time | 10000 - 40000 |
| Fetch Unit | 308.907 |
| Load Store Unit | 569.903 |

جدول (5-3) تاخیر انتشار خروجی واحد های تشکیل دهنده پروسسور

|  |  |
| --- | --- |
| Core specifications | |
| Clock Cycle Time | 4 ns |
| CPI (R, I Type) | 1.13 |
| Frequency | 250MHz |

جدول (6-3) مشخصات فنی پردازنده طراحی شده

1. مراجع

مراجع

1. https://riscv.org/
2. W. Liu, L. Qian, C. Wang, H. Jiang, J. Han and F. Lombardi, "Design of Approximate Radix-4 Booth Multipliers for Error-Tolerant Computing," in IEEE Transactions on Computers, vol. 66, no. 8, pp. 1435-1441, 1 Aug. 2017, doi: 10.1109/TC.2017.2672976.
3. S. Hashemi, R. I. Bahar and S. Reda, "DRUM: A Dynamic Range Unbiased Multiplier for approximate applications," 2015 IEEE/ACM International Conference on Computer-Aided Design (ICCAD), Austin, TX, USA, 2015, pp. 418-425, doi: 10.1109/ICCAD.2015.7372600.
4. T. Yang, T. Ukezono and T. Sato, "A low-power high-speed accuracy-controllable approximate multiplier design," 2018 23rd Asia and South Pacific Design Automation Conference (ASP-DAC), Jeju, Korea (South), 2018, pp. 605-610, doi: 10.1109/ASPDAC.2018.8297389.
5. The RISC-V Instruction Set Manual, Volume I: User-Level ISA, Document Version 20191213”, Editors Andrew Waterman and Krste Asanovic, RISC-V Foundation, December 2019
6. D. A. Patterson and J. L. Hennessy, "Computer Organization and Design: The Hardware/Software Interface," 5th ed., *Morgan Kaufmann*, 2013.
7. J. L. Hennessy and D. A. Patterson, "Computer Organization and Design: A Quantitative Approach," 6th ed., *Morgan Kaufmann*, 2017.
8. Modern Processor Design: Fundamentals of Superscalar Processors. (2013). (n.p.): Waveland Press.
9. Wen-Chang Yeh and Chein-Wei Jen, "High-speed Booth encoded parallel multiplier design," in IEEE Transactions on Computers, vol. 49, no. 7, pp. 692-701, July 2000, doi: 10.1109/12.863039.
10. http://opencircuitdesign.com/qflow/
11. https://github.com/YosysHQ/picorv32
12. https://www.tsmc.com/english/dedicatedFoundry/technology/logic/l\_018micron