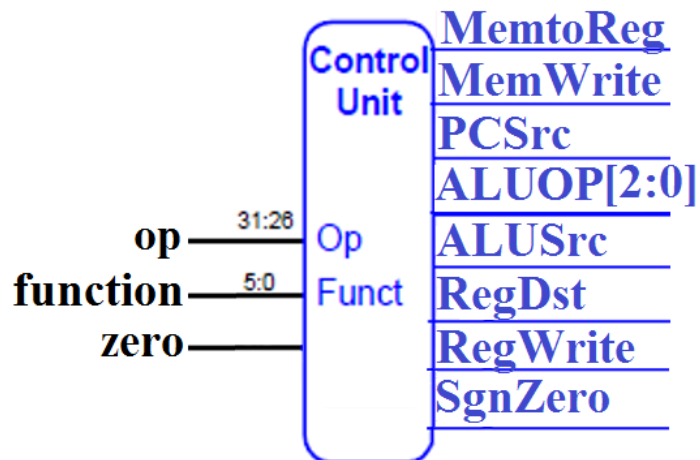


این فاز پروژه از دو قسمت تشکیل شده است :

قسمت اول: پیاده سازی مازول Controller



ورودی‌ها:

- 1) ورودی شش بیتی برای شش بیت بالای دستور. (op)
- 2) ورودی شش بیتی برای شش بیت پایین دستور. (funct)
- 3) ورودی تک بیتی مطابق با صفر و یا یک بودن خروجی ALU. (zero)

خروجی‌ها:

- 1) خروجی تک بیتی برای بیت کنترلی مالتی پلکسر در خروجی Data Memory برای تعیین آن که داده ورودی برای RegFile از خروجی حافظه Data دریافت شود و یا از خروجی ALU. (MemToReg)
- 2) خروجی تک بیتی برای بیت کنترلی مربوط به فعال‌سازی نوشتن به Data Memory. (MemWrite)

- (3) خروجی تک بیتی برای بیت کنترلی مالتی پلکسر در ورودی Instruction Memory برای تعیین آن که PC خط بعد دستورات به عنوان آدرس Instruction Memory قرار بگیرد و یا آدرس پرش. (PCSrc)
- (4) خروجی تک بیتی برای بیت کنترلی مالتی پلکسر در ورودی دوم ALU برای تعیین آن که ورودی دوم ALU خروجی دوم Register File باشد و یا Sign Extend Immediate. (ALUSrc)
- (5) خروجی تک بیتی برای بیت کنترلی مالتی پلکسر در ورودی Register File برای تعیین آن که آدرس رجیستر مقصد از کدام بازه دستور برداشت شود. (RegDst)
- (6) خروجی تک بیتی برای بیت کنترلی مربوط به فعال سازی نوشتن به Register File. (RegW)
- (7) خروجی تک بیتی برای بیت کنترلی مربوط به آن که واحد Sign Extend، ورودی اش را zero extend کند یا sign extend. (SgnZero)
- (8) خروجی سه بیتی برای مشخص کردن نوع عملیات ALU. (ALUOP)

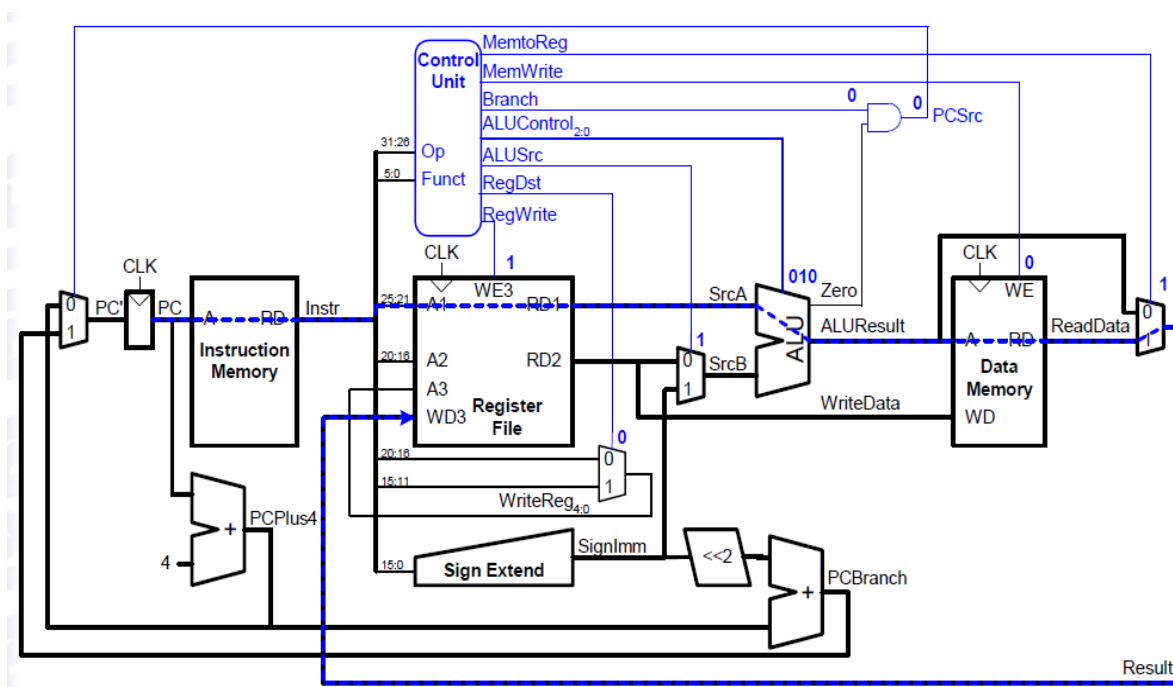
## هدف:

هدف طراحی ماژولی با ورودی و خروجی های ذکر شده می باشد که با دریافت شش بیت بالا و پایین دستور و ورودی تک بیتی zero مربوط به صفر و یک بودن خروجی ALU، تمامی بیت های کنترلی را با توجه به نوع دستور مقدار دهی کند.

دستورات مورد نیاز برای پیاده سازی:

ADD - ADDU - SUB - SUBU - AND - OR - XOR - NOR - SLT - SLTU - LW - SW  
BEQ - BNE - ANDI - ORI - XORI - ADDI - ADDIU - SLTI - SLTIU

## قسمت دوم: پیاده سازی ماژول DataPath



هدف در این قسمت پیاده سازی ساختار بالا است که ساختار یک پردازنده‌ی single cycle است که در هر کلاک 1 دستور را از حافظه دستورالعمل خوانده و اجرا میکند.

برای پیاده سازی این قسمت لازم است:

- (1) تعدادی مالتی پلکسر و جمع کننده و رجیستر PC با توجه به ساختار بالا پیاده سازی شود.
- (2) پیاده سازی واحد Sign Extend و واحد شیفت دهنده 2 تایی پیاده سازی شود.
- (3) از ماژول های طراحی شده در قسمت قبل و فاز قبل instance گرفته شود و این ماژول ها به بقیه مدار متصل شوند.

### خواسته های پروژه :

- 1- طراحی کد وریلاگ واحد های بالا و کارکرد صحیح این مدار با تست بنچی که در اختیارتان قرار داده شده است .
- 2- گزارشی کوتاه در مورد نحوه نوشتن واحد ها و کارکرد کلی مدار .

### نکات مهم پروژه :

- 1- زمان تحویل حضوری در CW اعلام می شود .
- 2- هر واحد خود را در فولد ری جداگانه و به همراه تست بنچ آن قرار دهید و در غالب فایلی با اسم Single\_Student#.rar در CW آپلود کنید .