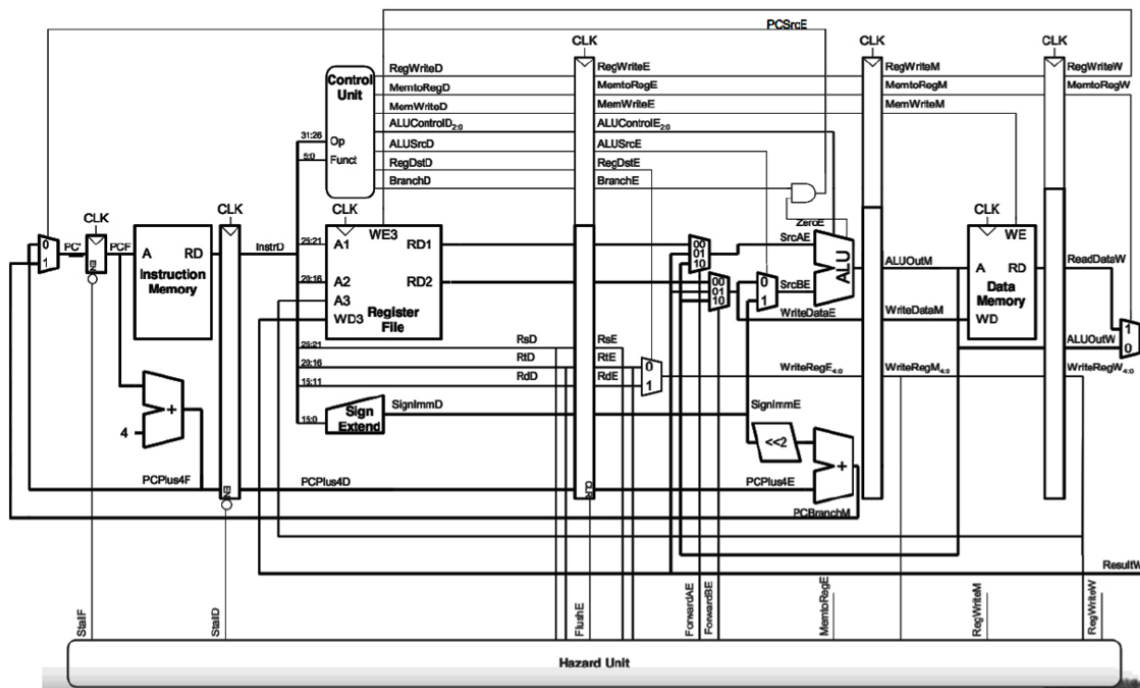


هدف در این فاز Pipeline کردن پردازنده طراحی شده در قسمت قبل است.

ساختار مورد نظر به شکل زیر است:



این پروژه از 3 قسمت تشکیل شده است :

**قسمت اول:** پیاده سازی رجیسترهای مسیر Pipeline

هدف در این قسمت پیاده سازی رجیسترهای پایپ لاین به صورت زیر می باشد:

```
always @ (posedge clk)
begin
instrF<=instrD;
signal<=signalD;
...
end
```

هم چنین دقت شود، با توجه به شکل، برای برخی رجیسترها، بیت های کنترلی Flush و Stall در نظر گرفته شده است که به ترتیب رجیستر را خالی و یا مقدار قبلی را در آن نگه می دارند.

## قسمت دوم: پیاده سازی ماژول Hazard Unit

هدف در این قسمت پیاده سازی ماژولی با ورودی های کنترلی لازم برای مشخص کردن انواع بیت های کنترلی مربوط به Flush ها و Stall ها و خطوط کنترلی مربوط به Data Forwarding های لازم برای مدار است.

**قسمت سوم:** پس از در کنار هم قرار دادن ماژول های نوشته شده و طراحی ساختار بالا و بررسی صحت آن به کمک تست بنچ ارائه شده، گزارشی مختصر در مورد مزایا و معایب ساختار بالا و هم چنین تمامی Hazard ها و Data Forwarding های آن ارائه دهید.

### خواسته های پروژه :

- 1- طراحی کد وریلاگ واحد بالا و کارکرد صحیح این مدار با تست بنچی که در اختیارتان قرار داده شده است .
- 2- گزارشی در مورد نحوه نوشتن واحد ها و مشکلاتی که در طول انجام پروژه با آن ها برخورد کردید .
- 3- همچنین توضیح دهید که در صورتی که حافظه Memory، با چند کلاک تاخیر در خواندن و نوشتن طراحی شده بود، راه حلی برای بهبود آن در نظر دارید.

### نکات مهم پروژه :

- 1- زمان تحویل حضوری در CW اعلام می شود .
- 2- کل طراحی های خود را به همراه تست بنچ در غالب فایلی با اسم Pipeline\_Student#.rar در CW آپلود کنید .