



**Universidade Federal de Santa Catarina Centro Tecnológico - CTC**  
**Departamento de Informática e Estatística - INE**



## **Relatório atividade 4**

# **Organização de computadores I**

### **Prof.**

Marcelo Daniel Berejuck

### **Alunos**

Augusto de Hollanda Vieira Guerner (22102192) e  
Fabricio Duarte Júnior (22100615)

## Relatório atividade 4

### Introdução

O presente relatório tem por objetivo analisar o desempenho da cache dado dois programas que fazem o preenchimento de matrizes de mesmo tamanho, mas em ordem diferente: o primeiro preenche percorrendo as linhas, e o segundo percorrendo as colunas. Ou seja, estudará-se mais profundamente a cache praticando em um simulador.

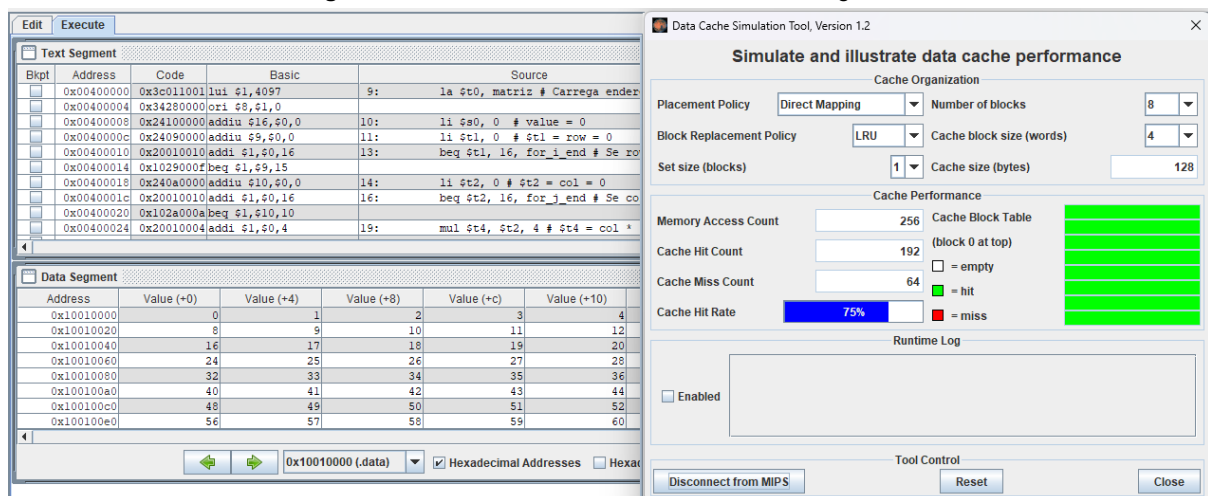
### Exercício 1)

**Resposta:** Qual foi a taxa final de acertos do cache?

Antes de estimar é interessante destacar o contexto do exercício. Uma vez que é exigido que se teste o primeiro programa da atividade 3, o preenchimento da matriz é linha por linha. Além disso, o bloco da cache tem o tamanho de 4 words, ou seja, cada bloquinho consegue armazenar 4 palavras da memória principal.

Tendo em mente o contexto supracitado, é possível estimar a taxa de acertos como sendo  $\frac{3}{4}$ . Para entender isso, é preciso conhecer o princípio da localidade: “Espaços de memória adjacentes ao usado, possivelmente serão acessados”. Assim, se houver uma falha ao acessar um endereço, a memória cache logo armazena o bloco cujo começo é o endereço de falha. Como o tamanho do bloco deste exercício é 4, a cache pegará 4 words, sendo 3 seguidas ao word do miss e 1 a própria word do miss. A seguir está a imagem do resultado.

**Imagem 1 -** Teste da cache com tamanho de bloco igual a 4.



Fonte: Acervo dos autores.

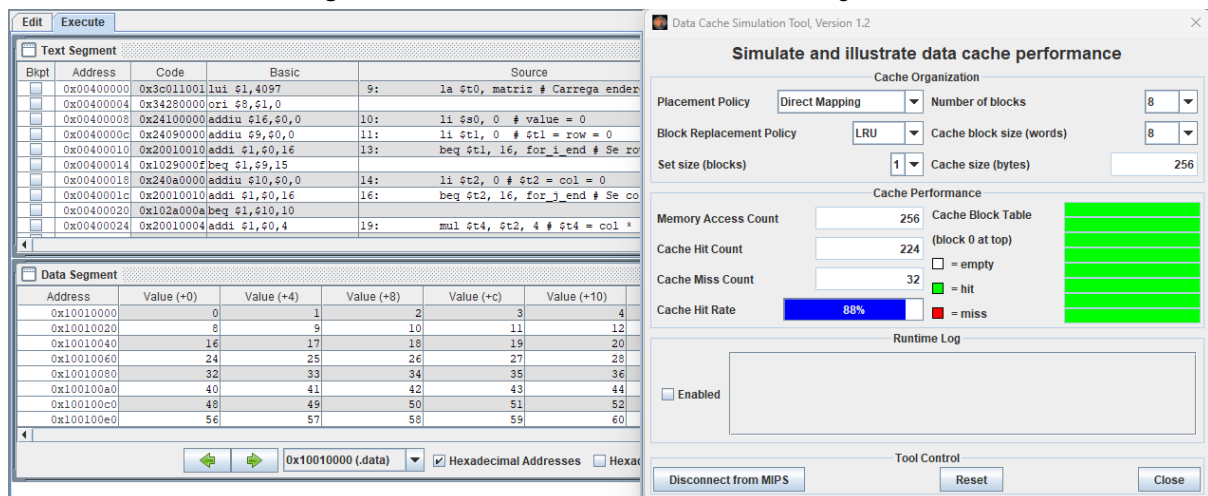
## Relatório atividade 4

Como é possível notar na imagem 1, a estimativa concorda exatamente com a prática, isto é, a taxa de acertos foi de 75%. A cada 1 miss, a cache guarda o bloco de memória começando no próprio elemento do miss e, nas três próximas tentativas, ele inevitavelmente acertará, pois os três próximos endereços lidos são os três seguintes ao endereço em que ocorreu o miss. Isso se repete até o fim do programa, de modo que a taxa de acertos fica em torno de 75%.

**Responda:** Dada essa explicação (acima), qual será a taxa de acertos se o tamanho do bloco for aumentado de 4 para 8 words?

A lógica aqui é a mesma, mas agora com o bloco de memória de 8 words. Assim, a cada miss em um dado endereço, a cache logo guarda o bloco de 8 words com início nesse. Com a continuação do programa, são contabilizados mais 7 acertos seguido de um miss, de modo que o processo de armazenamento da cache torna-se a repetir. Portanto, é possível estimar que a taxa de acertos antes de rodar os testes será de  $\frac{7}{8}$ , ou seja, 87.5%.

Imagem 2 - Teste da cache com tamanho de bloco igual a 8.



Fonte: Acervo dos autores.

Ao analisar a imagem 2, vê-se que a prática novamente está em conformidade com a estimativa, apenas com um leve desvio que provavelmente é fruto de algum arredondamento. Assim, a taxa de acertos ficou nas casas do 88%, 7 hits a cada 1 miss.

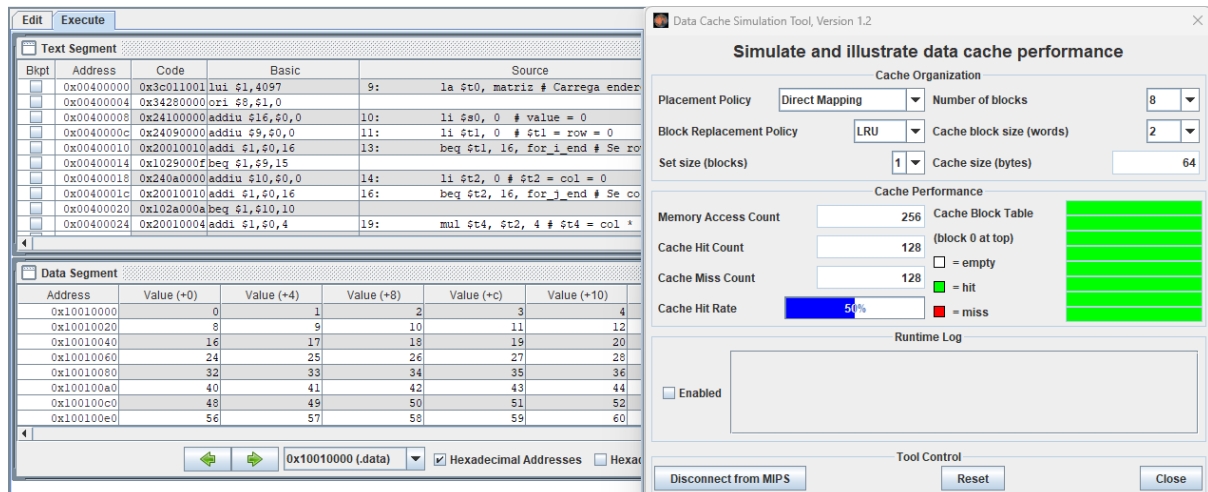
**Responda:** E se for diminuído de 4 words para 2 words?

Novamente, a lógica para estimar é igual. Se há uma diminuição de 4 words para 2 words em cada bloco, a taxa de acertos se tornará de 50%, 1 acerto a cada 1

### Relatório atividade 4

miss. Isso se deve ao fato de que a cache armazena o endereço que ocorreu o miss e o seguinte. Segue a imagem ao rodar a simulação da cache.

Imagem 3 - Teste da cache com tamanho de bloco igual a 2.



Fonte: Acervo dos autores.

Como é possível observar na imagem 3, a cache atingiu 50% de acertos concordando novamente com a estimativa feita antes.

### Exercício 2)

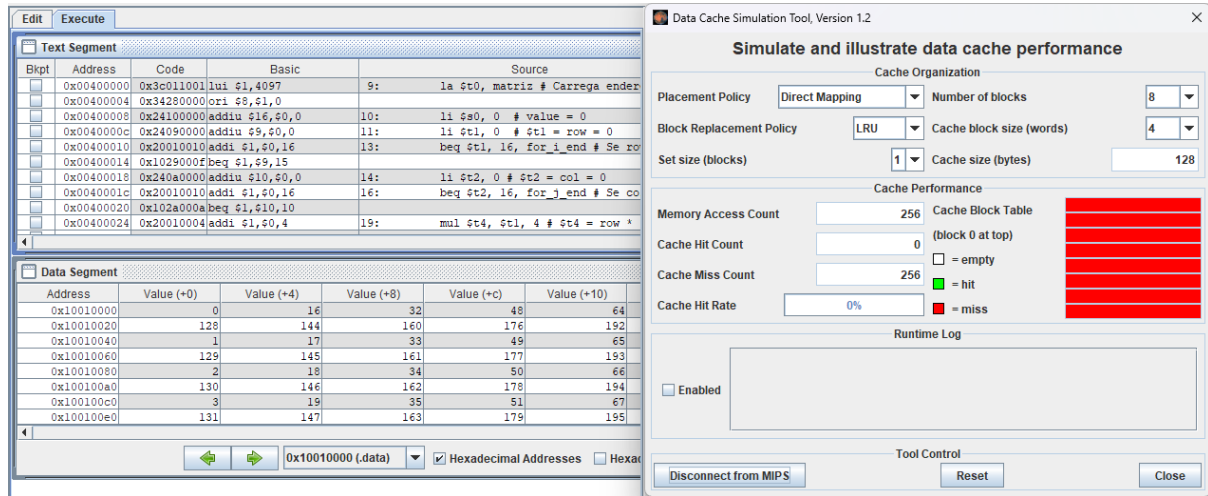
Antes de responder às próximas questões é interessante destacar que o segundo programa preenche percorrendo as colunas, assim os acessos deixam de ser sequenciais como é caso do primeiro programa. Isso altera o desempenho da cache, uma vez que os blocos armazenados por ela são sequenciais.

**Responda:** Qual foi o desempenho do cache para este programa?

A estimativa antes de executar o programa para a taxa de acertos é de 0%, já que o preenchimento da matriz, como dito antes, deixou de ser sequencial.

Imagem 4 - Teste da cache com tamanho de bloco igual a 4 para o segundo programa.

## Relatório atividade 4



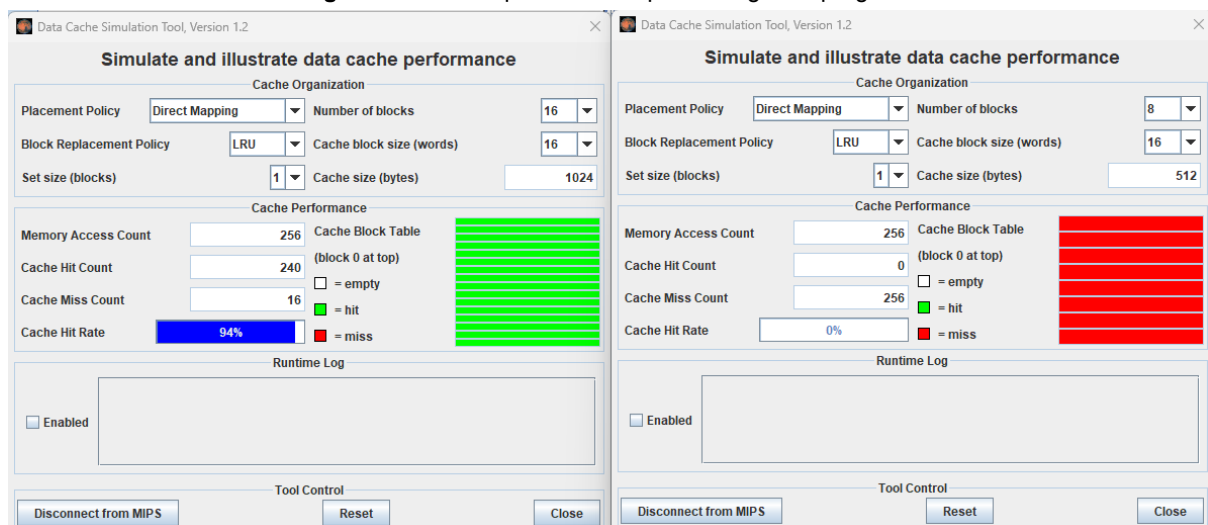
Fonte: Acervo dos autores.

Nota-se, na imagem 4, que, de fato, a taxa de acertos foi de 0%, em concordância à estimativa feita anteriormente.

### Preencha as lacunas:

Execute novamente o programa. Qual é o desempenho do cache da instância da ferramenta original? **Continua 0%**. O tamanho do bloco 16 não ajudou porque ainda havia apenas um acesso a cada bloco, o miss inicial, antes que o bloco fosse substituído por um novo. Qual é o desempenho do cache da segunda instância da ferramenta? **Na segunda instância igual a 94%, isto é, 15 hits a cada 1 miss**. Nesse ponto, toda a matriz caberá no cache e, portanto, uma vez que um bloco é lido, ele nunca é substituído. Apenas o primeiro acesso a um bloco resulta em erro

Imagem 5 - Teste duplo da cache para o segundo programa.



Fonte: Acervo dos autores.



## **Relatório atividade 4**

### **Conclusão**

Com a atividade presente, foi possível colocar em prática os conceitos de memória cache. Além disso, foi também entendido que mudanças, embora insignificantes no código, podem gerar mudanças significativas no desempenho da memória cache. Portanto, não só foram colocados em prática os conceitos como também foi mais uma vez demonstrada a importância de se entender que o hardware e o software andam juntos e um interfere no outro.