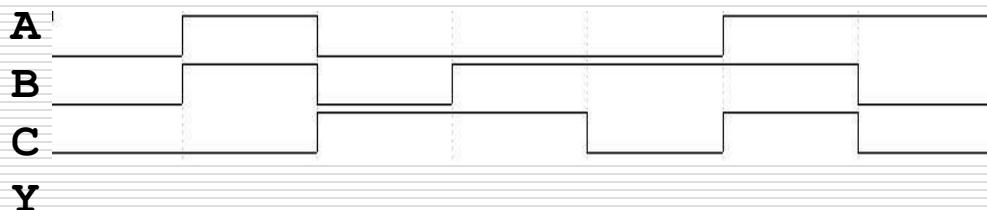


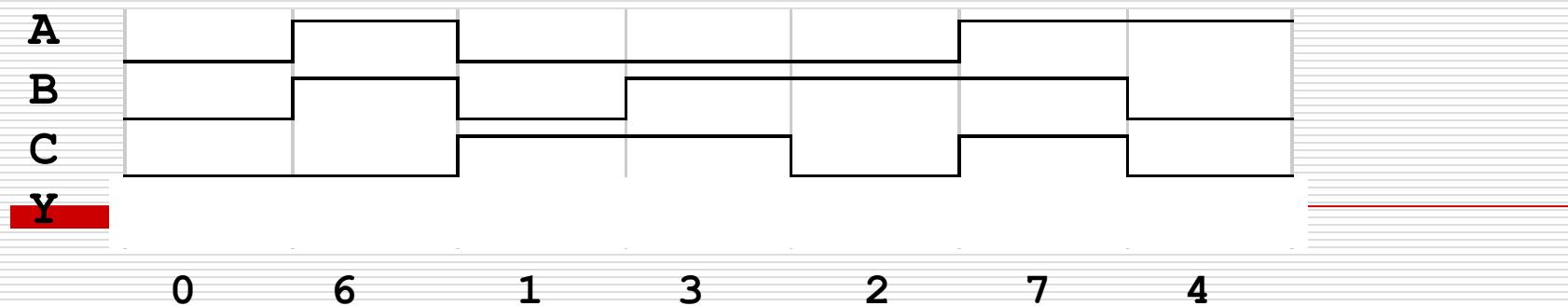
补充作业1

```
module ch4ex1(A,B,C,Y);  
input A,B,C;  
output Y;  
reg Y;  
always @ (A or B or C)  
  if (A == 0)  
    if (B||C == 1)  
      Y = 1;  
    else  
      Y = 0;  
  else if (B^C == 1)  
    Y = 1;  
  else  
    Y = 0;  
endmodule
```

分析Verilog HDL程序,并完成

- 1) 画出Y的波形图
- 2) 写出Y的最小项表达式
- 3) 并化简为最简与或式
- 4) 画出用一片138和门电路实现Y的逻辑电路图



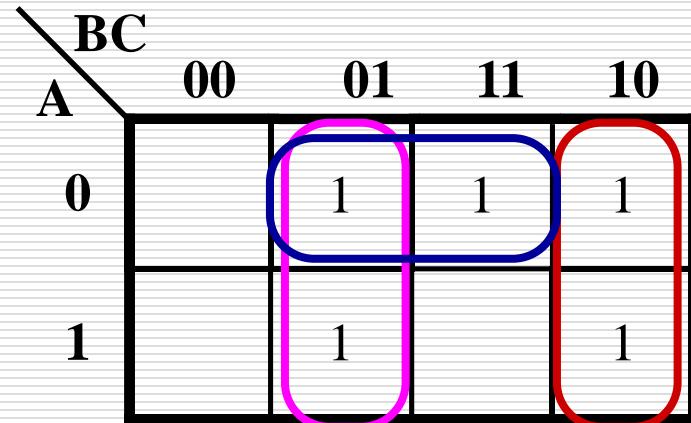


$A = 5$ 没有出现，需要根据程序分析得到对应的函数值

最小项表达式为 $Y = \sum m(1, 2, 3, 5, 6)$

最简与或式为

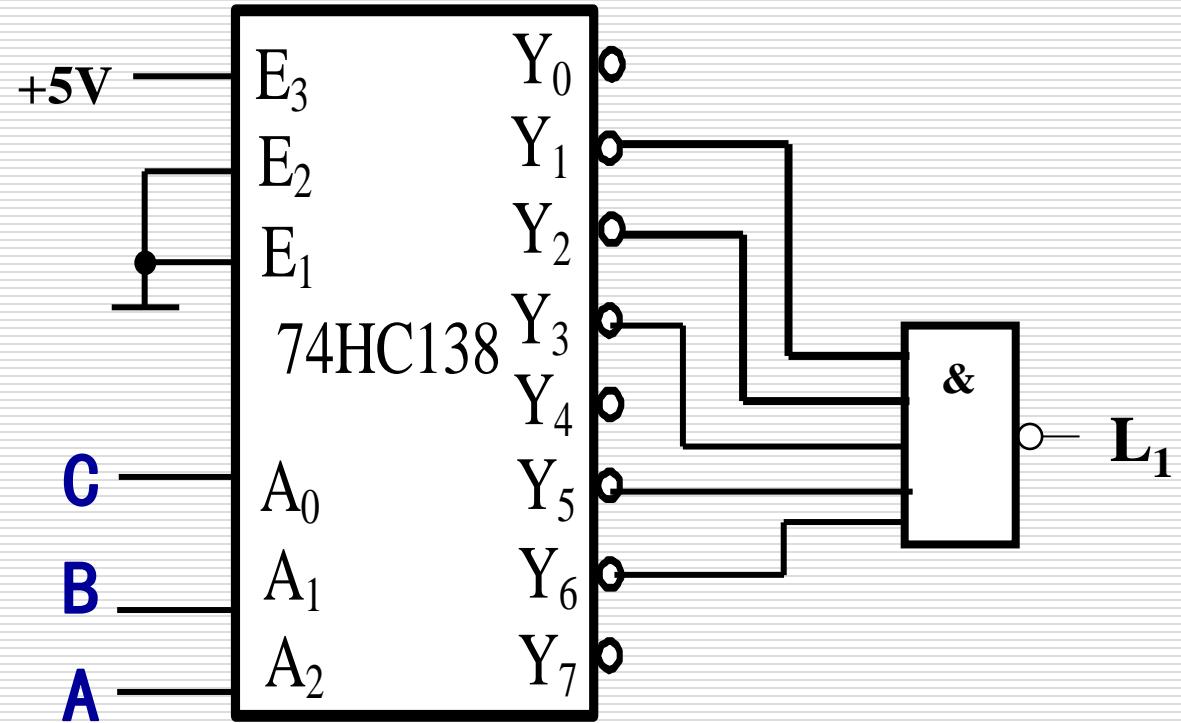
$$F = B\bar{C} + \bar{A}C + \bar{B}\bar{C}$$



$$Y = \sum m(1, 2, 3, 5, 6)$$

$$= m_1 + m_2 + m_3 + m_5 + m_6$$

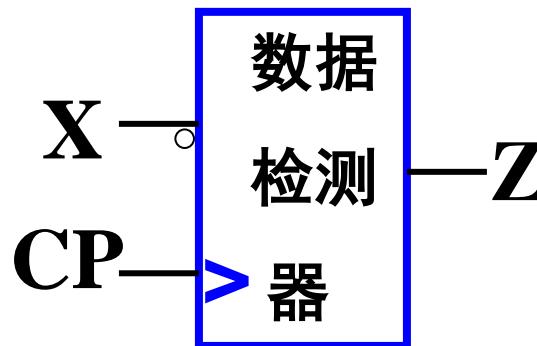
$$= \overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_5} \cdot \overline{Y_6} \cdot$$



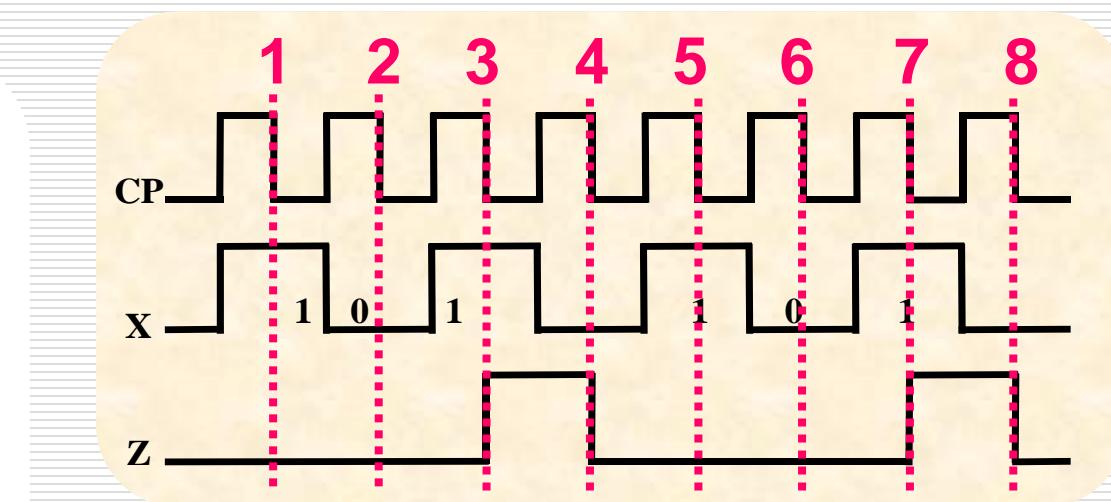
补充作业2

设计一个串行数据检测器。电路的输入信号是与时钟脉冲同步的串行数据X，输出信号为Z；要求电路在X信号输入出现101序列时，输出信号Z为1，否则为0。输入信号X序列及相应输出信号Z的波形示意图如图所示。（输入序列不允许重迭）

- (1) 画出原始状态转换图；
- (2) 列出原始状态表；
- (3) 画出最简状态表和最简状态转换图；
- (4) 若上题中的条件改为输入序列允许重迭，完成题目要求的 (1) (2) (3)



电路框图



补充作业2

不允许重迭：序列尾部的比特不能作为下一个序列的首比特

1 0 1 0 1 0 1
_____ _____

允许重迭：序列尾部的比特可以作为下一个序列的首比特

1 0 1 0 1 0 1

例：

1 0 1 0 1 0 1 0 1 0 1 0 1 0 1

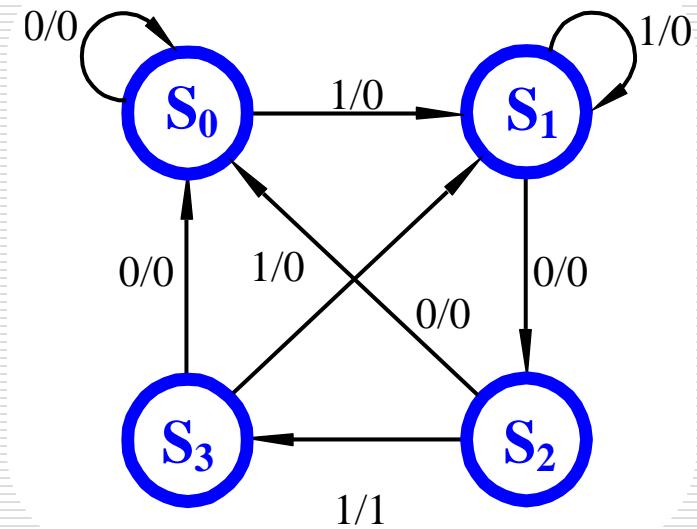
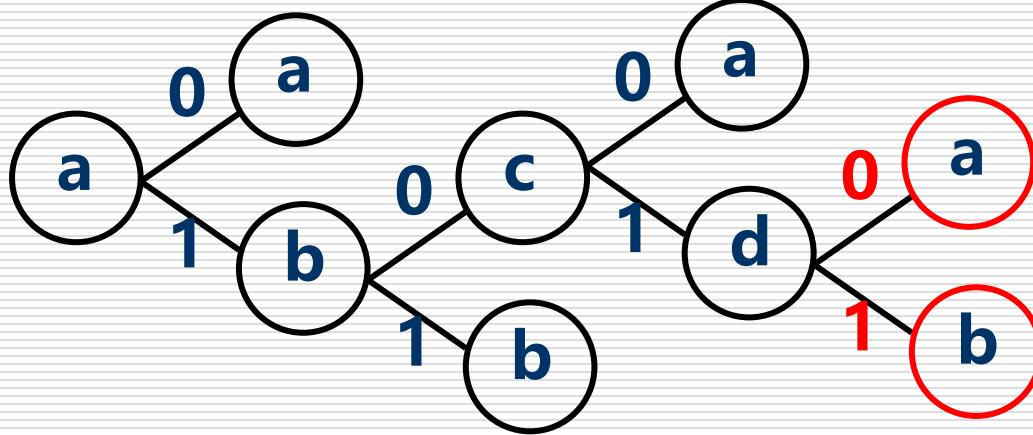
不允许重迭： _____ 检测到4次

允许重迭： _____ 检测到8次

输入序列不允许重迭

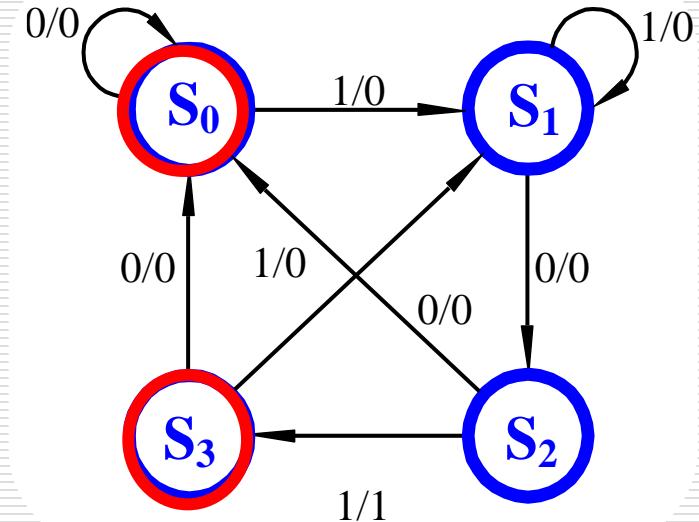
画出原始状态转换图

定义电路的状态：
 S_0 —— 初始状态；
 S_1 —— X输入1后；
 S_2 —— X输入10后；
 S_3 —— X输入101后



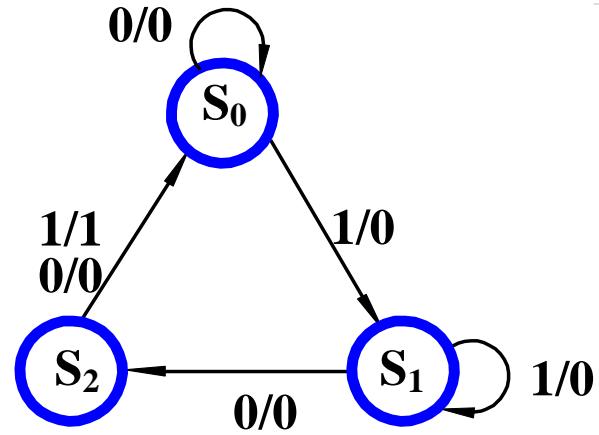
列出原始状态转换表:

现态	次态/输出	
	X=0	X=1
S ₀	S ₀ /0	S ₁ /0
S ₁	S ₂ /0	S ₁ /0
S ₂	S ₀ /0	S ₃ /1
S ₃	S ₀ /0	S ₁ /0



(2) 状态化简

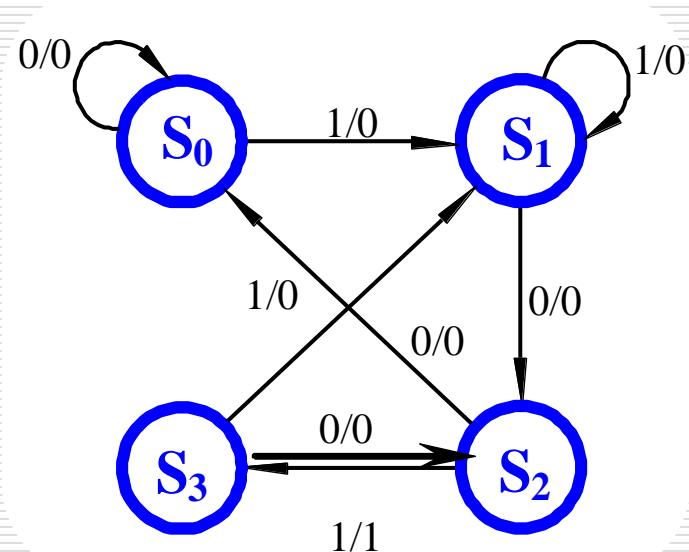
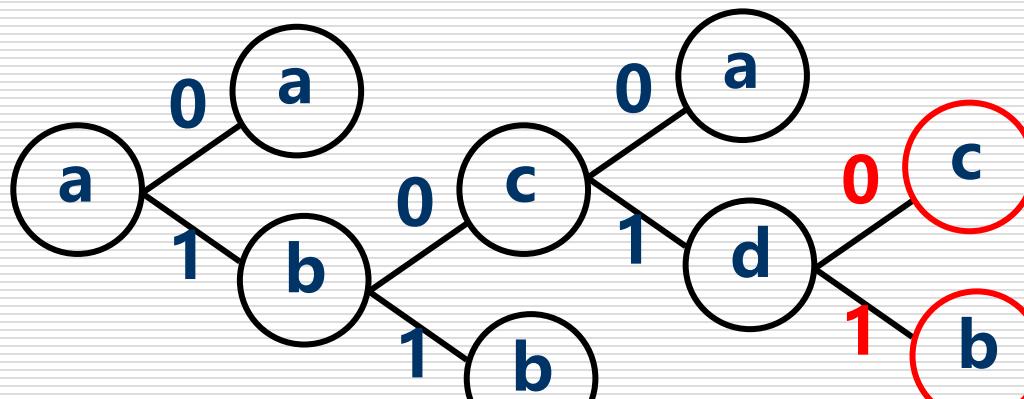
现态	次态 / 输出	
	X=0	X=1
S ₀	S ₀ /0	S ₁ /0
S ₁	S ₂ /0	S ₁ /0
S ₂	S ₀ /0	S ₀ /1



输入序列允许重迭

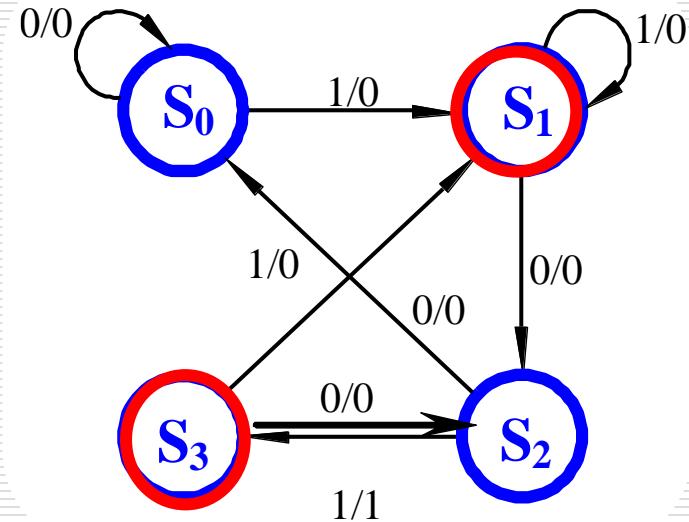
画出原始状态转换图

定义电路的状态：
S0 —— 初始状态；
S1——X输入1后；
S2——X输入10后；
S3——X输入101后



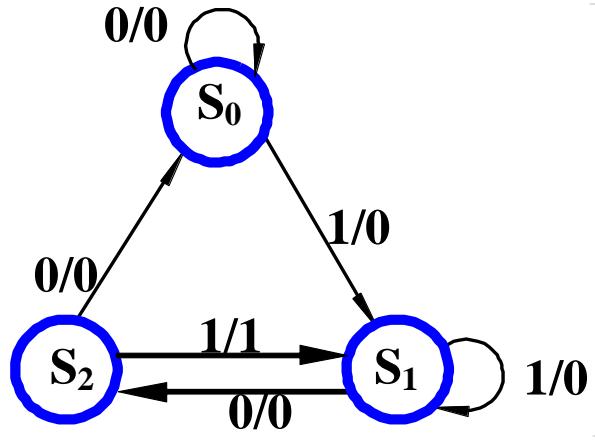
列出原始状态转换表:

现态	次态/输出	
	X=0	X=1
S ₀	S ₀ / 0	S ₁ / 0
S ₁	S ₂ / 0	S ₁ / 0
S ₂	S ₀ / 0	S ₃ / 1
S ₃	S ₂ / 0	S ₁ / 0



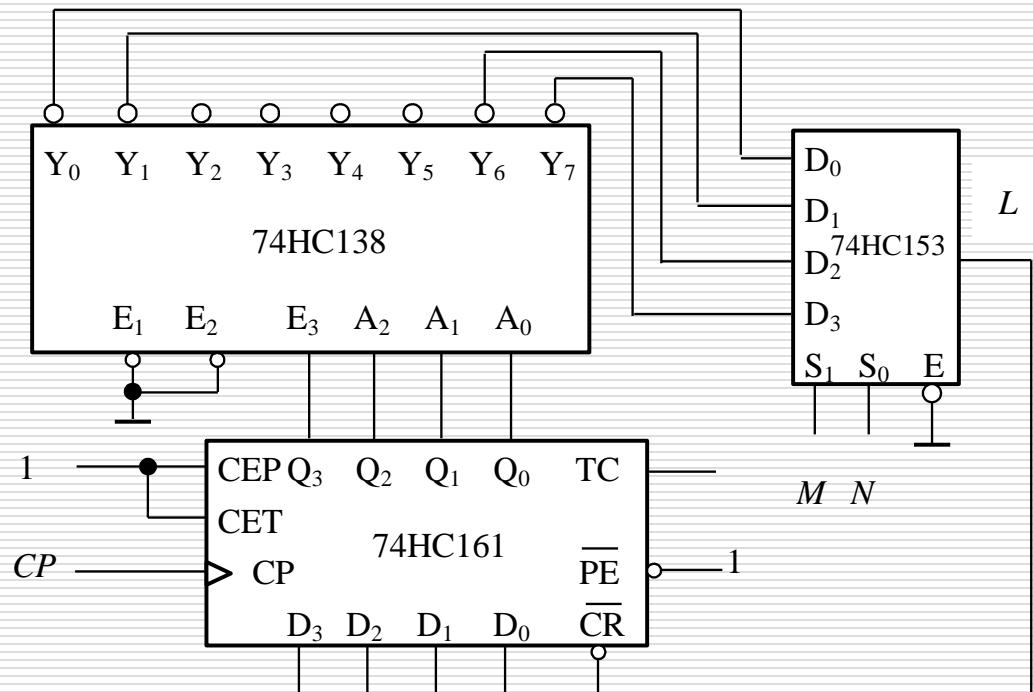
(2) 状态化简

现态	次态 / 输出	
	X=0	X=1
S ₀	S ₀ / 0	S ₁ / 0
S ₁	S ₂ / 0	S ₁ / 0
S ₂	S ₀ / 0	S ₀ / 1



补充作业3

电路如图所示，图中74HC153为四选一数据选择器。试问当MN为各种不同输入时，电路分别是那几种不同进制的计数器，写出分析过程。



思路：

1、以74HC161为核心器件构成的计数器电路

2、应用了反馈清零法

3、找出产生反馈清零信号的是哪个状态？

4、假设MN=00，则Y0连接到清零端

5、Y0何时为低电平？

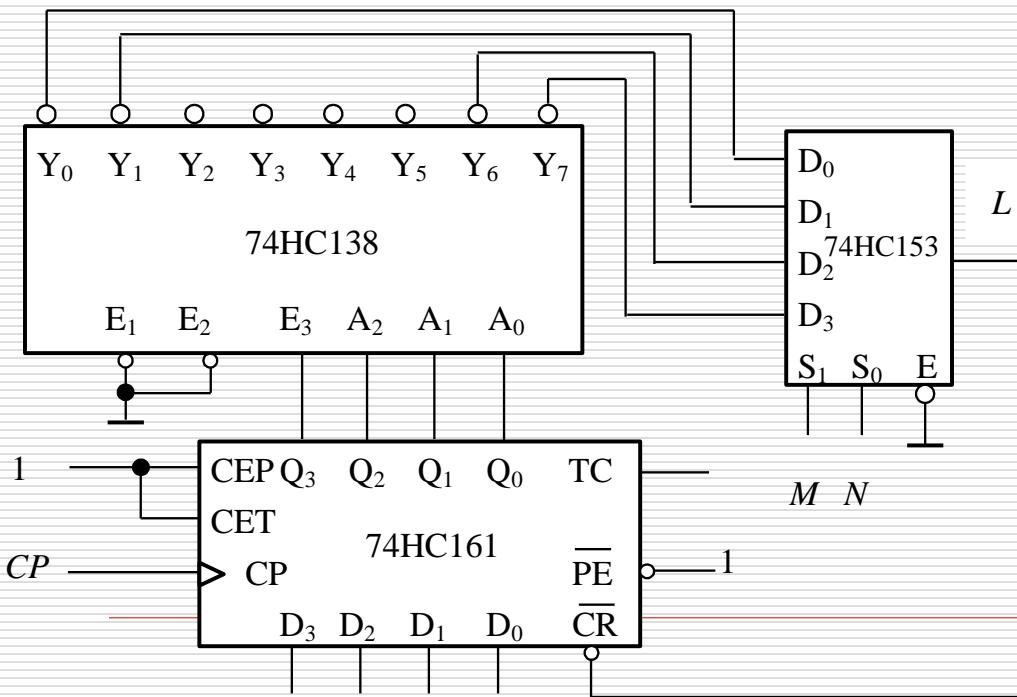
6、对应计数器的哪个状态？

MN=00

$Q_3Q_2Q_1Q_0=1000$ 时，

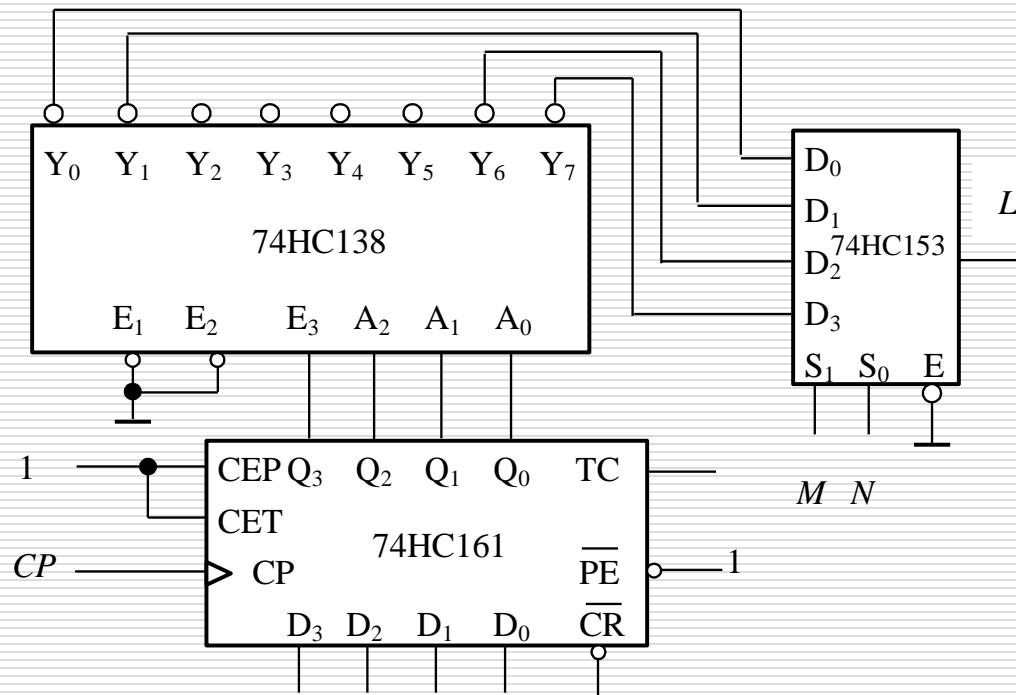
异步清零

共8个状态



补充作业三

电路如图所示，图中74HC153为四选一数据选择器。试问当MN为各种不同输入时，电路分别是那几种不同进制的计数器。



$MN=00$

$Q_3Q_2Q_1Q_0=1000$ 时，
异步清零
共8个状态

$MN=01$

$Q_3Q_2Q_1Q_0=1001$ 时，
异步清零
共9个状态

答案：

$MN=00$

8进制计数器，

$MN=01$

9进制计数器，

$MN=10$

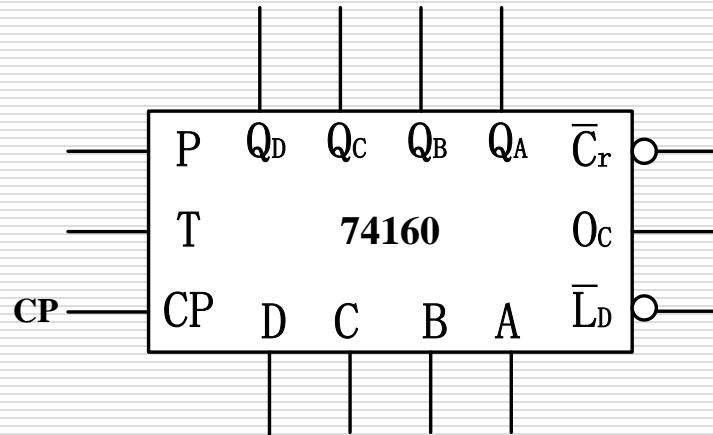
14进制计数器，

$MN=11$

15进制计数器。

补充作业4

利用8421BCD码十进制同步加法计数器74160设计一个模8的加法计数器，计数规律为
0→1→2→3→6→7→8→9→0→1→2→3→6→7→8→9...。要
求写出简要设计过程，并画出电路图

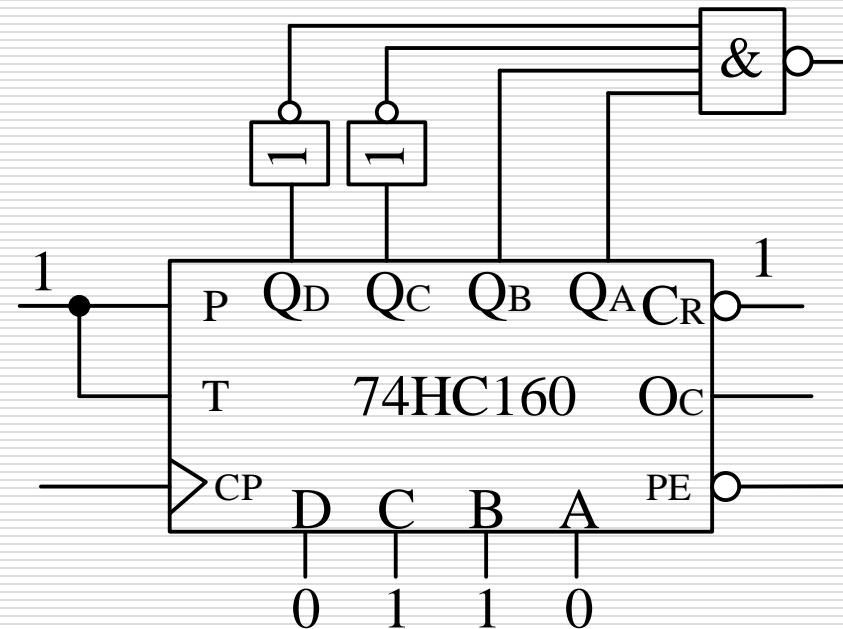


9→0的状态跳转可以自动完成，只需要考慮3→6

使用清零端还是置数端？

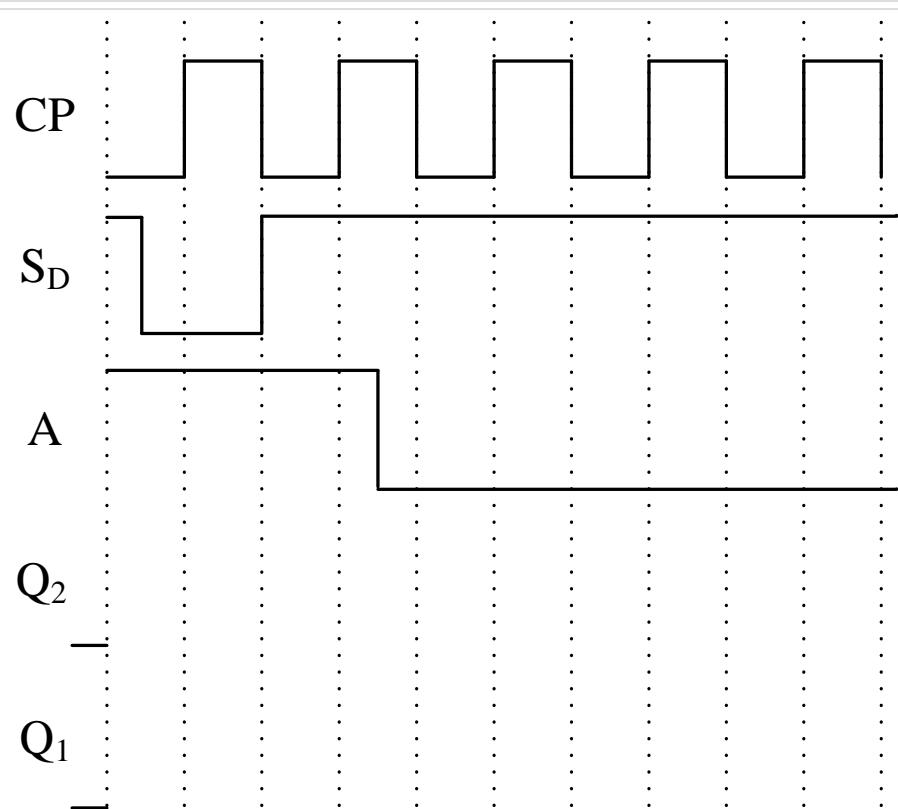
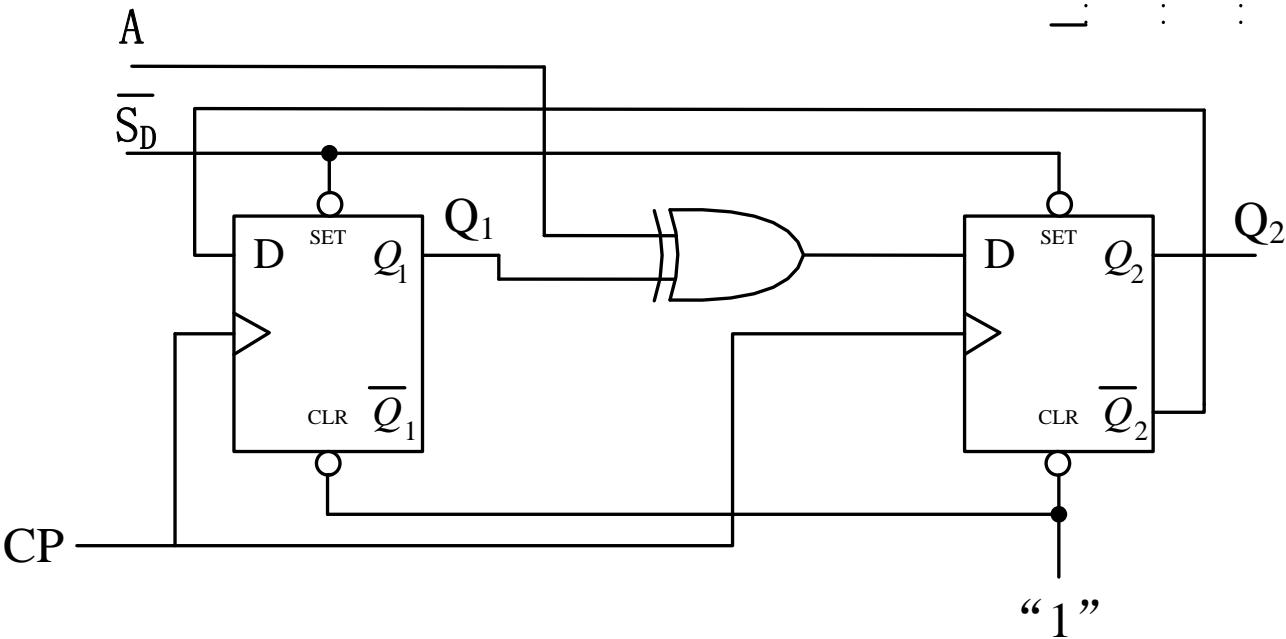
同步还是异步？

Qd连接的非门可以省略



补充作业5

分析如图所示电路，画出波形图(不必写过程)



补充作业6

S_D	CP	A	D1	D2	Q1	Q2
0	X	X	X	X	1	1
1	↑	1	0	0	0	0
1	↑	0	1	0	1	0
1	↑	0	1	1	1	1
1	↑	0	0	1	0	1

