

作业（第7版）：

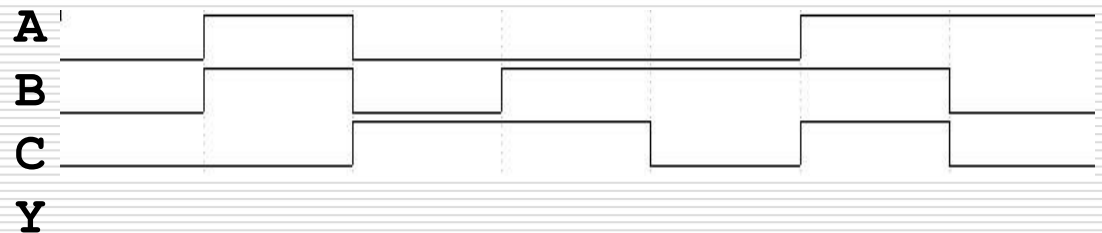
1. 同步分析：6.2.4，6.2.7 二选一
2. 同步设计：6.3.4，6.3.7 二选一
3. 异步分析：6.4.2
4. 集成电路：6.5.3，6.5.9，6.5.17
5. 用两片74161设计一个M进制
($16 < M < 256$) 计数器

补充作业1

```
module ch4ex1 (A,B,C,Y) ;  
input A,B,C;  
output Y;  
reg Y;  
always @ (A or B or C)  
    if (A == 0)  
        if (B || C == 1)  
            Y = 1;  
        else  
            Y = 0;  
    else if (B^C == 1)  
        Y = 1;  
    else  
        Y = 0;  
endmodule
```

分析Verilog HDL程序,并完成

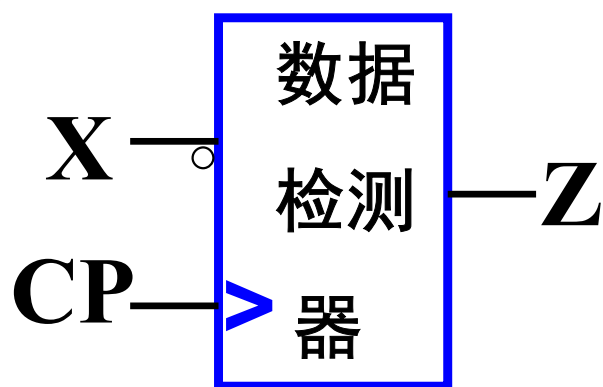
- 1) 画出Y的波形图
- 2) 写出Y的最小项表达式
- 3) 并化简为最简与或式
- 4) 画出用一片138和门电路实现Y的逻辑电路图



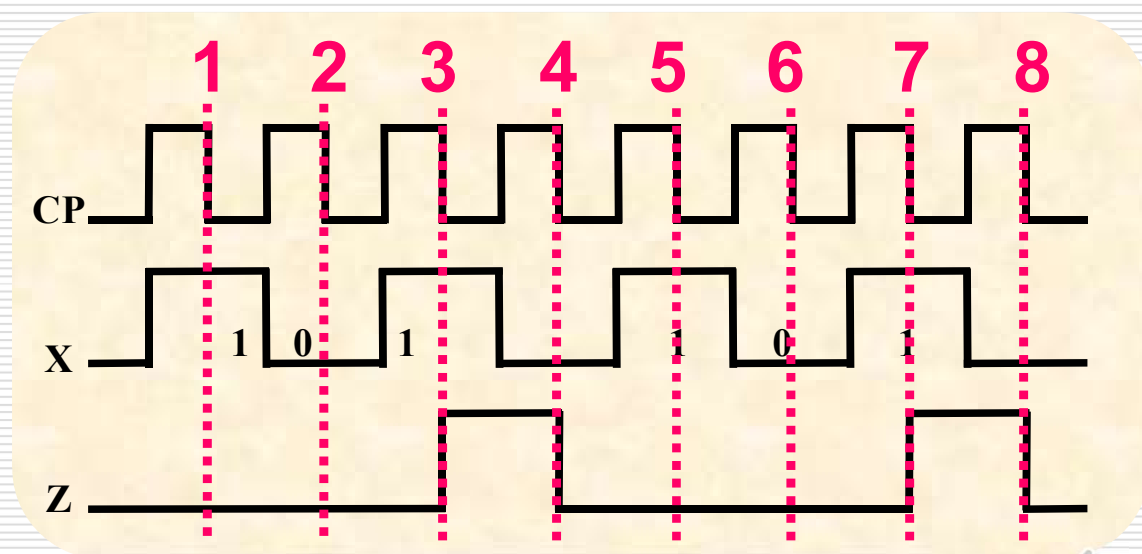
补充作业2

设计一个串行数据检测器。电路的输入信号是与时钟脉冲同步的串行数据X，输出信号为Z；要求电路在X信号输入出现101序列时，输出信号Z为1，否则为0。输入信号X序列及相应输出信号Z的波形示意图如图所示。（输入序列不允许重迭）

- (1) 画出原始状态转换图；
- (2) 列出原始状态表；
- (3) 画出最简状态表和最简状态转换图；
- (4) 若上题中的条件改为输入序列允许重迭，完成题目要求的 (1) (2) (3)



电路框图



补充作业2

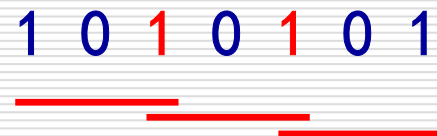
不允许重迭：序列尾部的比特不能作为下一个序列的首比特

1 0 1 0 1 0 1



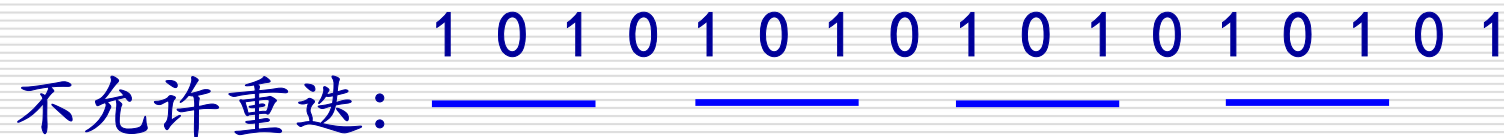
允许重迭：序列尾部的比特可以作为下一个序列的首比特

1 0 1 0 1 0 1



例：

不允许重迭： 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1



检测到4次

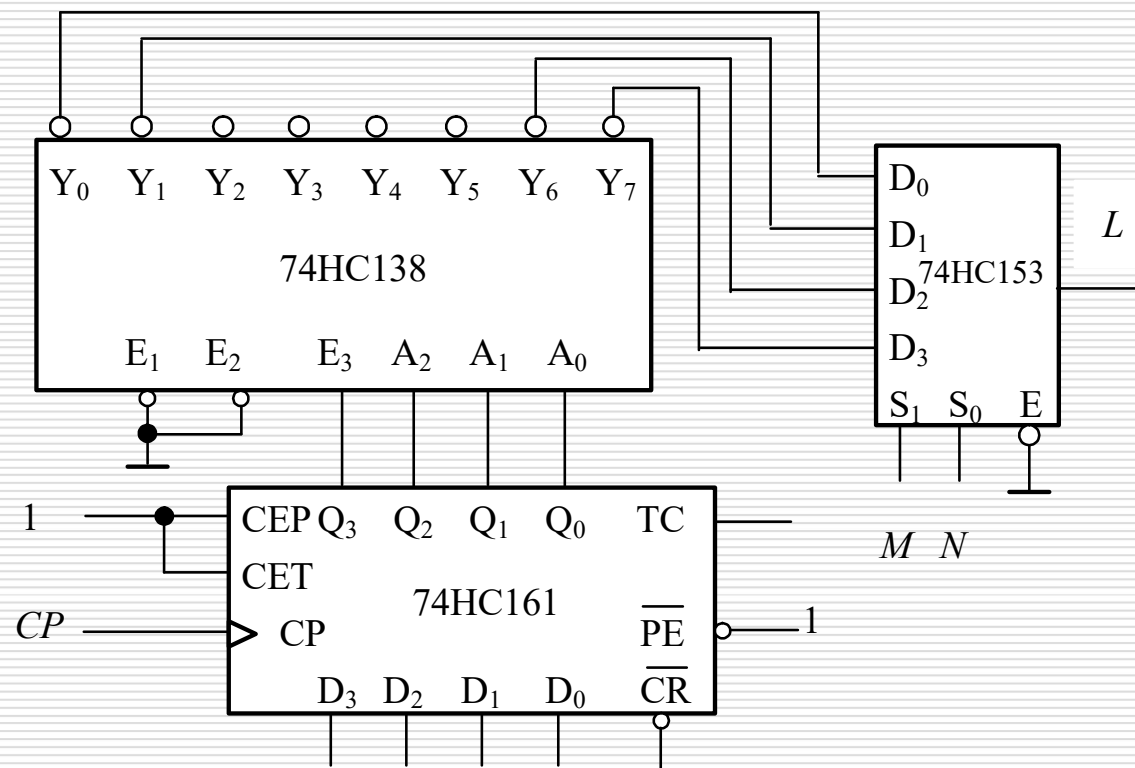
允许重迭： 1 0 1 0 1 0 1 0 1 0 1 0 1 0 1



检测到8次

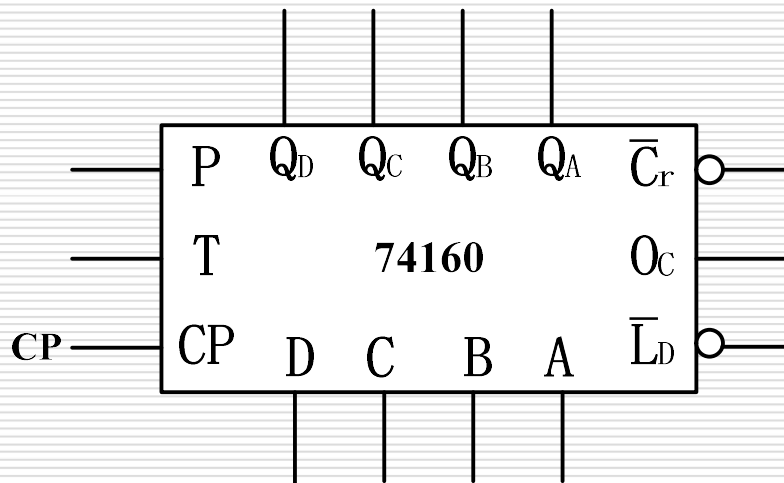
补充作业3

电路如图所示，图中74HC153为四选一数据选择器。试问当 MN 为各种不同输入时，电路分别是那几种不同进制的计数器，写出分析过程。



补充作业4

利用8421BCD码十进制同步加法计数器74160设计一个模8的加法计数器，计数规律为
 $0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \rightarrow 0 \rightarrow 1 \rightarrow 2 \rightarrow 3 \rightarrow 6 \rightarrow 7 \rightarrow 8 \rightarrow 9 \dots$ 。要求写出简要设计过程，并画出电路图



补充作业5

分析如图所示电路，画出波形图(不必写过程)

