

3 逻辑门电路

3.1 逻辑门电路简介

3.2 基本CMOS逻辑门电路

3.3 CMOS逻辑门电路的不同输出结构及参数

3.4 类NMOS和BiCMOS逻辑门电路

*3.5 TTL逻辑门电路

3.6 逻辑描述中的几个问题

3.7 逻辑门电路使用中的几个实际问题

3.8 用VerilogHDL描述CMOS逻辑门电路

3. 逻辑门电路

教学基本要求:

- 1、了解半导体器件的开关特性。
- 2、**熟练掌握**基本逻辑门（与、或、与非、或非、异或门）、三态门、OD门（OC门）和传输门的逻辑功能。
- 3、学会门电路逻辑功能分析方法。
- 4、**掌握**逻辑门的主要参数及在应用中的接口问题。

3.1 逻辑门电路简介

3.1.1 各种逻辑门电路系列简介

3.1.2 开关电路

明德厚学 求是创新

WUHAN CHINA

3.1.1 各种逻辑门电路系列简介

1、逻辑门:实现基本逻辑运算和常用逻辑运算的单元电路。

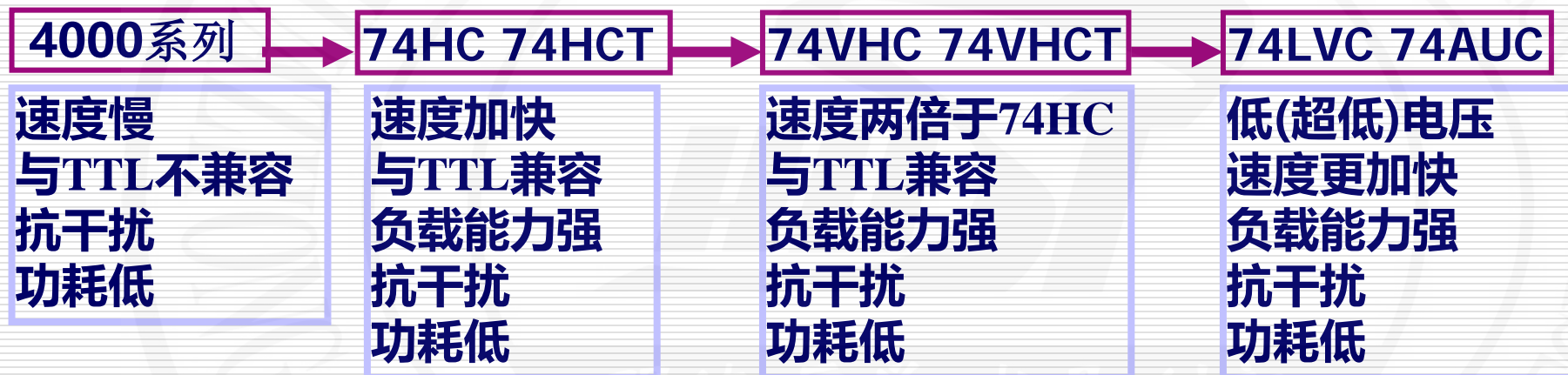
2、逻辑门电路的分类



3.1.1 数字集成电路简介

1.CMOS集成电路:

广泛应用于超大规模、甚大规模集成电路



2.TTL 集成电路:

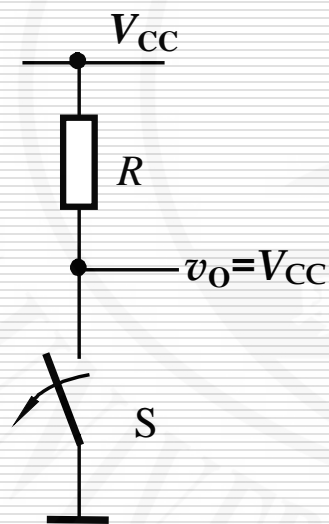
广泛应用于中大规模集成电路



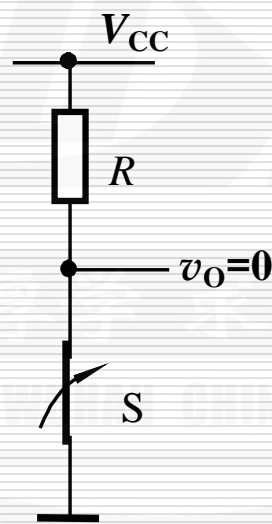
3.1.2 开关电路

逻辑变量取值0或1，对应电路中电子器件的“闭合”与“断开”。

MOS管或BJT管可以作为开关。



(a) 输出逻辑1



(b) 输出逻辑0

3.2 基本CMOS逻辑门电路

3.2.1 MOS管及其开关特性

3.2.2 CMOS反相器

3.2.3 其他基本CMOS逻辑门电路

3.2.4 CMOS传输门

3.2.1 MOS管及其开关特性

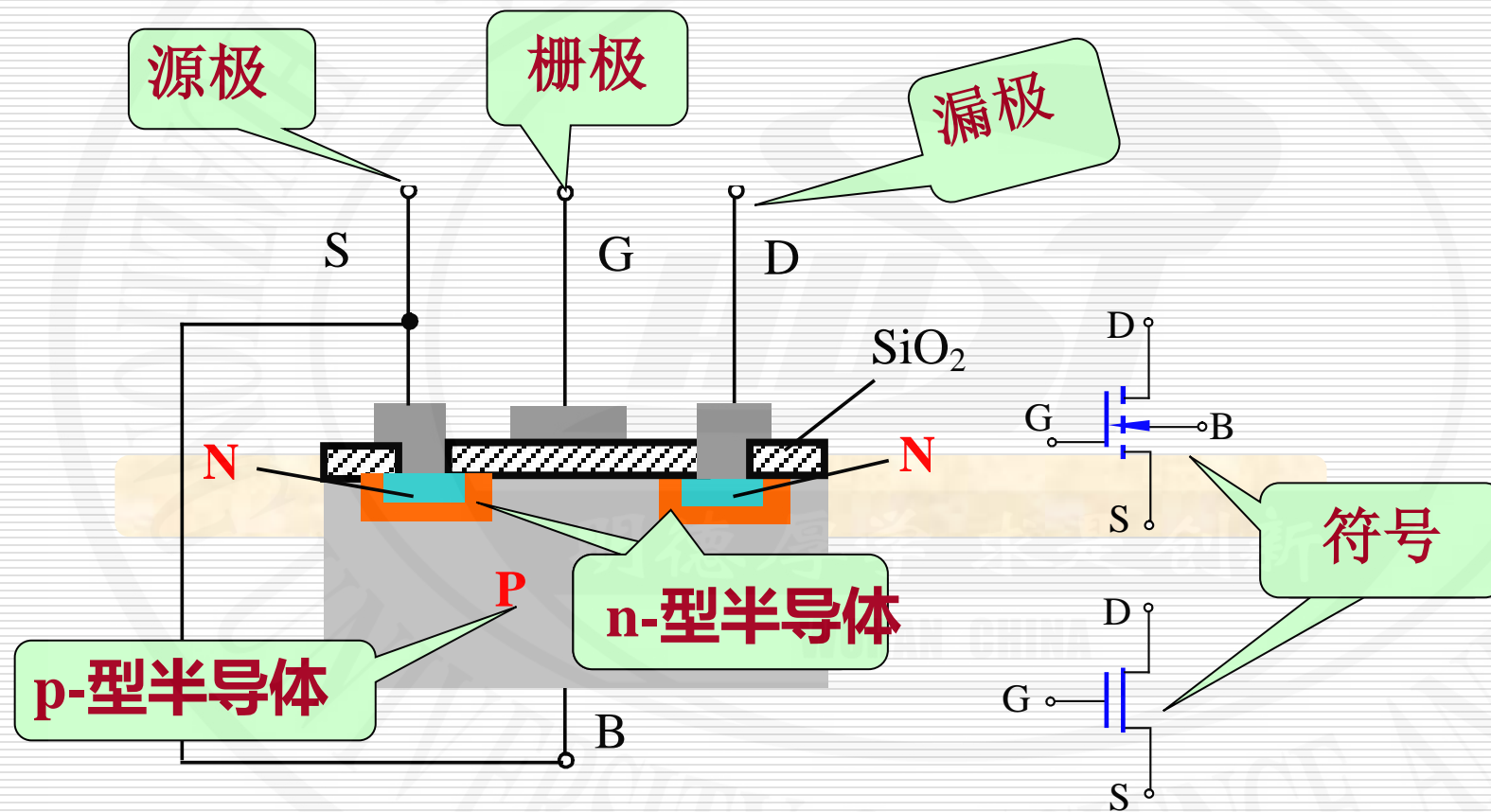
CMOS门电路是以MOS管为开关器件。

MOS管的分类：



1. N沟道增强型MOS管的结构和工作原理

MOS管的分类:



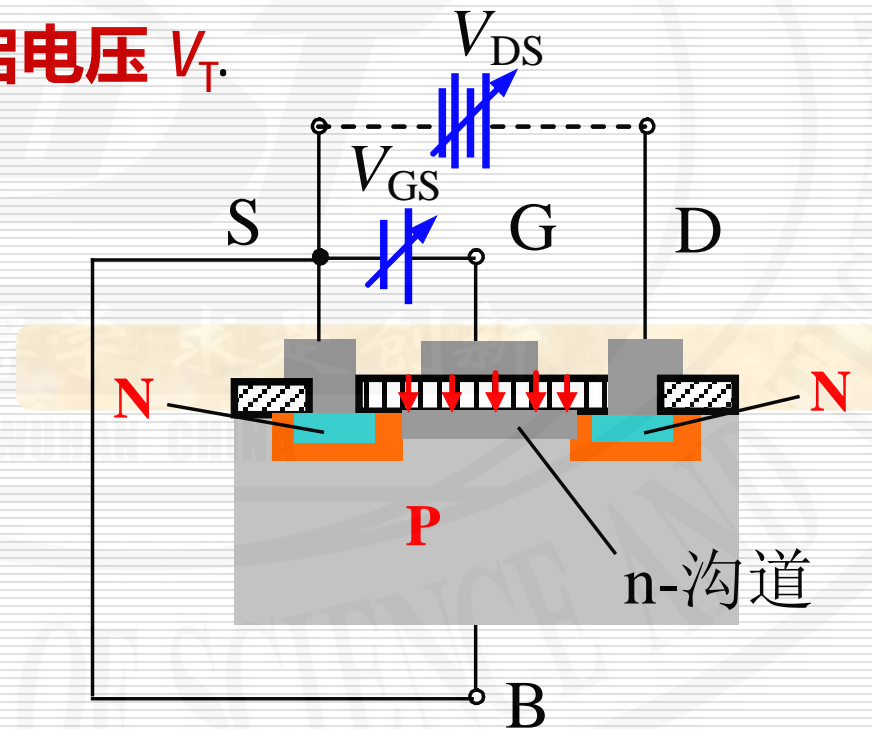
1. N沟道增强型MOS管的结构和工作原理

(1) V_{GS} 控制沟道的导电性

□ $v_{GS}=0, v_{DS} \neq 0$, 等效背靠背连接的两个二极管, $i_D \approx 0$ 。

□ $v_{GS} > 0$, 建立电场 \rightarrow 反型层 $\rightarrow v_{DS} > 0, i_D \neq 0$ 。

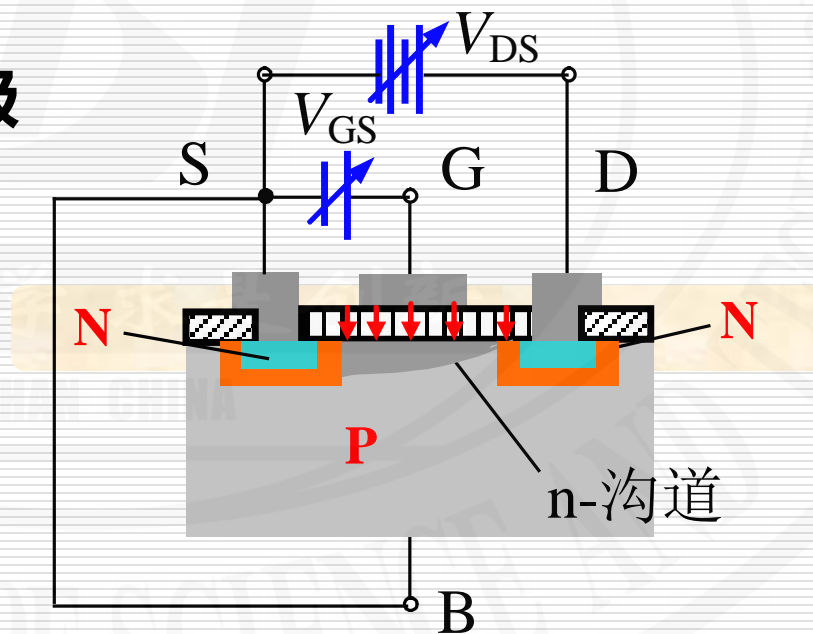
□ 沟道建立的最小 v_{GS} 值称为**开启电压** V_T 。



1. N沟道增强型MOS管的结构和工作原理

(2) V_{GS} 和 V_{DS} 共同作用

- $v_{GS} > V_T, v_{DS} > 0$, 靠近漏极的电压减小。
- 当 $V_{GS} > V_T, i_D$ 随 V_{DS} 增加几乎成线性增加。
- 当 $v_{DS} \uparrow \rightarrow v_{GD} = (v_{GS} - v_{DS}) \leq V_T$, 漏极处出现**夹断**。
- 继续增加 $V_{DS} \uparrow \rightarrow$ **夹断区域变大**, i_D 饱和。



2. N沟道增强型MOS管的输出特性和转移特性

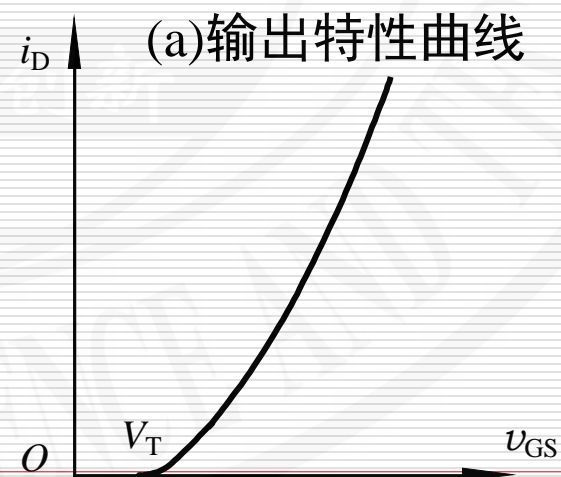
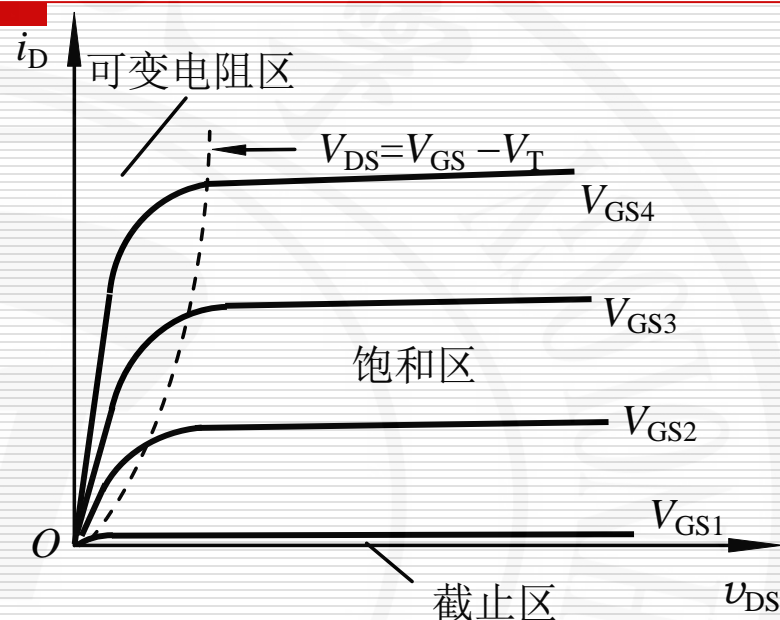
输出特性分为

❑ **截止区:** $v_{GS} < V_T$, $i_D = 0$

❑ **可变电阻区:** 沟道产生, i_D 随 v_{DS} 线性增加, r_{ds} 为受 v_{GS} 控制可变电阻。

$$r_{ds} = \left. \frac{dv_{DS}}{di_D} \right|_{v_{GS}=\text{const}} = \frac{1}{2K_n (v_{GS} - V_T)}$$

❑ **饱和区:** $v_{GS} > V_T$, $v_{DS} > v_{GS} - V_T$



(b) 转移特性曲线

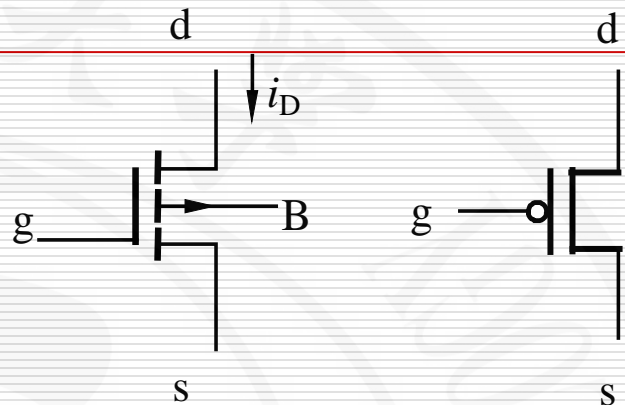
3. 其他类型的MOS管

(1) P沟道增强型MOS管

- 结构与NMOS管相反。
- V_{GS} 、 V_{DS} 电压极性与NMOS管相反。
- 开启电压 V_T 为负值

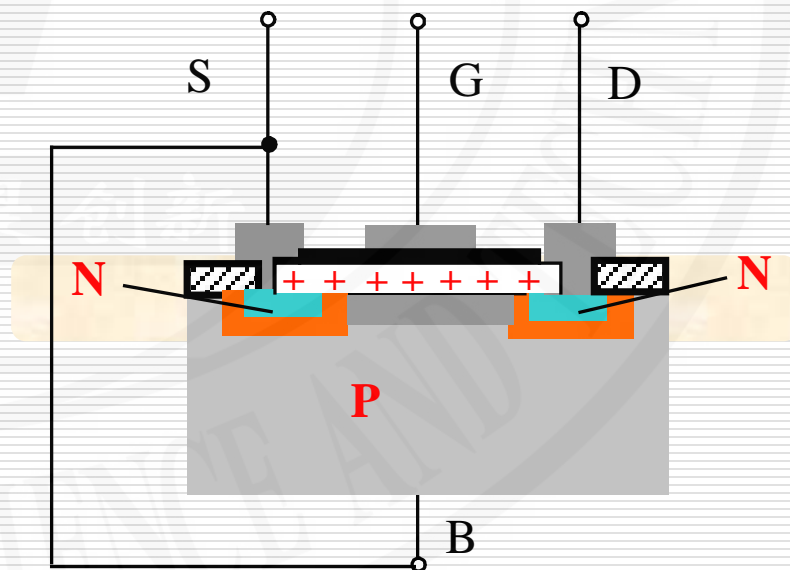
(2) N沟道耗尽型MOS管

- 绝缘层掺入正离子，使衬底表面形成N沟道。
- V_{GS} 电压可以是正值、零或负值。
- V_{GS} 达到某一负值 V_P ，沟道被夹断， $i_D = 0$ 。



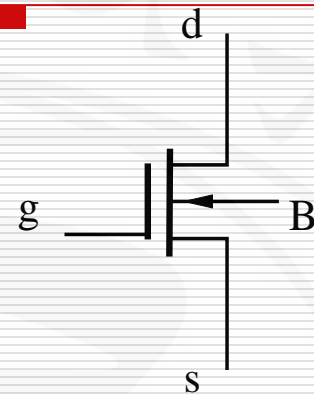
(a) 标准符号

(b) 简化符号

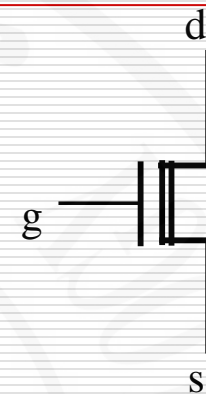


(2) N沟道耗尽型MOS管

N沟道耗尽型MOS管符号如图。



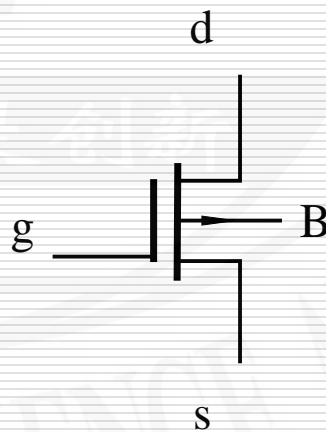
(a) 标准符号



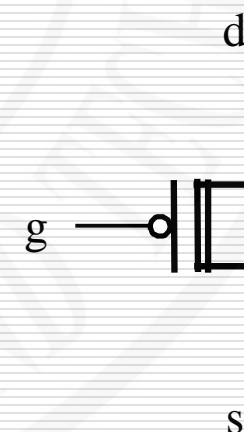
(b) 简化符号

(3) P沟道耗尽型MOS管

结构与N沟道耗尽型MOS管相反。
符号如图所示。

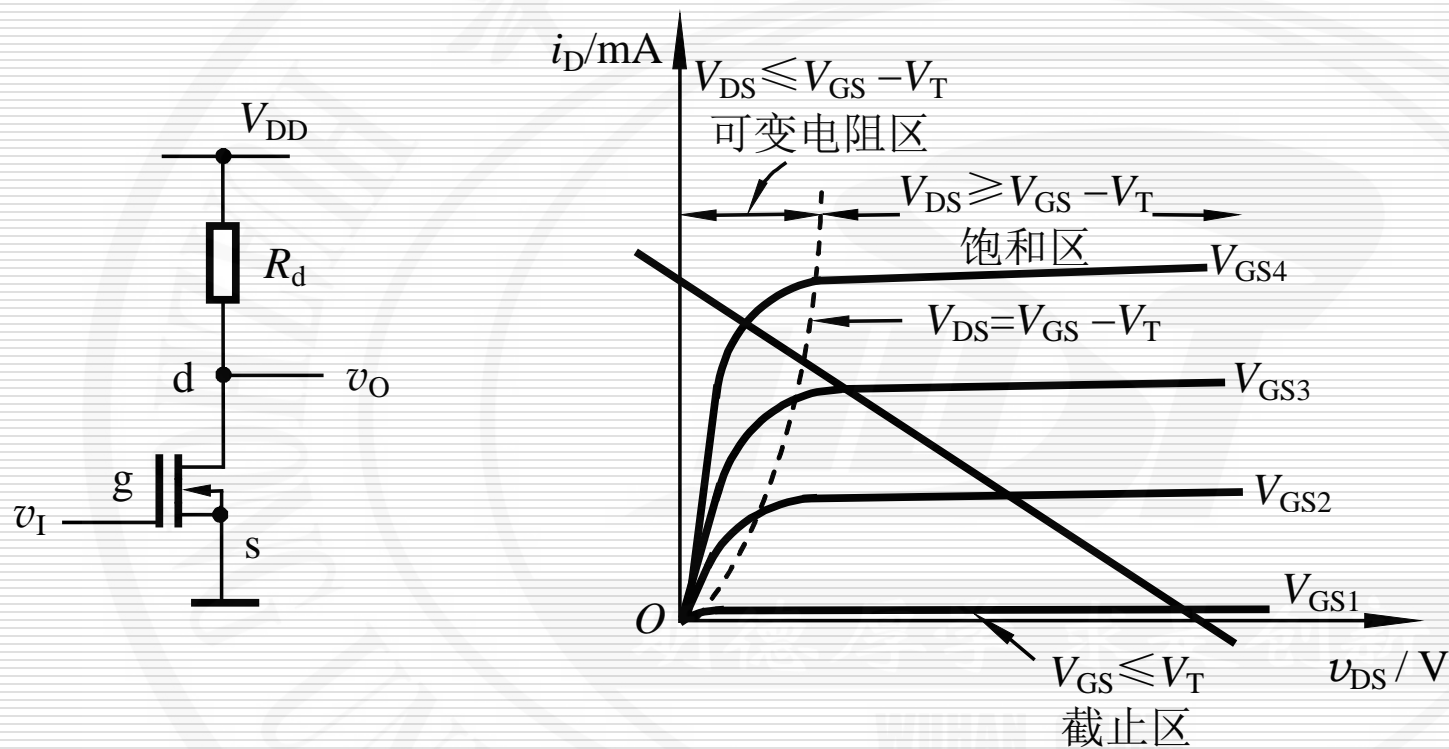


(a) 标准符号



(b) 简化符号

4. MOS管开关电路



当 $v_I < V_T$: MOS管截止, 输出高电平

当 $v_I > V_T$: MOS管工作在可变电阻区, 输出低电平

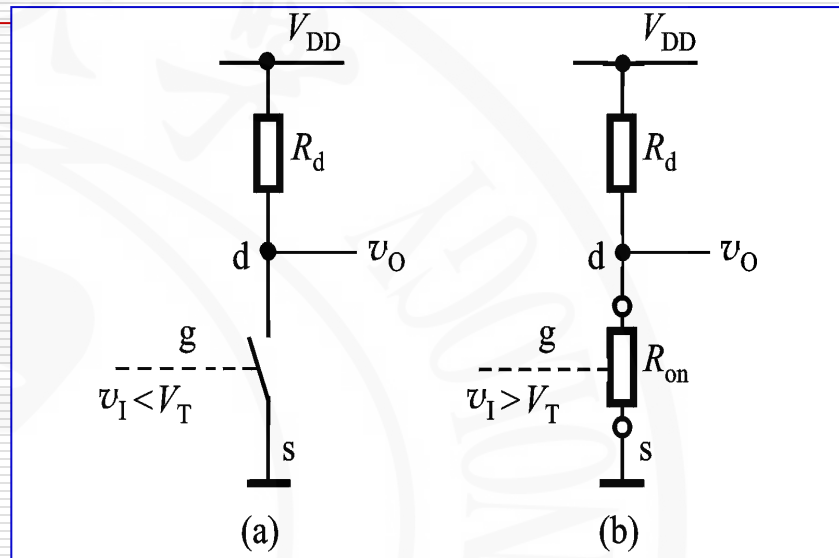
□当 v_I 为低电平时:

MOS管截止, 相当于开关“断开”, 输出为高电平。

□当 v_I 为高电平时:

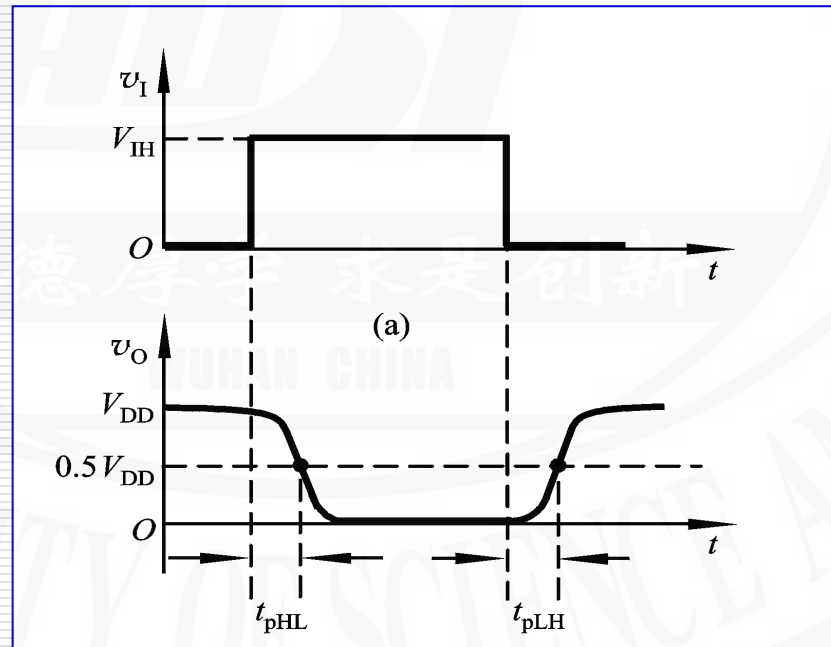
MOS管工作在可变电阻区, 相当于开关“闭合”, 输出为低电平。

□MOS管相当于一个由 v_{GS} 控制的无触点开关。



5. MOS管开关电路的动态特性

- 由于MOS管栅极、漏极与衬底间电容，栅极与漏极之间的电容存在，电路在状态转换之间有电容充、放电过程。
- 输出波形上升沿、下降沿变得缓慢。



3.2.2 CMOS 反相器

1.工作原理

$$V_{TN} = 2\text{ V} \quad V_{TP} = -2\text{ V} \quad V_{DD} > (V_{TN} + |V_{TP}|)$$

v_i	v_{GSN}	v_{GSP}	T_N	T_P	v_O
0 V	0V	-5V	截止	导通	5V
5 V	5V	0V	导通	截止	0 V

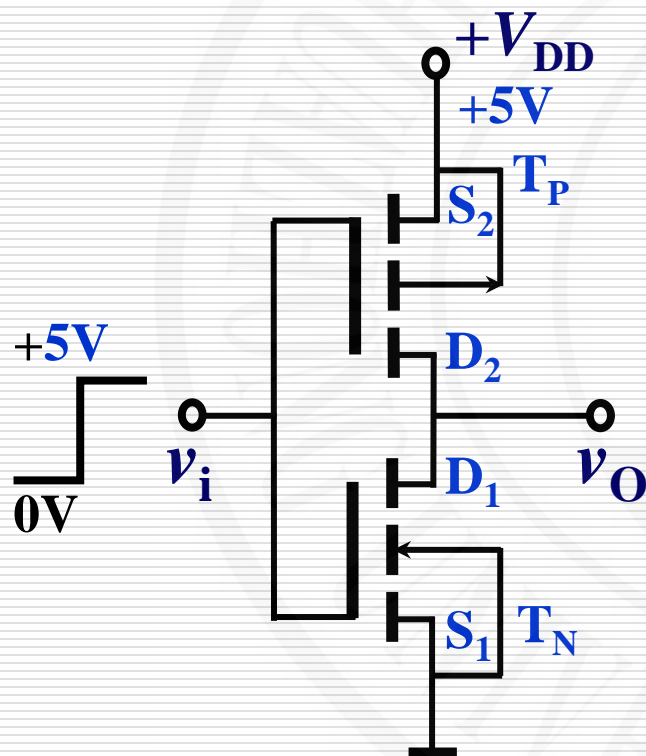
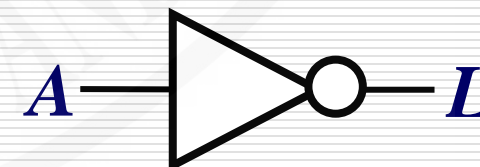
逻辑真值表

$v_i (A)$	$v_O (L)$
0	1
1	0

逻辑图

逻辑表达式

$$L = \overline{A}$$



CMOS反相器的重要特点:

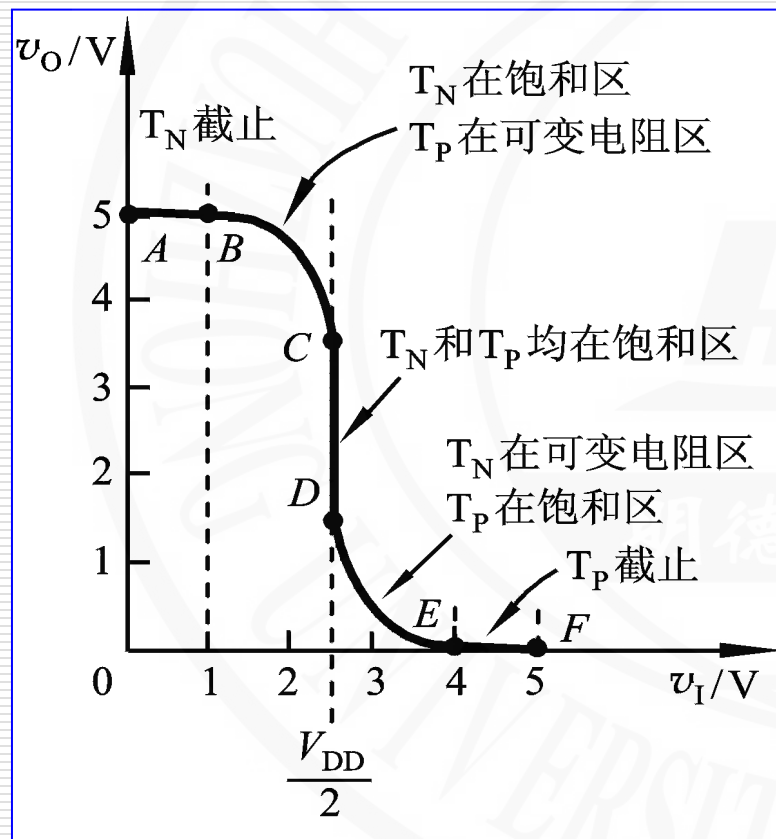
第一, v_I 是高电平还是低电平, T_N 和 T_P 中总是一个导通而另一个截止。CMOS反相器的静态功耗几乎为零。

第二, MOS管导通电阻低, 截止电阻高。使充、放电时间常数小, 开关速度更快, 具有更强的带负载能力。

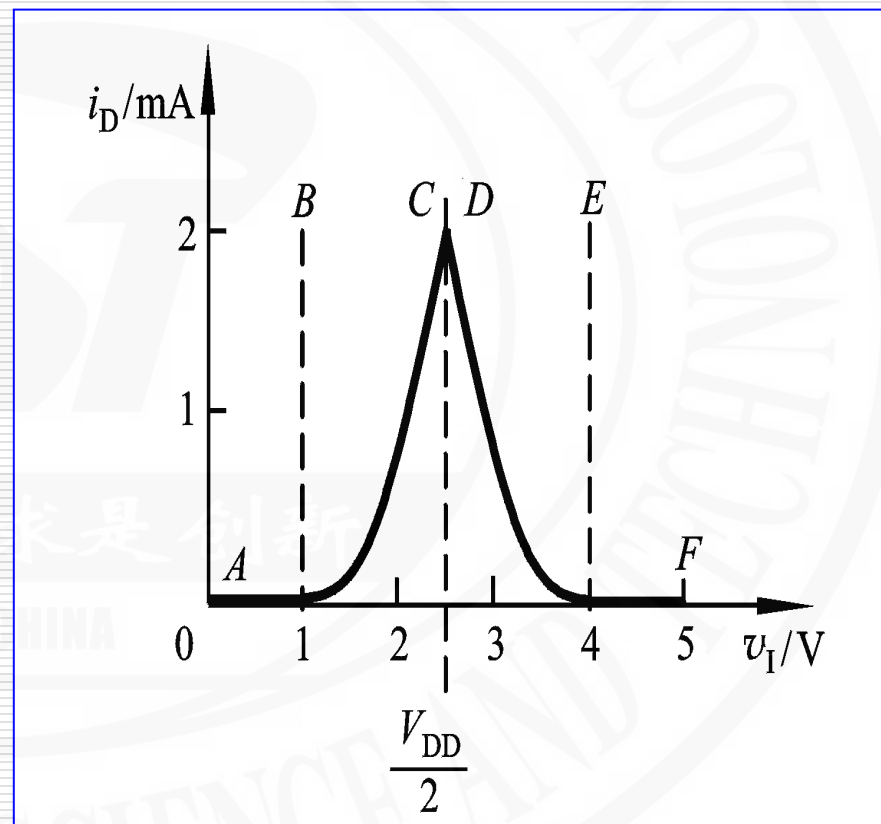
第三, MOS管的, $I_G \approx 0$, 输入电阻高。理论上可以带任意同类门, 但负载门输入杂散电容会影响开关速度。

2. 电压传输特性和电流传输特性

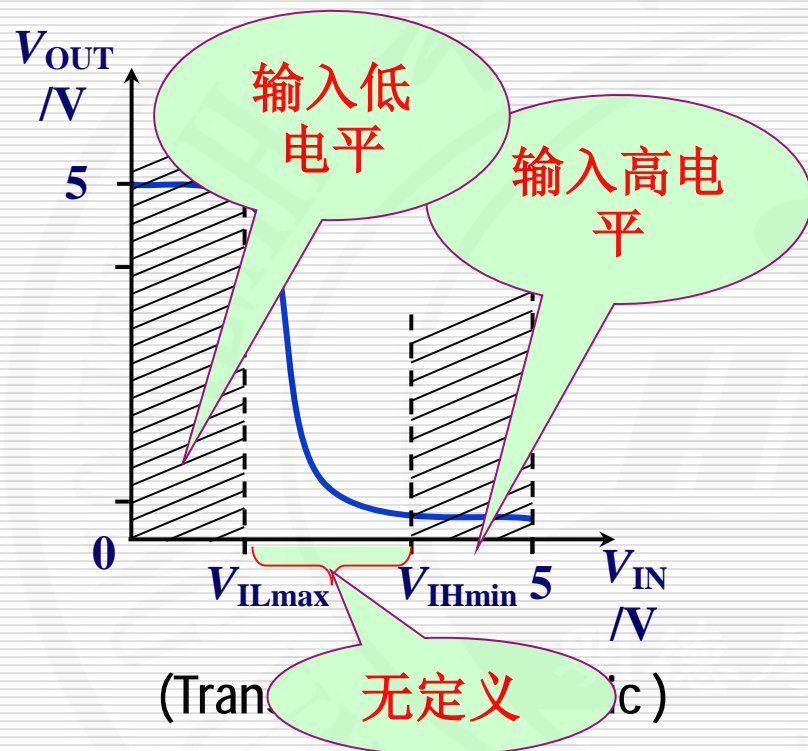
电压传输特性 $v_O = f(v_I)$



电流传输特性 $i_D = f(v_I)$



3. 输入逻辑电平和输出逻辑电平

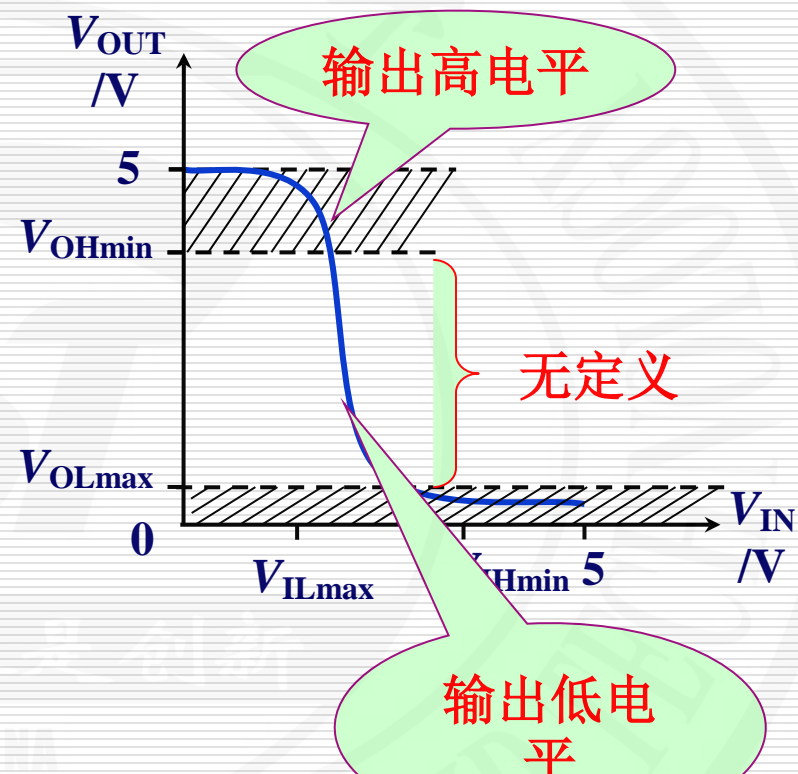


输入低电平的上限值

$$V_{IL(max)}$$

输出高电平的下限值

$$V_{OH(min)}$$



输入高电平的下限值

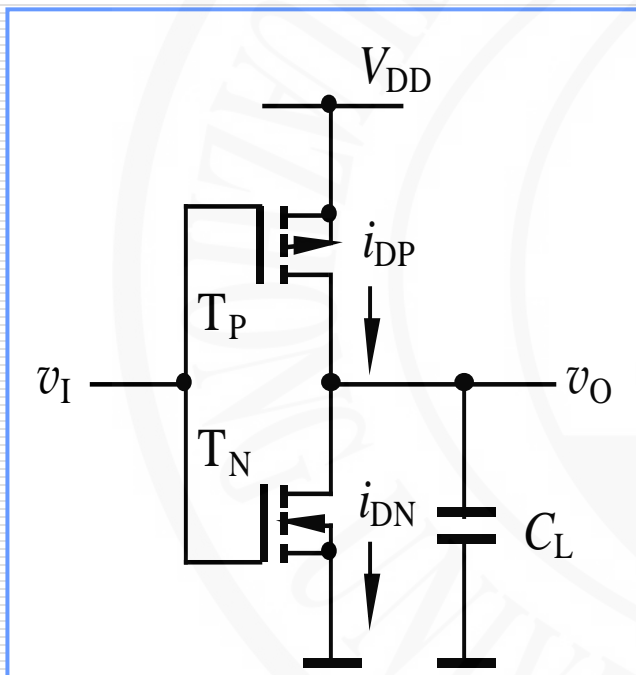
$$V_{IH(min)}$$

输出低电平的上限值

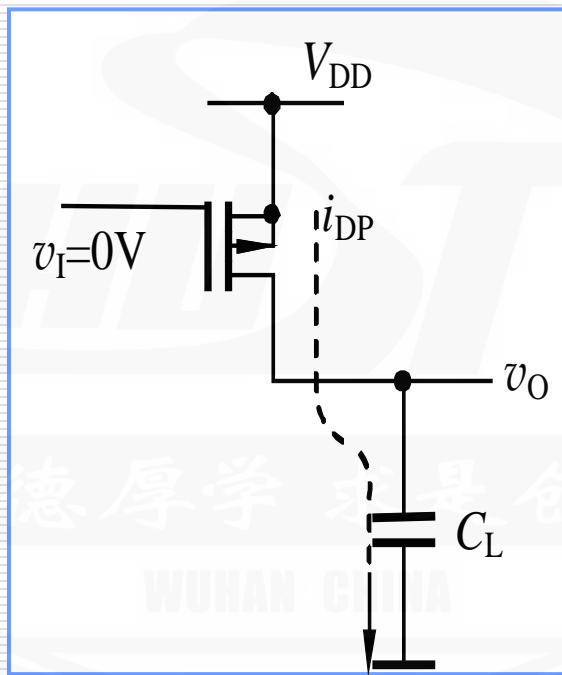
$$V_{OL(max)}$$

4.CMOS反相器的工作速度

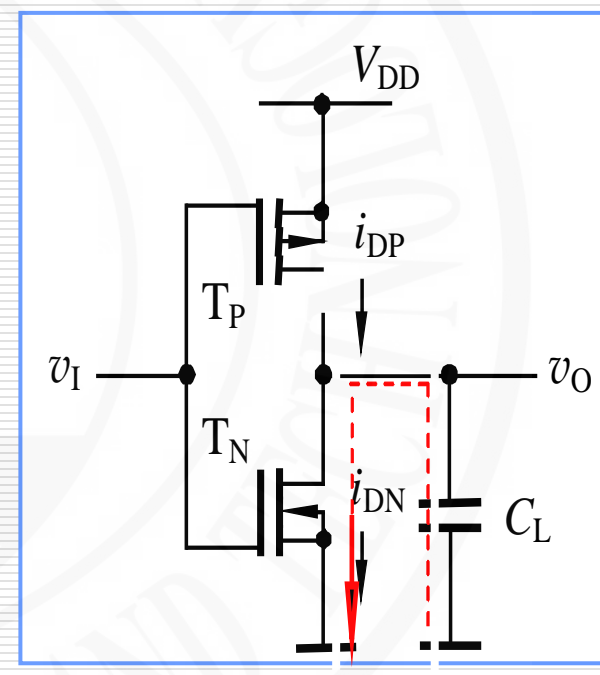
带电容负载



输出从低电平 跳变为高电平



输出从高电平 跳变为低电平



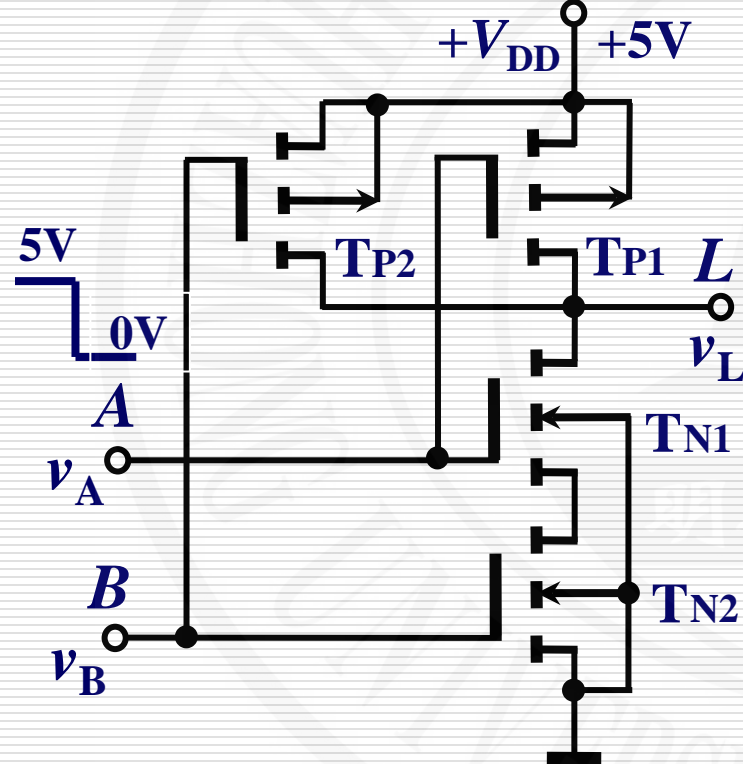
在由于电路具有互补对称的性质，它的开通时间与关闭时间是相等的。
平均延迟时间小于10 ns。

3.2.3 其他基本CMOS 逻辑门电路

1. CMOS 与非门

$V_{TN} = 2\text{ V}$ $V_{TP} = -2\text{ V}$

(a) 电路结构

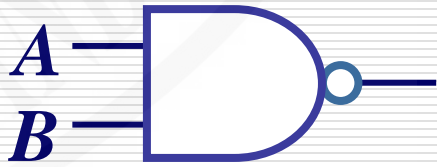


(b) 工作原理

A	B	T_{N1}	T_{P1}	T_{N2}	T_{P2}	L
0	0	截止	导通	截止	导通	1
0	1	截止	导通	导通	截止	1
1	0	导通	截止	截止	导通	1
1	1	导通	截止	导通	截止	0

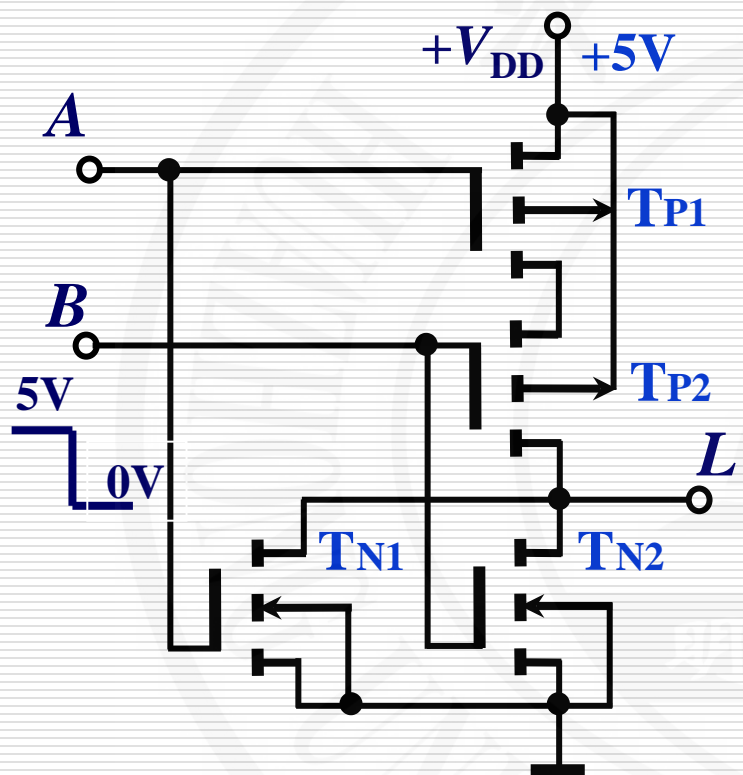
与非门

$L = \overline{AB}$



N输入的与非门的电路?
输入端增加有什么问题?

2. CMOS 或非门



$$V_{TN} = 2\text{ V} \quad V_{TP} = -2\text{ V}$$

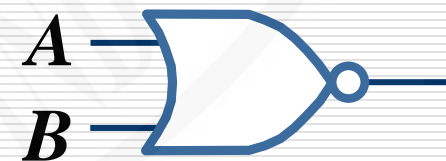
A	B	T _{N1}	T _{P1}	T _{N2}	T _{P2}	L
0	0	截止	导通	截止	导通	1
0	1	截止	导通	导通	截止	0
1	0	导通	截止	截止	导通	0
1	1	导通	截止	导通	截止	0

N输入的或非门的电路的结构?

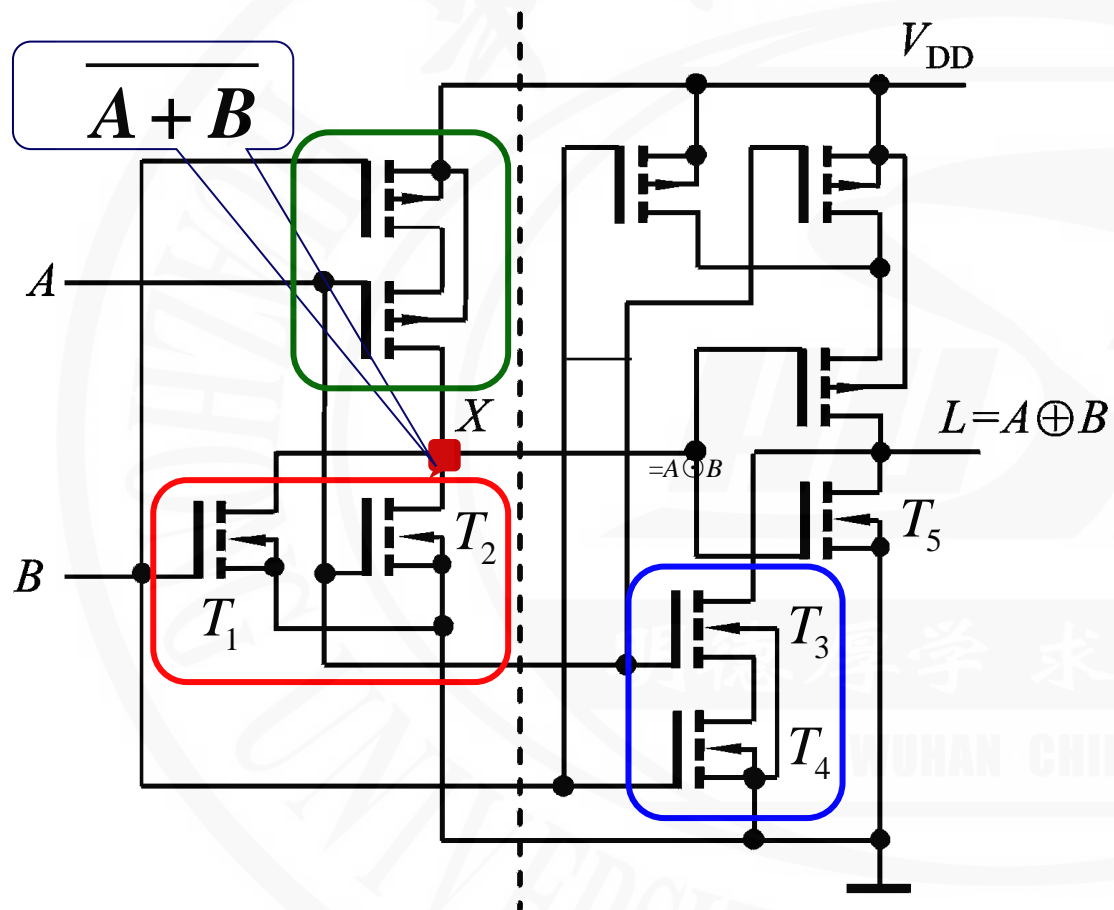
输入端增加有什么问题?

或非门

$$L = \overline{A + B}$$



例：分析CMOS电路，说明其逻辑功能。

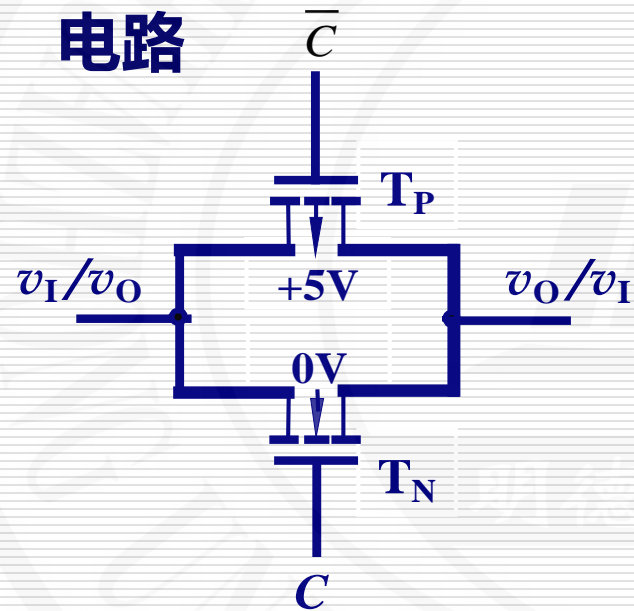


$$\begin{aligned} L &= \overline{A \cdot B + X} \\ &= \overline{A \cdot B + \overline{A + B}} \\ &= \overline{A \cdot B + \overline{A} \cdot \overline{B}} \\ &= A \oplus B \end{aligned}$$

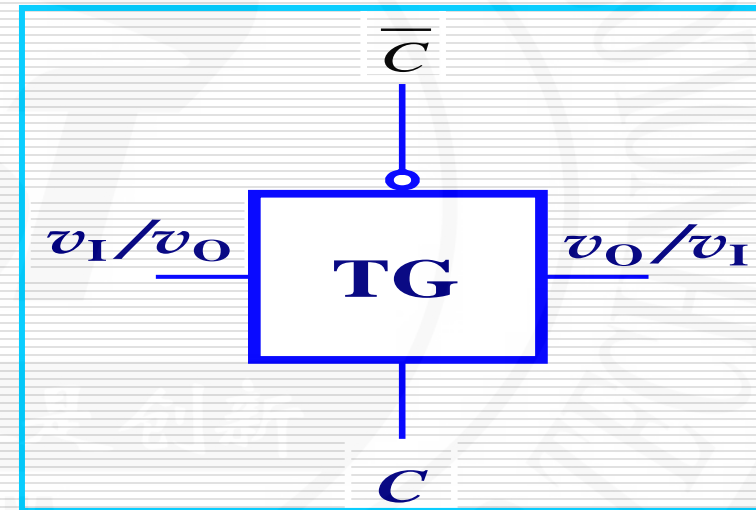
异或门电路

3.2.4 CMOS传输门(双向模拟开关)

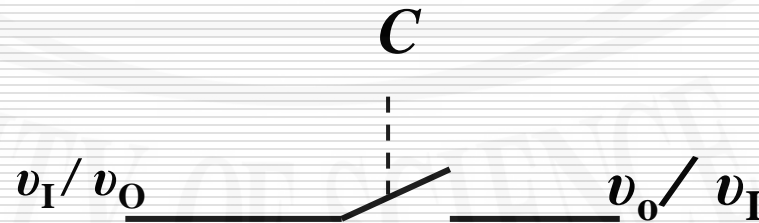
1. 传输门的结构及工作原理



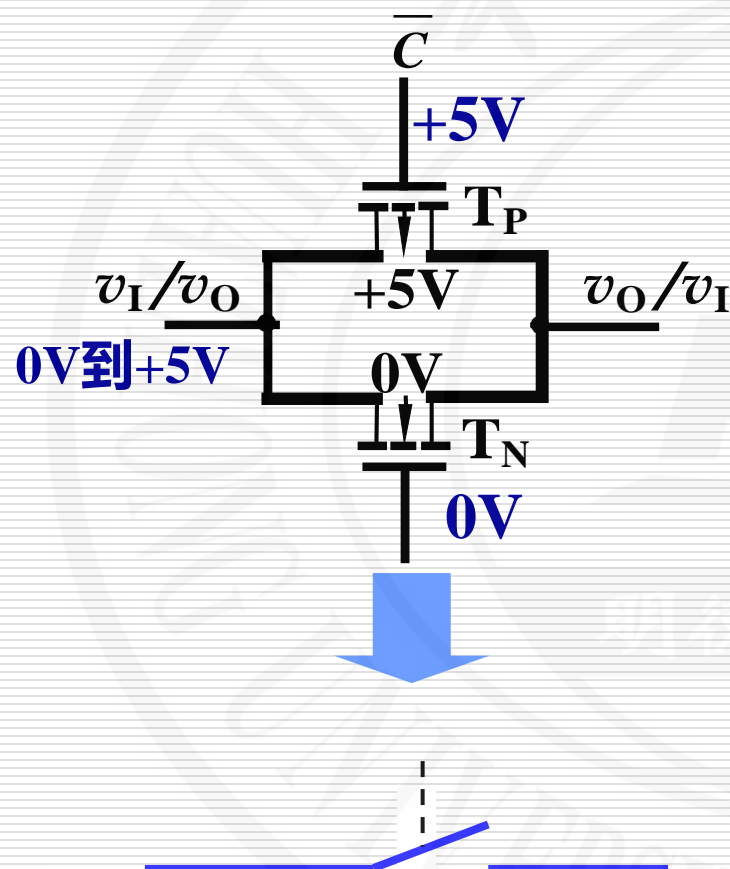
逻辑符号



等效电路



1、传输门的结构及工作原理



设 $T_P: |V_{TP}|=2V$, $T_N: V_{TN}=2V$,
 v_I 的变化范围为 0 到 $+5V$ 。

$c=0=0V$, $\bar{c}=1=+5V$

1) 当 $c=0$, $\bar{c}=1$ 时

$$v_{GSN} = 0V - (0V \text{ 到 } +5V) = (0 \text{ 到 } -5)V$$

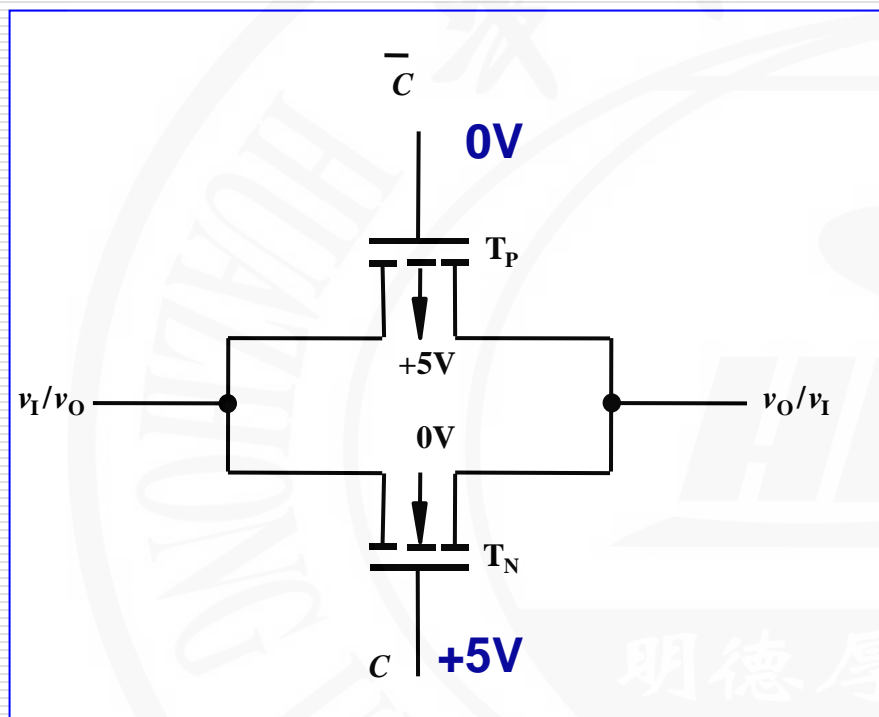
$v_{GSN} < V_{TN}$, T_N 截止

$$v_{GSP} = +5V - (0V \text{ 到 } +5V) = (5 \text{ 到 } 0)V$$

$v_{GSP} > 0$, T_P 截止

开关断开, 不能转送信号

2) 当 $c=1$, $\bar{c}=0$ 时



a、 $v_I=0V\sim 3V$

$$v_{GSN}=5V - (0V\sim +3V)=(5\sim 2)V$$

$v_{GSN}>V_{TN}$, T_N 导通

b、 $v_I=2V\sim 5V$

$$v_{GSP}=0V - (2V\sim +5V) \\ =-2V\sim -5V$$

$|v_{GSP}|>|V_{TP}|$, T_P 导通

c、 $v_I=2V\sim 3V$

T_N 导通, T_P 导通

$$v_O = v_I$$

2. 传输门的应用

传输门组成的异或门

$B=0$

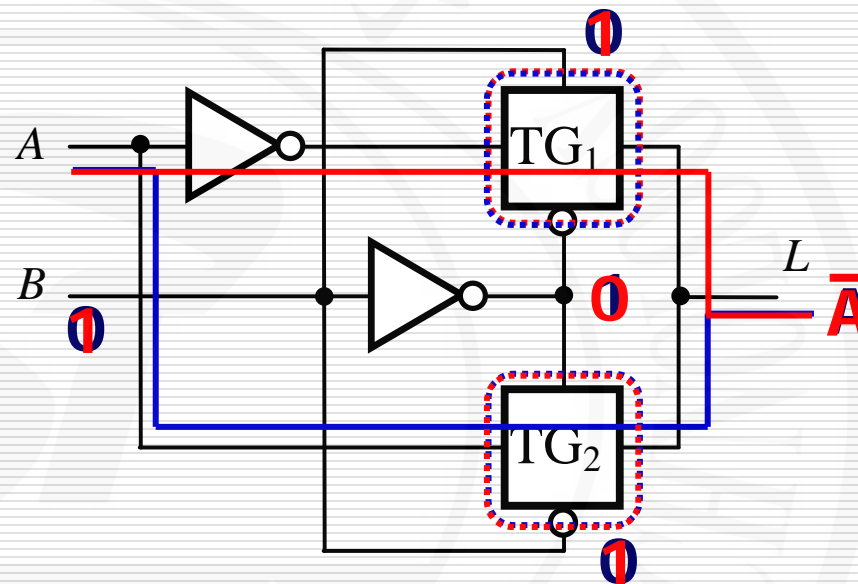
TG1断开, TG2导通

$L=A$

$B=1$

TG1导通, TG2断开

$L=\bar{A}$



2. 传输门的应用

传输门组成的数据选择器

$C=0$

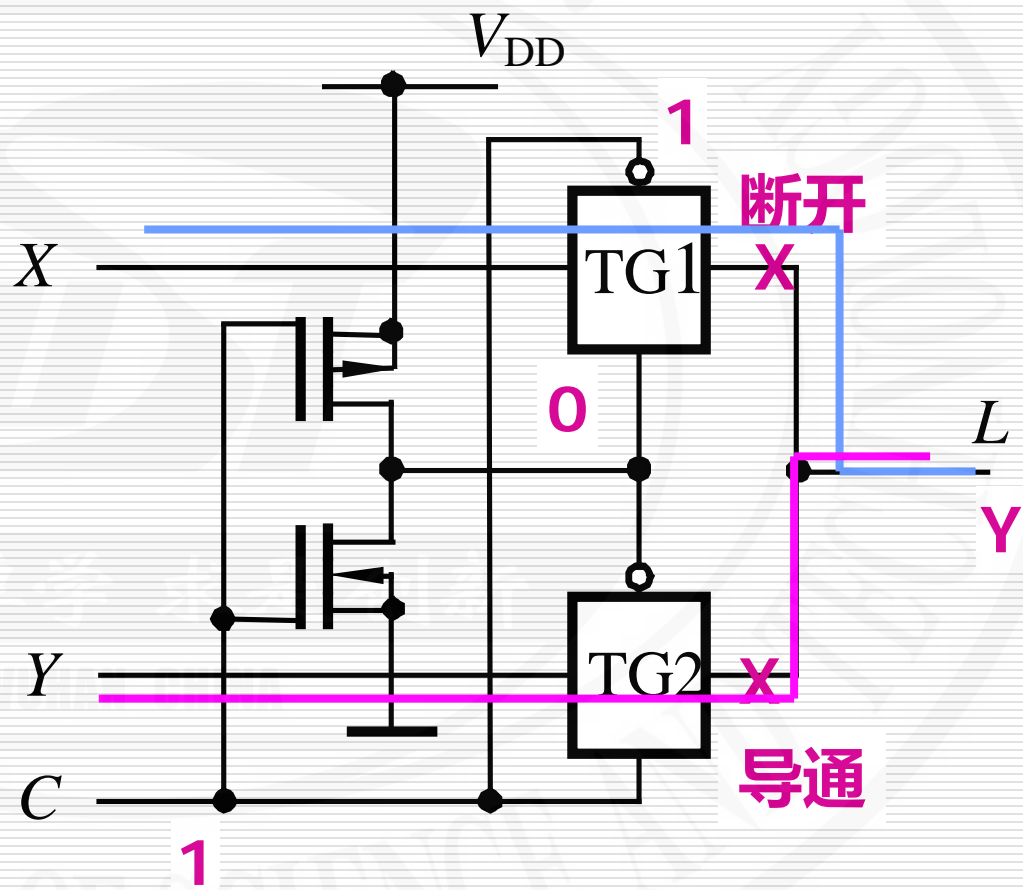
TG1导通, TG2断开

$L=X$

$C=1$

TG2导通, TG1断开

$L=Y$



视频观看建议

为什么数十亿个晶体管，能像积木一样拼出CPU?_哔哩哔哩_bilibili

https://www.bilibili.com/video/BV1ngK8zSErs/?spm_id_from=333.1007.tianma.1-2-2.click&vd_source=ee42b0624a112a70d2c2aae497ebfb60

3.3 CMOS逻辑门电路的不同输出结构及参数

3.3.1 CMOS逻辑门电路的保护和缓冲电路

3.3.2 CMOS漏极开路和三态门电路

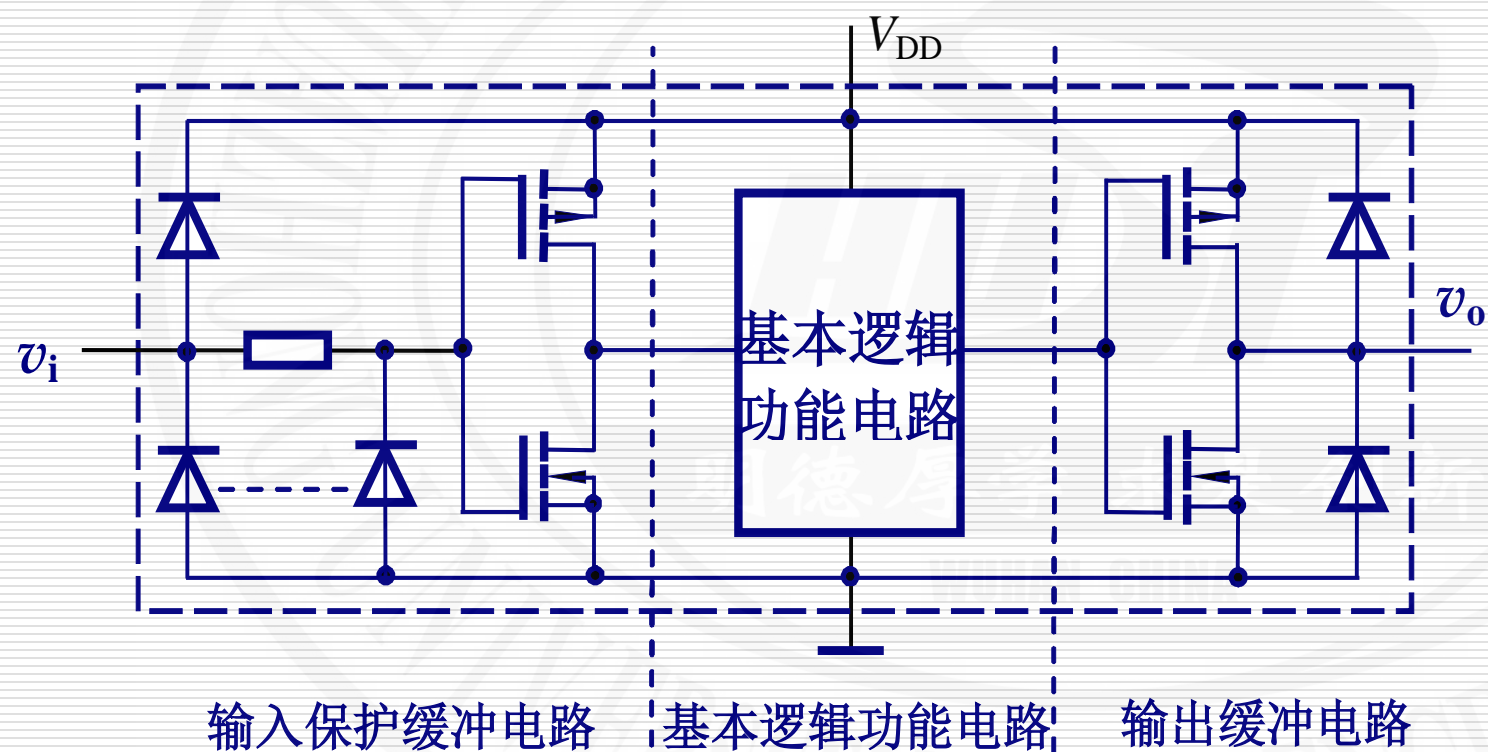
3.3.3 CMOS逻辑门电路的重要参数

明德厚学 求是创新

WUHAN CHINA

3.3.1 输入保护电路和缓冲电路

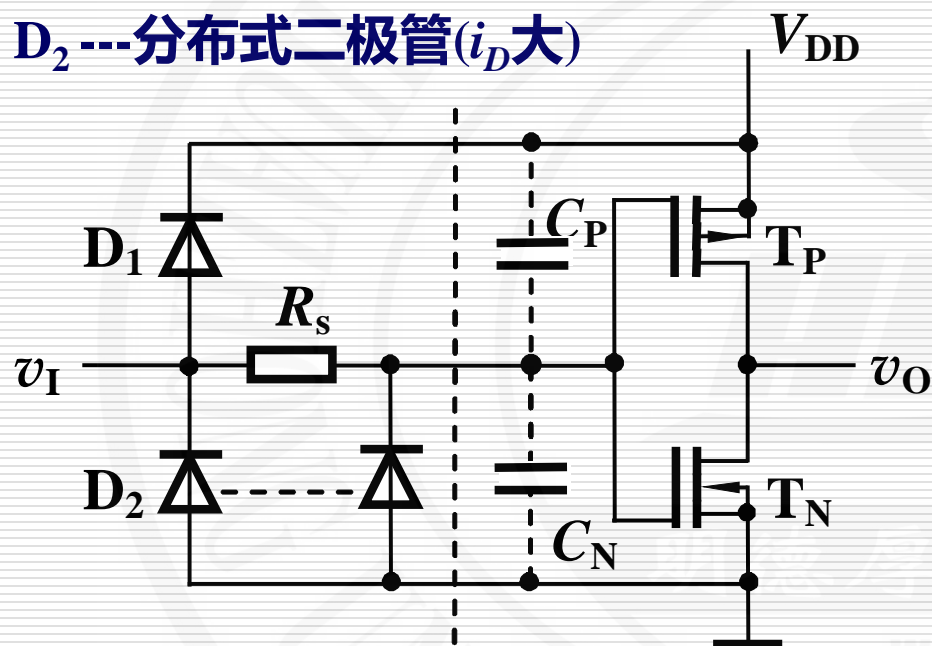
采用缓冲电路能统一参数，使不同内部逻辑集成逻辑门电路具有相同的输入和输出特性。



1. 输入端保护电路:

二极管导通电压: v_{DF}

D_2 --- 分布式二极管(i_D 大)



(1) $0 < v_I < V_{DD} + v_{DF}$

D_1 、 D_2 截止

(2) $v_I > V_{DD} + v_{DF}$

D_1 导通, D_2 截止

$v_G = V_{DD} + v_{DF}$

(3) $v_I < -v_{DF}$

D_2 导通, D_1 截止 $v_G = -v_{DF}$

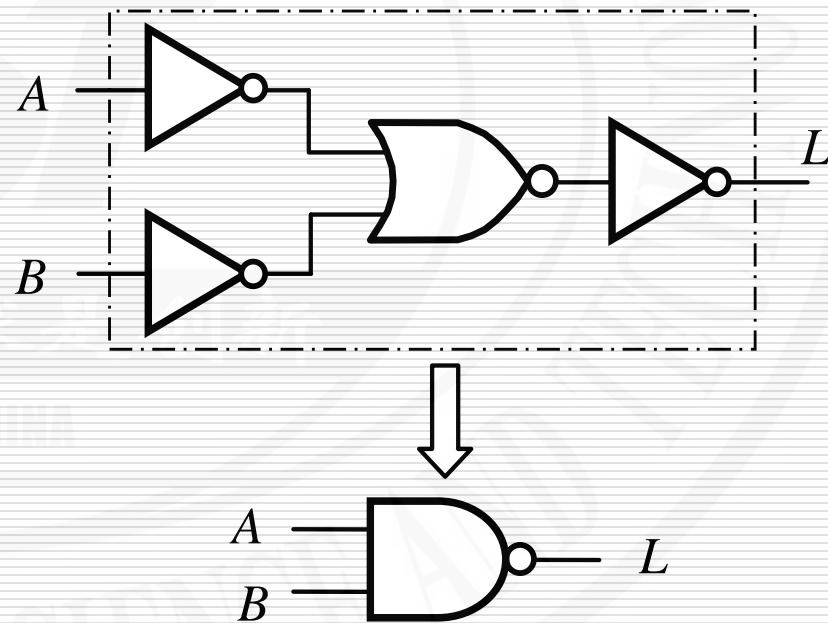
当输入电压不在正常电压范围时,二极管导通,限制了电容两端电压的增加,保护了输入电路。

R_S 和MOS管的栅极电容组成积分网络,使输入信号的过冲电压延迟且衰减后到栅极。

(2) CMOS逻辑门的缓冲电路

输入、输出端加了反相器作为缓冲电路，所以电路的逻辑功能也发生了变化。
增加了缓冲器后的逻辑功能为与非功能

$$L = \overline{\overline{A + B}} = \overline{A \cdot B}$$

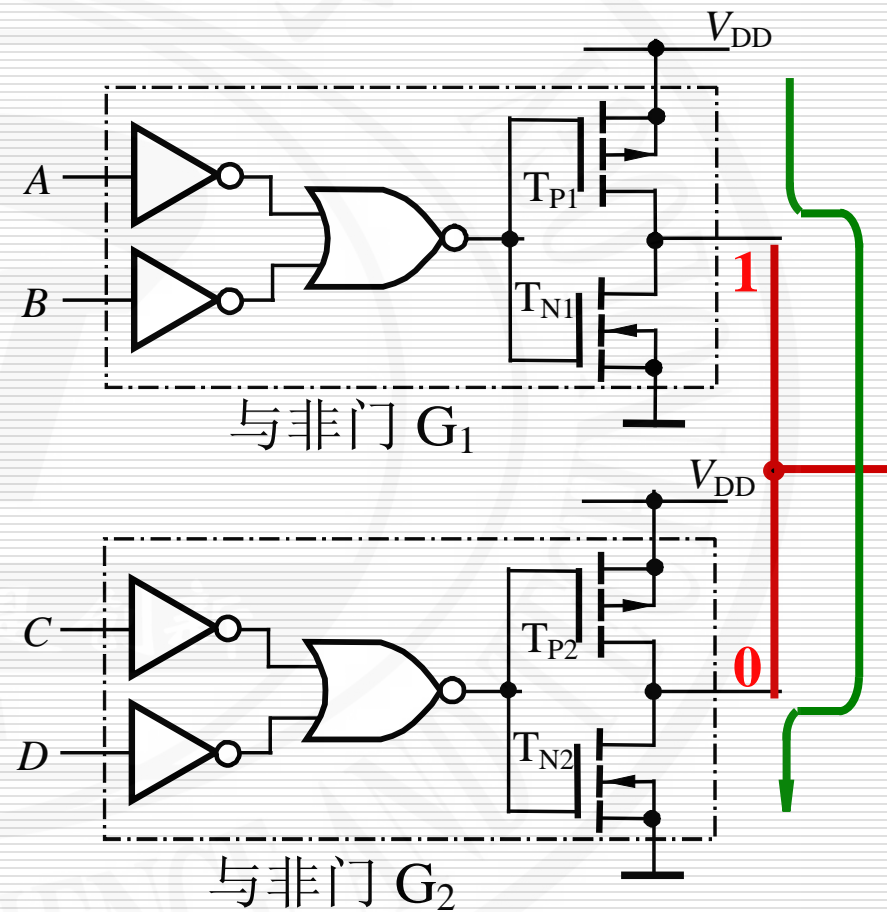


3.3.2 CMOS漏极开路 (OD) 门和三态输出电路

1. CMOS漏极开路门

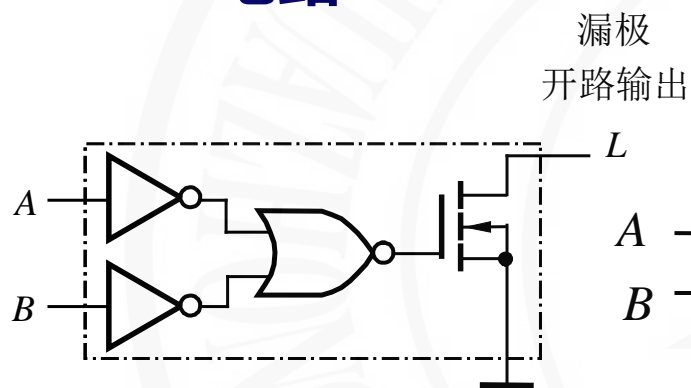
1.) CMOS漏极开路门的提出

输出短接，在一定情况下会产生低阻通路，大电流有可能导致器件的损毁，并且无法确定输出是高电平还是低电平。

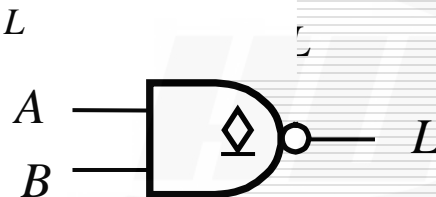


(2) 漏极开路门的结构与逻辑符号

电路



逻辑符号

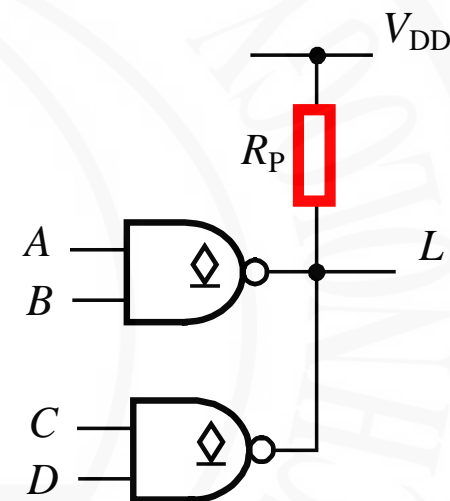


(a) 工作时必须外接电源和电阻;

(b) 与非逻辑不变

(c) 可以实现线与功能;

漏极开路门输出连接

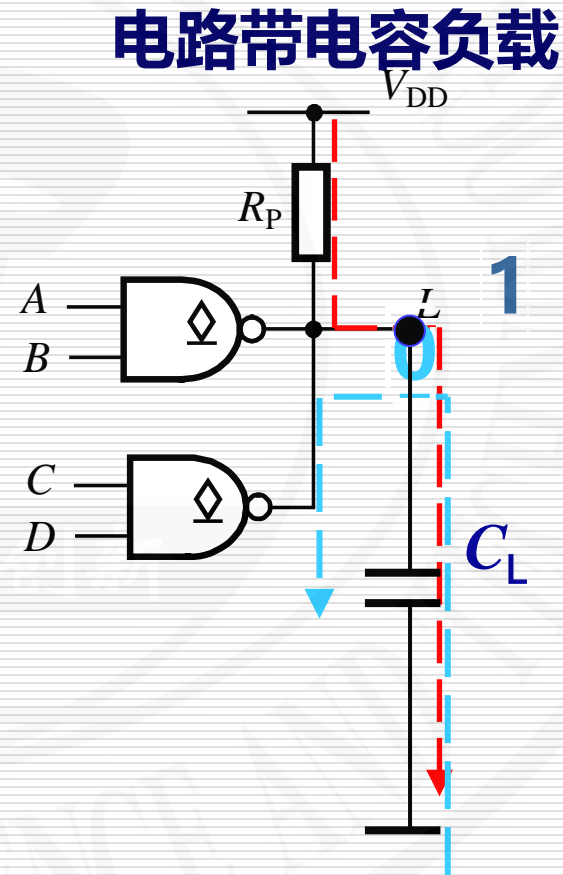


$$\begin{aligned} L &= \overline{AB} \cdot \overline{CD} \\ &= \overline{AB + CD} \end{aligned}$$

(2) 上拉电阻对OD门动态性能的影响

R_P 的值愈小，负载电容的充电时间常数亦愈小，因而开关速度愈快。但功耗大,且可能使输出电流超过允许的最大值 $I_{OL(max)}$ 。

R_P 的值大，可保证输出电流不能超过允许的最大值 $I_{OL(max)}$ 、功耗小。但负载电容的充电时间常数亦愈大，开关速度因而愈慢。

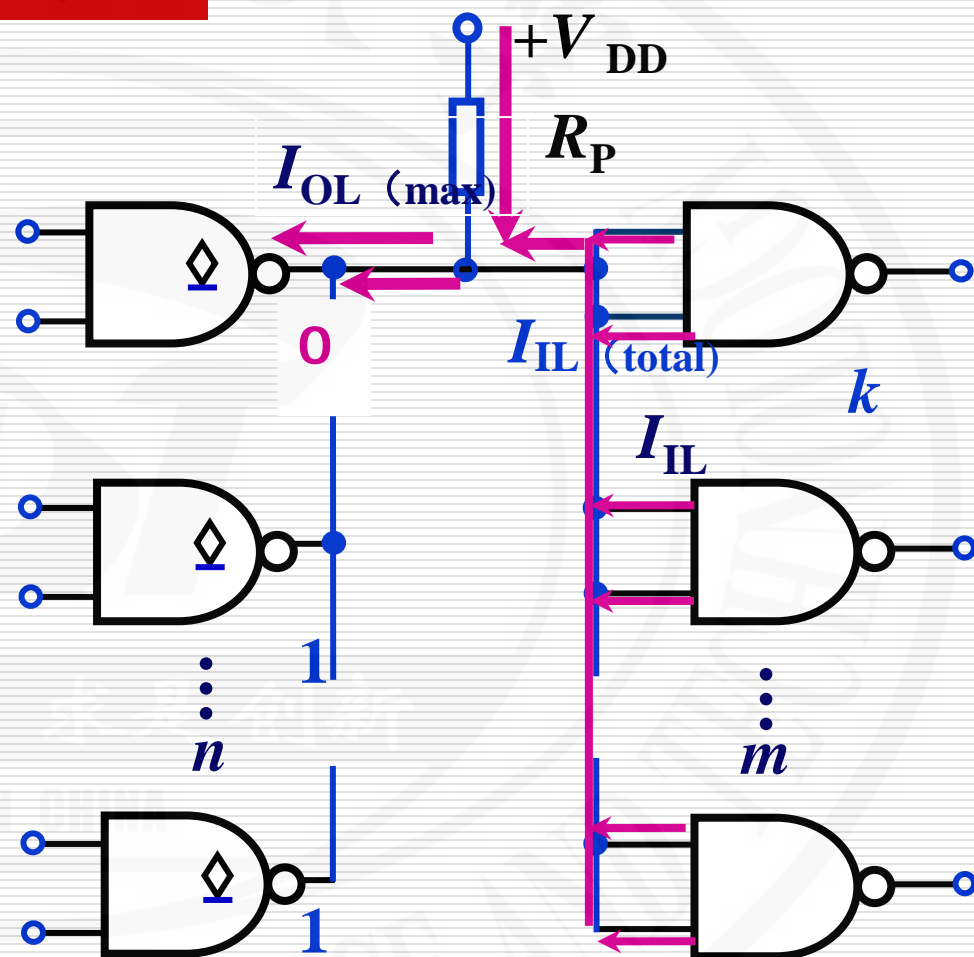


当 $V_O = V_{OL}$

最不利的情况：
只有一个 OD 门导通，
为保证低电平输出 OD 门的输出电
流不能超过允许的最大值 $I_{OL(max)}$
且 $V_O = V_{OL(max)}$ ， R_P 不能太小。

$$I_{OL(max)} = \frac{V_{DD} - V_{OL(max)}}{R_{p(min)}} + I_{IL(total)}$$

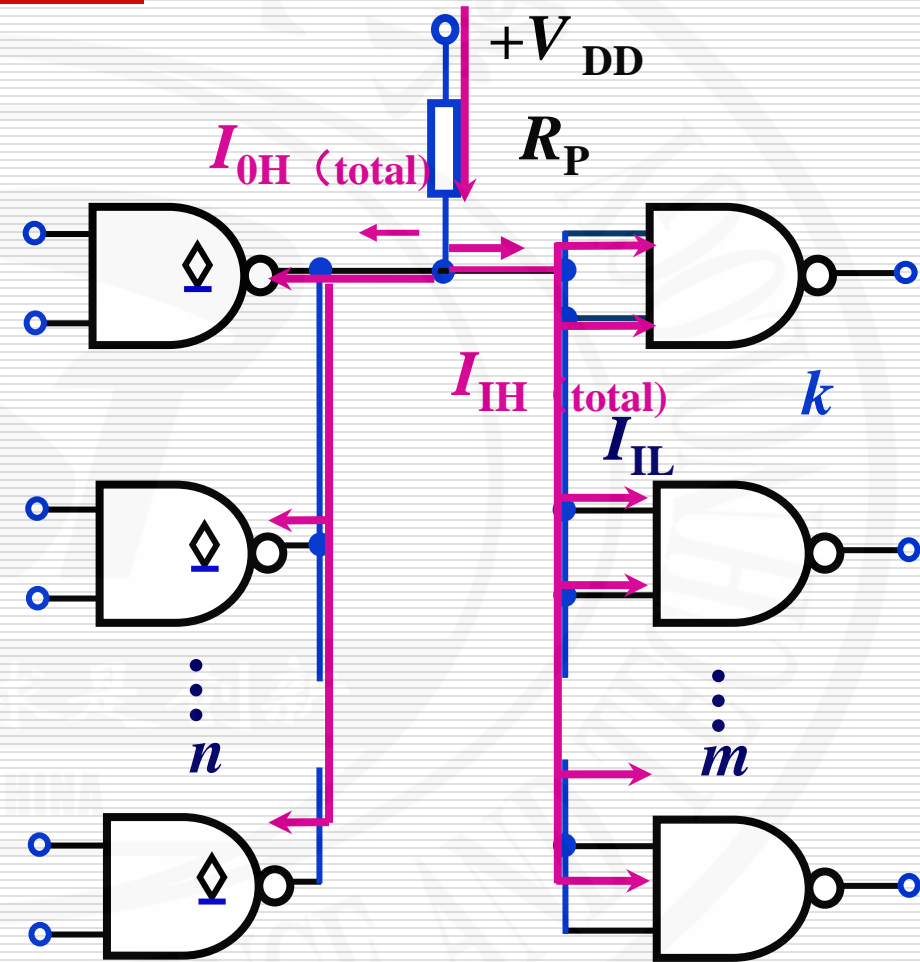
$$R_{p(min)} = \frac{V_{DD} - V_{OL(max)}}{I_{OL(max)} - I_{IL(total)}}$$



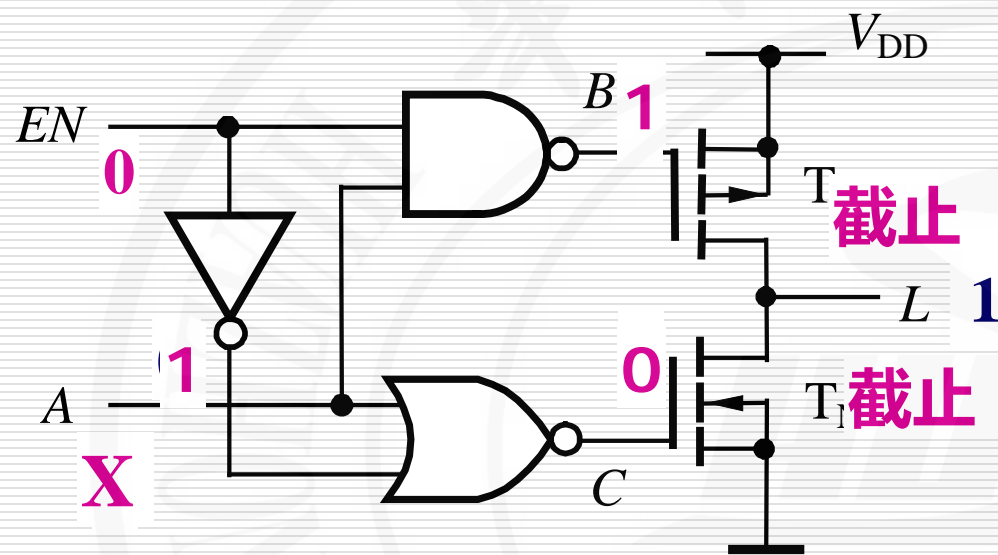
当 $V_O = V_{OH}$

为使得高电平不低于规定的 V_{IH} 的最小值，则 R_p 的选择不能过大。 R_p 的最大值 $R_{p(max)}$ ：

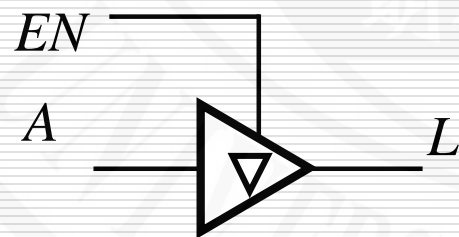
$$R_{p(max)} = \frac{V_{DD} - V_{IH(min)}}{I_{OH(total)} + I_{IH(total)}}$$



2.三态(TSL)输出门电路

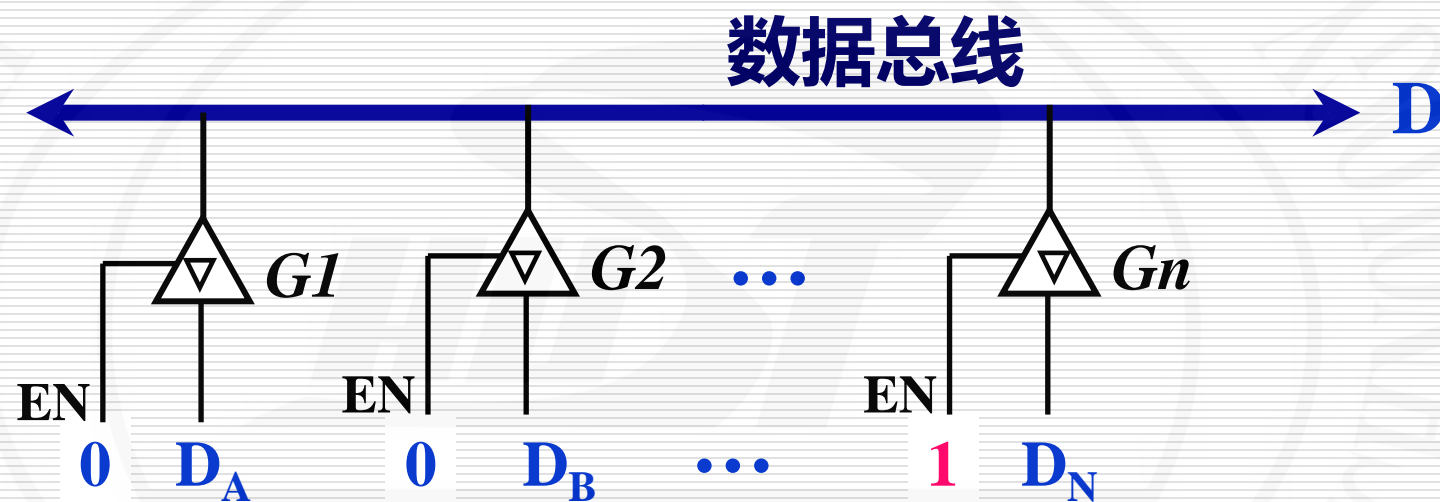


使能 EN	输入 A	输出 L
1	0	0
1	1	1
0	×	高阻



逻辑功能：
高电平有效的同相逻辑门

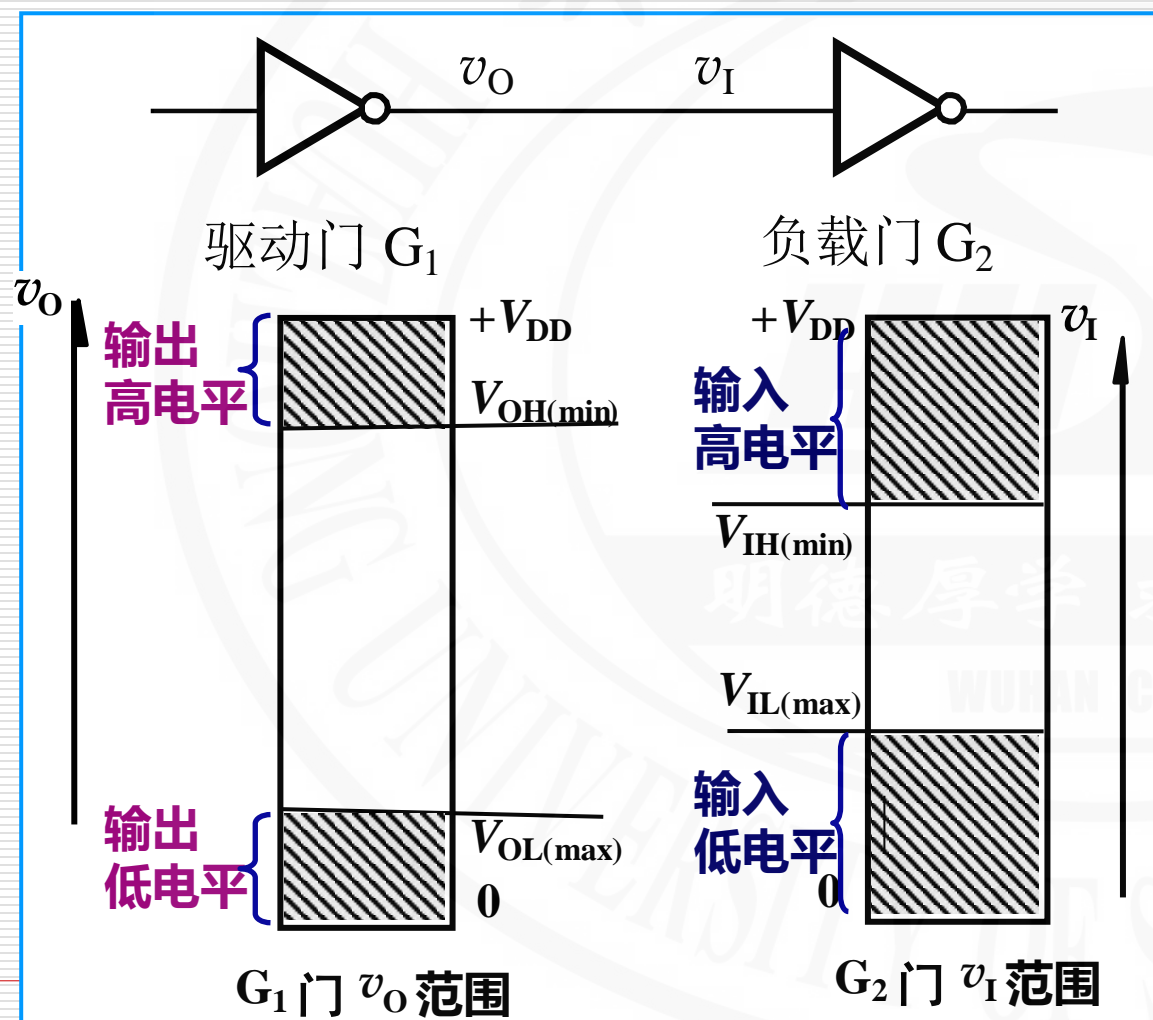
三态门电路的应用



任何时刻只能有一个门的使能端为有效，其他门输出高阻

3.3.3 CMOS逻辑门电路的重要参数

1. 输入和输出的高、低电平



输入低电平的上限值 $V_{IL(max)}$

输入高电平的下限值 $V_{IH(min)}$

输出高电平的下限值 $V_{OH(min)}$

输出低电平的上限值 $V_{OL(max)}$

1. 输入和输出的高、低电平

类型 参数/单位	4000 $\left(V_{DD} = 5V\right)$ $\left(I_O = 1mA\right)$	74HC $\left(V_{DD} = 5V\right)$ $\left(I_O = 0.02mA\right)$	74HCT $\left(V_{DD} = 5V\right)$ $\left(I_O = 0.02mA\right)$	74LVC $\left(V_{DD} = 3.3V\right)$ $\left(I_O = 0.1mA\right)$	74AUC $\left(V_{DD} = 1.8V\right)$ $\left(I_O = 0.1mA\right)$
$V_{IL(max)}/V$	1.0	1.5	0.8	0.8	0.6
$V_{OL(max)}/V$	0.05	0.1	0.1	0.2	0.2
$V_{IH(min)}/V$	4.0	3.5	2.0	2.0	1.2
$V_{OH(min)}/V$	4.95	4.9	4.9	3.1	1.7
高电平噪声容限(V_{NH}/V)	0.95	1.4	2.9	1.1	0.5
低电平噪声容限(V_{NL}/V)	0.95	1.4	0.7	0.6	0.4

2. 噪声容限

在保证输出电平不变的条件下，输入电平允许波动的范围。它表示门电路的抗干扰能力

负载门输入高电平时的噪声容限：

V_{NH} —当前级门输出高电平的最小值时允

许负向噪声电压的最大值。

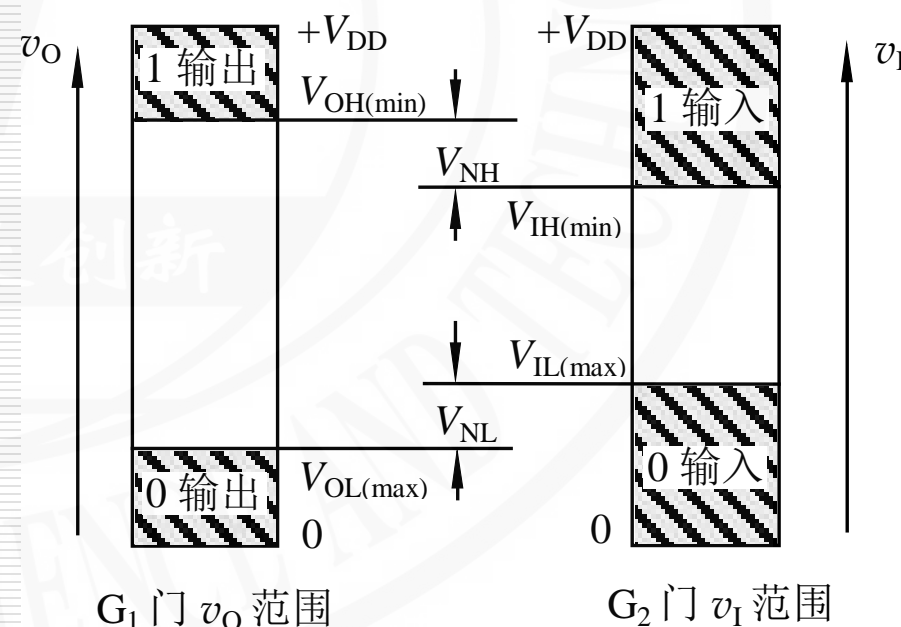
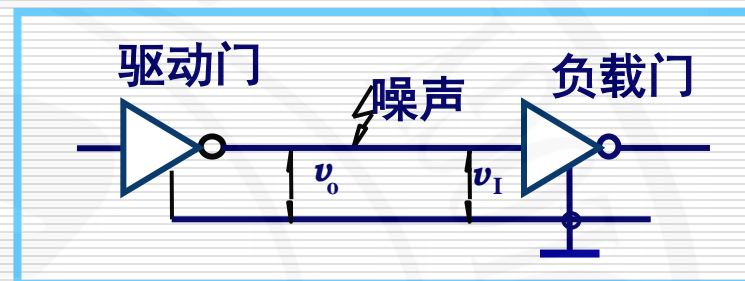
$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

负载门输入低电平时的噪声容限：

V_{NL} —当前级门输出低电平的最大值时允许

正向噪声电压的最大值

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$



3.传输延迟时间

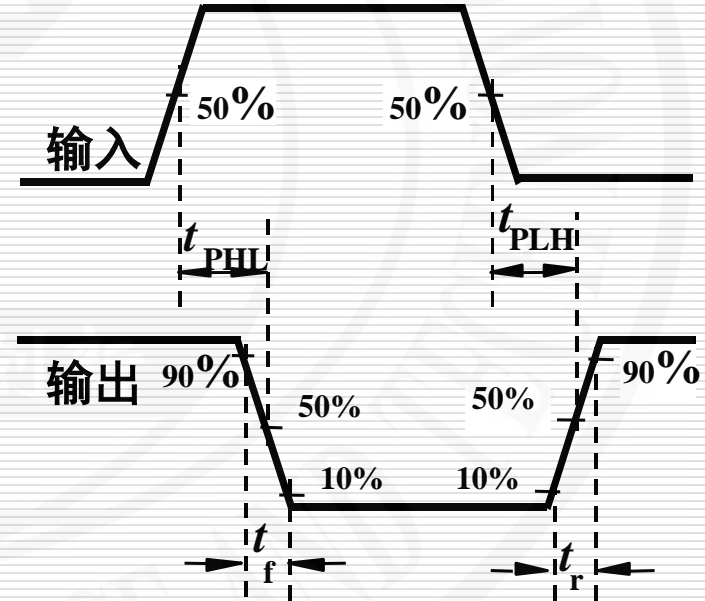
传输延迟时间是表征门电路开关速度的参数，它说明门电路在输入脉冲波形的作用下，其输出波形相对于输入波形延迟了多长的时间。

传输延迟时间与电源电压 V_{DD} 及负载电容大小有关。

表中为各个非门的参数。

类型 参数	74HC $V_{DD}=5V$	74AHC $V_{DD}=5V$	74LVC $V_{DD}=3.3V$	74AUC $V_{DD}=1.8V$
t_{PLH} 或 t_{PHL} (ns)	6	3.8	2.5	0.8

CMOS电路传输延迟时间



4. 功耗

静态功耗：指的是当电路没有状态转换时的功耗，即门电路空载时电源总电流 I_D 与电源电压 V_{DD} 的乘积。

动态功耗：指的是电路在输出状态转换时的功耗，
对于TTL门电路来说，静态功耗是主要的。

CMOS电路的静态功耗非常低，CMOS门电路有动态功耗

5. 延时-功耗积

是速度功耗综合性的指标.延时-功耗积，用符号 DP 表示。

几种CMOS系列非门的 DP 见下页。

6. 扇入与扇出数

扇入数：取决于逻辑门的输入端的个数。

几种CMOS系列非门的 DP 性能比较

系列 参数/单位	74HC04 ($V_{DD}=5V$)	74AHC04 ($V_{DD}=5V$)	74LVC04 ($V_{DD}=3.3V$)	74AUC04 ($V_{DD}=1.8V$)
功耗电容 C_{PD}/pF	21	12	8	17
传输延迟时间 $t_{pd}/ns(C_L=15pF)$	6	3.8	2.5	0.8
功耗 $P_D/mW(10MHz)$	9	6.8	2.5	1
延时功耗积 DP/pJ	54	25.84	6.25	0.8

6. 扇入与扇出数

扇入数：取决于逻辑门的输入端的个数。

扇出数：是指其在正常工作情况下，所能带同类门电路的最大数目。

(a)带拉电流负载

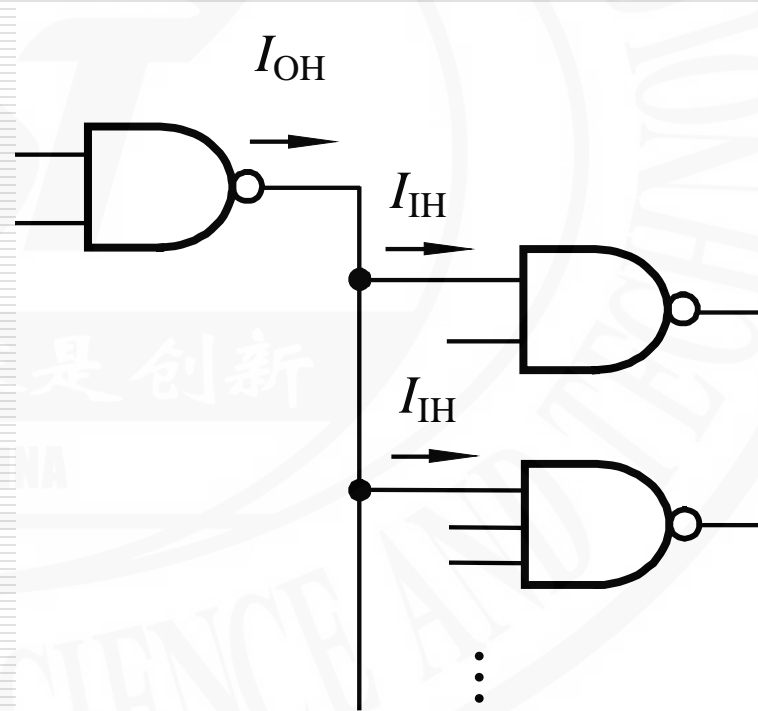
当负载门的个数增加时，总的拉电流将增加，会引起输出高电压的降低。但不得低于输出高电平的下限值，这就限制了负载门的个数。

高电平扇出数：

$$N_{OH} = \frac{I_{OH}(\text{驱动门})}{I_{IH}(\text{负载门})}$$

I_{OH} ：驱动门的输出端为高电平电流

I_{IH} ：负载门的输入电流为。



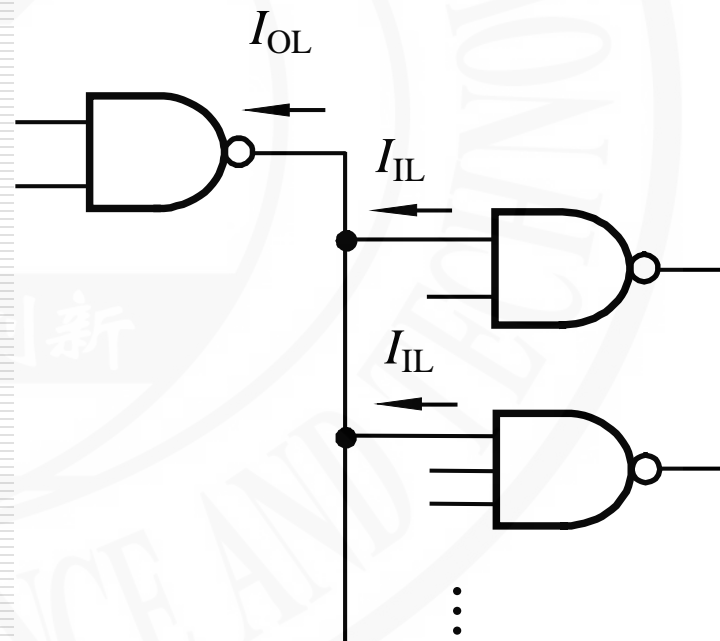
(b)带灌电流负载

当负载门的个数增加时，总的灌电流 I_{OL} 将增加，同时也将引起输出低电压 V_{OL} 的升高。当输出为低电平，并且保证不超过输出低电平的上限值。

$$N_{OL} = \frac{I_{OL}(\text{驱动门})}{I_{IL}(\text{负载门})}$$

I_{OL} ：驱动门的输出端为低电平电流

I_{IL} ：负载门输入端电流之和



3.4 类NMOS和BiCMOS逻辑门电路

3.4.1 类NMOS门电路

3.4.2 BiCMOS门电路

明德厚学 求是创新

WUHAN CHINA

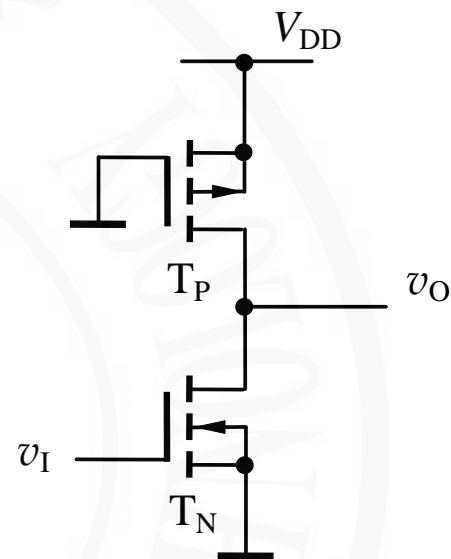
3.4.1 类NMOS门电路

- ◆MOS集成电路分为PMOS、NMOS和CMOS。
- ◆NMOS比PMOS速度快。
- ◆CMOS有静态功耗低、抗干扰能力强等诸多优点成为主流器件。但CMOS电路增加一个输入端必须增加一个PMOS和一个NMOS管，在某些希望芯片面积小的应用，仍采用NMOS。
- ◆类NMOS电路可与CMOS电路相匹配。

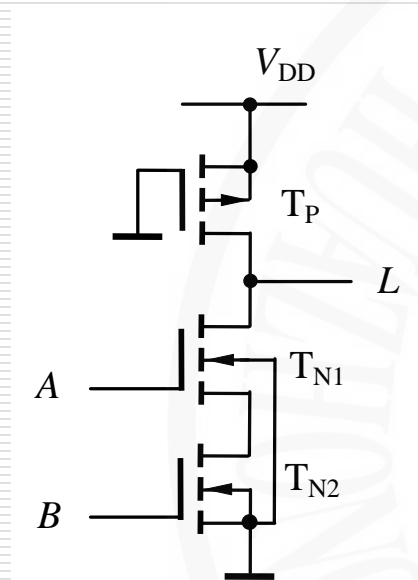
1. 类NMOS反相器

当 $v_I=0$: NMOS管截止, PMOS管导通, 输出高电平。

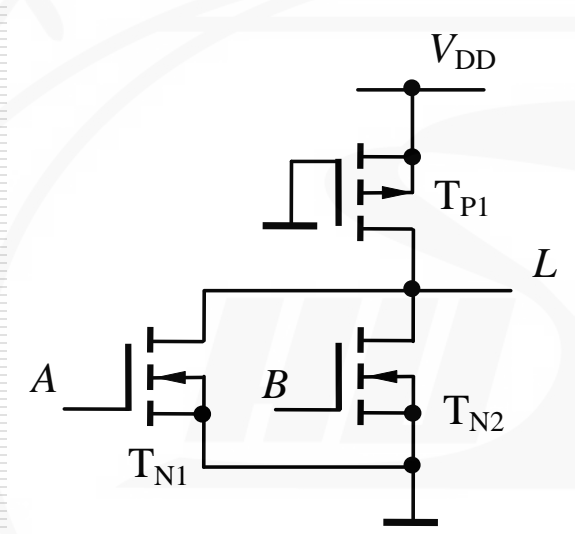
当 $v_I=V_{DD}$: NMOS管和PMOS管均导通, NMOS管比PMOS管导通电阻小很多, 输出低电平。



2. 类NMOS与非门和或非门



$$L = \overline{A \cdot B}$$



$$L = \overline{A + B}$$

3.4.2 BiCMOS门电路

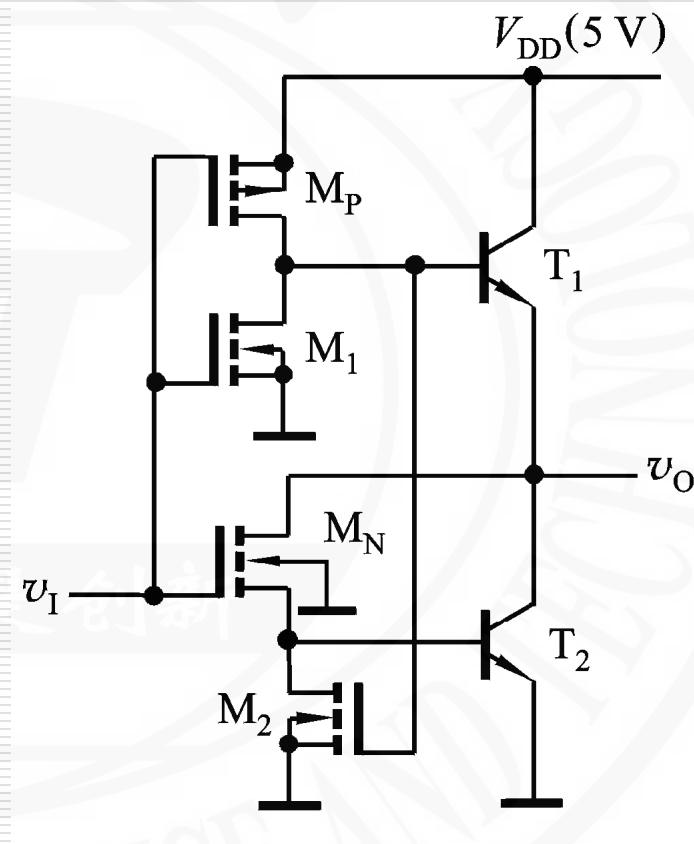
特点:功耗低、速度快、驱动力强

工作原理:

v_i 为高电平:

M_N 、 M_1 和 T_2 导通, M_P 、 M_2 和 T_1 截止, 输出 v_o 为低电平。

**M_1 的导通, 迅速拉走 T_1 的基区存储电荷;
 M_2 截止, M_N 的输出电流全部作为 T_2 管的
驱动电流, M_1 、 M_2 加快输出状态的转换**



v_i 为低电平:

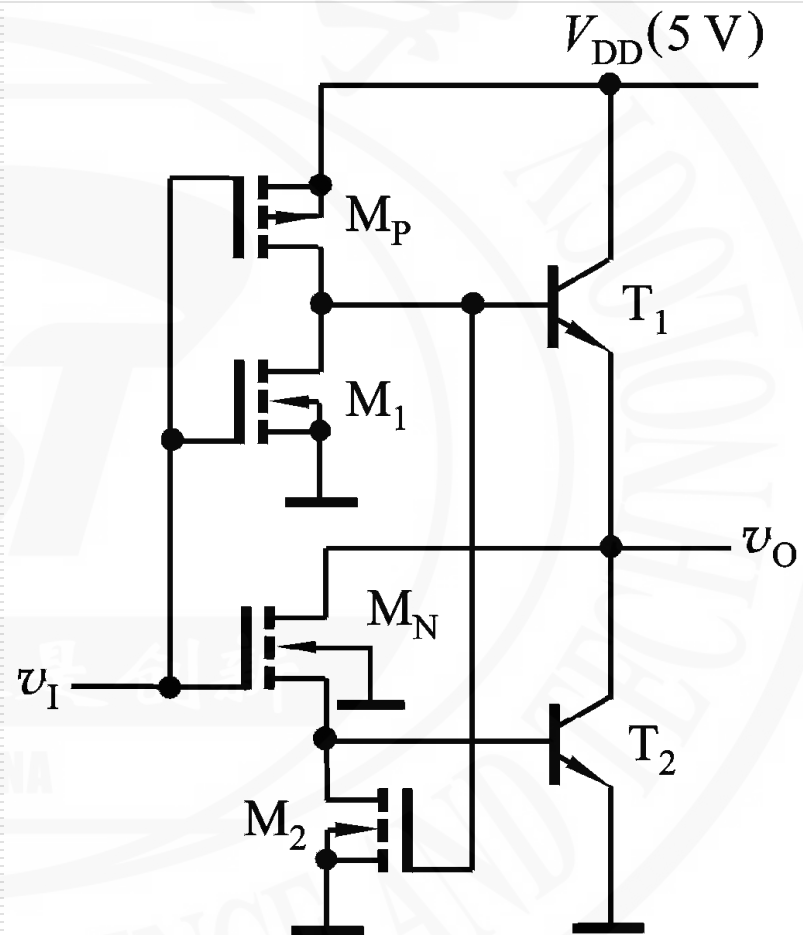
M_P 、 M_2 和 T_1 导通, M_N 、 M_1 和 T_2 截止,
输出 v_o 为高电平。

M_1 截止, M_P 的输出

电流全部作为 T_1 的驱动电流。

T_2 基区的存储电荷通过 M_2 而消散。

M_1 、 M_2 加快输出状态的转换电路的开关速度可得到改善



3.5 TTL逻辑门电路

3.5.1 BJT的开关特性

3.5.2 TTL反相器的基本电路

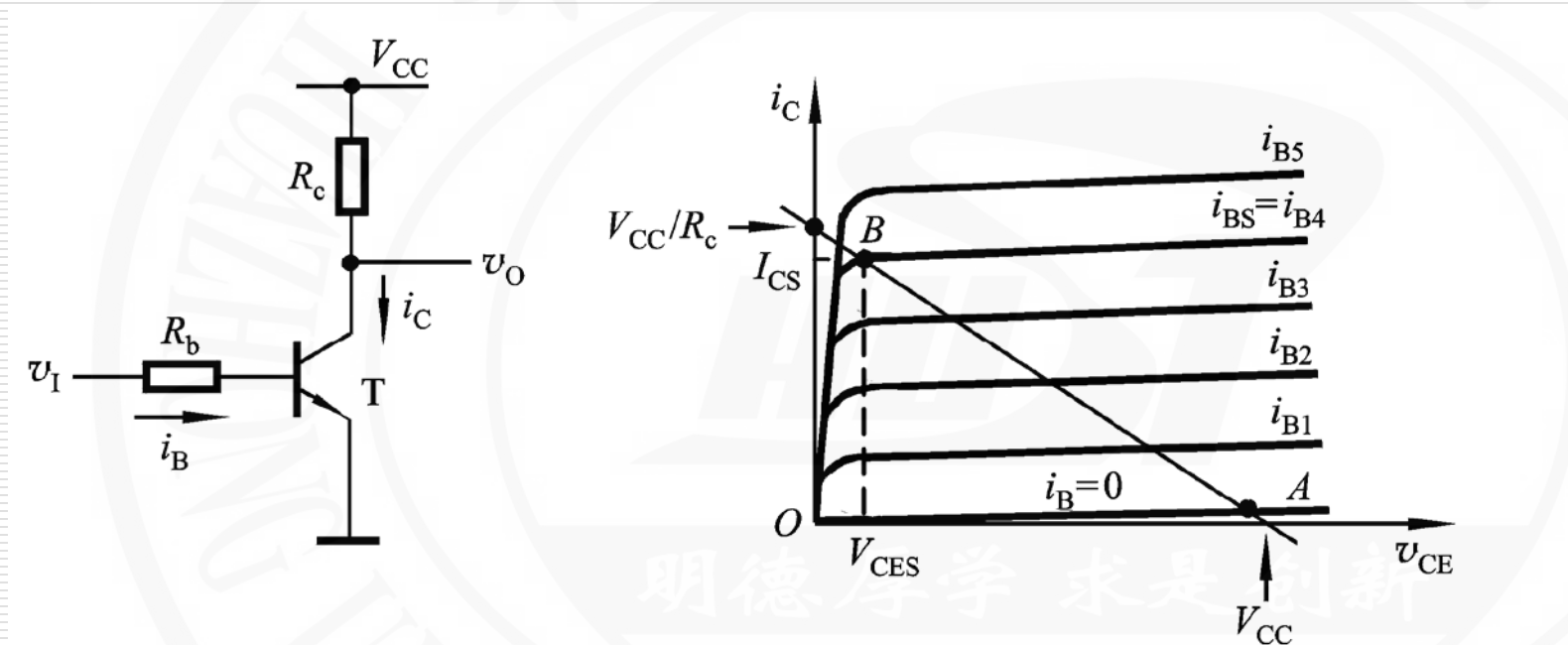
3.5.3 改进型TTL门电路

明德厚学 求是创新

WUHAN CHINA

3.5 TTL逻辑门

3.5.1 BJT的开关特性



$v_I = 0V$ 时: $i_B \approx 0$, $i_C \approx 0$, $v_O = V_{CE} \approx V_{CC}$, c、e极之间近似于开路。

$v_I = 5V$ 时: $i_B \approx i_{BS}$, $v_O = V_{CE} \approx 0.2V$, c、e极之间近似于短路。

BJT相当于受 v_I 控制的电子开关。

2. BJT的开关时间

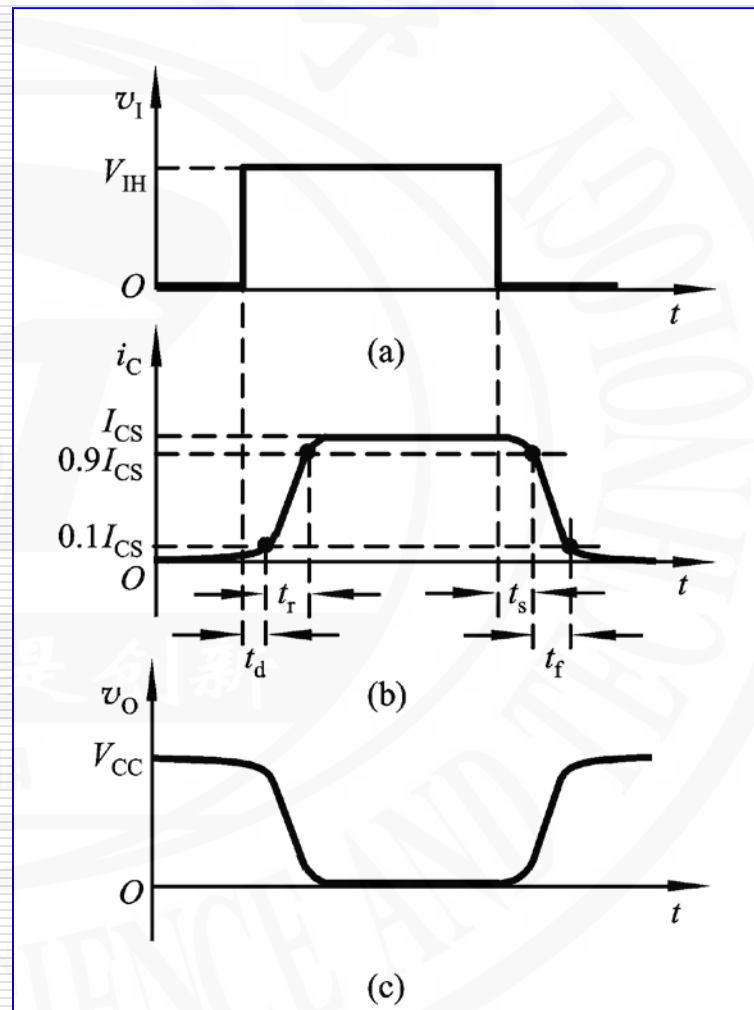
BJT饱和与截止两种状态的相互转换需要一定的时间才能完成。

从截止到导通

开通时间 $t_{on}(=t_d+t_r)$

从导通到截止

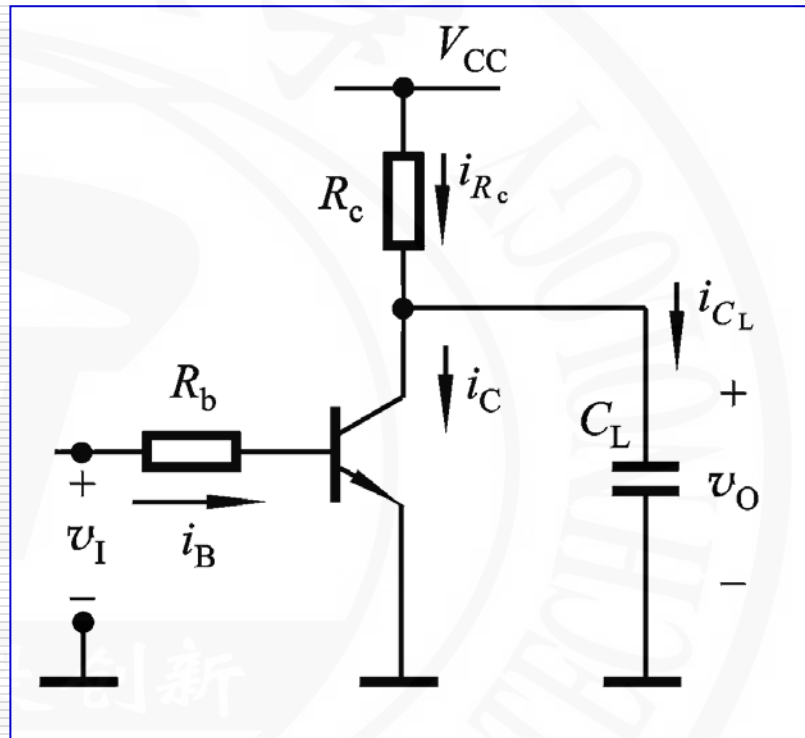
关闭时间 $t_{off}(=t_s+t_f)$



2. BJT的开关时间

若带电容负载

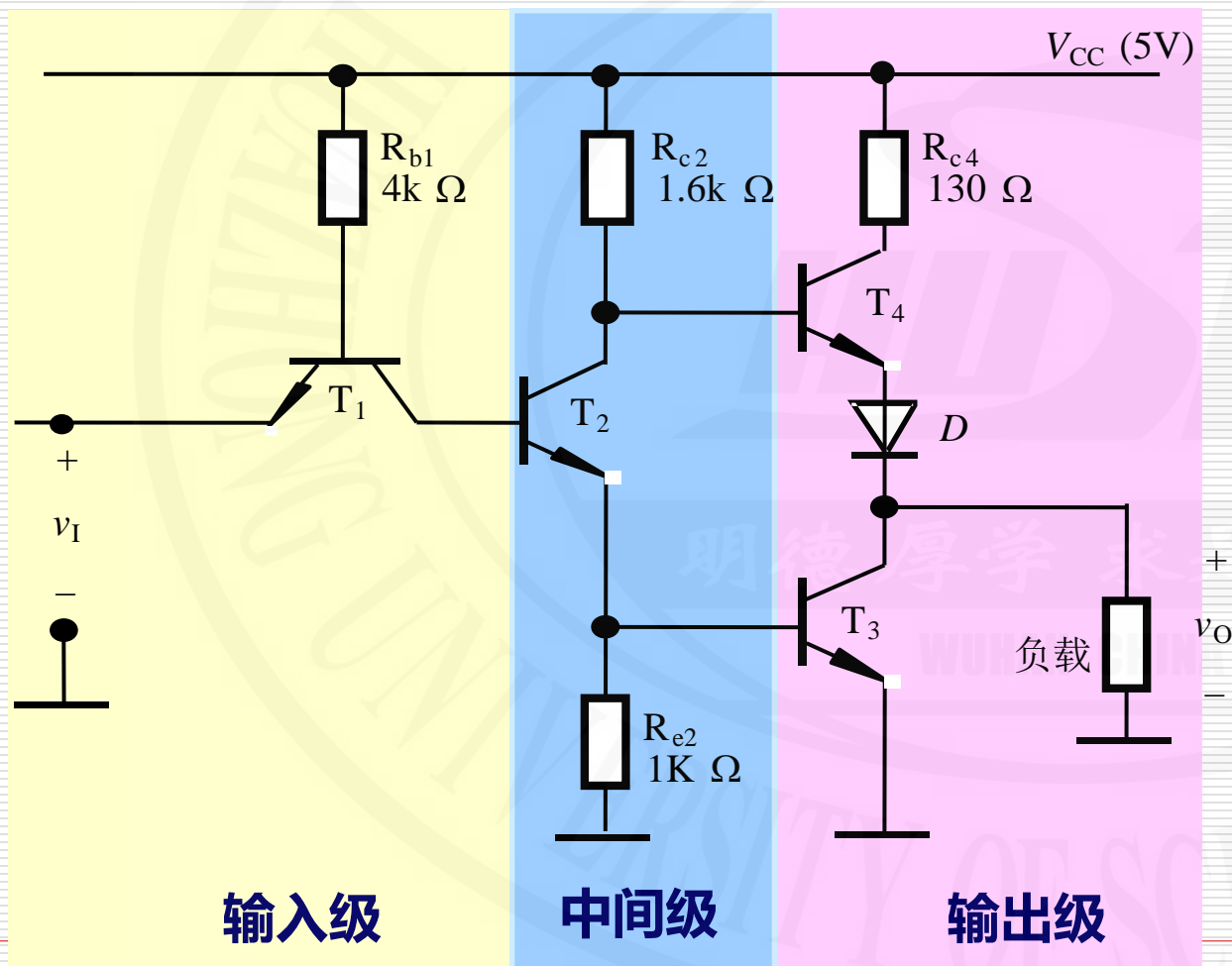
C_L 的充、放电过程均需经历一定的时间，必然会增加输出电压 v_O 波形的上升时间和下降时间，导致基本的BJT反相器的开关速度不高。



故需设计有较快开关速度的实用型TTL门电路。

3.5.2 TTL反相器的基本电路

1. 电路组成



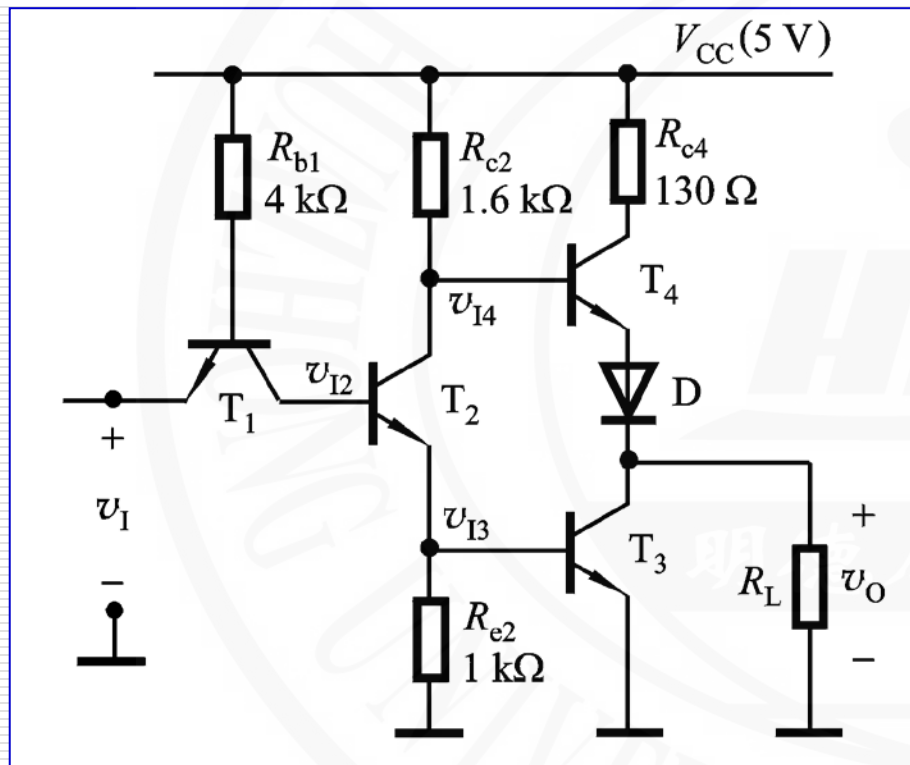
输入级： T_1 和电阻 R_{b1} 组成。
用于提高电路的开关速度

输出级： T_3 、 D 、 T_4 和 R_{c4} 构成推拉式的输出级。用于提高开关速度和带负载能力。

中间级： T_2 和电阻 R_{c2} 、 R_{e2} 组成，从 T_2 的集电结和发射极同时输出两个相位相反的信号，作为 T_3 和 T_4 输出级的驱动信号；

2. TTL反相器的工作原理（逻辑关系、性能改善）

(1) 当输入为低电平 ($v_i = 0.2\text{ V}$)



T_1 深度饱和, $V_{B1}=0.9\text{ V}$

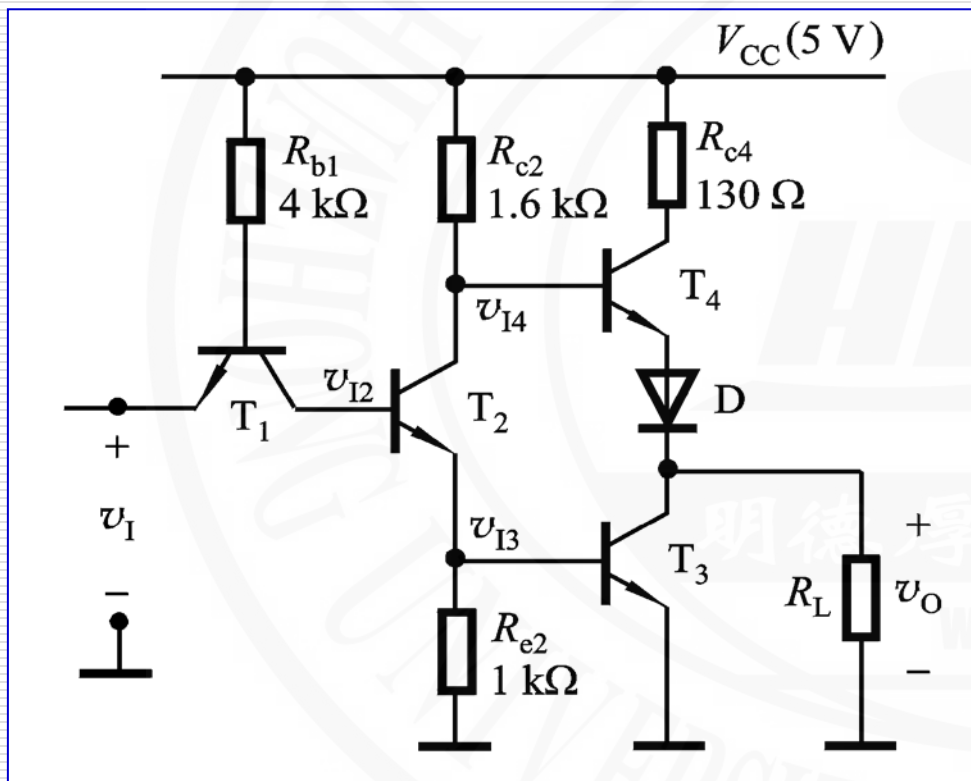
要使 T_2 、 T_3 导通则要求, $V_{B1}=2.1\text{ V}$

T_2 、 T_3 截止, T_4 、 D 导通

$$v_o = v_{B4} - v_{BE4} - v_D = (5 - 0.7 - 0.7)\text{ V} = 3.6\text{ V}$$

输入	T_1	T_2	T_3	D_4	T_4	输出
低电平	饱和	截止	截止	导通	导通	高电平

(2) 当输入为高电平 ($v_I = 3.6\text{ V}$)



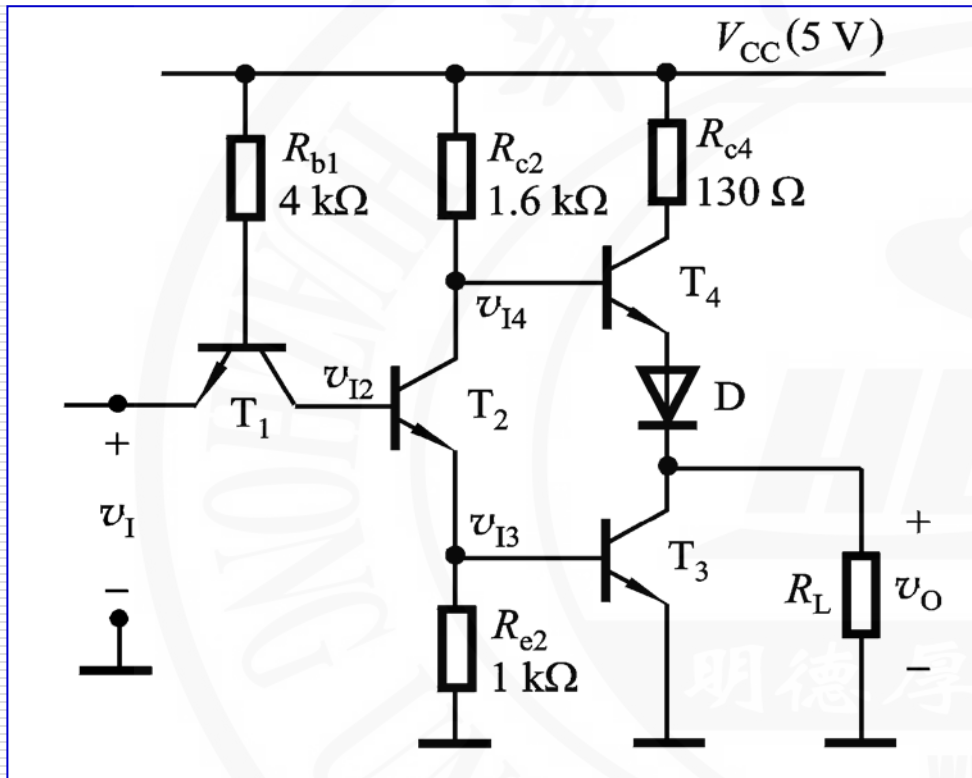
T_2 、 T_3 饱和导通

T_1 :倒置的放大状态。

T_4 和 D 截止。

使输出为低电平。

$$v_O = v_{C3} = V_{CES3} = 0.2\text{ V}$$



逻辑真值表

输入A	输出L
0	1
1	0

逻辑表达式

$$L = \overline{A}$$

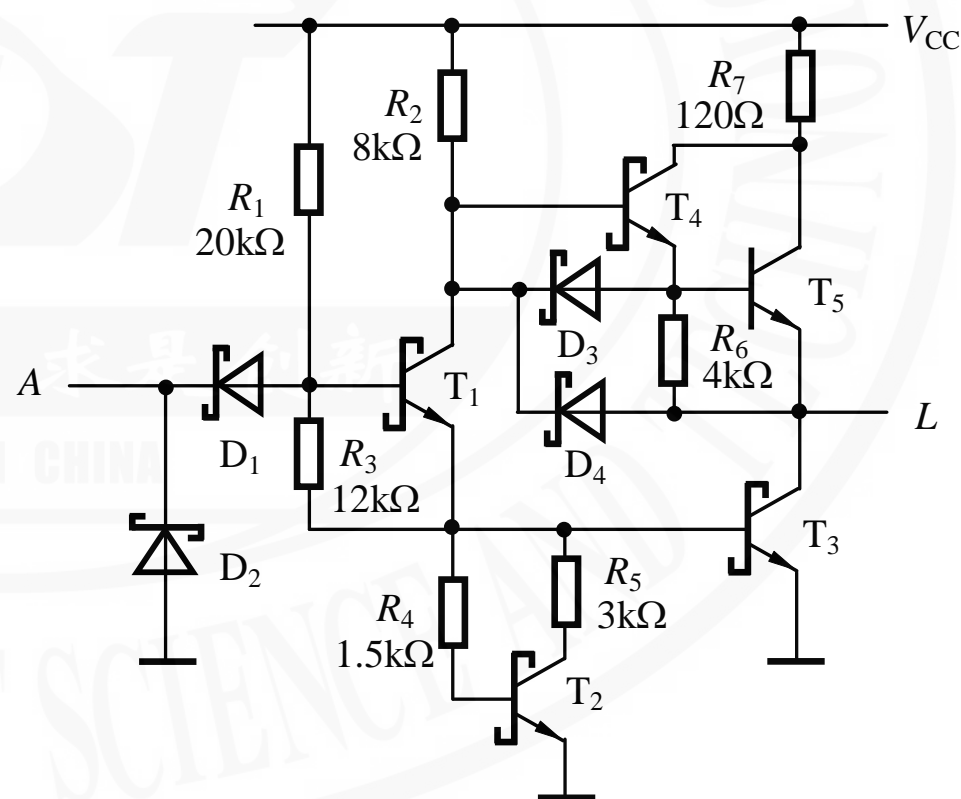
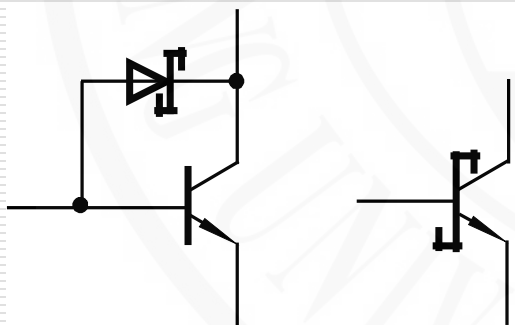
输入	T_1	T_2	T_3	D_4	T_4	输出
低电平	饱和	截止	截止	导通	导通	高电平
高电平	倒置工作	饱和	饱和	截止	截止	低电平

3.5.3 改进型TTL门电路-抗饱和TTL门电路

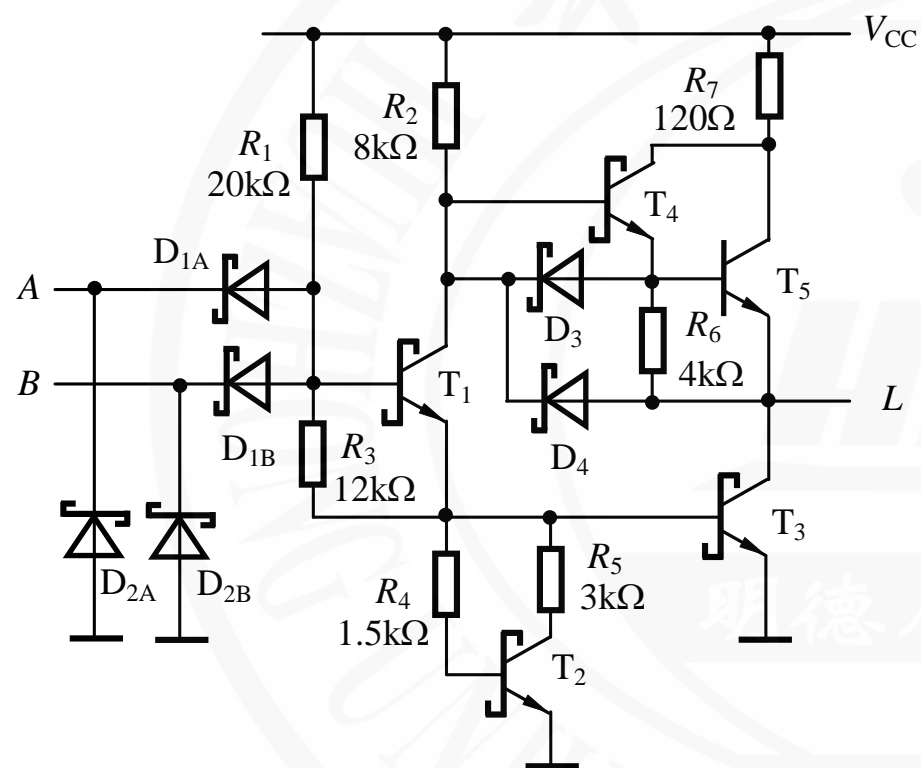
采用肖特基势垒二极管SBD 限制BJT导通时的饱和深度。

SBD导通电压为0.4V。使BJT的c、e间正偏电压钳位在0.4V，而不进入深度饱和。

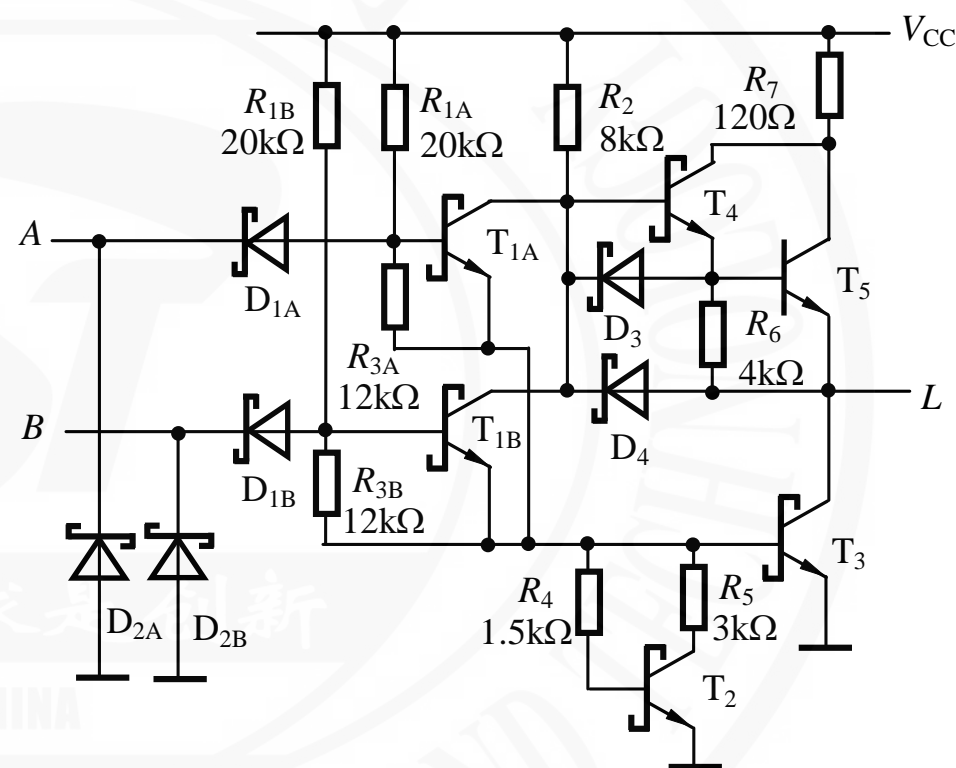
1.肖特基TTL反相器
电路如图所示。



2. 其他TTL门电路



与非门



或非门

3.6 逻辑描述中的几个问题

3.6.1 正负逻辑问题

3.6.2 基本逻辑门的等效符号及其应用

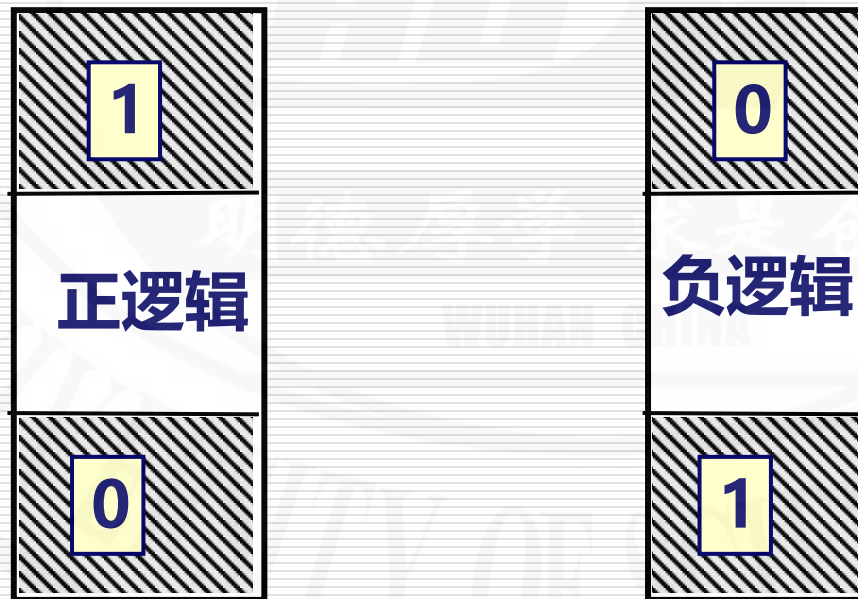
3.6 逻辑描述中的几个问题

3.6.1 正负逻辑问题

1. 正负逻辑的规定

正逻辑体制:将高电平用逻辑1表示, 低电平用逻辑0表示

负逻辑体制:将高电平用逻辑0表示, 低电平用逻辑1表示



2. 正负逻辑等效变换

某电路输入与输出电平表

<i>A</i>	<i>B</i>	<i>L</i>
L	L	H
L	H	H
H	L	H
H	H	L

正逻辑 负逻辑

与非 \Leftrightarrow 或非

与 \Leftrightarrow 或

非 \Leftrightarrow 非

采用正逻辑

—与非门

<i>A</i>	<i>B</i>	<i>L</i>
0	0	1
0	1	1
1	0	1
1	1	0

采用负逻辑

—或非门

<i>A</i>	<i>B</i>	<i>L</i>
1	1	0
1	0	0
0	1	0
0	0	1

3.7.2 基本逻辑门电路的等效符号及其应用

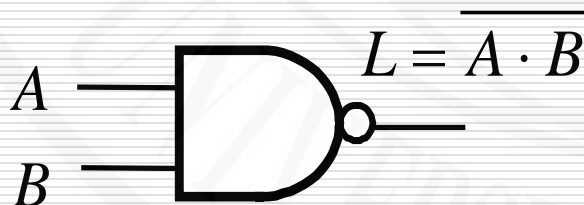
系统输入信号中，有的是高电平有效，有的是低电平有效。

低电平有效，输入端加小圆圈；

高电平有效，输入端不加小圆圈。

1、 基本逻辑门电路的等效符号

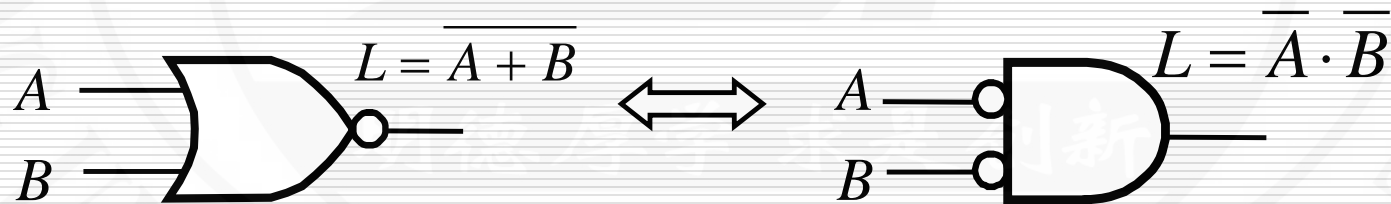
$$L = \overline{A \cdot B} = \overline{A} + \overline{B}$$



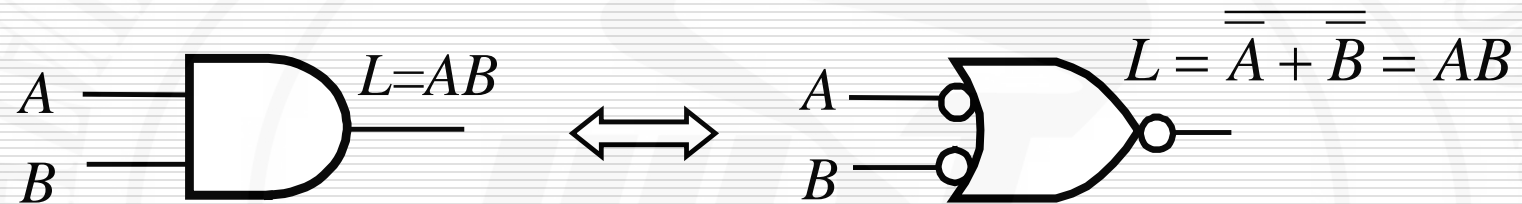
与非门及其等效符号

$$L = \overline{A + B} = \overline{A} \cdot \overline{B}$$

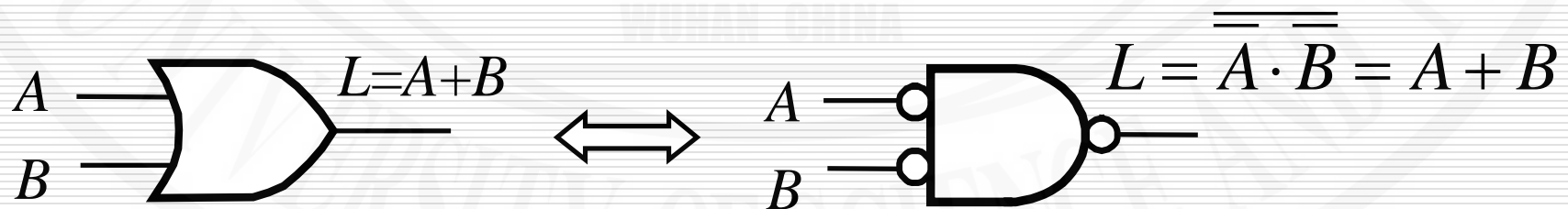
或非门及其等效符号



$$L = AB = \overline{\overline{A} + \overline{B}}$$

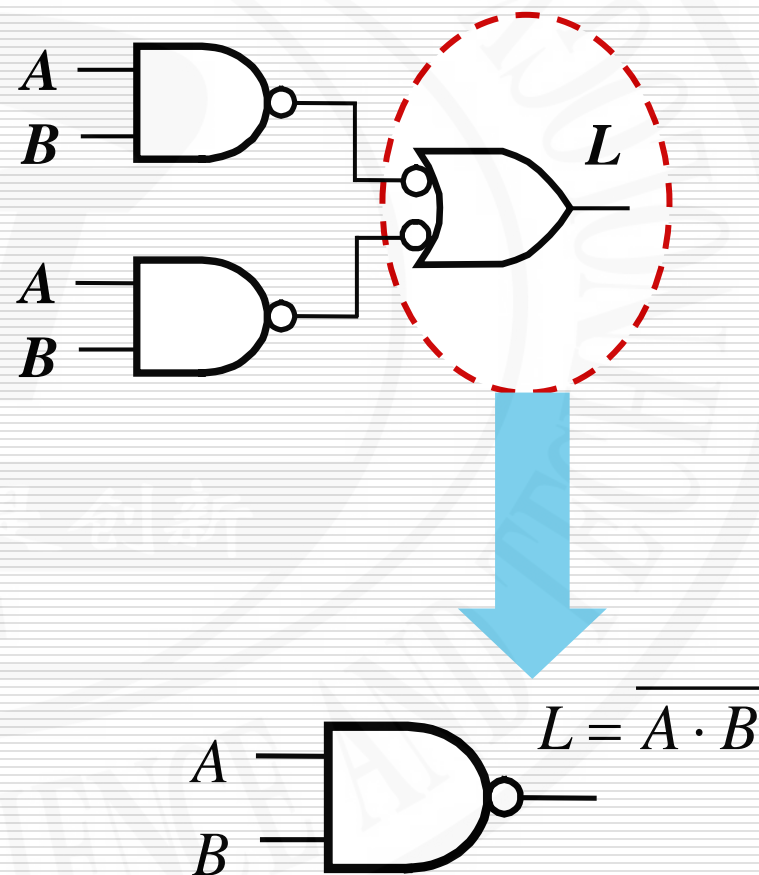
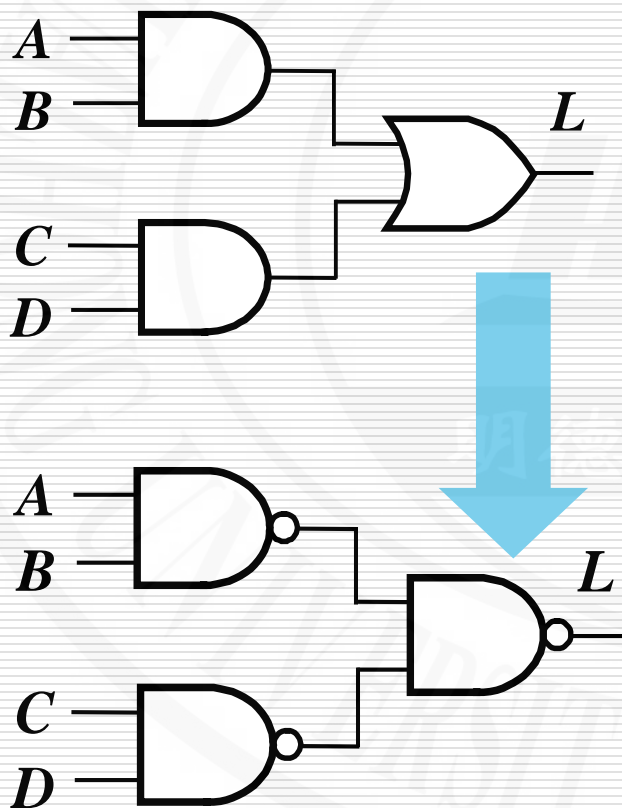


$$L = A + B = \overline{\overline{A} \cdot \overline{B}}$$

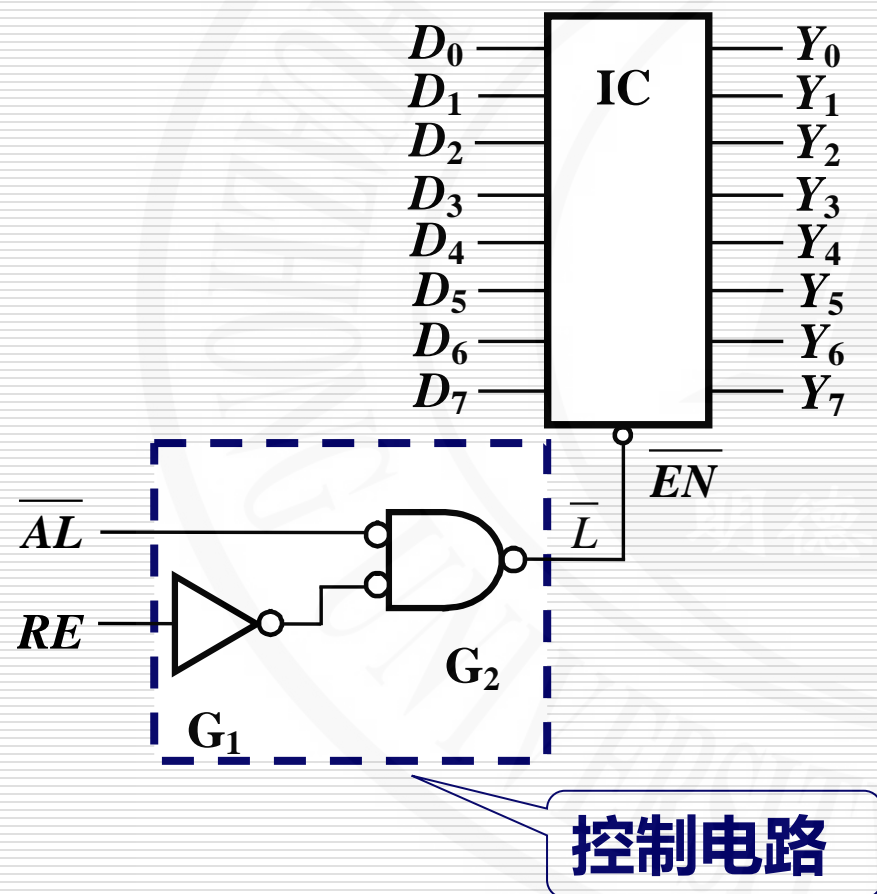


逻辑门等效符号的应用

利用逻辑门等效符号，可实现对逻辑电路进行变换，以简化电路，能减少实现电路的门的种类。



逻辑门等效符号强调低电平有效

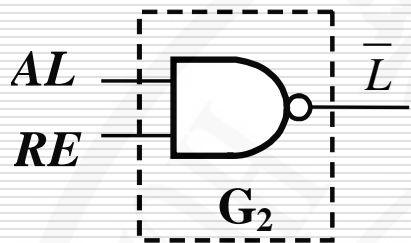


当 $\overline{AL} = 0$ $RE = 1$

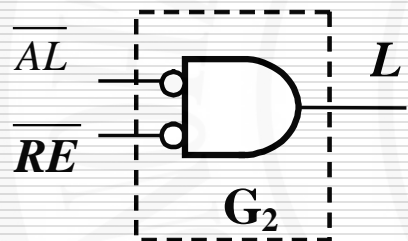
$\overline{L} = 0$

使 \overline{EN} 为低电平

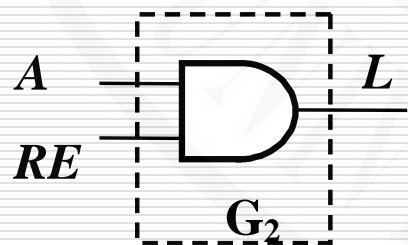
G_2 可用或门实现



如 RE 、 AL 都要求高电平有效， \overline{EN} 低电平有效



如 \overline{RE} 、 \overline{AL} 都要求低电平有效， EN 高电平有效



如 RE 、 AL 都要求高电平有效， EN 高电平有效

3.7 逻辑门电路使用中的几个实际问题

3.7.1 各种门电路之间的接口问题

3.7.2 门电路带负载时的接口问题

3.7.3 抗干扰措施

3.7.4 差分传输

3.7.5 CMOS小尺寸逻辑和宽总线系列

3.7.1 各种门电路之间的接口问题

在数字电路或系统的设计中，往往将不同电源电压的CMOS 系列（或CMOS 和 TTL）两种器件混合使用，以满足综合要求。由于每种器件的电压和电流参数各不相同，因而在这两种器件连接时，要满足驱动器件和负载器件以下条件：

- 1)门电路的输入或输出电压必须处在手册规定的极值之内。
- 2)驱动器件的输出电压必须处在负载器件所要求的输入电压范围，包括高、低电压值（属于电压兼容性的问题）。
- 3)驱动器件必须对负载器件提供足够大的拉电流和灌电流（属于门电路的扇出数问题）；

1. 各种门电路输入或输出电压的极值

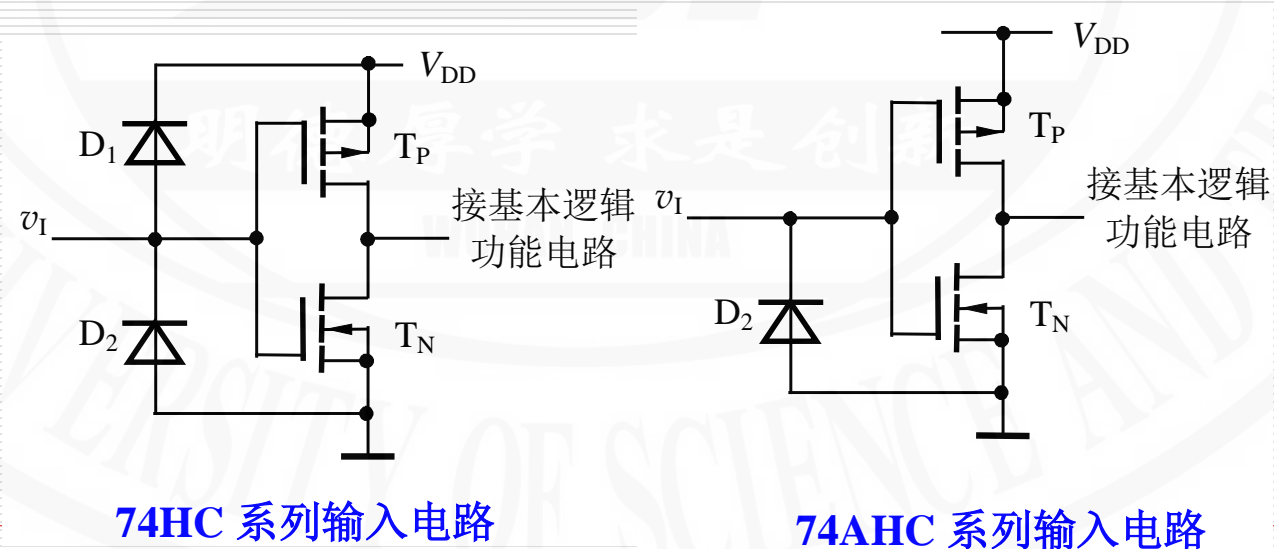
(1) 输入电压极值 $V_{I(\max)}$ 和 $V_{I(\min)}$

有些逻辑门电路允许 V_I 超过 V_{DD} , 有些不允许。

74HC系列最大输入 $V_{I(\max)} = V_{DD} + 0.5V$, V_I 被钳位, 不能超过 V_{DD}

。 **74AHC**系列 $V_{I(\max)} = 7V$, 采用 $V_{DD} = 3.3V$ 时, 允许 $V_I > 3.3V$ 。

两系列 $V_{I(\min)}$ 均为 $0V$, 考虑保护二极管作用, $V_{I(\min)} = -0.5V$ 。



1. 各种门电路输入或输出电压的极值

(2) 输出电压极值 $V_{O(\max)}$ 和 $V_{O(\min)}$

有些逻辑门电路允许 V_O 超过 V_{DD} , 有些不允许。

74HC和AHC系列最大输入 $V_{O(\max)} = V_{DD} + 0.5V$, 不能超过 V_{DD} 。

74LVC系列 $V_{O(\max)} = 6.5V$ 。采用 $V_{DD} = 3.3V$ 时, 允许 $V_O > 3.3V$, 只要小于 $6.5V$ 即可

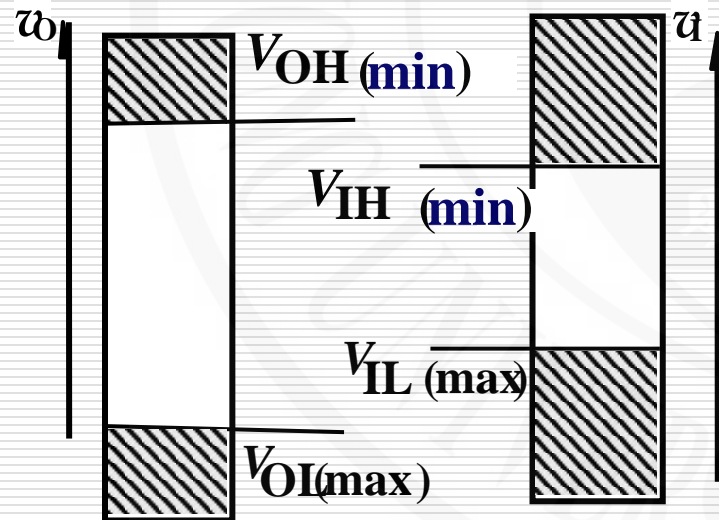
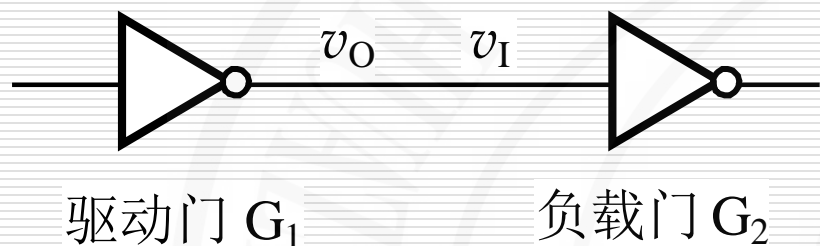
。

明德厚学 求是创新

WUHAN CHINA

2. 各种门电路电压兼容性和电流匹配性问题

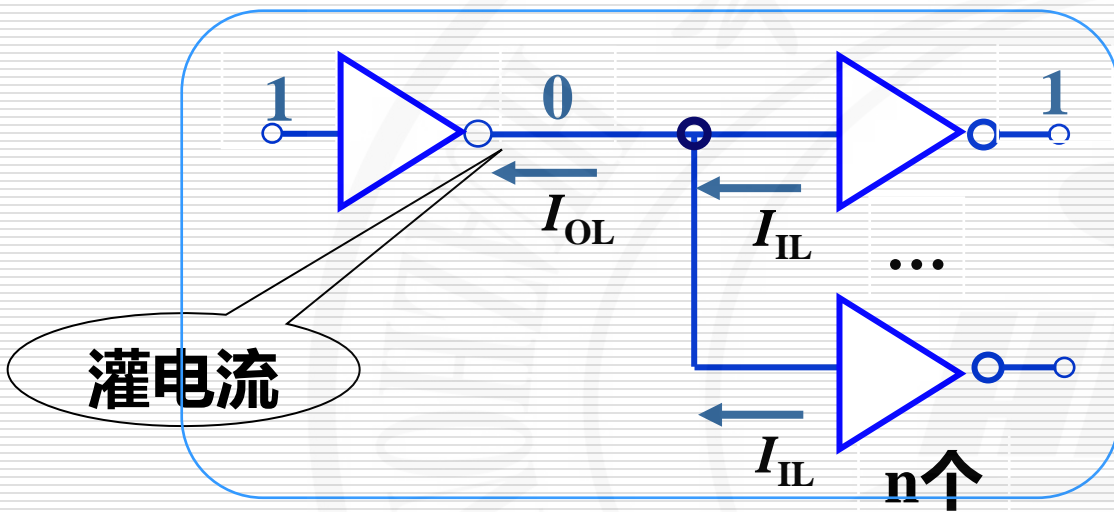
负载器件所要求的输入电压



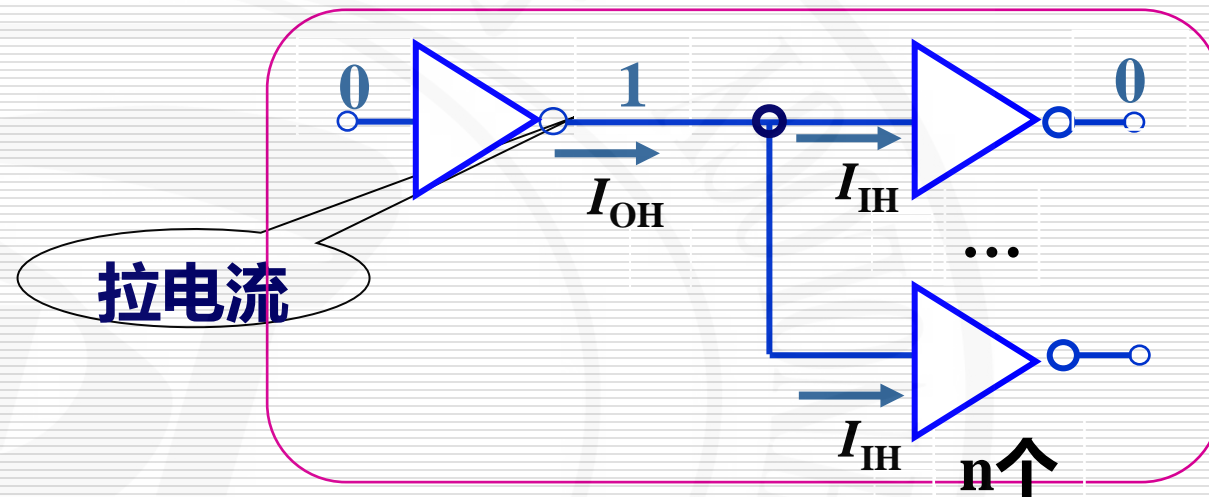
$$V_{OH(\min)} \geq V_{IH(\min)}$$

$$V_{OL(\max)} \leq V_{IL(\max)}$$

对负载器件提供足够大的拉电流和灌电流



$$I_{OL(max)} \geq |I_{IL(total)}|$$



$$|I_{OH(max)}| \geq I_{IH(total)}$$

驱动电路必须能为负载电路提供合乎相应标准的高、低电平

驱动电路必须能为负载电路提供足够的驱动电流

驱动电路

负载电路

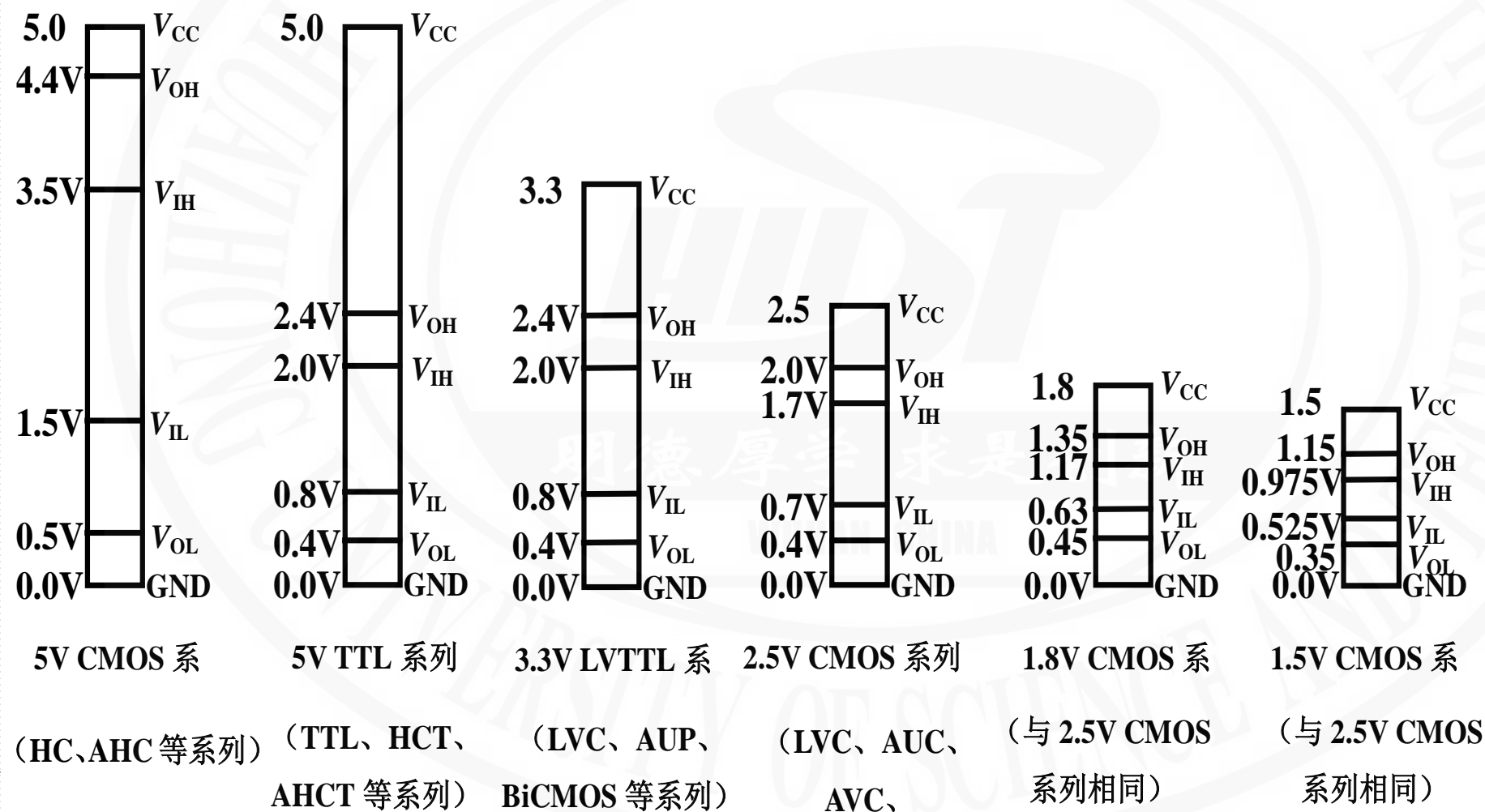
$$1、) \quad V_{OH(min)} \geq V_{IH(min)}$$

$$2、) \quad V_{OL(max)} \leq V_{IL(max)}$$

$$3、) \quad |I_{OH(max)}| \geq I_{IH(total)}$$

$$4、) \quad I_{OL(max)} \geq |I_{IL(total)}|$$

图中给出了各个系列在给定电源电压下四个逻辑电平参数



3、5V CMOS门驱动3.3V CMOS门

已知：5V CMOS门系列 $V_{OH(min)}=4.4V$ $V_{OL(max)}=0.5V$
 $I_{OL(max)}=20\mu A$ $I_{OH(max)}=-20\mu A$

3.3V CMOS门系列 $V_{IH(min)}=2V$ $V_{IL(max)}=0.8V$
 $I_{IH(max)}=5\mu A$ $I_{IL(max)}=-5\mu A$,

输出、输入电压

$$V_{OH(min)} \geq V_{IH(min)} \quad \checkmark$$

$$V_{OL(max)} \leq V_{IL(max)} \quad \checkmark$$

当负载门个数 n 小于 ≤ 4

带拉电流负载

$$|I_{OH(max)}| \geq |I_{IH(total)}| \quad \checkmark$$

带灌电流负载

$$|I_{OL(max)}| \geq |I_{IL(total)}| \quad \checkmark$$

4. 3.3V CMOS门驱动5V CMOS门

已知：3.3V CMOS门系列 $V_{OH(min)}=2.4V$ $V_{OL(max)}=0.4V$

$I_{OL(max)}=0.1mA$ $I_{OH(max)}=-0.1mA$

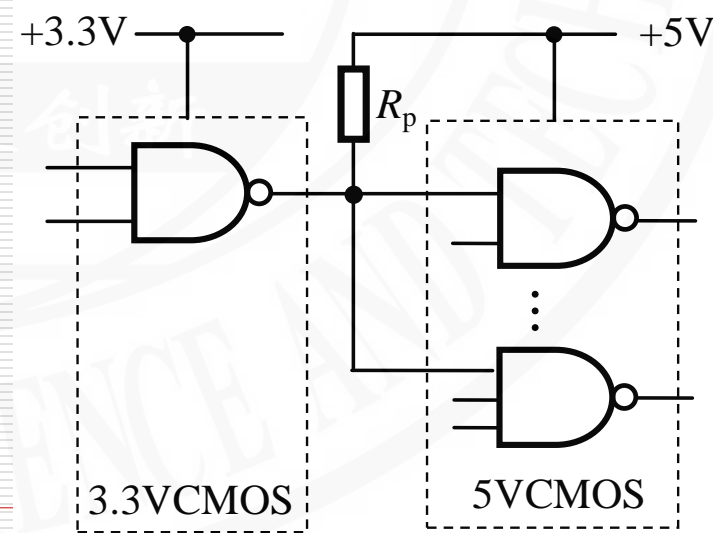
5V CMOS门系列 $V_{IH(min)}=3.5V$ $V_{IL(max)}=1.5V$

$I_{IH(max)}=5\mu A$ $I_{IL(max)}=-5\mu A$,

式2、3、4、都能满足，但式1 $V_{OH(min)} \geq V_{IH(min)}$ 不满足
采用外接上拉电阻。

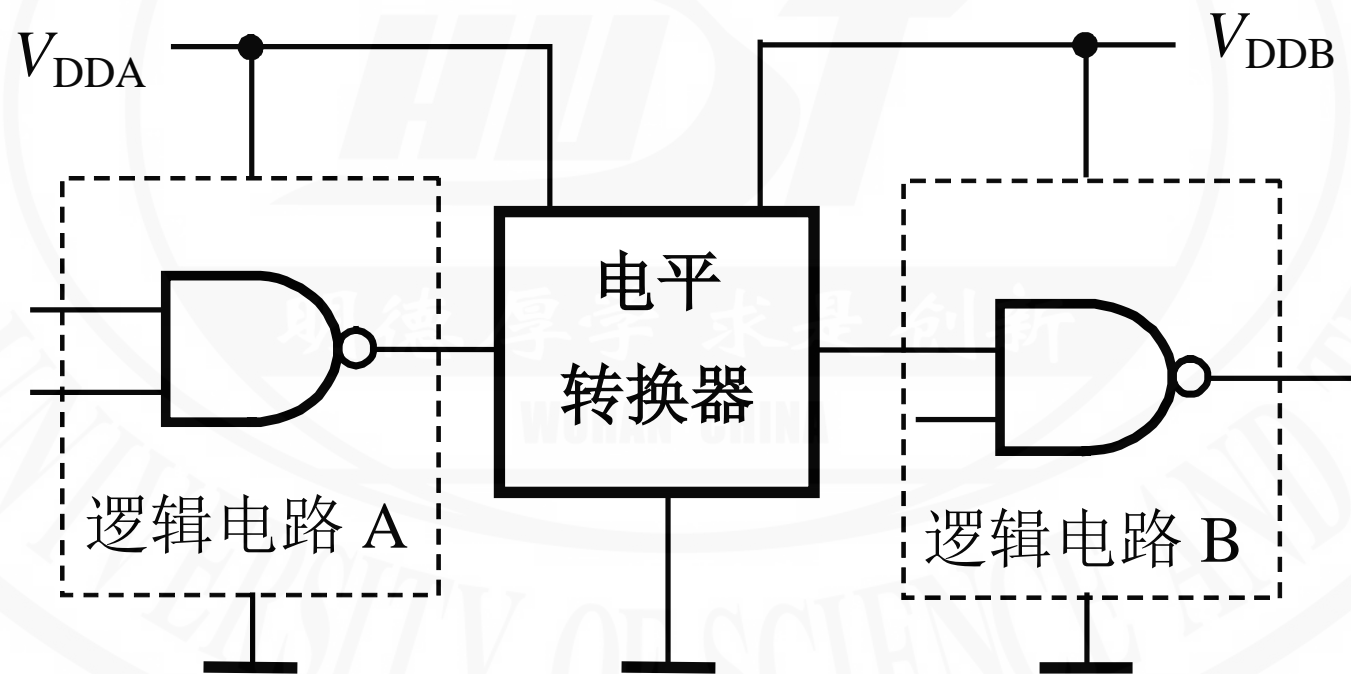
$$V_{OH} = V_{DD} - R_P (I_O + nI_{IH})$$

(I_O ：驱动门输出级截止管的漏电流)



5. 低电压CMOS电路之间的接口

不同系列逻辑电路之间接口，通常采用专门的逻辑电平转换器，如图所示。
 V_{DDA} 和 V_{ddb} 分别为两种系列逻辑电路的电源电压。



3.7.2 门电路带负载时的接口电路

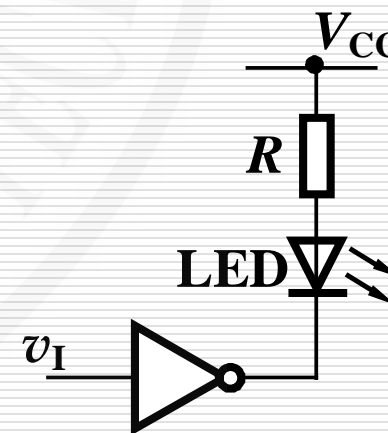
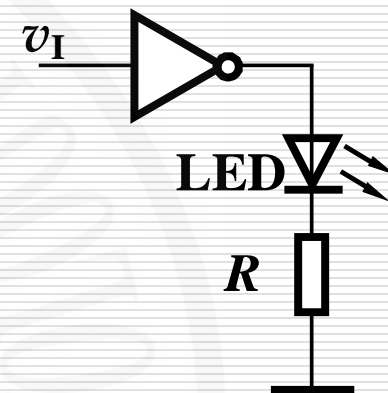
1. 用门电路直接驱动显示器件

门电路的输出为低电平时，LED发光

$$R = \frac{V_{OH} - V_F}{I_D}$$

当输入信号为高电平，输出为低电平时，LED发光

$$R = \frac{V_{CC} - V_F - V_{OL}}{I_D}$$



例3.7.2 试用74HC04六个CMOS反相器中的一个作为接口电路，使门电路的输入为高电平时，LED导通发光。

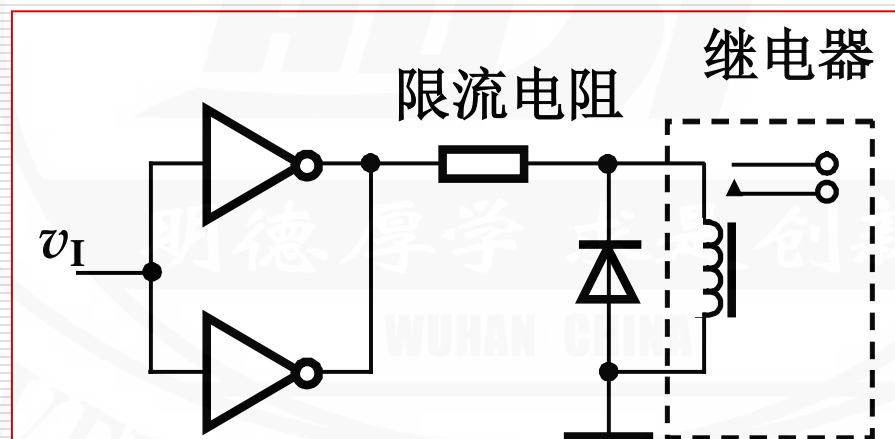
解：LED正常发光需要几mA的电流，并且导通时的压降 V_F 为1.6V。根据表3.3.4查得，当 $V_{CC}=5V$ 时， $V_{OL}=0.1V$ ， $I_{OL(max)}=4mA$ 。因此 I_D 取值不能超过4mA。限流电阻的最小值为

$$R = \frac{(5 - 1.6 - 0.1)V}{4mA} = 825\Omega$$

2. 机电性负载接口

用各种数字电路来控制机电性系统的功能,而机电系统所需的工作电压和工作电流比较大。要使这些机电系统正常工作,必须扩大驱动电路的输出电流以提高带负载能力,而且必要时要实现电平转移。

如果负载所需的电流不特别大,可以将两个反相器并联作为驱动电路,并联后总的最大负载电流略小于单个门最大负载电流的两倍。



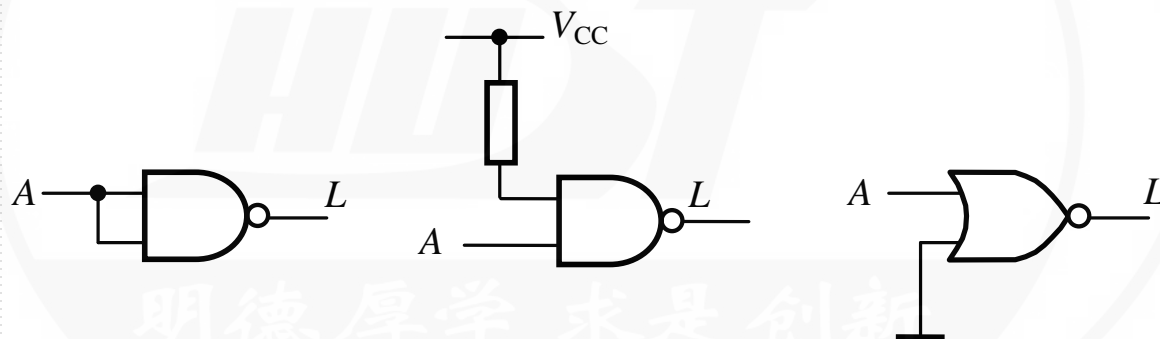
如果负载所需的电流比较大,则需要在数字电路的输出端与负载之间接入一个功率驱动器件。

3.7.3 抗干扰措施

1. 多余输入端的处理措施

以不改变电路工作状态及稳定可靠为原则。

一是与其他输入端并接，二是直接接电源或地。与门、与非门输入端接电源。或门、或非门输入端接地。



2. 去耦合滤波电容

在直流电源和地之间接去耦合滤波电容，滤除干扰信号。

3. 接地和安装工艺

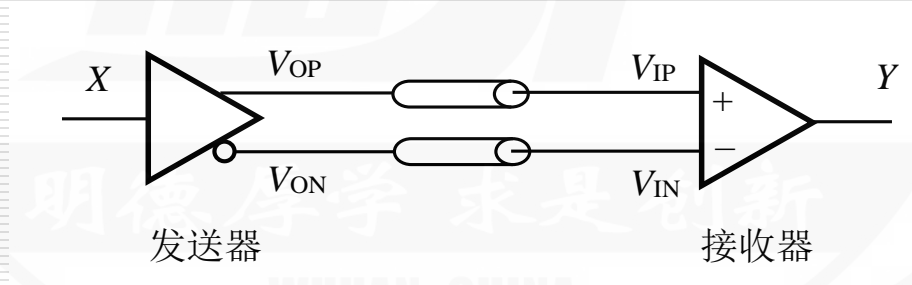
将电源地和信号地、模拟和数字地分开。印刷版的连线尽量短,以去除寄生干扰。

3.7.4 差分信号传输

差分传输是一种抗干扰能力强的传输技术。电视机、计算机等设备的接口及USB接口均采用差分传输。

传统的信号传输采用一根信号线和一根地线，若叠加干扰信号后，有可能导致逻辑电平变化。

差分信号传输是在两根线上都传输信号，两个信号的大小相等，相位相反。



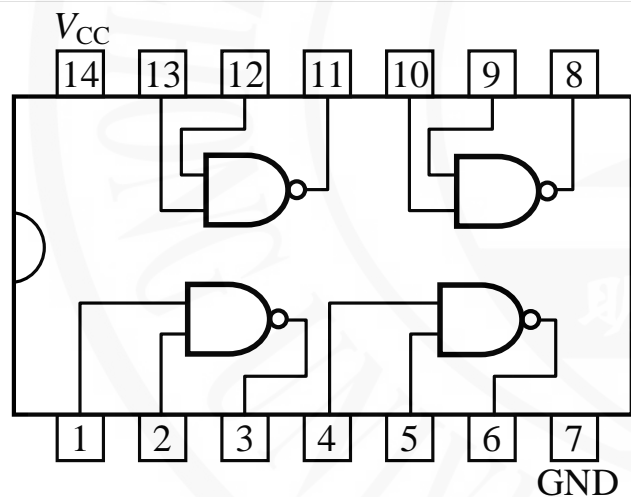
当 $X=0$ 时， V_{OP} 为低电平， V_{ON} 为高电平。传输到接收端， $V_{IP} - V_{IN} < 0$ 时， $Y=0$ 。

当 $X=1$ 时， V_{OP} 高为电平， V_{ON} 为低电平。在接收端， $V_{IP} - V_{IN} > 0$ 时， $Y=1$ 。

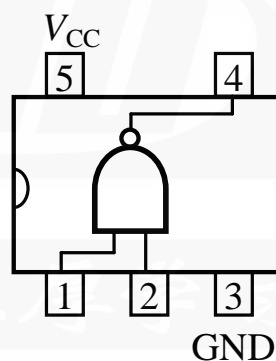
3.7.5 小逻辑和宽总线系列

1.小逻辑电路

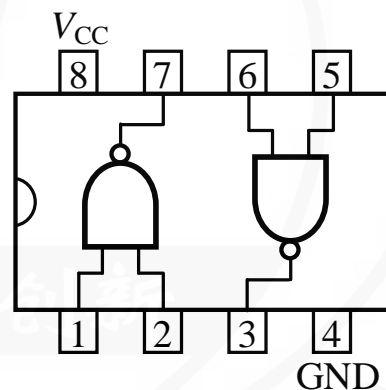
相比传统逻辑器件，小逻辑芯片体积更小。它是作为大规模可编程逻辑器件的补充或接口。用来修改或完善大规模集成芯片之间连线或外围电路连线。



TSSOP 封装 面积为 33.66mm^2



NanoStar 封装
面积为 0.9mm^2



Micro QFN 封装
面积为 1.4mm^2

传统封装的2输入与非门

小逻辑封装的2输入与非门

2.宽总线电路

宽总线是指将多个相同的单元电路封装在一起，以减少体积、改善电路性能，满足计算机、信息传输等设备的总线传输需求。

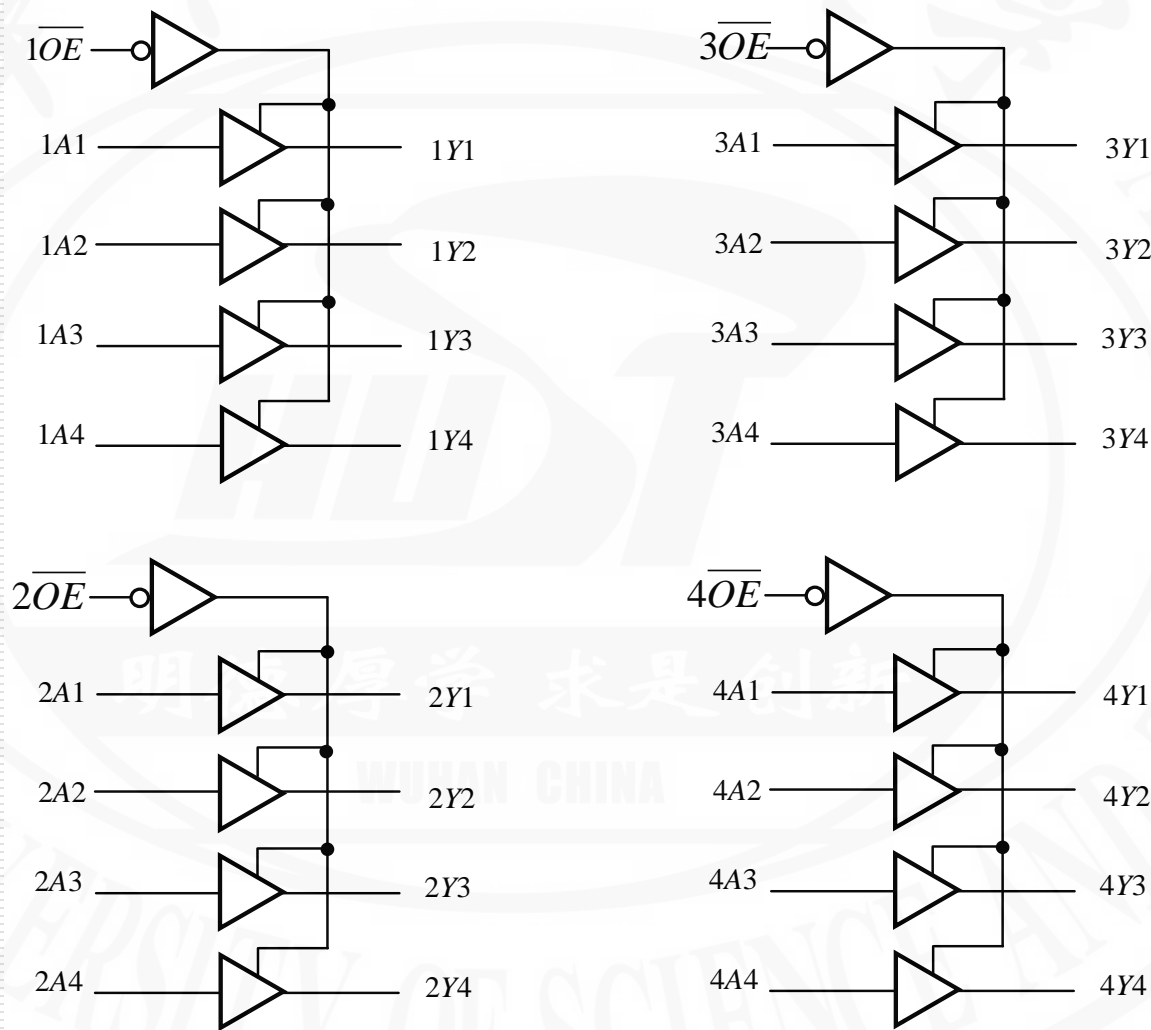
74AUC16240内部有16个三态输出缓冲器，分成4组，如图(下一页)。使用时，可连成16位、两组8位或其他形式。

74AUC16240功能表

使能 \overline{OE}	输入A	输出Y
L	H	L
L	L	H
H	×	高阻

2.宽总线电路

74AUC16240



3.8 用VerilogHDL描述CMOS门电路

3.8.1 CMOS门电路的Verilog建模

用VerilogHDL对MOS管构成的电路建模，称为开关级建模，是最底层的描述。

用关键词nmos、pmos定义NMOS、PMOS管模型。rnmos、rpmos定义输入与输出端存在电阻的NMOS、PMOS管模型。

关键词supply1、supply0分别定义了电源线和地线。

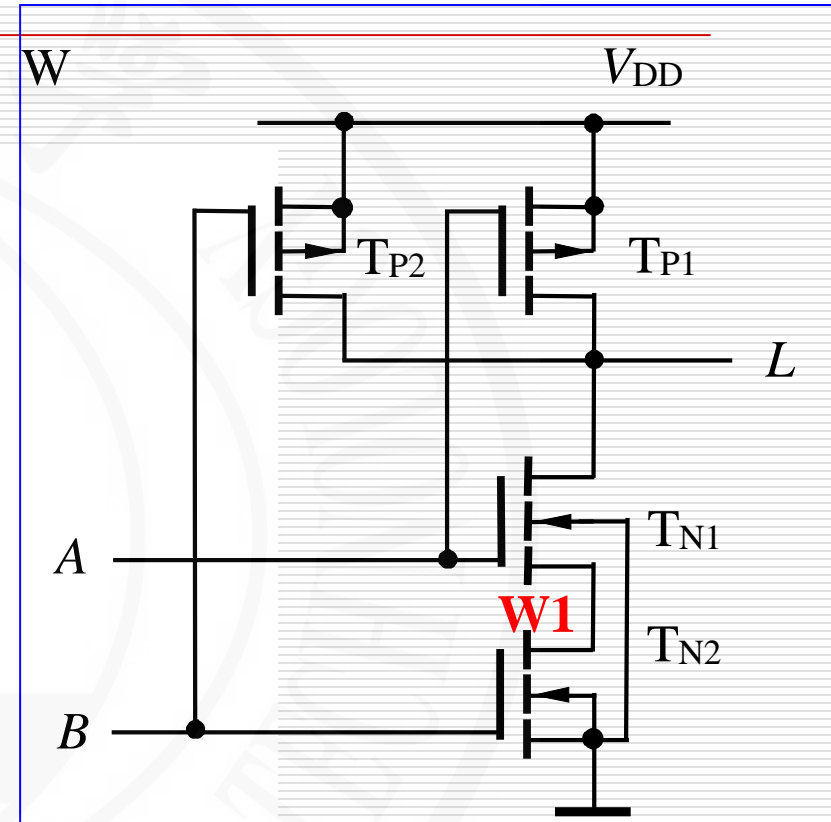
1、设计举例

■ 试用Verilog语言的开关级建模描述CMOS与非门。

```
module NAND2 (L,A,B); //IEEE 1364—1995 Syntax
  input A,B;           //输入端口声明
  output L;            //输出端口声明
  supply1 Vdd;
  supply0 GND;
  wire W1; //将两个NMOS管之间的连接点定义为W1
  -----
  pmos (L,Vdd,A); //PMOS管的源极与Vdd相连
  pmos (L,Vdd,B); //两个PMOS管并行连接
  nmos (L,W1,A);  //两NMOS管串行连接
  nmos (W1,GND,B); //NMOS管的源极与地相连
endmodule
```

说明部分

电路描述

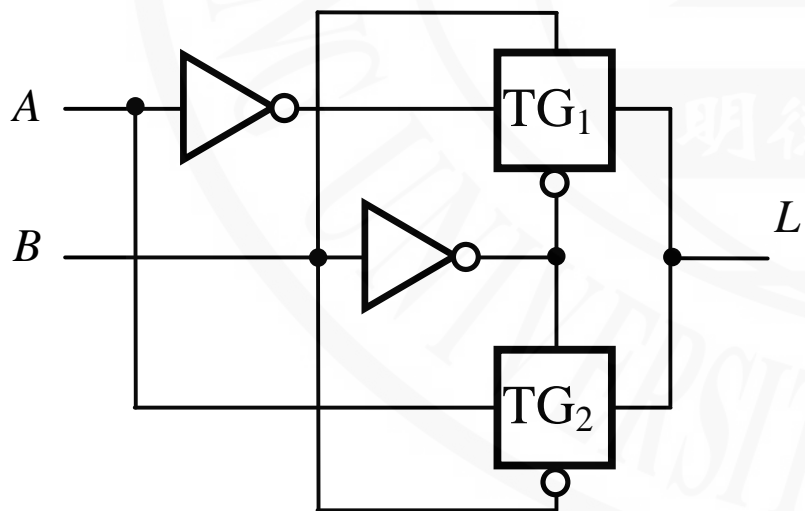


3.8.2 CMOS传输门电路的Verilog建模

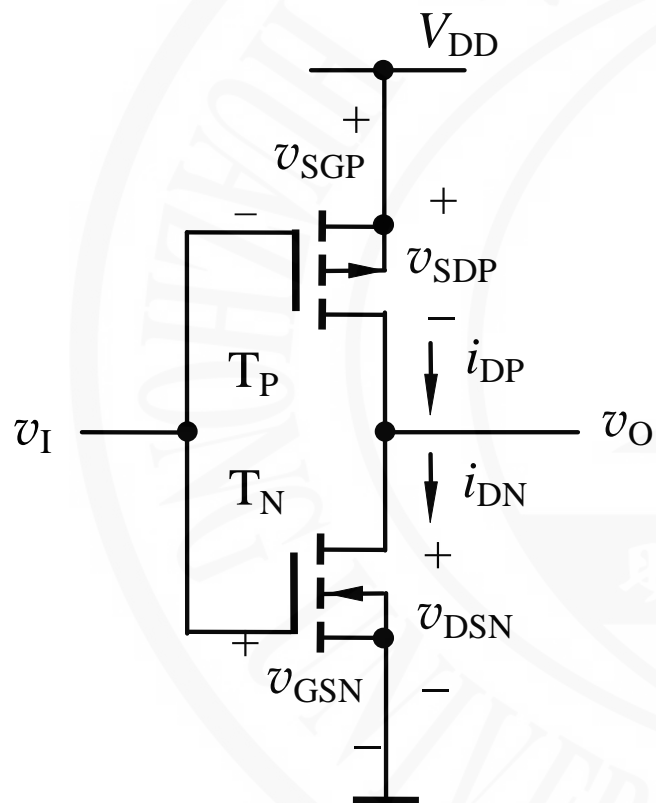
用关键词`cmos`定义传输门模型。

`cmos C1(输出信号, 输入信号, TN管控制信号, TP管控制信号);`

例：用Verilog语言的开关级建模描述下列异或门。



```
module mymux2to1 (A, B, L);  
//IEEE 1364—1995 Syntax  
    input A, B; //输入端口声明  
    output L; //输出端口声明  
    wire Anot, Bnot; //声明模块内部的连接线  
    inverter V1(Anot, A); //调用底层模块inverter, 见下一页  
    inverter V2(Bnot, B);  
    cmos (L, Anot, B, Bnot); //调用内部开关元件  
    cmos (L, A, Bnot, B);  
//((output,input,ncontrol,pcontrol)  
endmodule
```



//CMOS反相器

module inverter (Vo,Vi); //IEEE

1364—1995 Syntax

input Vi; //输入端口声明

output Vo; //输出端口声明

supply1 Vdd;

supply0 GND;

**pmos (Vo,Vdd,Vi); //实例化,
调用内部开关元件**

**nmos (Vo,GND,Vi); //(漏极,源
极,控制栅极)**

endmodule