

注意:

(1) 分析状态转换时**必须考虑各触发器的时钟信号**作用情况

有作用, 则令 $cp_n=1$; 否则 $cp_n=0$

根据激励信号确定那些 $cp_n=1$ 的触发器的次态, $cp_n=0$ 的触发器则保持原有状态不变。

(2) 每一次状态转换必须从输入信号所能触发的第一个触发器开始**逐级确定**

(3) 每一次状态转换都有一定的**时间延迟**

同步时序电路的所有触发器是同时转换状态的, 与之不同, 异步时序电路各个触发器之间的状态转换存在一定的延迟, 也就是说, 从现态 S^n 到次态 S^{n+1} 的转换过程中有一段“不稳定”的时间。在此期间, **电路的状态是不确定的**。只有当全部触发器状态转换完毕, 电路才进入新的“稳定”状态, 即次态 S^{n+1} 。

二. 异步时序逻辑电路的分析举例

例1 分析如图所示异步电路

1. 写出电路方程式

① 时钟方程

$$CP_0 = CLK \quad CP_1 = Q_0$$

② 输出方程

$$Z = Q_1^n Q_0^n$$

③ 激励方程

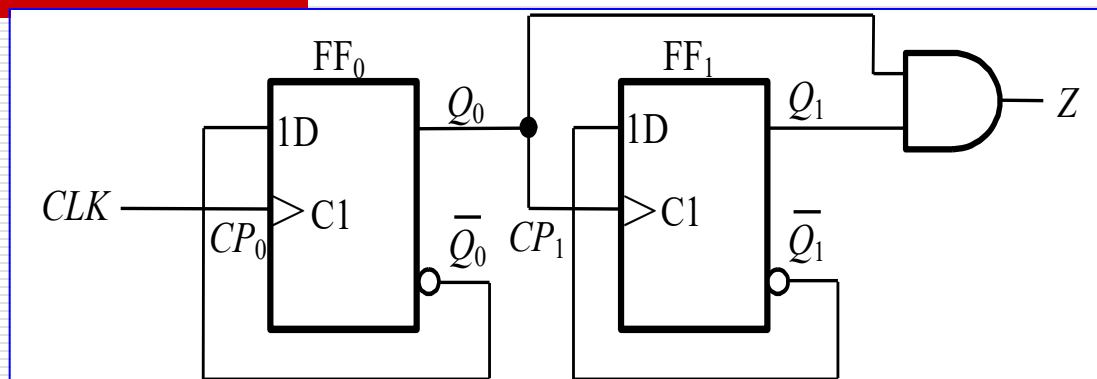
$$D_0 = \bar{Q}_0 \quad D_1 = \bar{Q}_1$$

④ 求电路状态方程

触发器如有时钟脉冲的上升沿作用时，其状态变化；
如无时钟脉冲上升沿作用时，其状态不变。

$$Q_0^{n+1} = D_0 cp_0 + Q_0^n \overline{cp_0} = \bar{Q}_0^n cp_0 + Q_0^n \overline{cp_0}$$

$$Q_1^{n+1} = D_1 cp_1 + Q_1^n \overline{cp_1} = \bar{Q}_1^n cp_1 + Q_1^n \overline{cp_1}$$



3. 列状态表、画状态图、波形图

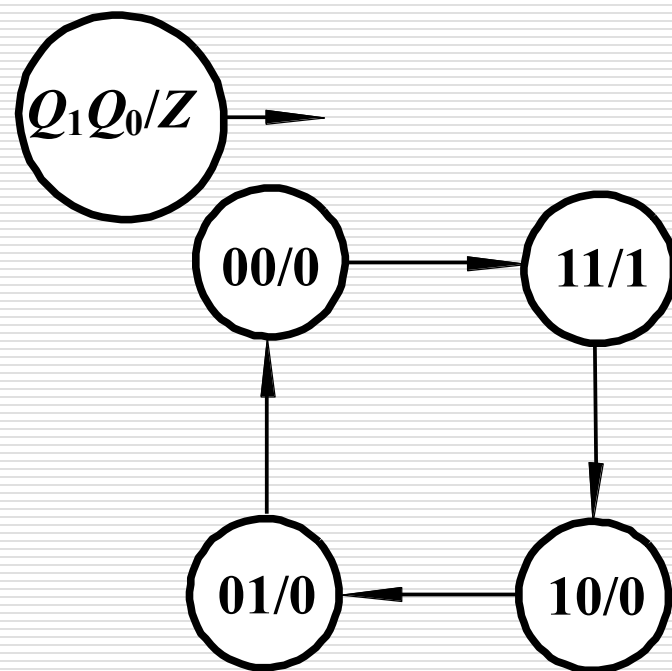
$$Q_0^{n+1} = D_0 cp_0 + Q_0^n \overline{cp_0} = \overline{Q_0^n} cp_0 + Q_0^n \overline{cp_0}$$

$$Q_1^{n+1} = D_1 cp_1 + Q_1^n \overline{cp_1} = \overline{Q_1^n} cp_1 + Q_1^n \overline{cp_1}$$

$$Z = Q_1^n Q_0^n$$

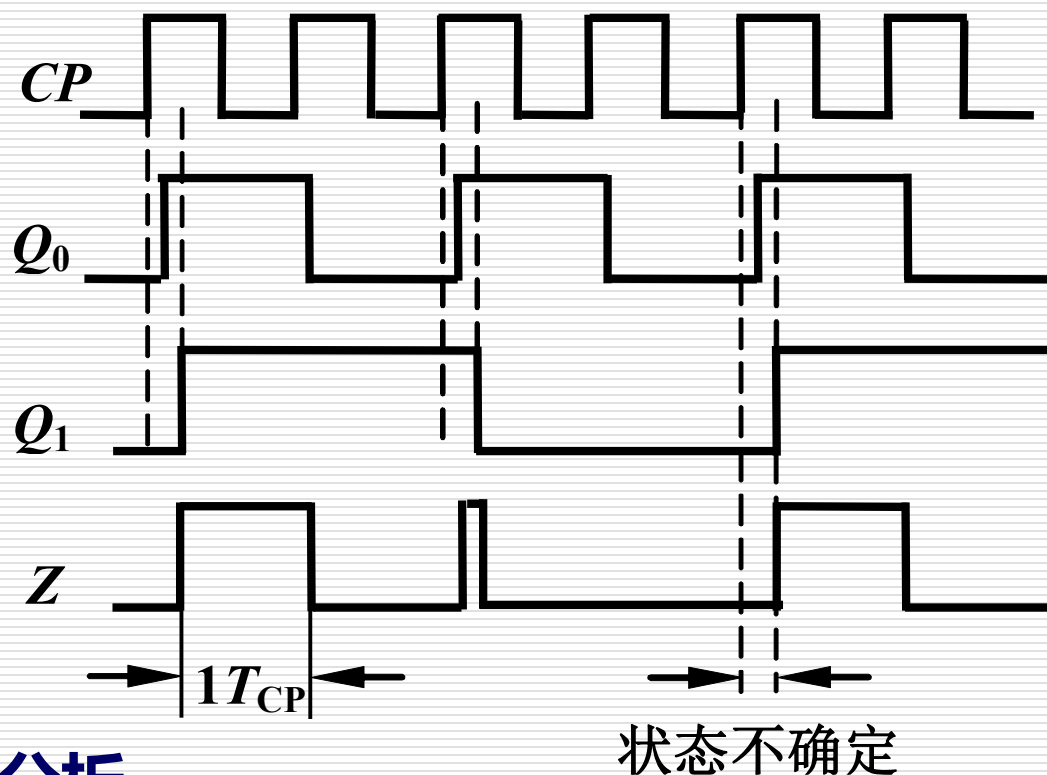
(0----无触发沿 , 1----有触发沿)

Q_1	Q_0	CP_1	CP_0	Q_1^{n+1}	Q_0^{n+1}	Z
0	0	1	1	1	1	0
0	1	0	1	0	0	0
1	0	1	1	0	1	0
1	1	0	1	1	0	1



根据状态图和具体触发器的传输延迟时间 t_{pLH} 和 t_{pHL} ,

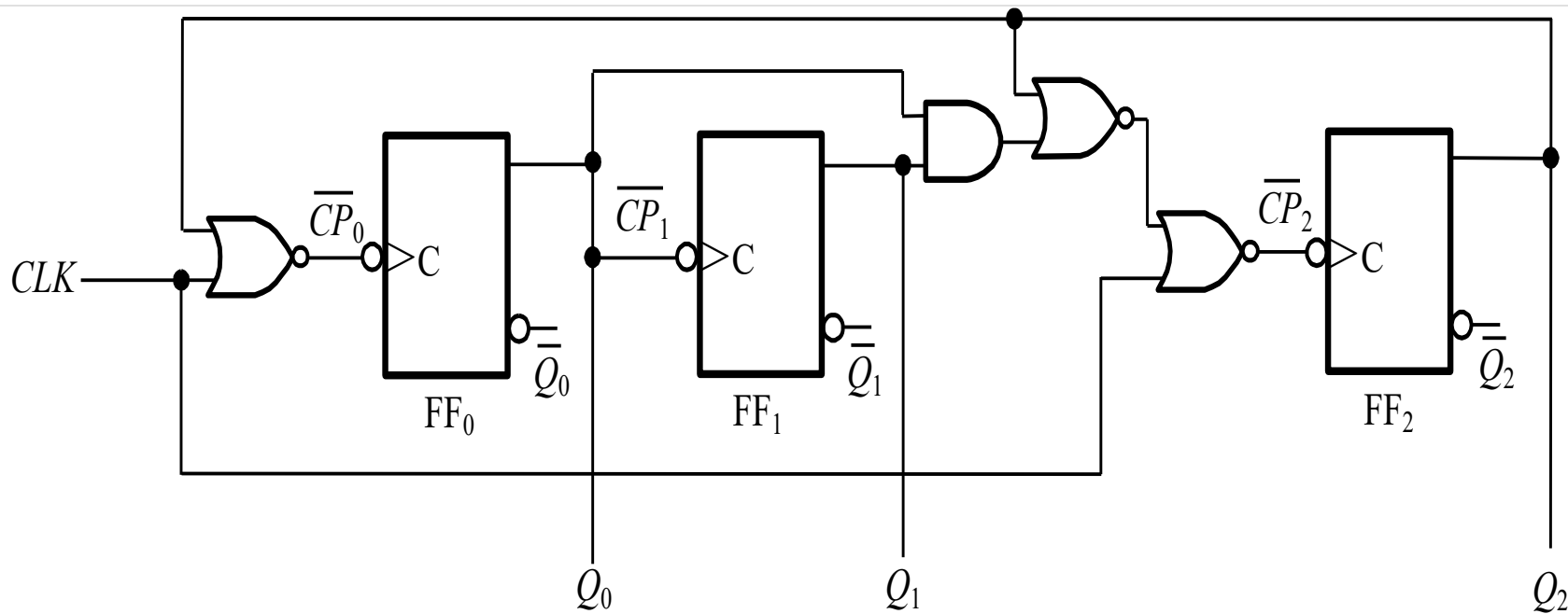
可以画出时序图



4. 逻辑功能分析

该电路是一个异步二进制减计数器， Z 信号的上升沿可触发借位操作。也可把它看作为一个序列信号发生器。

例2 分析如图所示异步时序逻辑电路.




$$\overline{CP_0} = \overline{Q_2} + \overline{CLK} = \overline{Q_2} \overline{CLK}$$

$$\overline{CP_2} = \overline{Q_0 Q_1 + Q_2 + CLK} = (\overline{Q_0 Q_1 + Q_2}) \overline{CLK}$$

$$Q_0^{n+1} = \overline{Q_0^n} cp_0 + Q_0^n \overline{cp_0}$$

$$Q^{n+1} = \overline{Q^n cp_1} + \overline{Q^n cp_1}$$

$$Q_2^{n+1} = \overline{Q_2}^n c p_2 + Q_2^n \overline{c p_2}$$

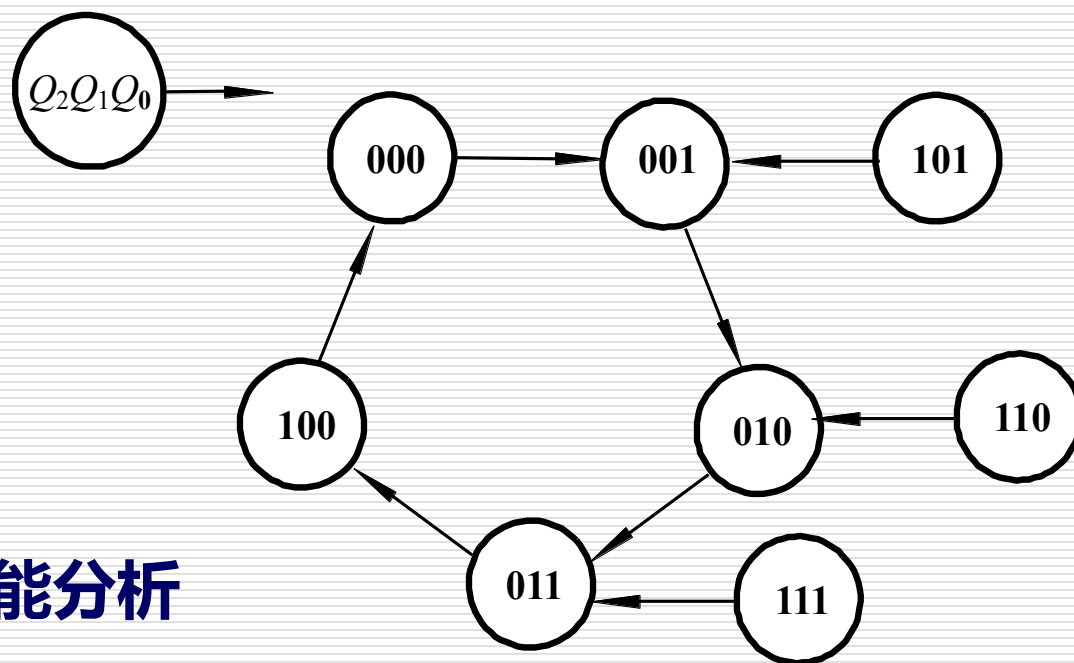
(2) 列出 状态表 $\overline{CP}_0 = \overline{Q}_2 \overline{CLK}$ $\overline{CP}_1 = Q_0$

$$\overline{CP}_2 = (Q_0 Q_1 + Q_2) \overline{CLK}$$

(cp=0表示无时钟下降沿, cp=1表示有时钟下降沿)

Q_2^n	Q_1^n	Q_0^n	cp_2	cp_1	cp_0	Q_2^{n+1}	Q_1^{n+1}	Q_0^{n+1}
0	0	0	0	0	1	0	0	1
0	0	1	0	1	1	0	1	0
0	1	0	0	0	1	0	1	1
0	1	1	1	1	1	1	0	0
1	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0	1
1	1	0	1	0	0	0	1	0
1	1	1	1	0	0	0	1	1

(3) 画出状态图



(4) 逻辑功能分析

电路是一个异步五进制加计数电路。