

# 5 锁存器和触发器

---

5.1 双稳态电路

5.2 SR锁存器

5.3 D锁存器

5.4 触发器的电路结构和工作原理

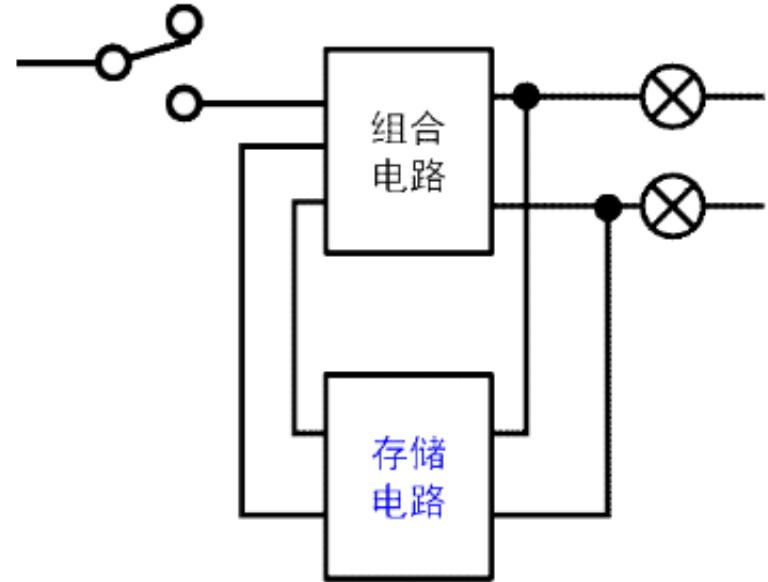
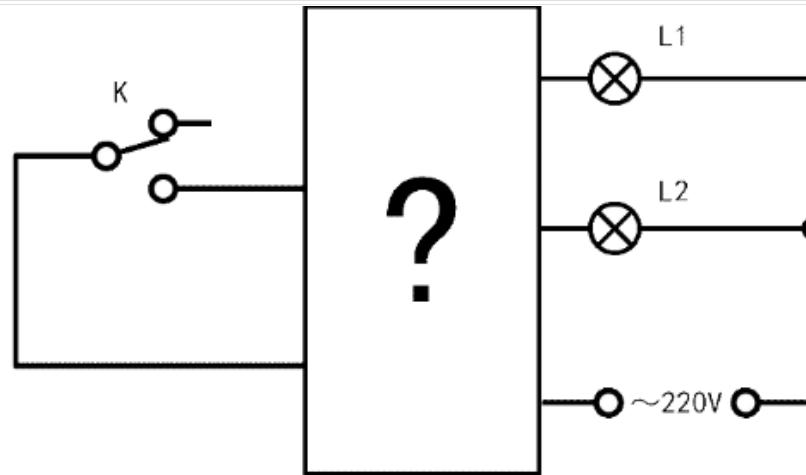
5.5 触发器的逻辑功能

5.6 用Verilog HDL描述锁存器和触发器

## 教学基本要求

- 1、掌握锁存器、触发器的电路结构和工作原理
- 2、熟练掌握SR触发器、JK触发器、D触发器及T触发器的逻辑功能（掌握各种触发器的状态转换真值表与激励表）
- 3、掌握触发器工作波形的画法
- 4、正确理解锁存器、触发器的动态特性

# 思考

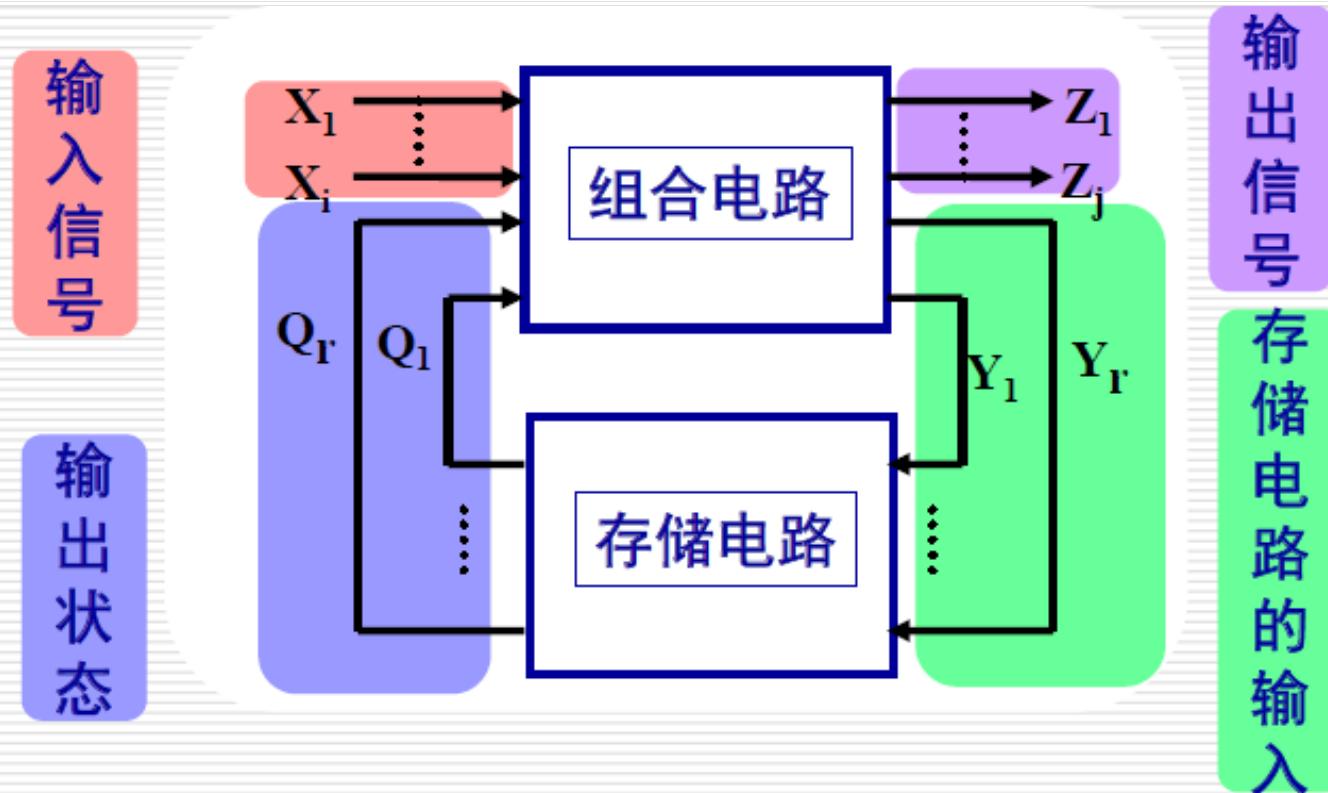


问题：如何用一个开关控制多个灯？

思路：1. 每次开关点亮的灯都不同。  
2. 当前亮灯位置决定下次亮灯位置。

新的问题：1. 如何实现实存存储电路？  
2. 存储电路的结构特点、电路特性是什么？

# 时序逻辑电路和锁存器、触发器



1. 逻辑电路中存在反馈——时序电路的结构特征
2. 时序电路的输出由电路的输入和电路原来的状态共同决定——工作特征  
锁存器和触发器是构成时序逻辑电路的基本逻辑单元。

# 触发器 (Flip-flop) 与锁存器 (Latch)

---

- 二者都是具有记忆功能的电路元件
- Flip flop
  - 人字拖
  - Flip flop means to change from one thing quickly to the exact opposite
- 记忆就是在触发信号作用并消失之后仍然保持此时状态
- 每一个触发器或锁存器存储一位二进制状态

# 触发器 (Flip-flop) 与锁存器 (Latch)

共同点：具有0和1两个稳定状态，一旦状态被确定，就能自行保持。都是双稳态电路。

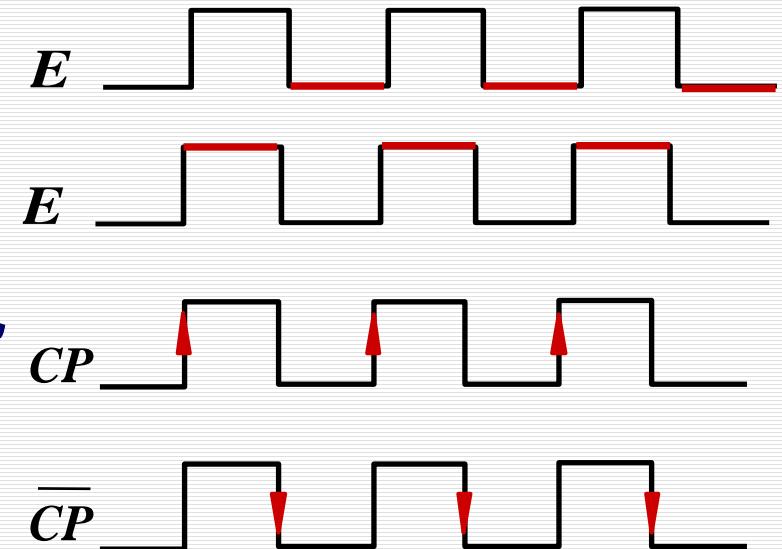
不同点：是否需要时钟脉冲参与控制

锁存器---对脉冲电平敏感的存储

电路，在特定输入脉冲电平作用下  
改变状态。**不需要外接控制或仅接**

“使能”控制；

触发器---对脉冲边沿敏感的存储电  
路，在特定时钟脉冲的上升沿或下  
降沿的变化瞬间改变状态。**需要时  
钟控制**



# 5.1 双稳态电路

---

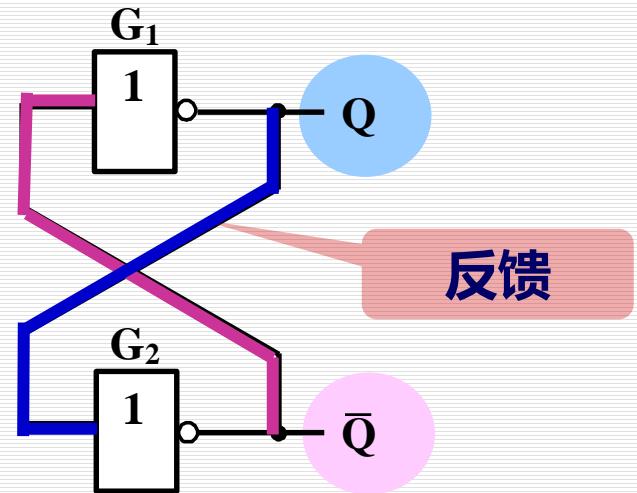
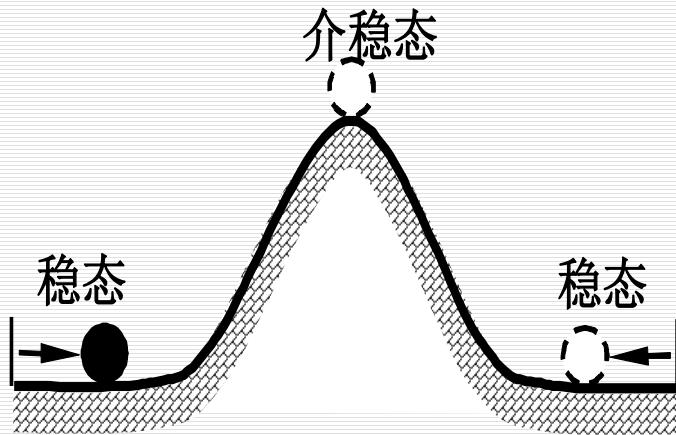
## 5.1.1 双稳态的概念

## 5.1.2 最基本的双稳态电路

# 5.1 双稳态电路

## 5.1.1 双稳态的概念

双稳态存储单元电路



电路有两个互补的输出端  
 $Q$ 端的状态定义为电路输出状态。

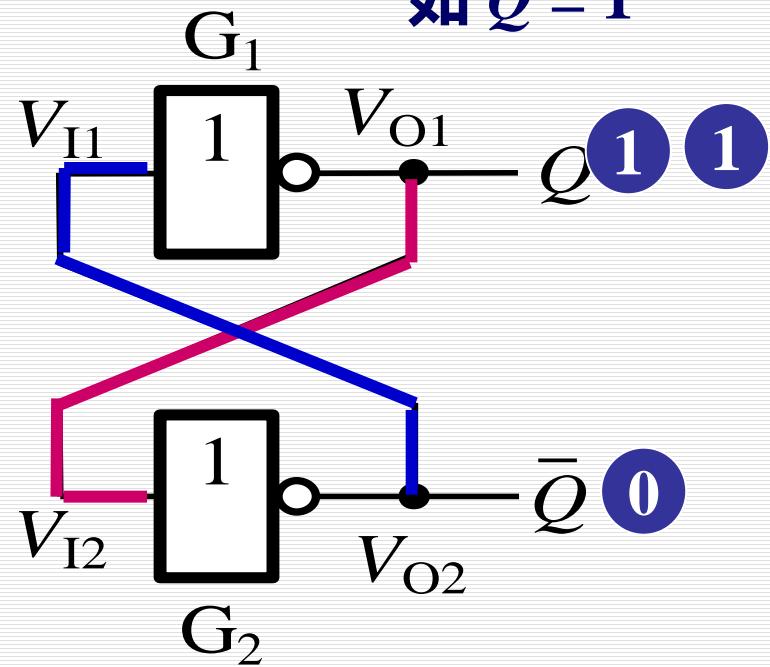
## 5.1.2 最基本的双稳态电路

### 1、电路结构

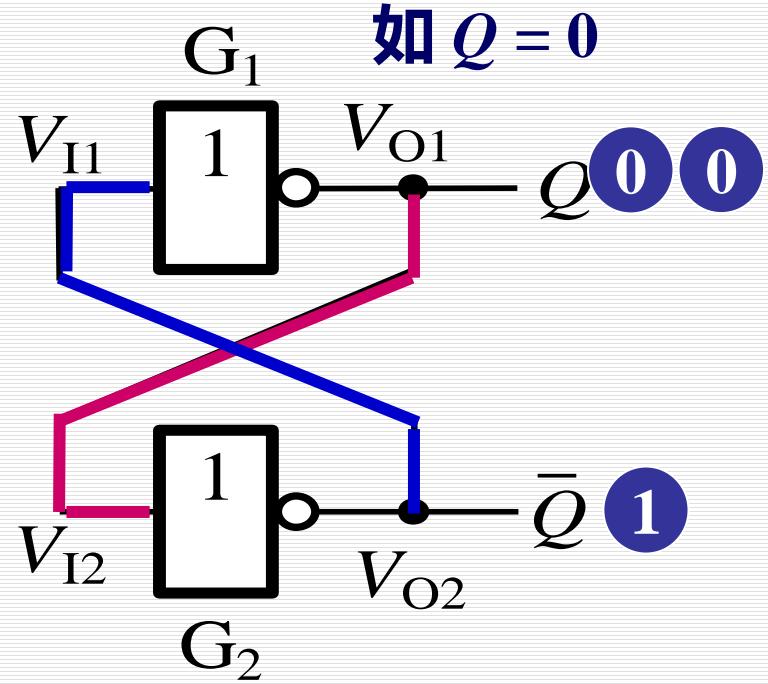
——电路具有记忆1位二进制数据的功能。

### 2、逻辑状态分析

如  $Q = 1$

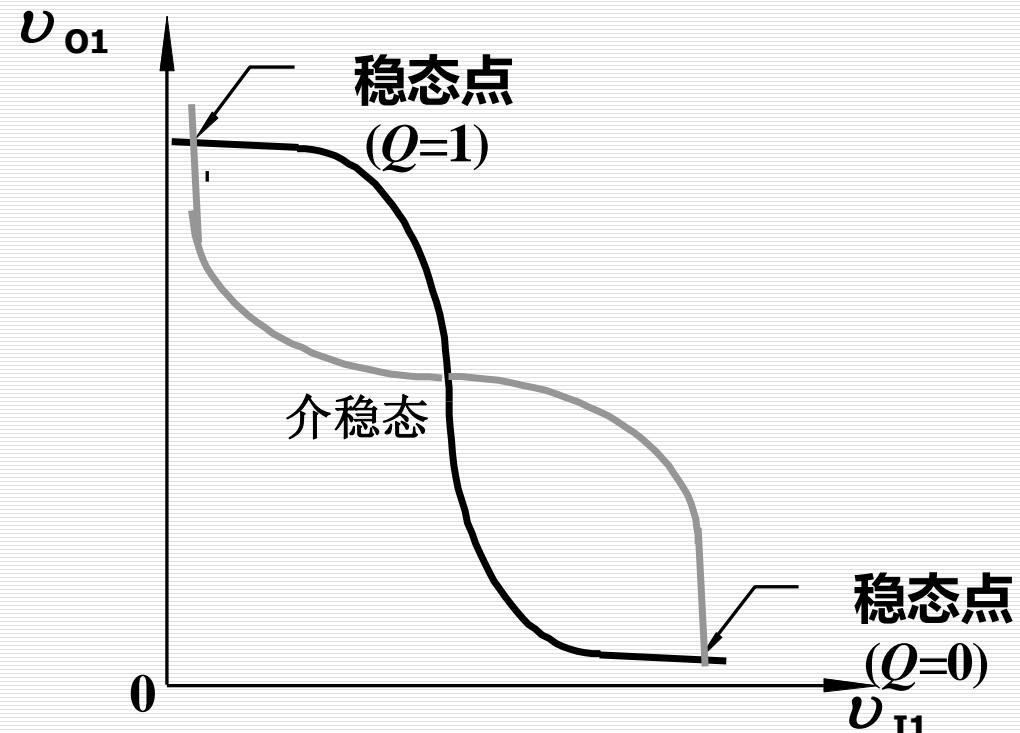
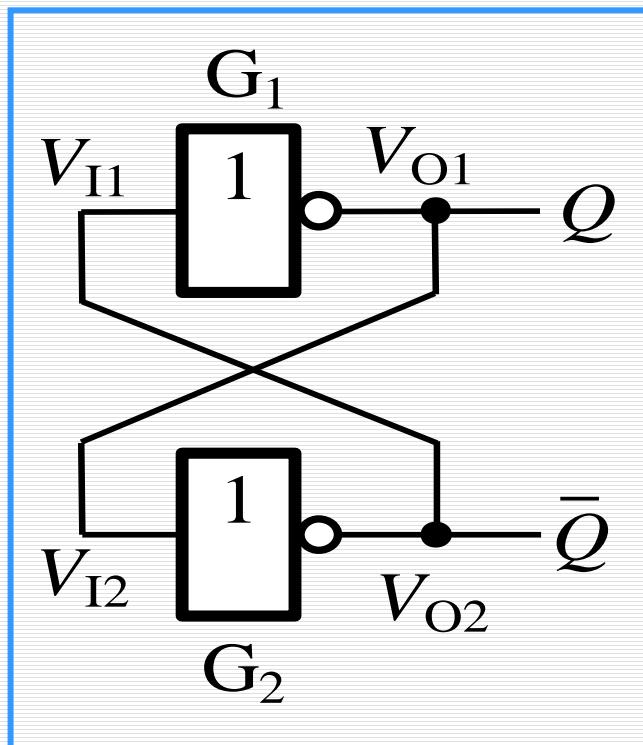


如  $Q = 0$



### 3. 模拟特性分析

$$v_{o1} = v_{i2} \quad v_{i1} = v_{o2}$$



想一想：双稳态电路存在什么问题？

## 5.2 SR锁存器

---

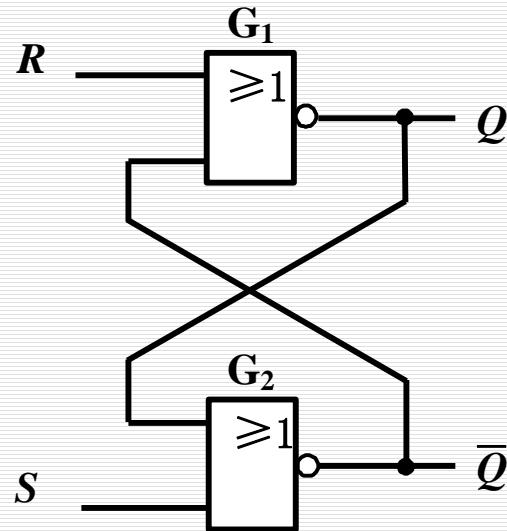
### 5.2.1 基本SR 锁存器

### 5.2.2 门控SR锁存器

## 5.2 锁存器

### 5.2.1 SR 锁存器

#### 1. 基本SR锁存器



具有简单控制功能

#### 电路的初态与次态

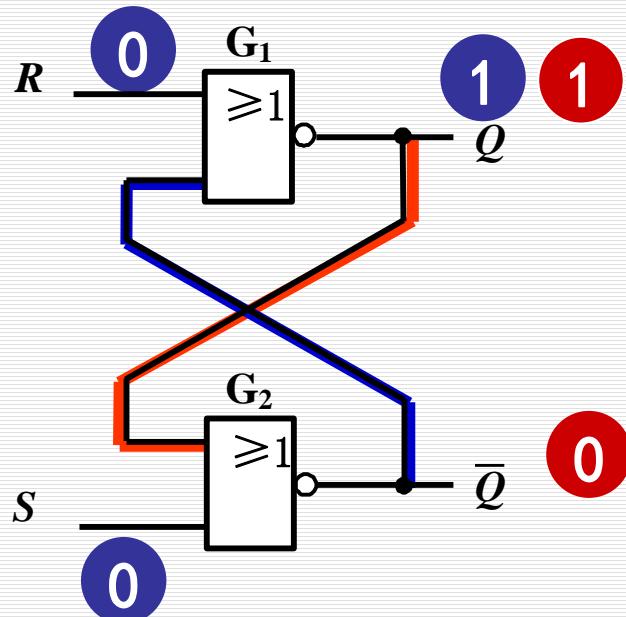
初态:  $G_R$ 、 $S$ 信号作用前  $Q$  端的状态。  
初态用  $Q^n$  表示。

次态:  $R$ 、 $S$  信号作用后  $Q$  端的状态。  
次态用  $Q^{n+1}$  表示。

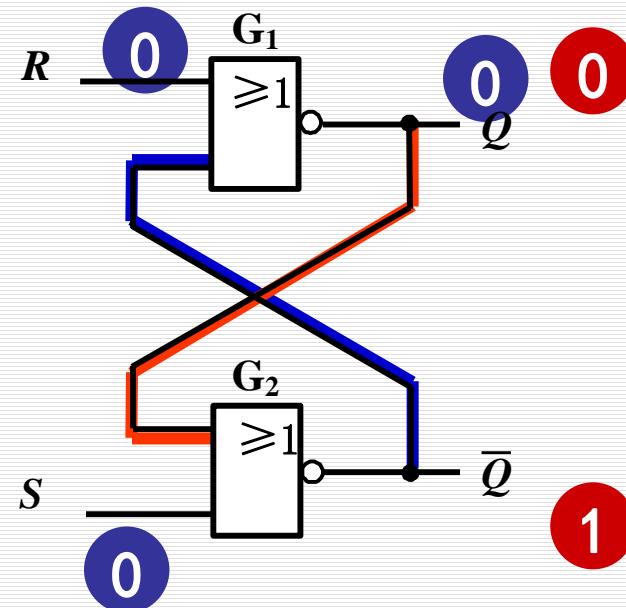
## 1) 工作原理

$$R=0, S=0$$

无论初态  $Q^n$  为 0 或 1，锁存器的状态不变



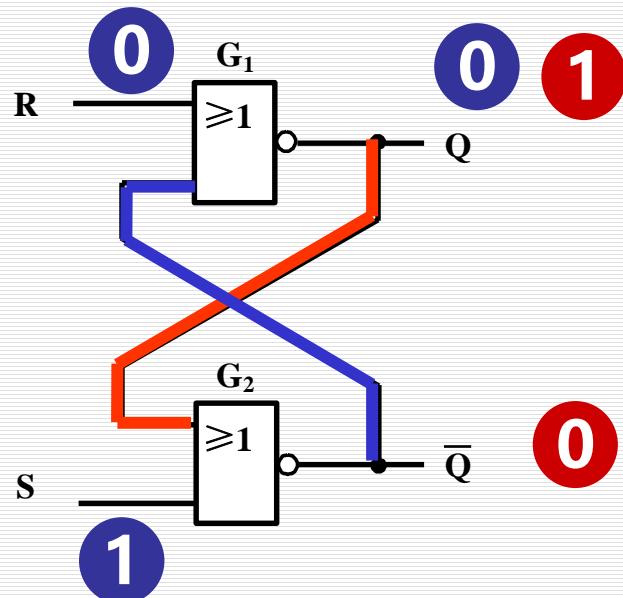
若初态  $Q^n = 1$



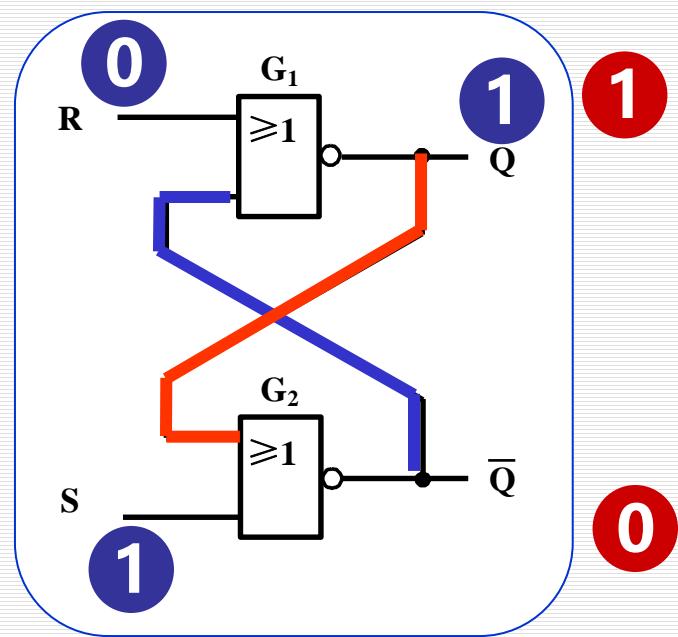
若初态  $Q^n = 0$

$$R=0, S=1$$

无论初态  $Q^n$  为 0 或 1，锁存器的次态为 1 状态。信号消失后新的状态将被记忆下来。



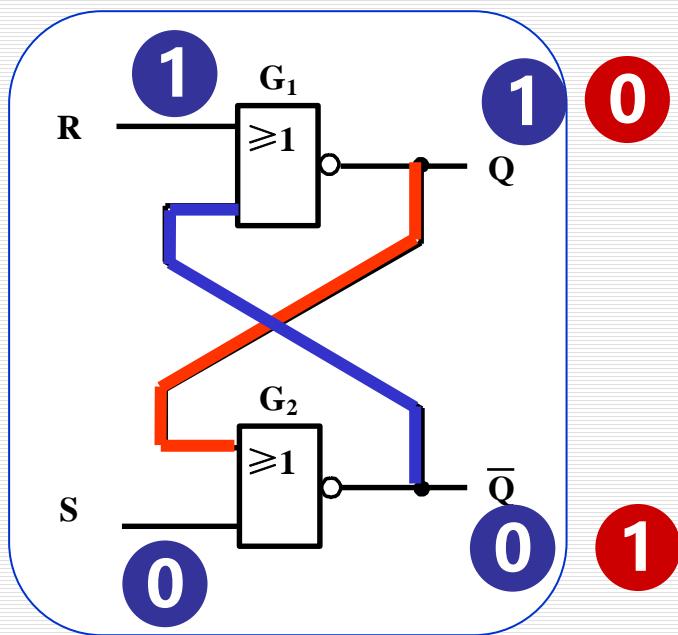
若初态  $Q^n = 0$



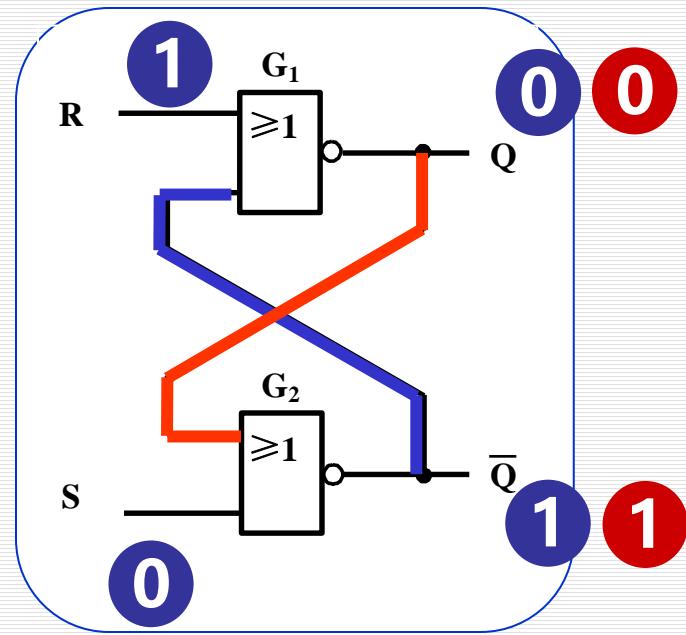
若初态  $Q^n = 1$

$R=1$  、  $S=0$

无论初态  $Q^n$  为 0 或 1，锁存器的次态为 0 状态。信号消失后新的状态将被记忆下来。



若初态  $Q^n = 1$

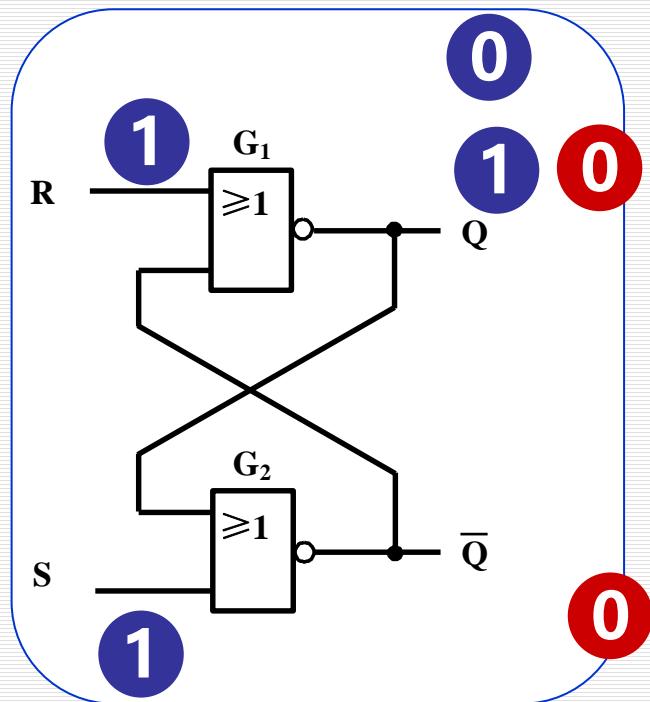


若初态  $Q^n = 0$

$$S=1 \quad R=1$$

无论初态  $Q^n$  为0或1，锁存器的次态  $Q^{n+1}$ 、 $\overline{Q^{n+1}}$  都为0。

锁存器的输出出现逻辑混淆

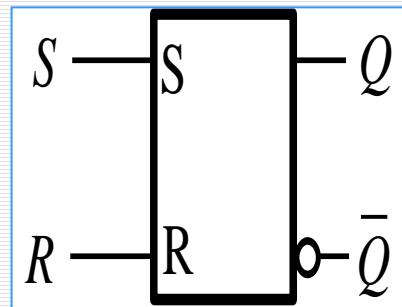


当  $S$ 、 $R$  同时回到0时，由于两个与非门的延迟时间无法确定，使得触发器最终稳定状态也不能确定。

约束条件:  $SR = 0$

## 2) 逻辑符号与逻辑功能

逻辑功能表



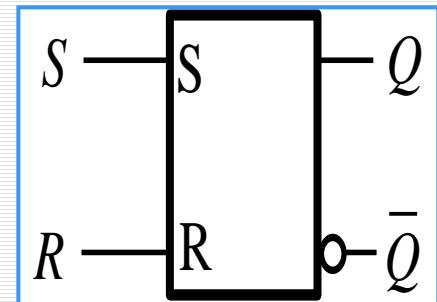
$S$ 为置1端,  $R$ 为置0端,  
且都是高电平有效

$S$	$R$	$Q^n$	$Q^{n+1}$	
0	0	0	0	不变
0	0	1	1	
0	1	0	0	置0
0	1	1	0	
1	0	0	1	置1
1	0	1	1	
1	1	0	不确定	状态不确定
1	1	1	不确定	

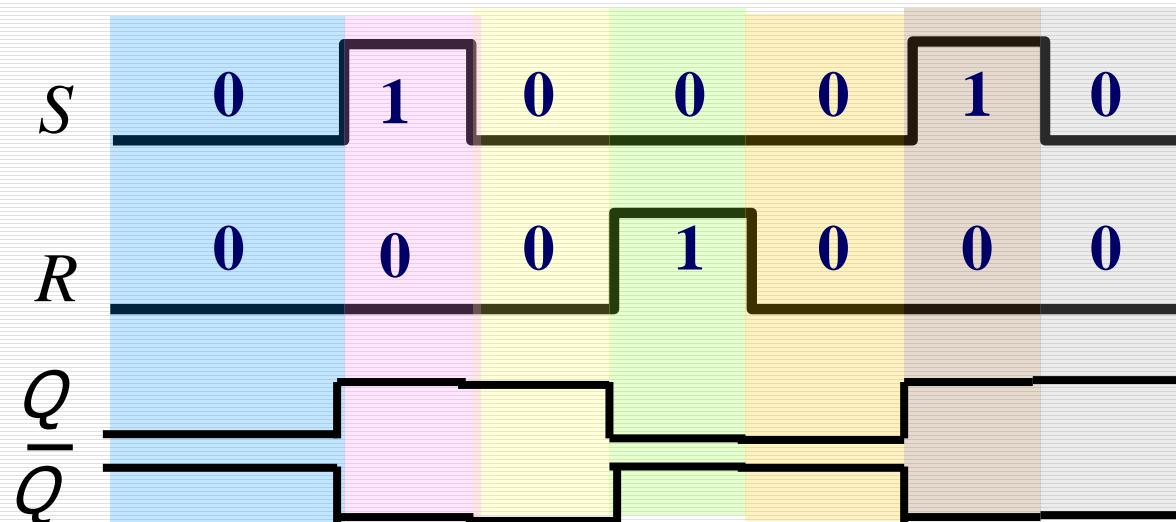
### 3) 工作波形(设初态为0)

画工作波形方法:

- 根据锁存器信号敏感电平,确定状态转换时间
- 根据锁存器的逻辑功能确定 $Q^{n+1}$ 。



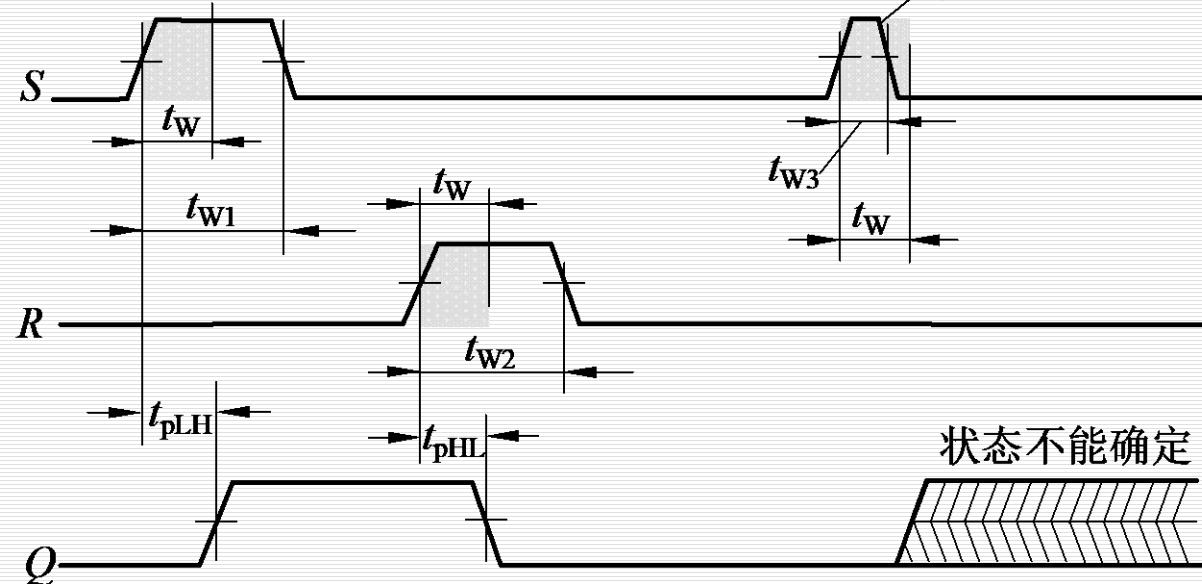
$S$	$R$	$Q^n$	$Q^{n+1}$
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	不确定
1	1	1	不确定



不变 置1 不变 置0 不变 置1 不变

## 4) 基本SR锁存器的动态特性

**定时图:** 在时序电路中, 电路的状态和输出对时钟脉冲序列和输入信号响应的波形同称为时序图或定时图。定时图侧重强调各个信号的先后顺序以及时间量。

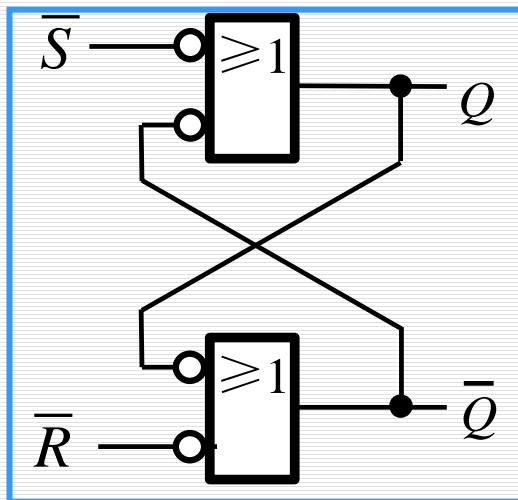


传输延迟时间  $t_{pLH}$  和  $t_{pHL}$ : 分别为输出由高到低和由低到高时, 相对于输入的延迟时间。

脉冲宽度  $t_W$ : 如果输入脉冲宽度  $< t_W$ ,  $Q$  未越过介稳态点,  $S$  端信号撤出, 会使输出状态不稳定。图中  $t_{W1}$  和  $t_{W2}$  均  $> t_W$ 。

## 4) 用与非门构成的基本SR锁存器

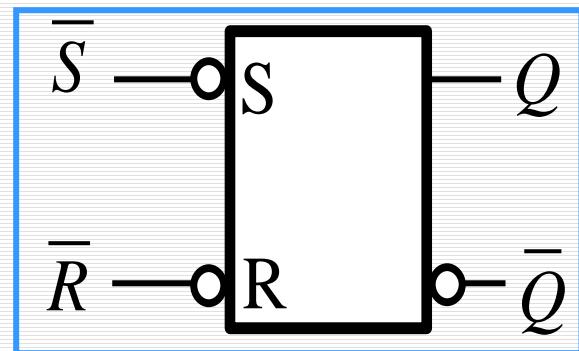
a. 电路图



b. 功能表

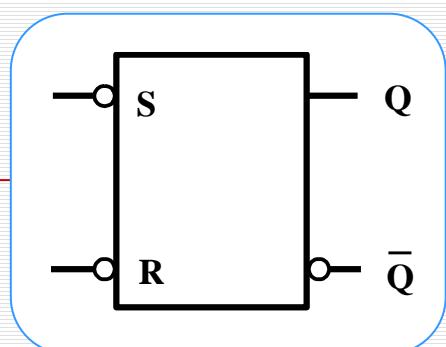
$\bar{R}$	$\bar{S}$	$Q$	$\bar{Q}$
1	1	不变	不变
1	0	1	0
0	1	0	1
0	0	不定	不定

c. 国标逻辑符号



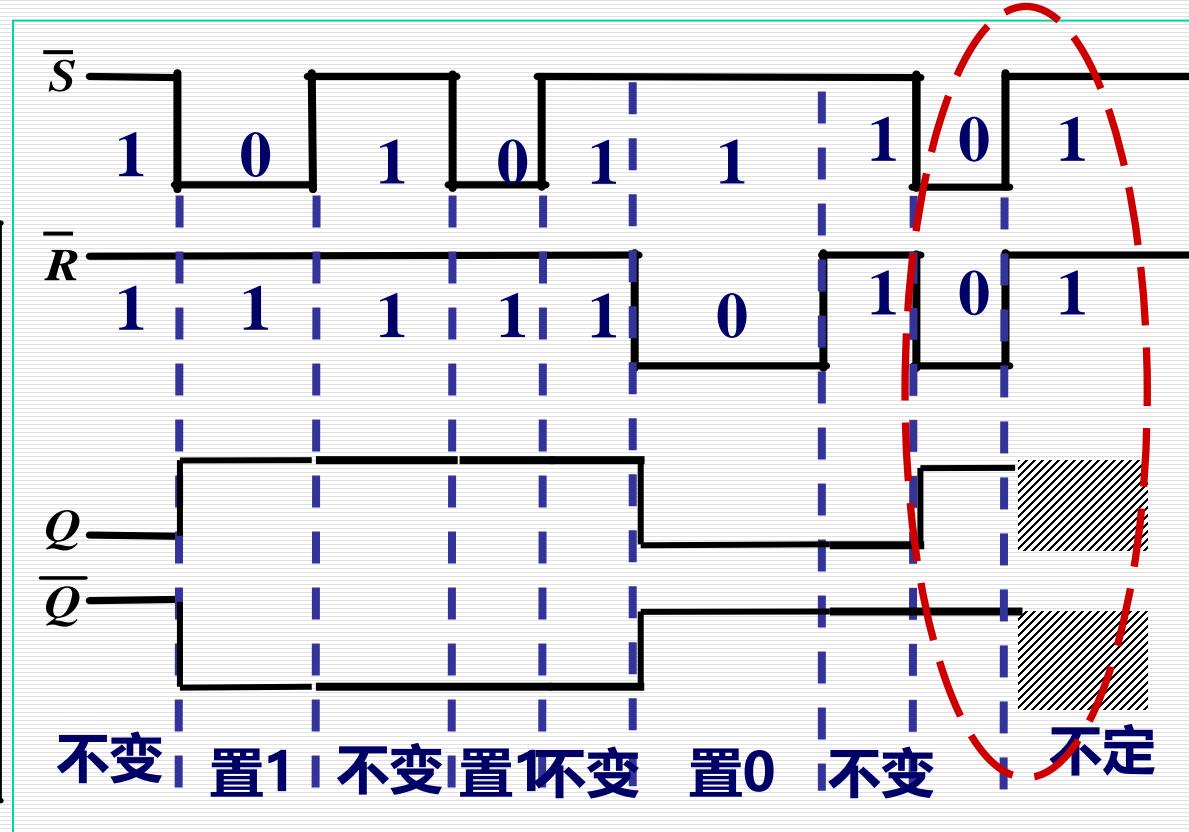
约束条件:  $S + R = 1$

# 画工作波形



## 功能表

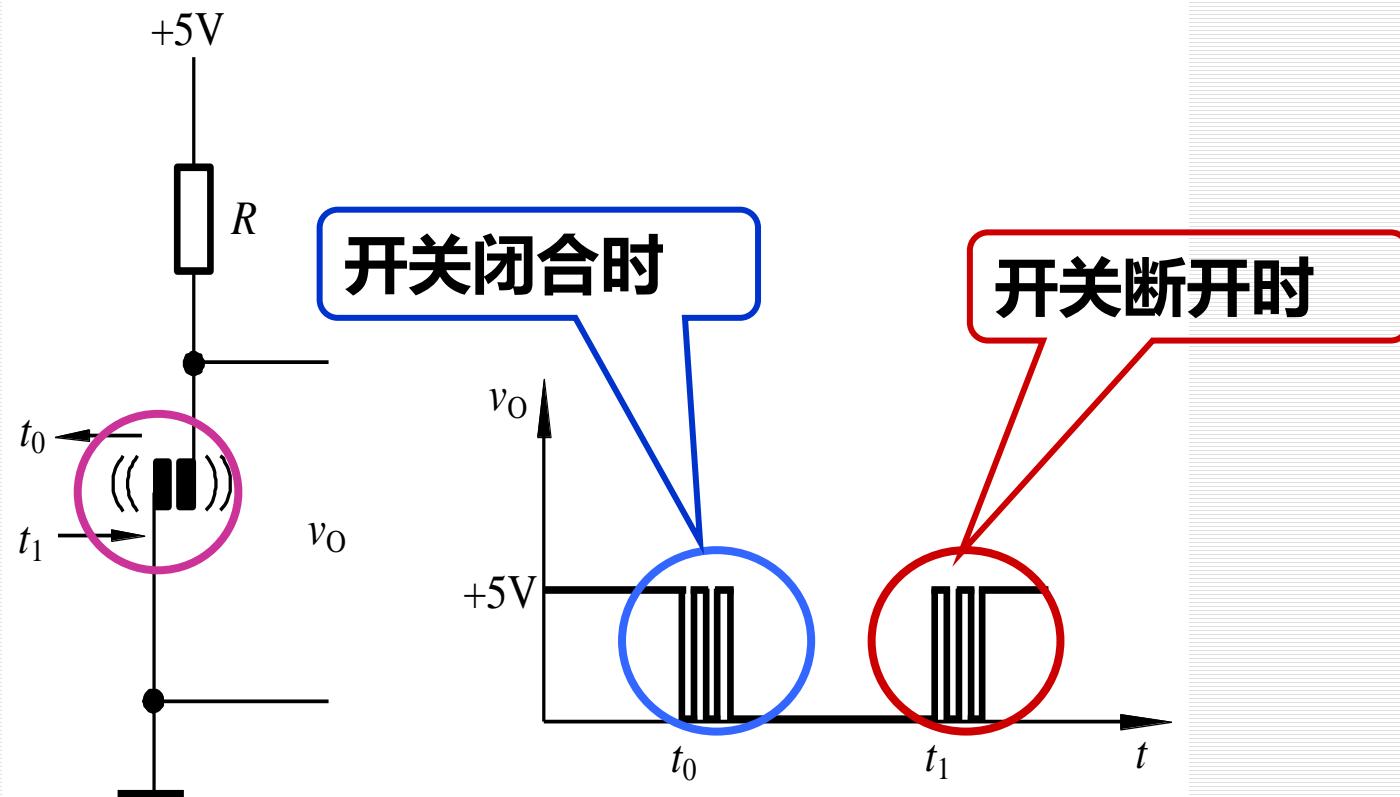
$\bar{R}$	$\bar{S}$	$Q$	$\bar{Q}$
1	1	不变	不变
1	0	1	0
0	1	0	1
0	0	不定	不定

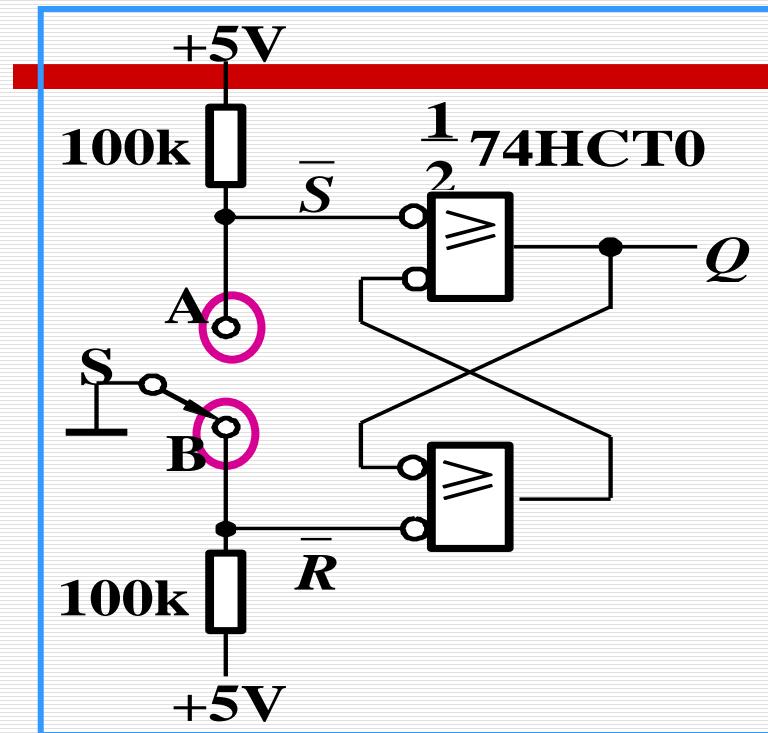


- 
- 关于基本SR锁存器的工作波形，需要注意：
    - 如果S和R的1电平不同时撤销，此后的输出状态仍然是可以确定的；
    - 如果S和R的1电平同时撤销，则由于电路制造误差等问题，造成两个门的延迟时间不同，使得实际电路转向电路设计者无法预知的状态，从而失去对它的控制。这是在实际应用中应该避免出现的情况
    - 正确理解例题5.2.3（第7版 P223）

## 6) 应用举例

例：运用基本SR锁存器消除机械开关触点抖动引起的脉冲输出（去抖动电路）



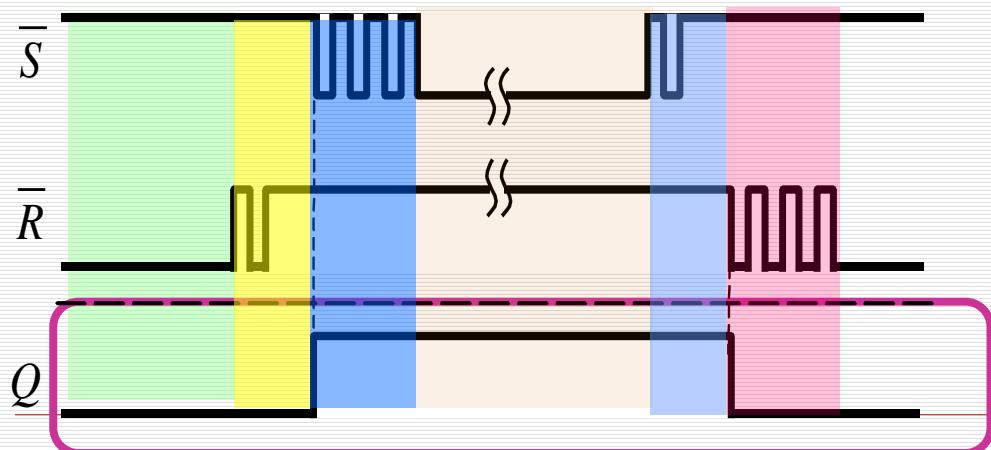


## 去抖动电路工作原理

**开关起始状态:接B,**  
 $\bar{R} = 0 \quad \bar{S} = 1 \quad Q = 0$

**悬空时**  $\bar{R} = 1 \quad \bar{S} = 1$   
 $Q$ 不变

**开关接A时振动**,  $Q = 1$



**开关转接A,**  
 $\bar{R} = 1 \quad \bar{S} = 0 \quad Q = 1$

**S悬空时**  $\bar{S} = 1 \quad \bar{R} = 1$   
 $Q$ 不变

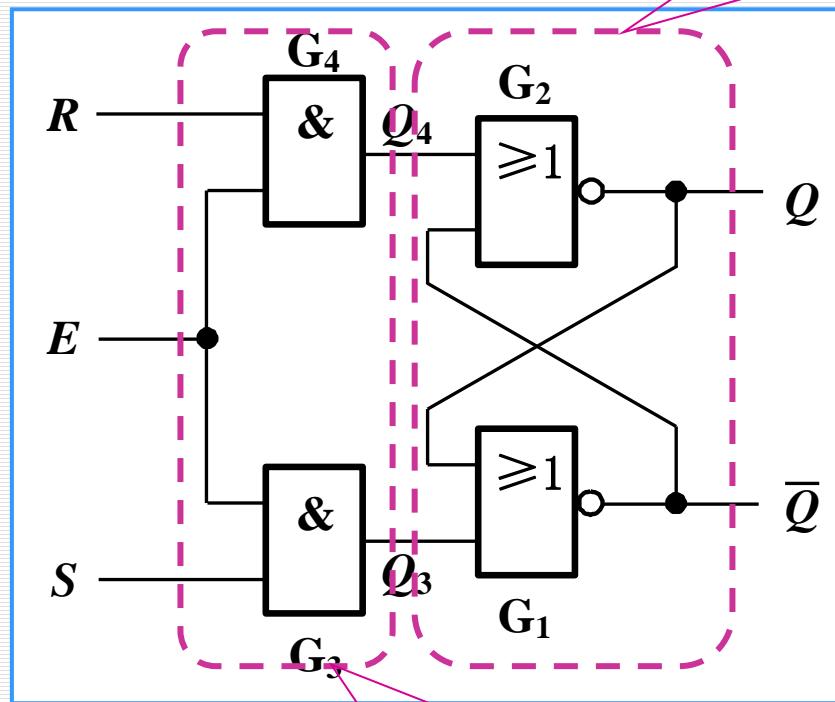
**开关接 B振动**  $Q = 0$

## 2. 逻辑门控SR锁存器

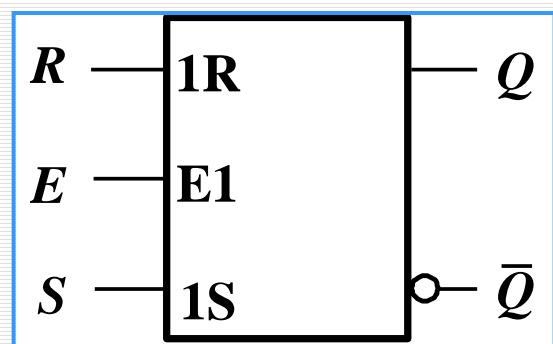
电路结构

简单SR锁存器

国标逻辑符号



使能信号控制门电路



## 2、工作原理

$E=0$ : 状态不变

$E=1$ :  $Q_3 = S$      $Q_4 = R$

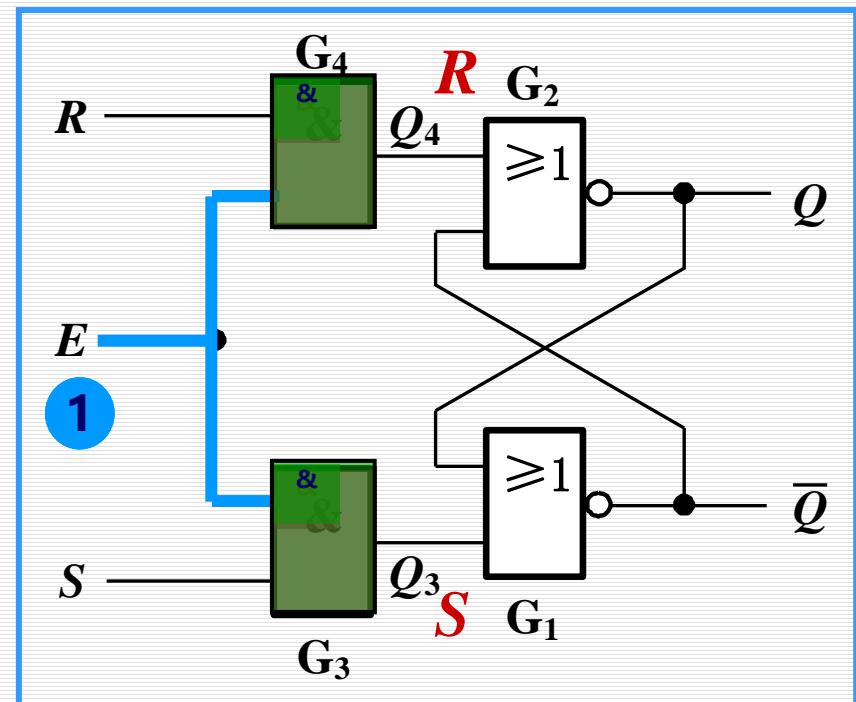
状态发生变化。

$S=0, R=0$ :  $Q^{n+1}=Q^n$

$S=1, R=0$ :  $Q^{n+1}=1$

$S=0, R=1$ :  $Q^{n+1}=0$

$S=1, R=1$ :  $Q^{n+1}=\Phi$



### 3、逻辑功能的几种描述方式：

#### 1) 逻辑功能表 ( $E=1$ )

$S$	$R$	$Q^n$	$Q^{n+1}$	说明
0	0	0	0	状态不变
0	0	1	1	
0	1	0	0	置0
0	1	1	0	
1	0	0	1	置1
1	0	1	1	
1	1	0	-	状态不定
1	1	1	-	

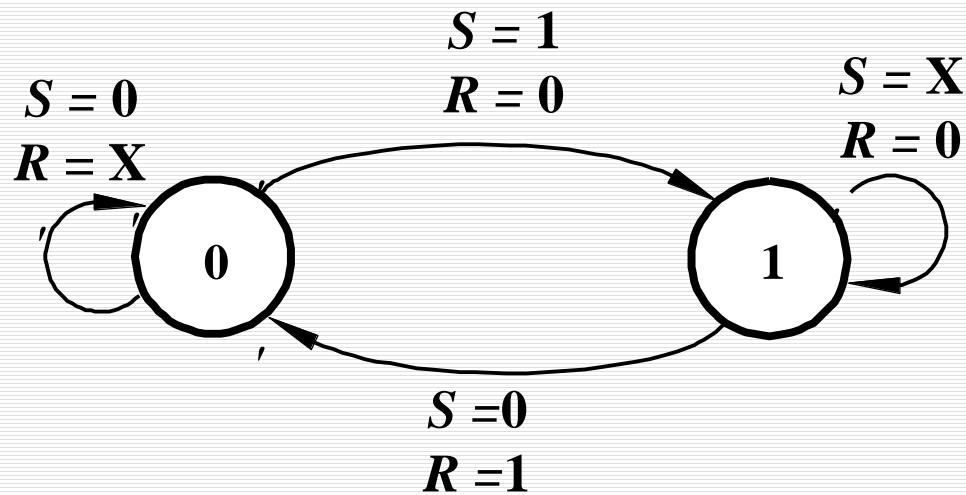
#### 2) 特性方程

$$Q^{n+1} = f(S \ R \ Q^n)$$

$S \ R \ Q^n$	00	01	11	10
0	0	1	0	0
1	1	1	$\times$	$\times$

$$\begin{cases} Q^{n+1} = S + \bar{R} Q^n \\ SR = 0 \quad \text{约束条件} \end{cases}$$

### 3) 状态转换图



逻辑功能表

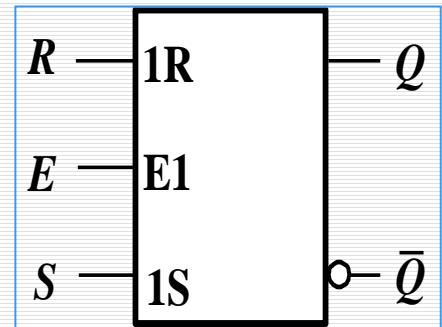
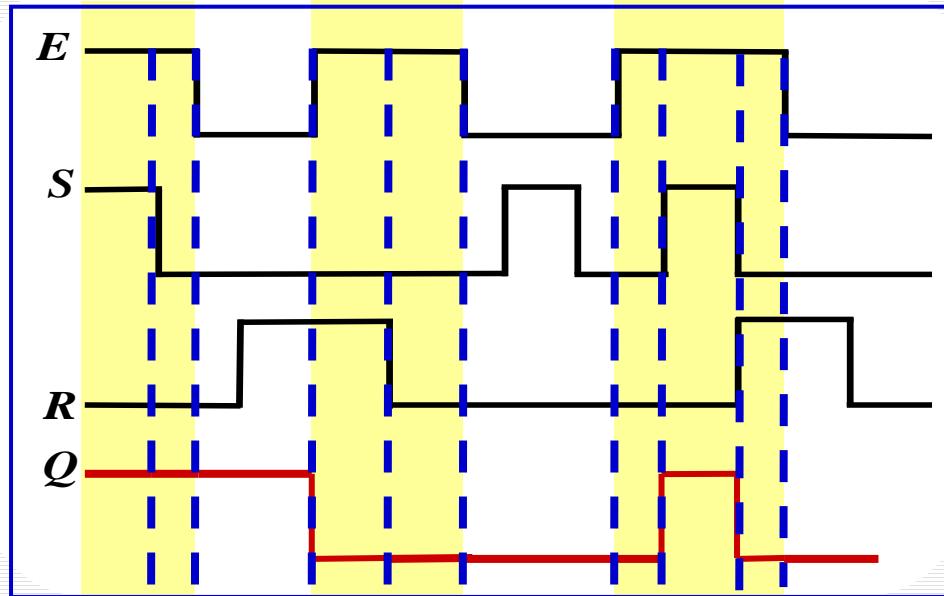
$S$	$R$	$Q^n$	$Q^{n+1}$	说 明
0	0	0	0	状态不变
0	0	1	1	不变
0	1	0	0	置0
0	1	1	0	
1	0	0	1	置1
1	0	1	1	
1	1	0	-	状态不定
1	1	1	-	

状态转换图用于电路设计：已知状态的转换，确定  $S$ 、 $R$  的逻辑值

#### 4) 工作波形

$E=1$ 期间的  $S$ 、 $R$  信号影响锁存器的状态。

$E=0$ 为低电平期间锁存器状态不变。



逻辑功能表

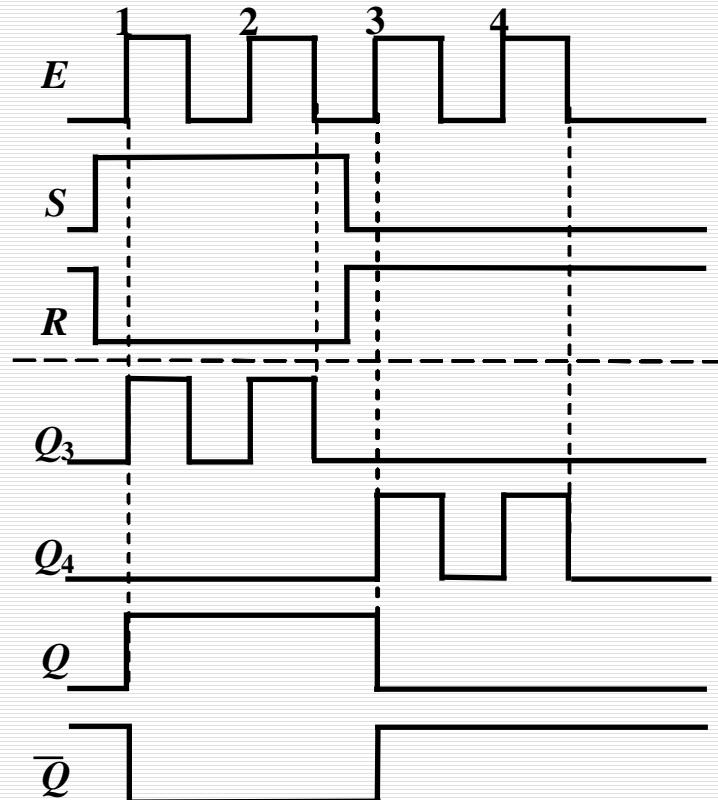
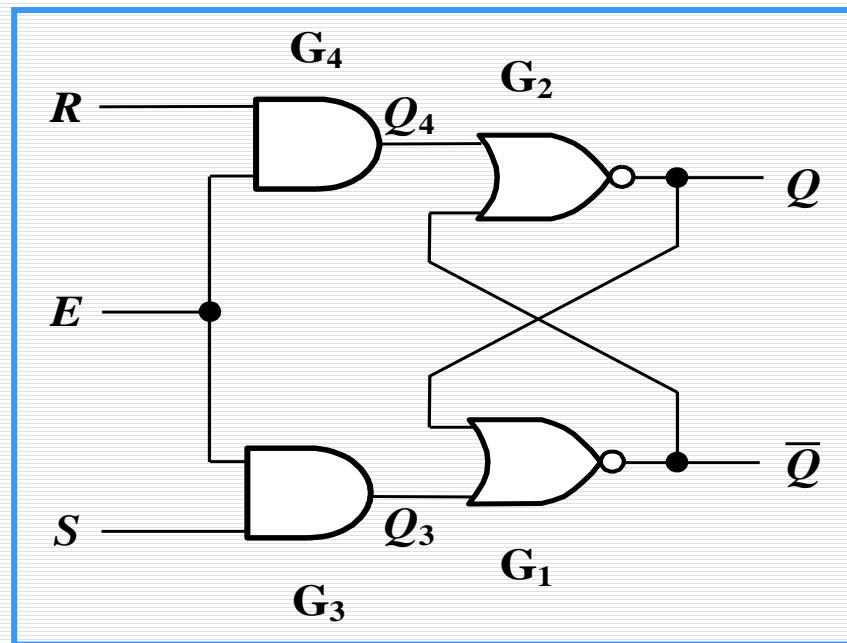
S	R	$Q^{n+1}$
0	0	$Q^n$
0	1	0
1	0	1
1	1	$\Phi$

逻辑功能的四种描述方式:

功能表、特性方程、状态转换图、波形图。1

5) 动作特点:  $E=1$ 期间电路对信号敏感，并按  $S$ 、 $R$  信号改变锁存器的状态。

**例：逻辑门控SR锁存器的 $E$ 、 $S$ 、 $R$ 的波形如下图虚线上边所示，  
锁存器的原始状态为 $Q = 0$ ，试画出 $Q_3$ 、 $Q_4$ 、 $Q$ 和 $\bar{Q}$  的波形。**



问题：可否保证SR锁存器必须满足的 $SR=0$ 的条件、从而消除可能出现的非定义状态？

## 5.3 D锁存器

---

### 5.3.1 D锁存器的电路结构

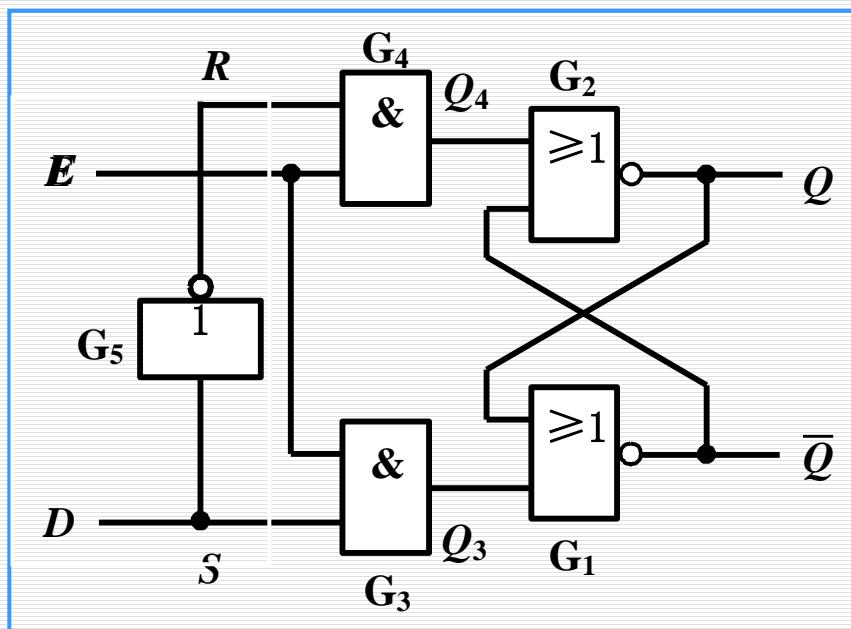
### 5.3.2 典型的D 锁存器集成电路

### 5.3.3 D 锁存器的动态特性

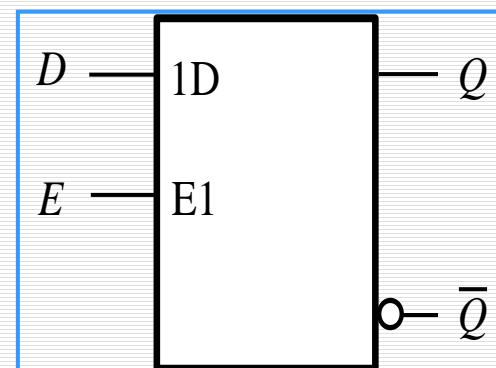
## 5.2.2 D 锁存器

### 1. 逻辑门控 D 锁存器

逻辑电路图



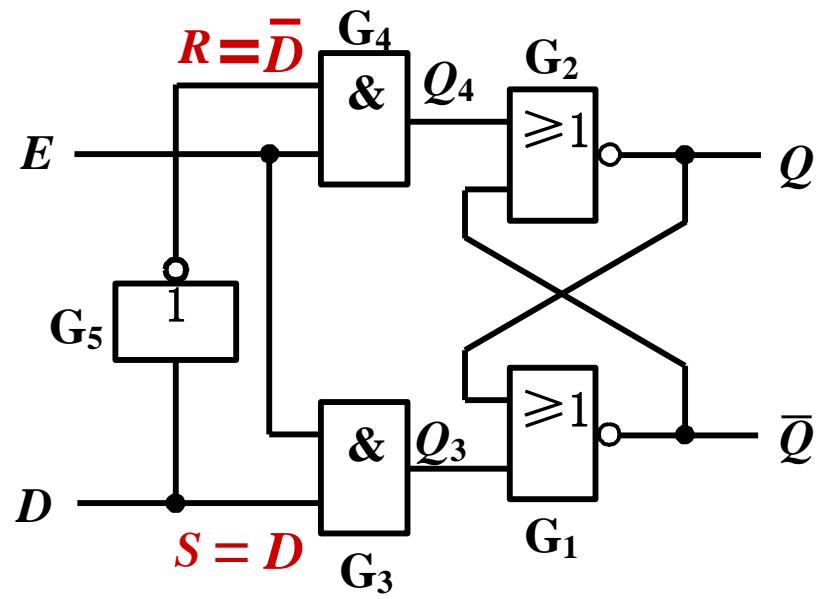
国标逻辑符号



该锁存器有几种工作状态?有非定义状态吗?

# 1. 逻辑门控 D 锁存器

## 逻辑功能



## D 锁存器的功能表

$E$	$D$	$Q$	$\bar{Q}$	功能
0	x	不变	不变	保持
1	0	0	1	置0
1	1	1	0	置1

$E=0$

不变

$E=1$

$D=0$

$S=0 \quad R=1$

$Q=0$

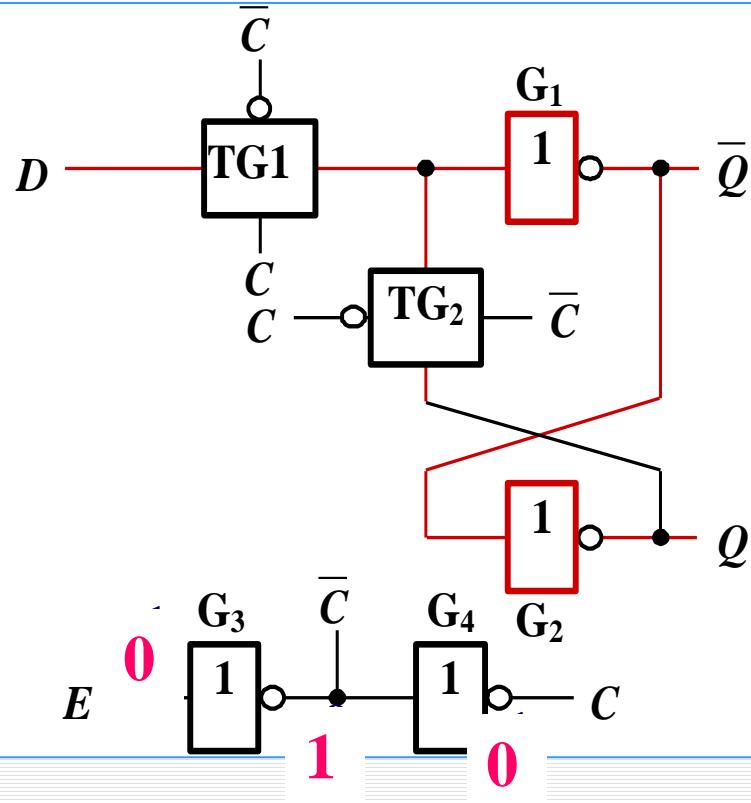
$D=1$

$S=1 \quad R=0$

$Q=1$

## 2. 传输门控 D 锁存器

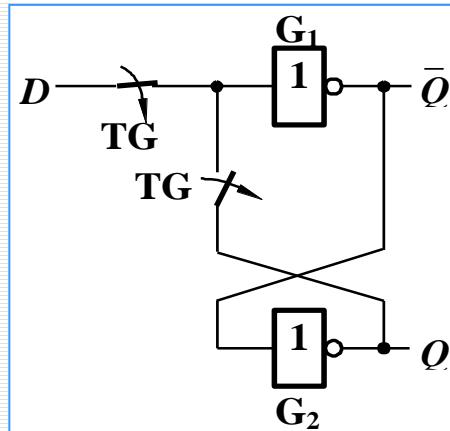
(a) 电路结构



(b) 工作原理

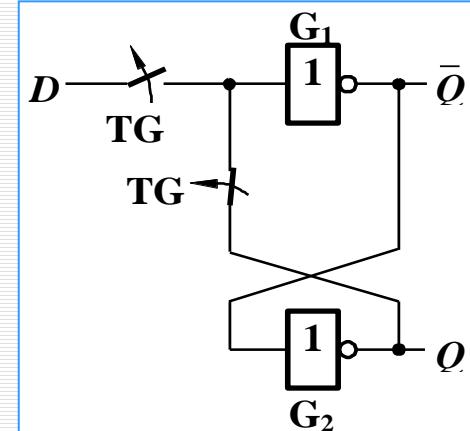
$E=1$ 时

TG<sub>1</sub>导通,  
TG<sub>2</sub>断开  
 $Q = D$



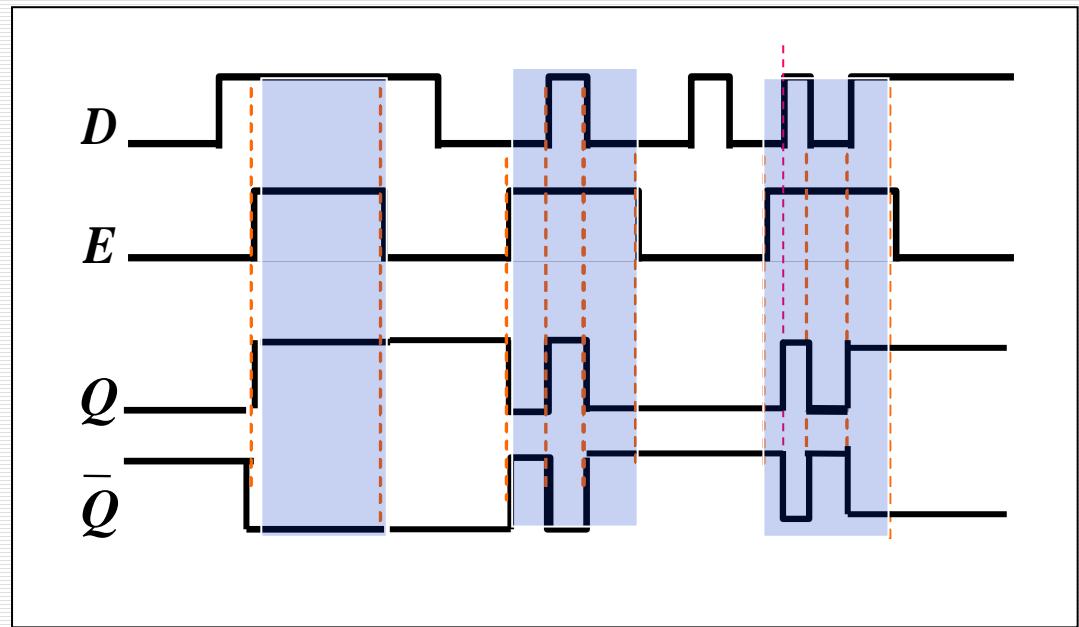
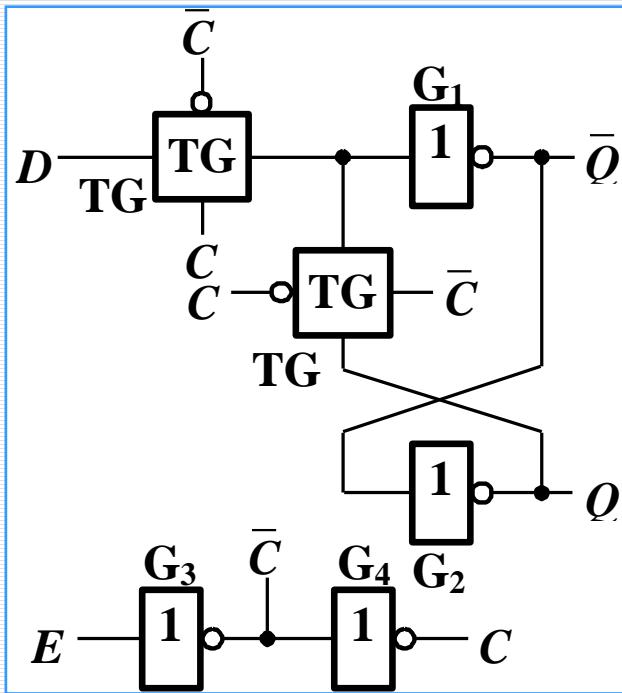
$E=0$ 时

TG<sub>2</sub>导通,  
TG<sub>1</sub>断开  
 $Q$ 不变



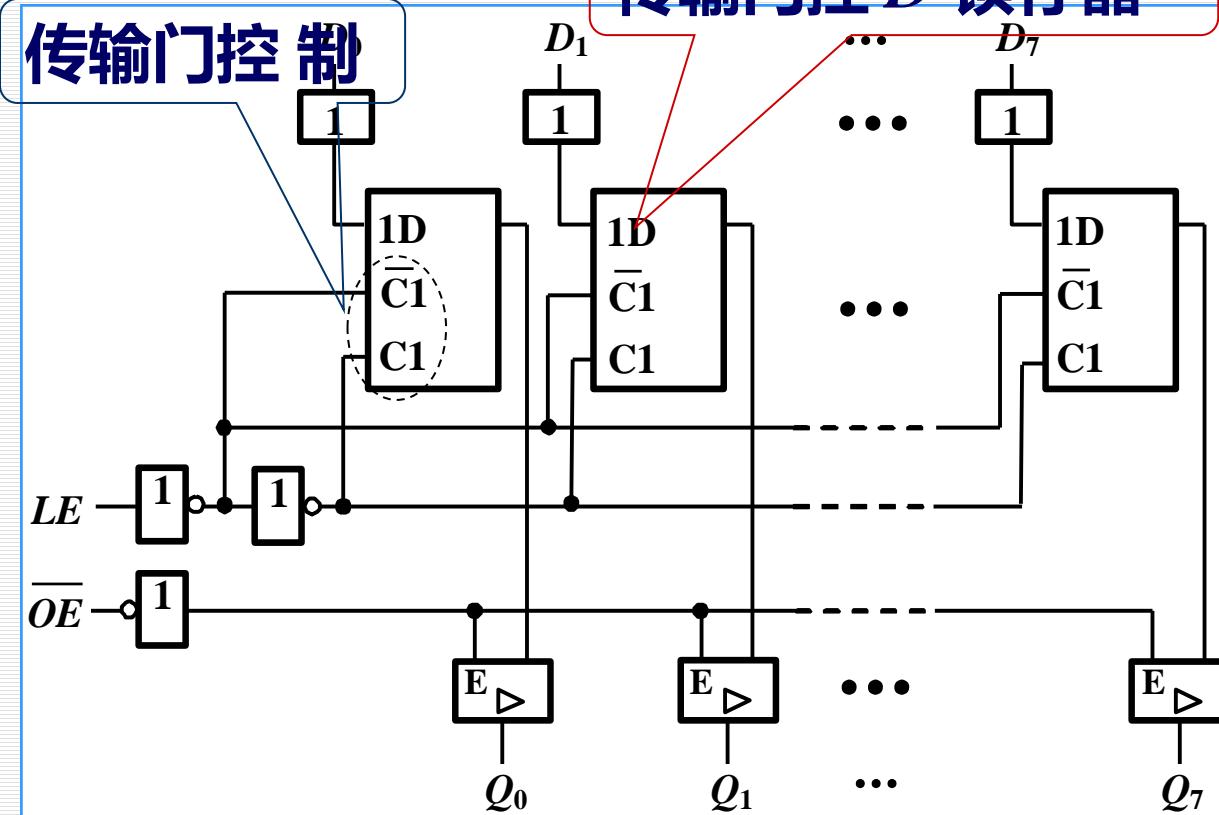
## 2. 传输门控 D 锁存器

(b) 工作波形



## 4. 典型集成电路

CMOS八D锁存器- 74HC/HCT373  
传输门控 D 锁存器



$LE=0$

锁存器的状态不变

$LE=1$

锁存器的状态随  $D_n$  变化  
 $\overline{OE}=0$

三态门使能, 数据输出

$\overline{OE}=1$

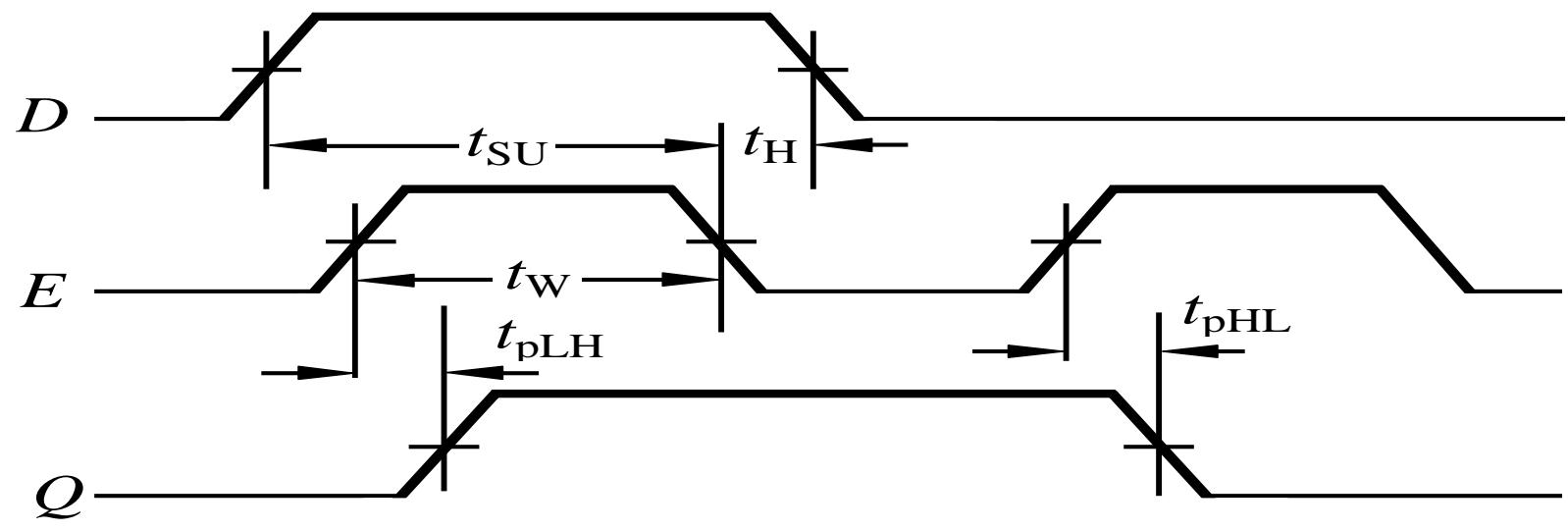
三态门为高阻态, 数据不能输出

## 74HC/HCT373的功能表

工作模式	输入			内部锁存器 状 态	输出
	$\overline{OE}$	$LE$	$D_n$		
使能和读锁存器 (传送模式)	L	H	L	L	L
	L	H	H	H	H
锁存和读锁存器	L	L	L*	L	L
	L	L	H*	H	H
锁存和禁止输出	H	×	×	×	高阻
	H	×	×	×	高阻

L\*和H\*表示门控电平 $LE$ 由高变低之前瞬间 $D_n$ 的逻辑电平。

### 3. D锁存器的动态特性



**建立时间**  $t_{SU}$  :表示  $D$  信号对  $E$  下降沿的最少时间提前量。

**脉冲宽度**  $t_w$  :为保证  $D$  信号正确传送到  $Q$  和  $\bar{Q}$

**保持时间**  $t_H$  :确保数据的可靠锁存的最少时间。

**延迟时间**  $t_{pLH}$ :输出从低电平到高电平的延迟时间;

**延迟时间**  $t_{pHL}$ :高电平到低电平的延迟时间。

# 小结

---

- 时序逻辑电路和锁存器、触发器
- 双稳态电路
- SR锁存器和D锁存器（结构、工作原理、功能表）
- 工作波形的画法
- 简单的应用