

5.4 D触发器

5.4.1 主从D触发器

5.4.2 具有清零和置数输入的主从D触发器

5.4.3 具有使能控制的主从D触发器

5.4.4 其他结构的D触发器

5.4.4 D触发器的动态特性

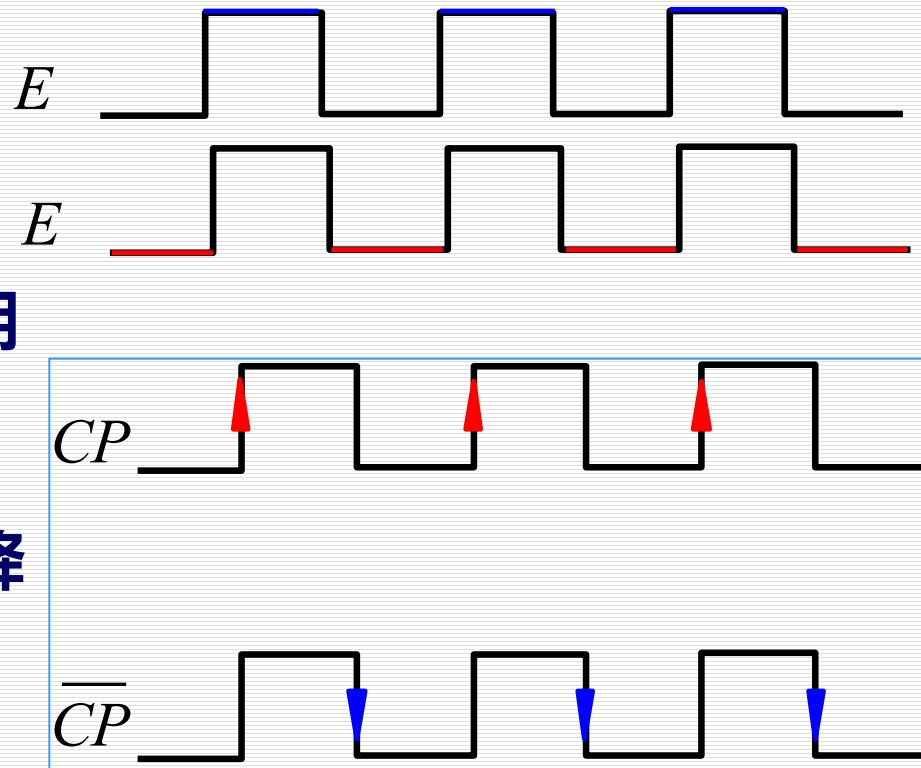
5.4 D触发器

◆ 锁存器与触发器

◆ 锁存器在E的高(低)电平期间对信号敏感

◆ 触发器在CP的上升沿(下降沿)对信号敏感

◆ 在VerilogHDL中对锁存器与触发器的描述语句是不同的



5.4.1 王从D腭反音

主锁存器与从锁存器结构相同

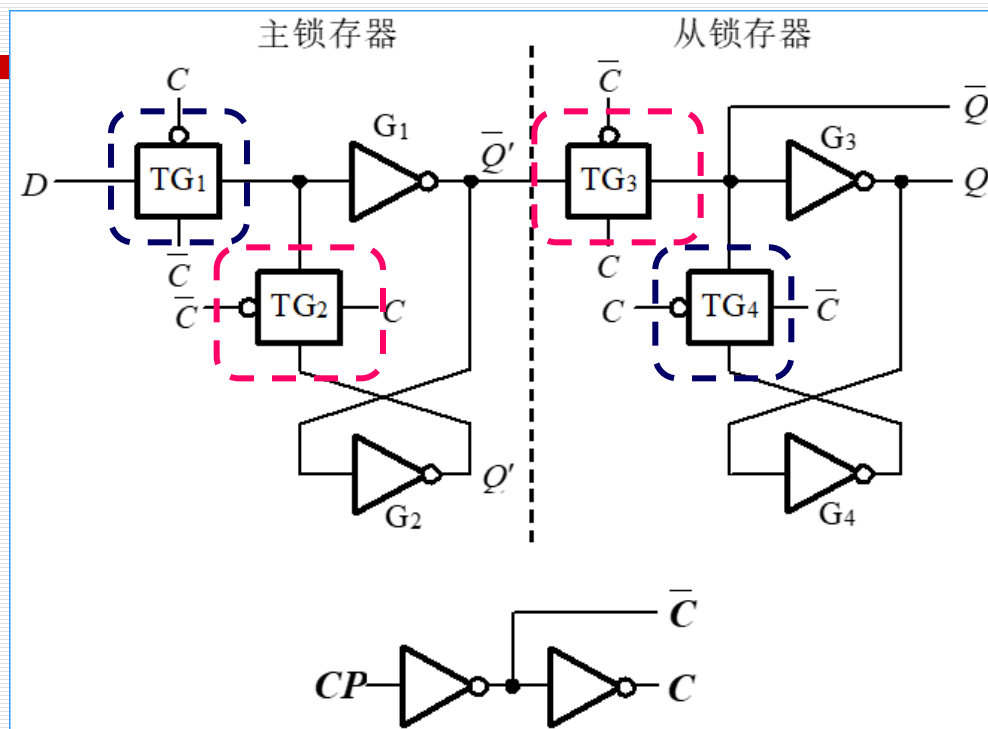
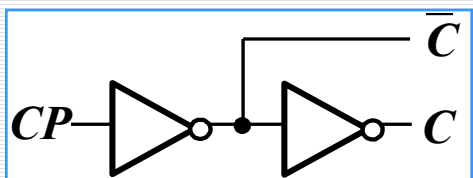
TG₂和TG₃的工作状态相同



2. 工作原理

(1) $CP=0$ 时:

$$\bar{C} = 1, C = 0,$$



TG_1 导通, TG_2 断开——输入信号 D 送入主锁存器。

Q' 跟随 D 端的状态变化, 使 $Q'=D$ 。

TG_3 断开, TG_4 导通——从锁存器维持在原来的状态不变。

(2) C1 由0跳又到1:

$c=0, c=1,$

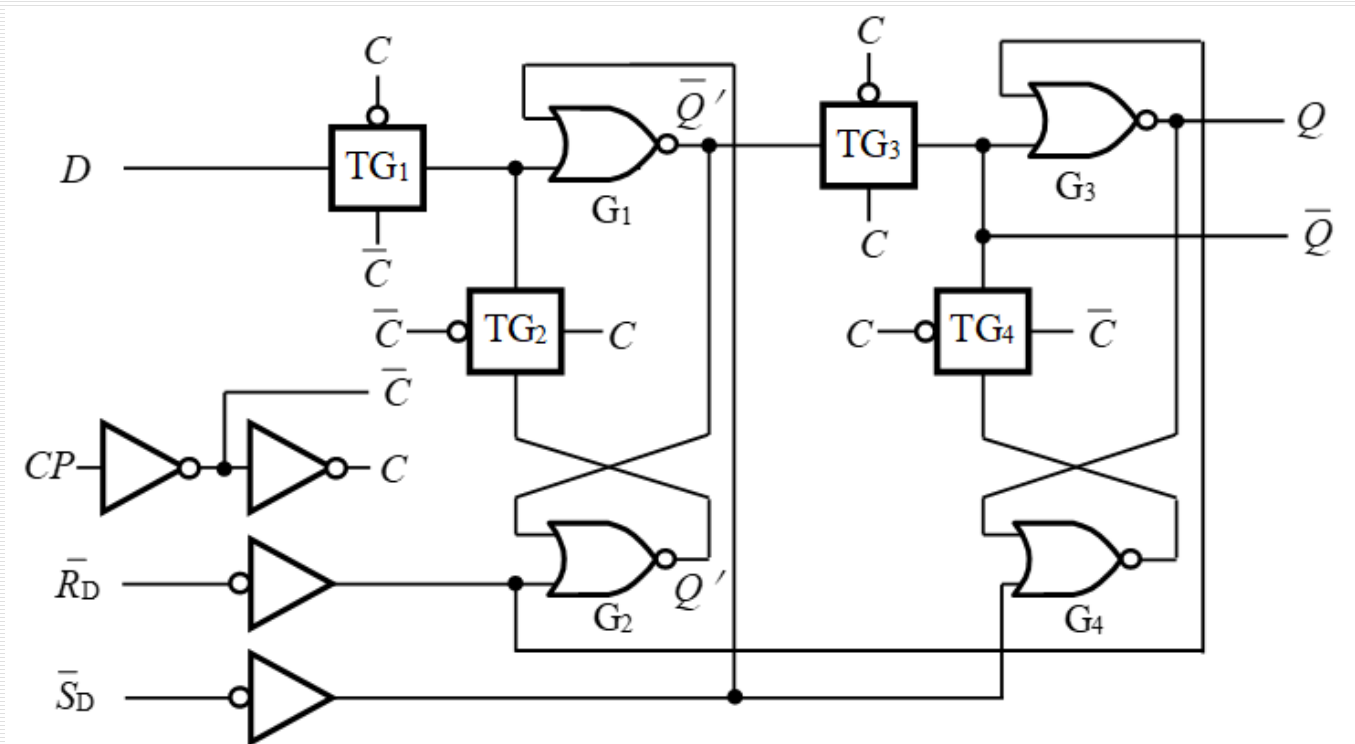


10₃等差, 10₄等比

魅冬歸的決心太強烈了，CF 信与上，泪割込，瞬可的D信与

5.4.2 具有清零和置数输入的主从D触发器

在实际中，需要对触发器设置初始状态，因此，增加了**清零**和**置数**输入端。并有**同步**和**异步**之分。下图清零和置数都是**异步**的。



5.4.2 具有清零和置数输入的主从D触发器

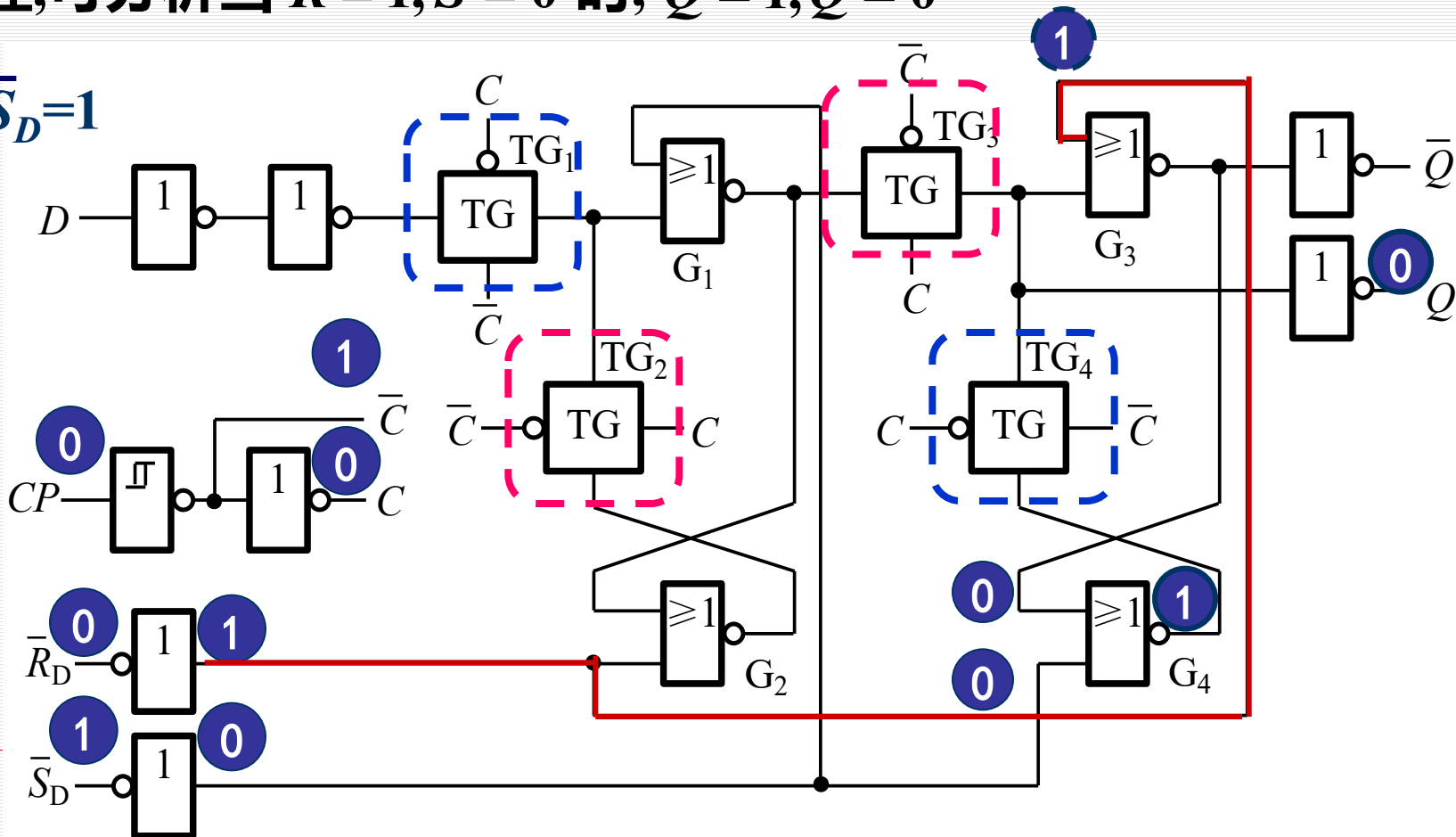
\bar{R}_D 、 \bar{S}_D 具有直接置0和直接置1的作用

因此, 当 $CP=0$ $\bar{R}=0, \bar{S}=1$ 时, $Q=0$

同理,可分析当 $\bar{R} = 1, \bar{S} = 0$ 时, $Q = 1, \bar{Q} = 0$

$$\bar{R}_D=0 \quad \bar{S}_D=1$$

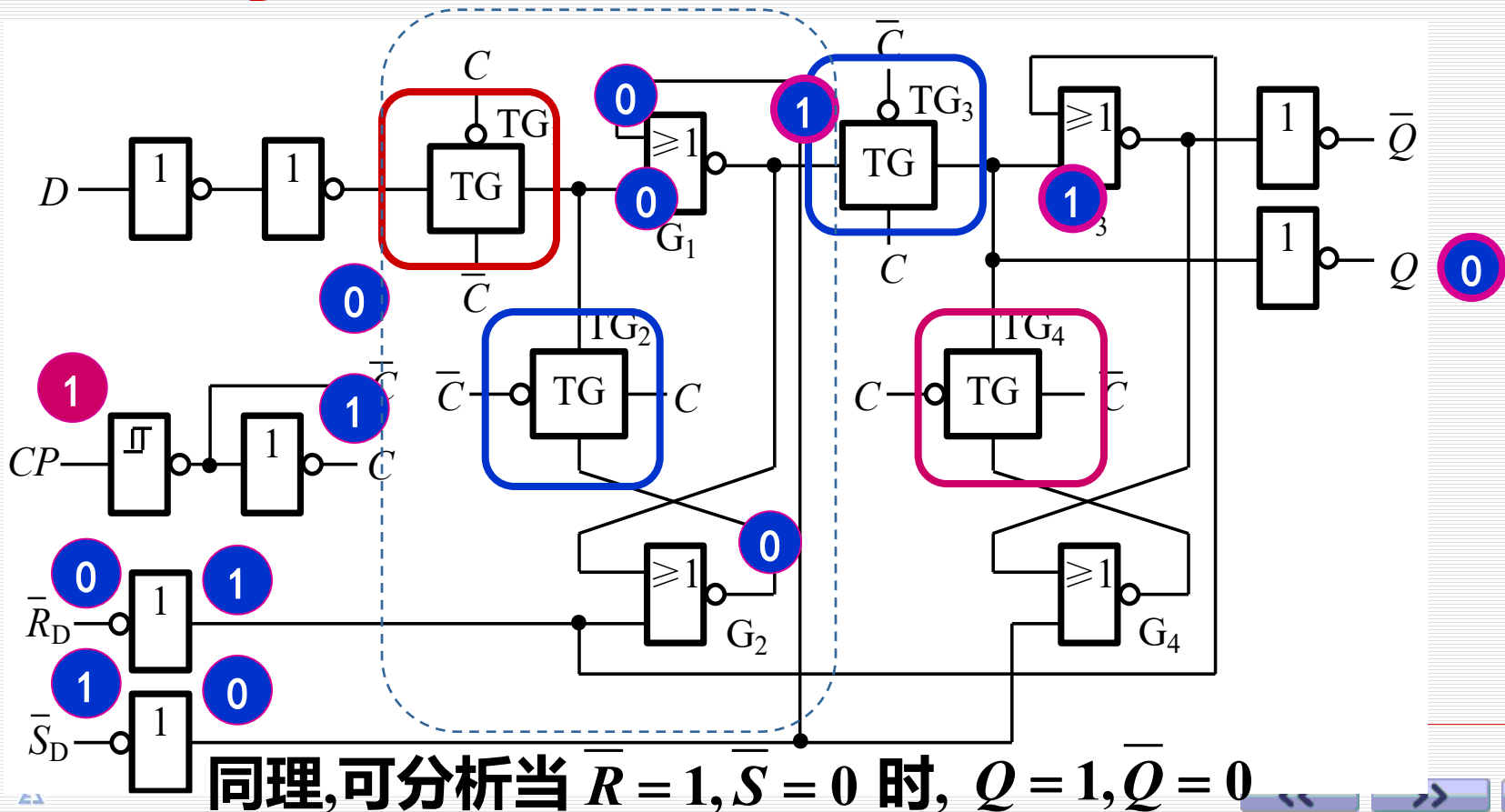
$CP=0$



5.4.2 具有清零和置数输入的主从D触发器

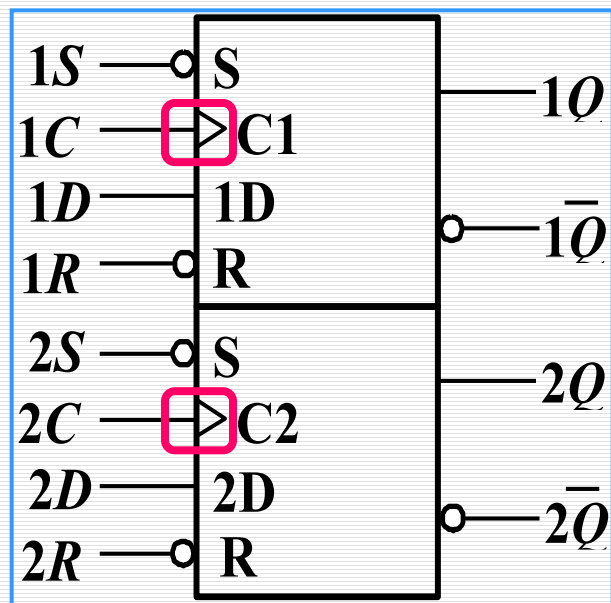
$\bar{R}=0$ $\bar{S}=1$ $CP=1$ 或 $CP=0$ $\bar{R}=0$ $\bar{S}=1$ $Q=0$

$CP=1$ R_D 、 \bar{S}_D 的直接置1和直接置0的作用与CP无关



2. 集成D触发器

74HC/HCT74



国标逻辑符号

直接置1
直接置0

D功能

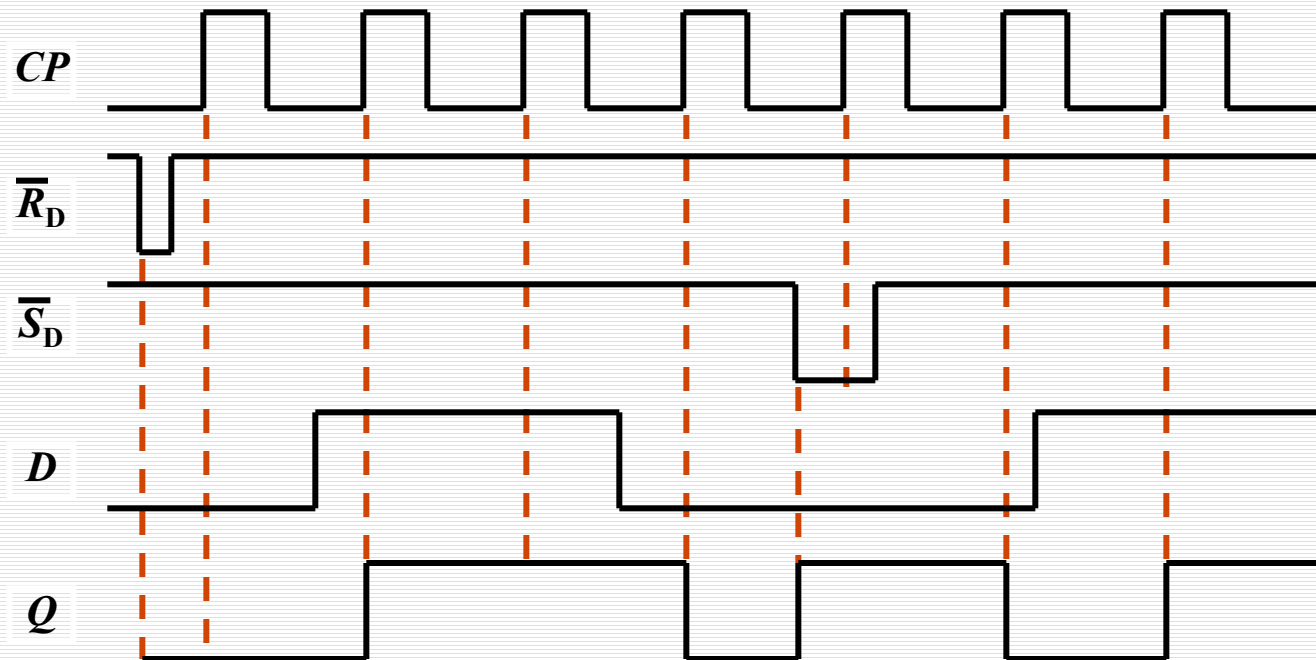
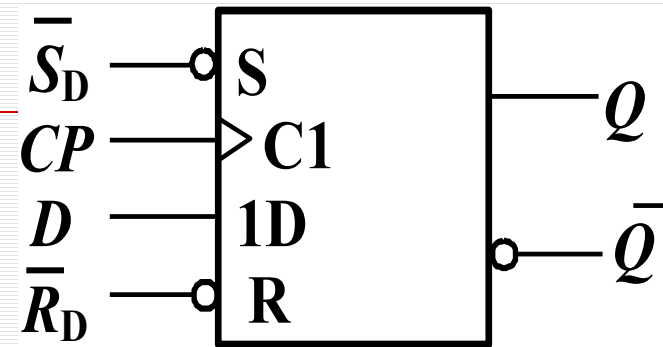
74HC/HCT74的功能表

输 入				输 出	
\bar{S}_D	\bar{R}_D	CP	D	Q	\bar{Q}
L	H	×	×	H	L
H	L	×	×	L	H
L	L	×	×	H	H
\bar{S}_D	\bar{R}_D	CP	D	Q^{n+1}	\bar{Q}^{n+1}
H	H	↑	L	L	H
H	H	↑	H	H	L

具有直接置1、直接置0功能、正边沿触发的D触发器

2. 集成D触发器

已知触发器的输入波形，试对应画出 Q 端输出波形

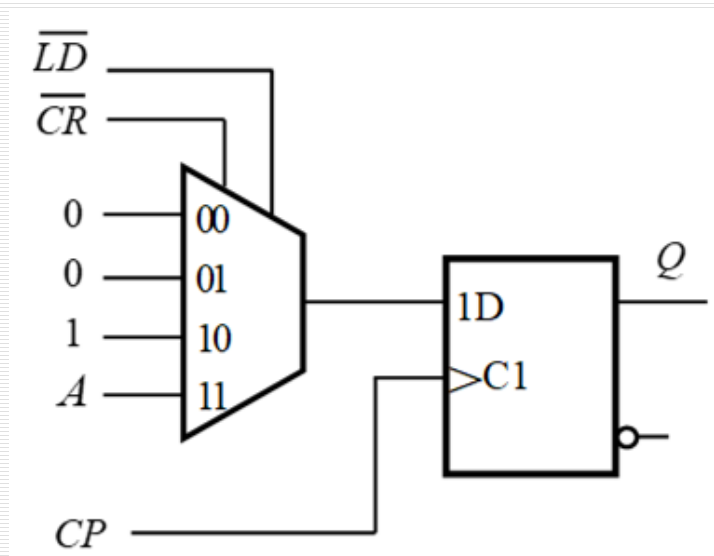


3. 同步清零和同步置数

例：电路及 CP 、 \overline{CR} 、 \overline{LD} 、 A 端的电路如图所示。试画出 Q 的波形，并说明电路的功能。设触发器初态为 $Q=0$ 。

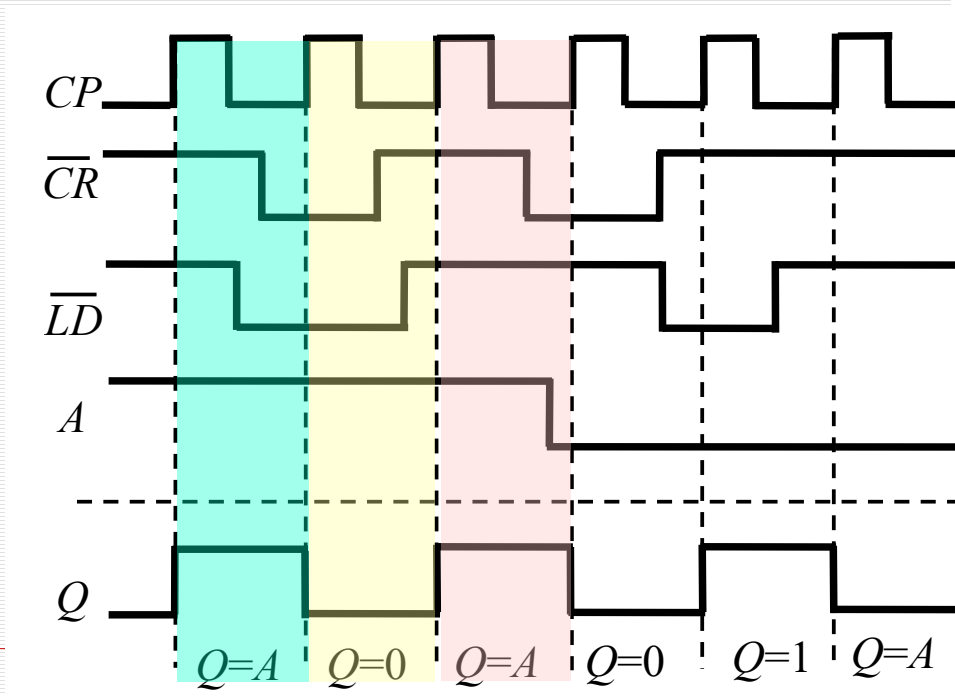
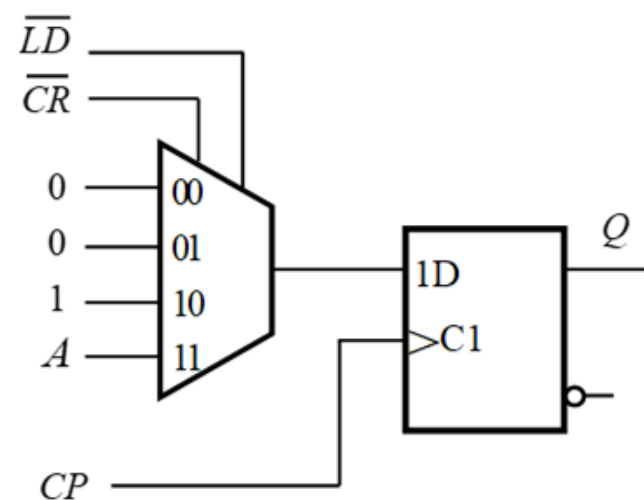
解： Q 更新是 CP 上升沿到后，由 D 端值确定。 \overline{CR} 、 \overline{LD} 的不同取值，将数据输入端的0、1或 A 的值送到 D 端。

CP	\overline{CR}	\overline{LD}	A	Q	功能
↑	0	×	×	0	同步清零
↑	1	0	×	1	同步置数
↑	1	1	0	0	$Q=A$
↑	1	1	1	1	$Q=A$



3. 同步清零和同步置数

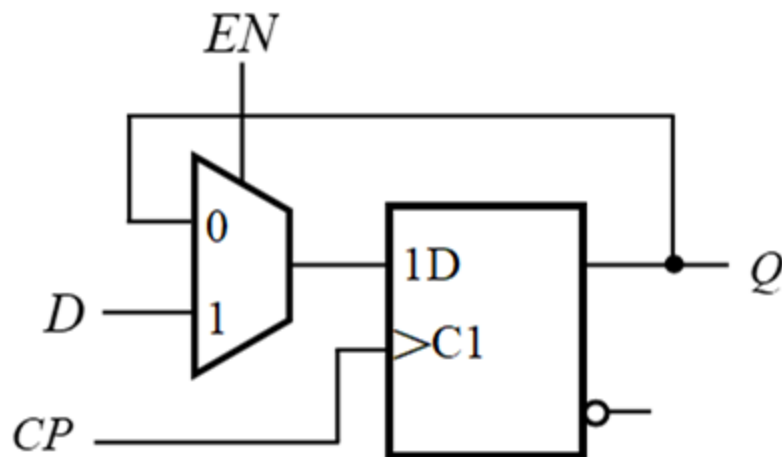
CP	\overline{CR}	\overline{LD}	A	Q	功能
\uparrow	0	\times	\times	0	同步清零
\uparrow	1	0	\times	1	同步置数
\uparrow	1	1	0	0	$Q=A$
\uparrow	1	1	1	1	$Q=A$



5.4.3 具有使能控制的D触发器

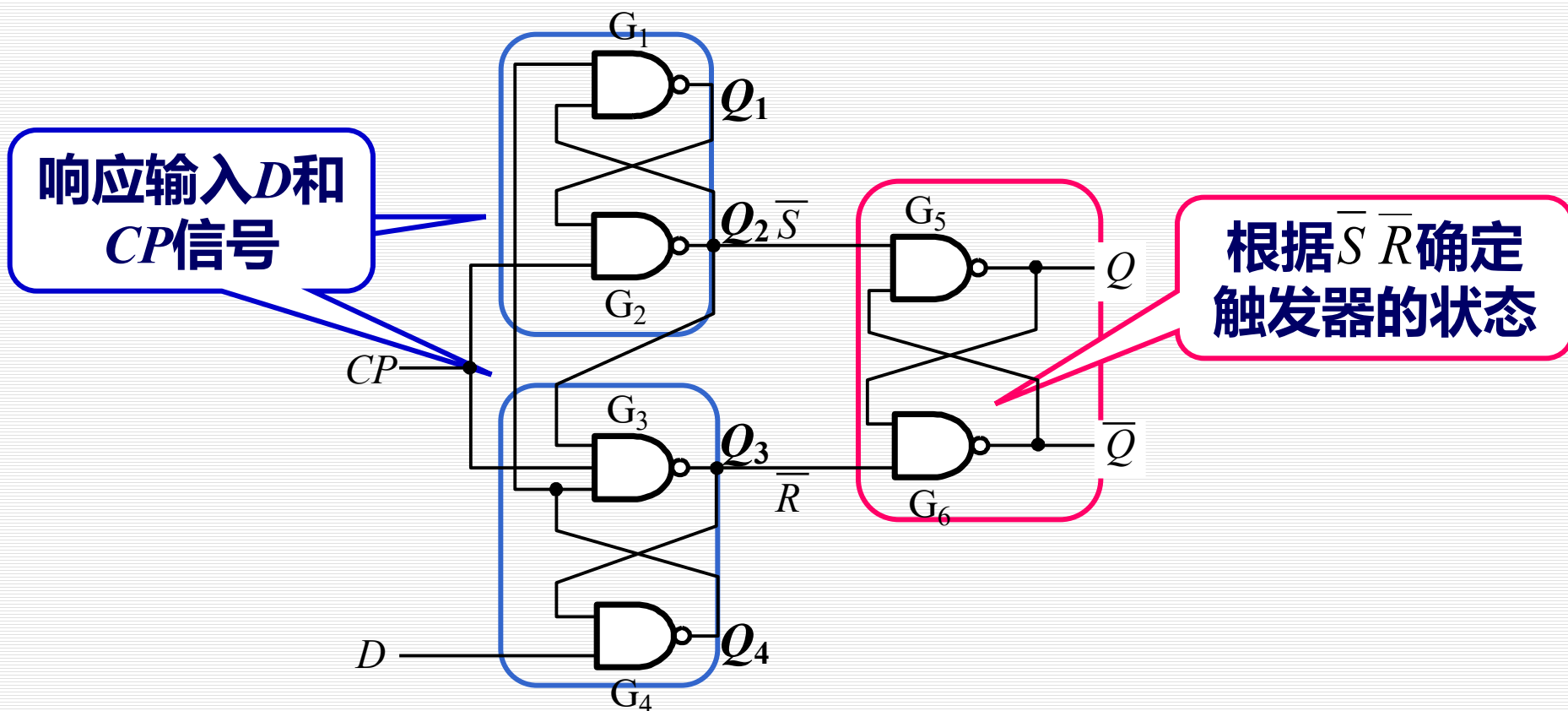
在实际中，通过数据选择器将使能端加到触发器的D输入端。

CP 上升沿控制，当 $EN=0$ 时，触发器处于保持状态。当 $EN=1$ 时， $Q=D$ 。



5.4.4 其他电路结构的触发器

1. 维持阻塞触发器



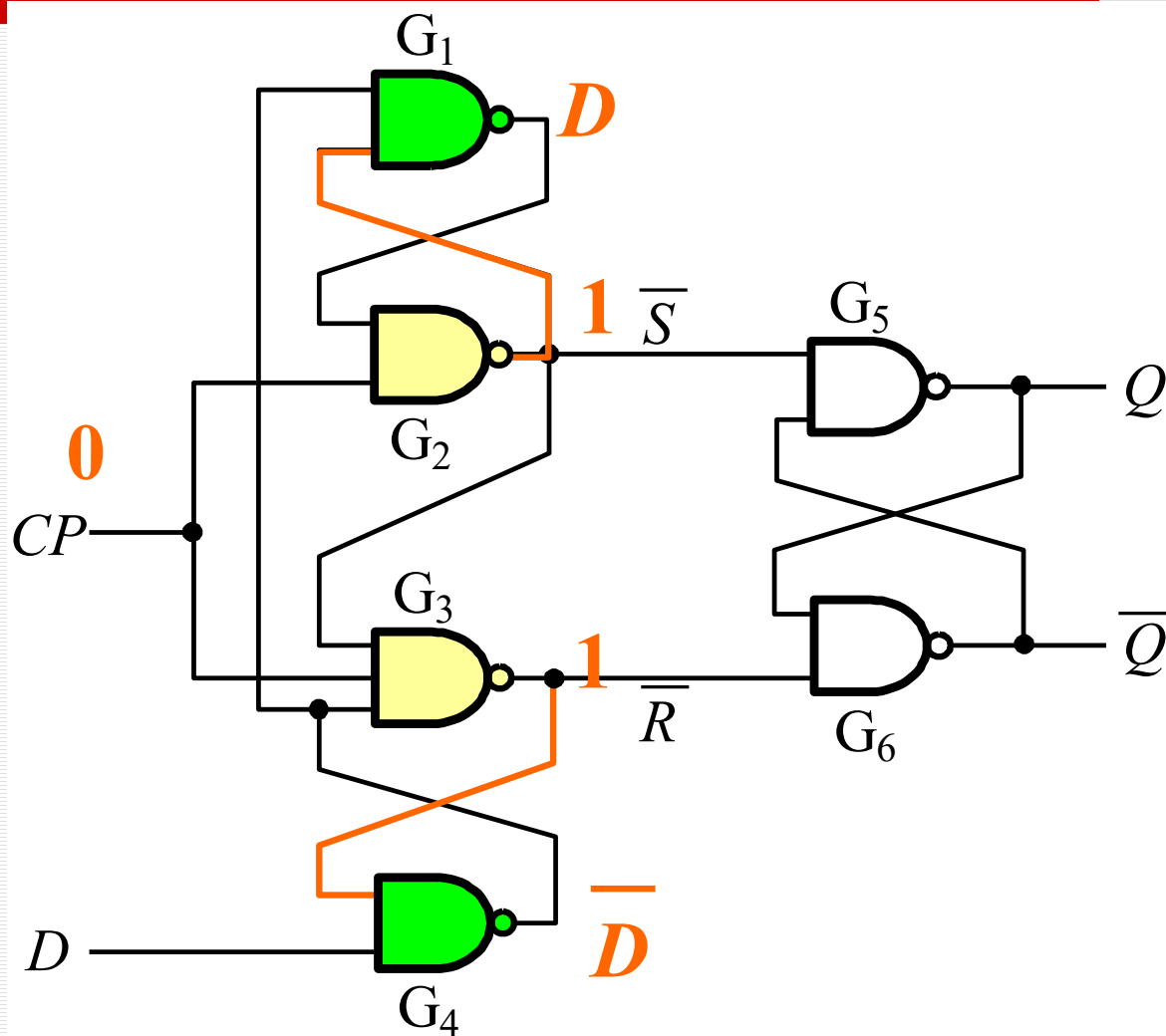
2、工作原理

$$CP = 0$$

$$Q_4 = \bar{D} \quad Q_1 = D$$

$$Q^{n+1} = Q^n$$

\bar{D} 信号存于 Q_4

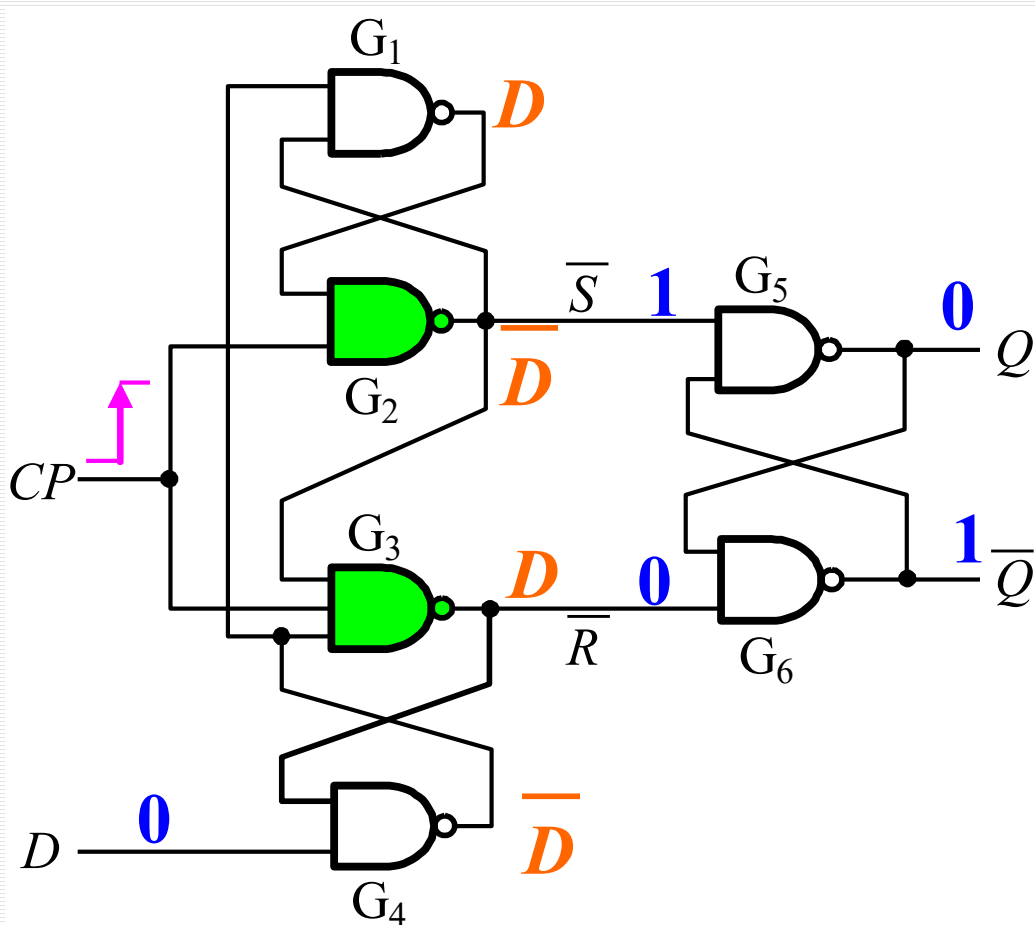


D 信号进入触发器,为状态刷新作好准备

当 CP 由0跳变为1

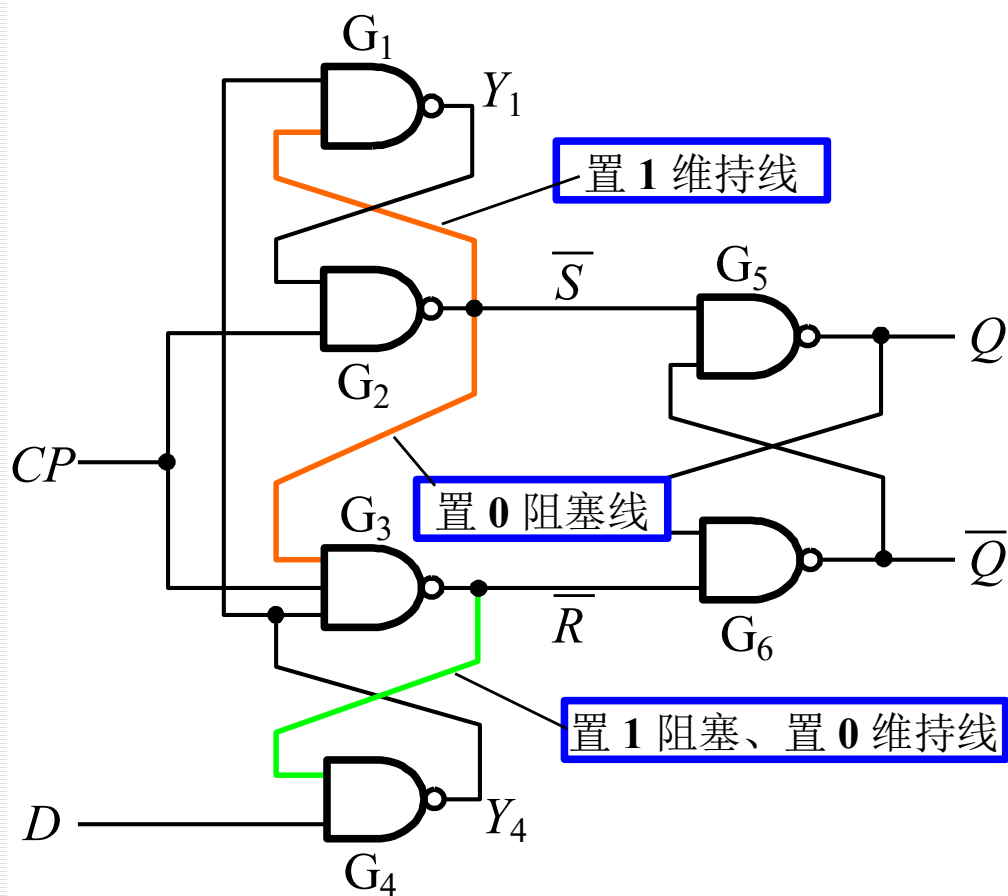
$$Q^{n+1} = D$$

在 CP 脉冲的上升沿，触发器按此前的 D 信号刷新



当 $CP = 1$

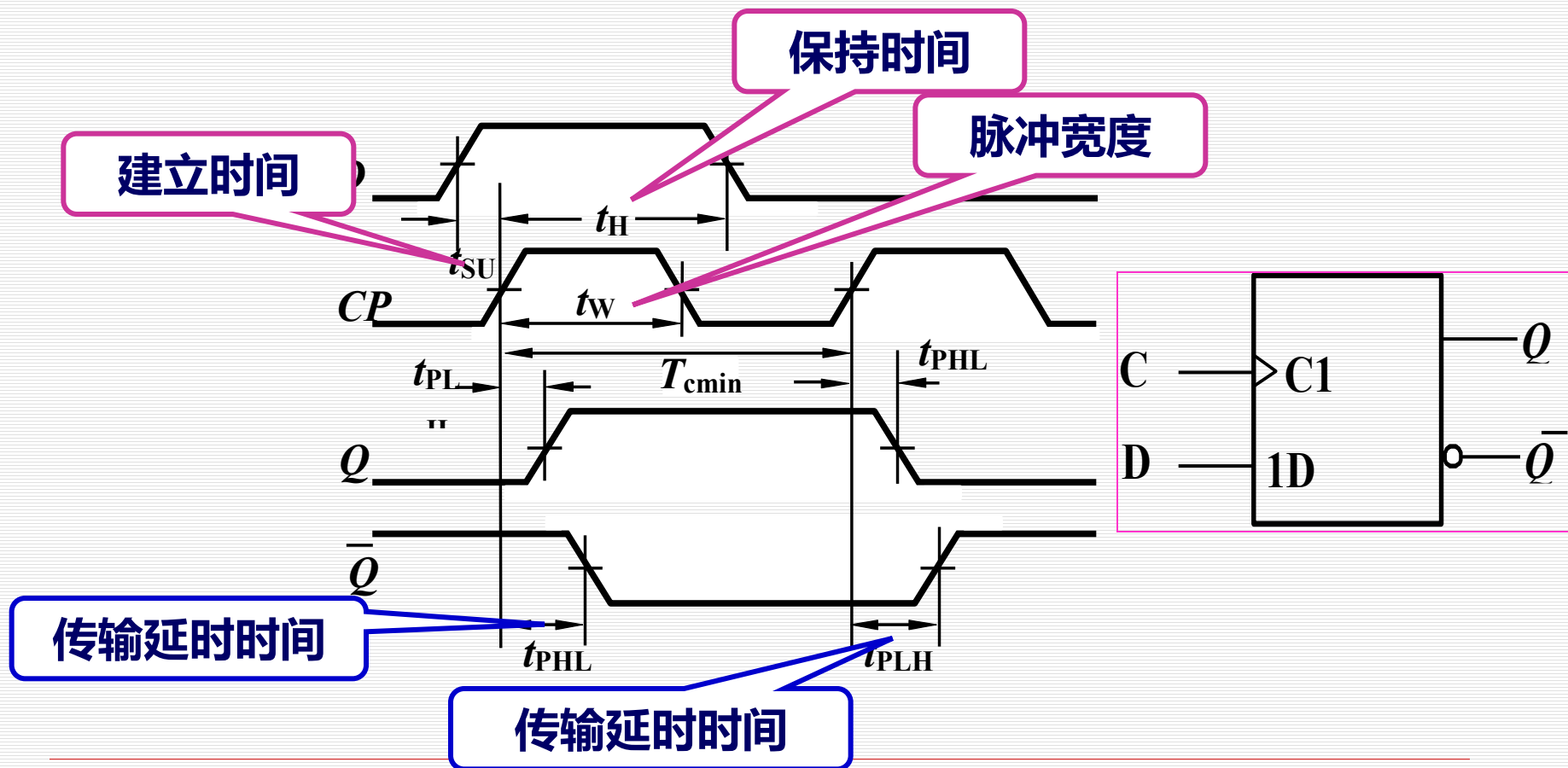
D 信号不影响 \overline{S} 、 \overline{R} 的状态, Q 的状态不变



在 CP 脉冲的上升沿到来瞬间使触发器的状态变化

5.4.5 D触发器的动态特性

动态特性反映其触发器对输入信号和时钟信号间的时间要求，以及输出状态对时钟信号响应的延迟时间。



-
- ◆ 建立时间 t_{SU} : 保证与 D 相关的电路建立起稳定的状态, 使触发器状态得到正确的转换。
 - ◆ 保持时间 t_{H} : 保证 D 状态可靠地传送到 Q
 - ◆ 触发脉冲宽度 t_{W} : 保证内部各门正确翻转。
 - ◆ 传输延迟时间 t_{PLH} 和 t_{PHL} : 时钟脉冲 CP 上升沿至输出端新状态稳定建立起来的时间
 - ◆ 最高触发频率 f_{cmax} : 触发器内部都要完成一系列动作, 需要一定的时间延迟, 所以对于 CP 最高工作频率有一个限制。