

请尊重个人版权，请勿上传至其他公共平台，谢谢理解！

内容问题可联系 bow33@163.com

第5章 触发器

Leng Ximo

触发器

○ 锁存器

○ 不同触发方式的触发器

○ 电平触发的触发器

○ 脉冲触发的触发器

○ 边沿触发的触发器

○ 不同逻辑功能的触发器

○ 触发器的动态特性

(根据考纲自学补充，了解即可)

概述

○ 组合逻辑电路的应用限制

根据上一章对组合逻辑电路的学习，通过基本的门电路以及由多级门电路集成封装后的常用中规模集成器件已经可以实现绝大多数的逻辑运算，满足电路对逻辑功能的要求；然而，组合逻辑电路的特点是，任何时刻的输出只取决于当前时刻的输入，而与过去的状态无关，即没有存储记忆的功能；因此，只依靠组合逻辑电路不能解决很多更复杂的逻辑问题；

以一个最基本的实际应用问题为例——电视、空调等遥控器上的电源按钮，每当按一次，就会不断改变其状态（不断开机、关机），即抽象为在 0 和 1 之间不断地切换；如果只依靠组合逻辑电路来解决此实际问题，很明显是没有办法实现的，因为根据题意，每次按下按钮后的输出与前一时刻的输出状态是有关的；此时最关键的是通过一个器件即一个电路结构来存储我们的电路状态；

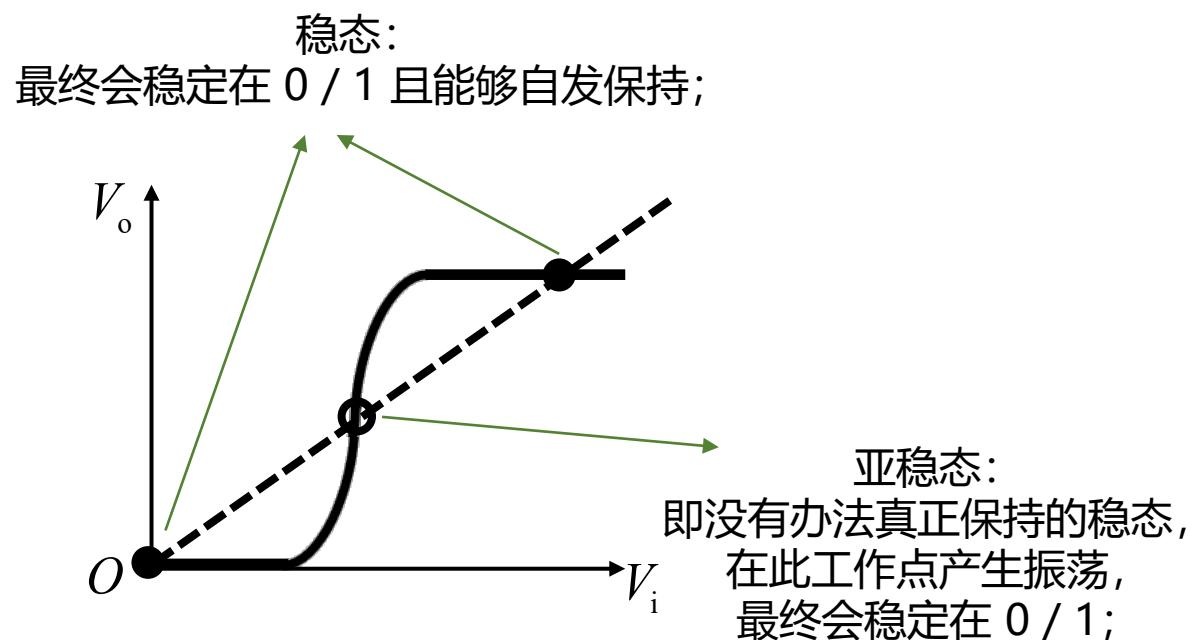
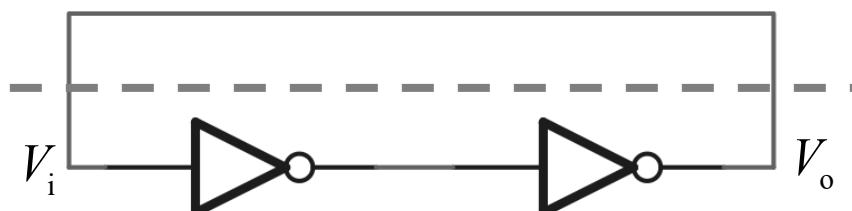
概述

思考：

此环路工作的原理和模电当中哪一部分的内容相似？
(正弦波振荡电路，正反馈的自激效应)

一个最基本的实现存储的实例

以下面的一个环路结构为例进行分析，根据电路理论的基础知识可以分析得出：
当没有外部输入时，此电路能够自发产生一个稳定的输出信号，不是高电平就是低电平，且能够保持此状态不变，即实现了 1/0 的存储记忆；



概述

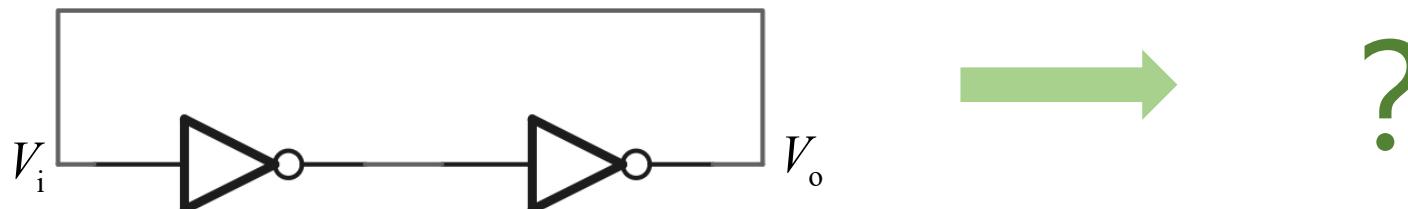
○ 存储器件电路结构的特点

组合逻辑电路不具有存储记忆功能，对应的就是其电路结构上不存在环路，即不存在从输出到输入的回路；因此，为了能够使电路实现存储记忆功能，使电路新的状态受当前的状态决定，需要将电路的输出引回至输入，即构成一个反馈；

根据前一页给出的电路结构实例，此基本电路已经能够实现我们需要的存储功能，但是它存在的问题就是它所保持的稳态输出信号是没有办法通过外部输入信号控制的，或者说我们没有办法改变其输出状态，即这个电路不能“读取”我们希望存入的数据；

思考：

如果想要让外部输入能够作用进此电路，
需要如何更改电路？
(将反相器变为多个端口的器件，
例如或非门/与非门)

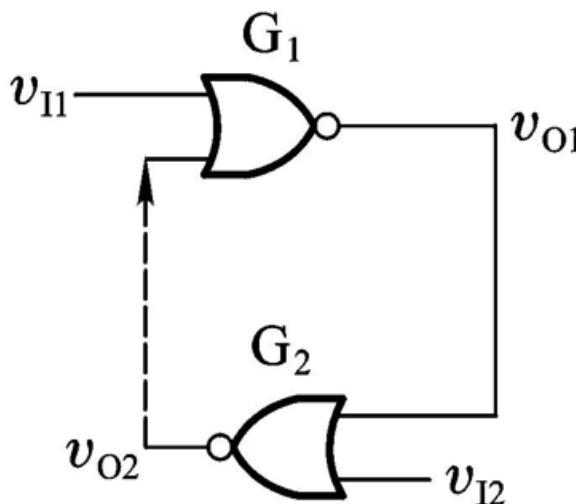
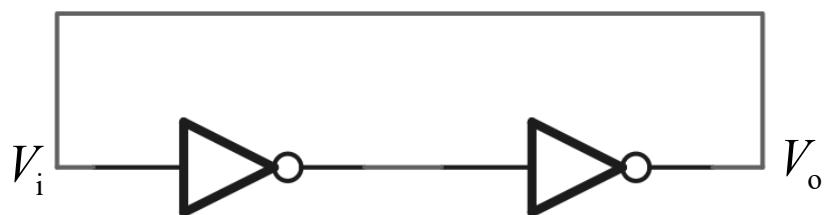


锁存器



SR 锁存器

如图所示，将前面给出的电路实例中的反相器都变为二输入端口的或非门，增加两个输入端口 S 和 R ，即可以根据这两个外部输入端口信号设置电路的状态（置 1 称为置位，即 Set；置 0 称为 复位，即 Reset），同时能够保持其状态，此电路结构称为 SR 锁存器（Set-Reset Latch）；“锁存”即能够存储数据且在无外部输入时保持其稳定状态；



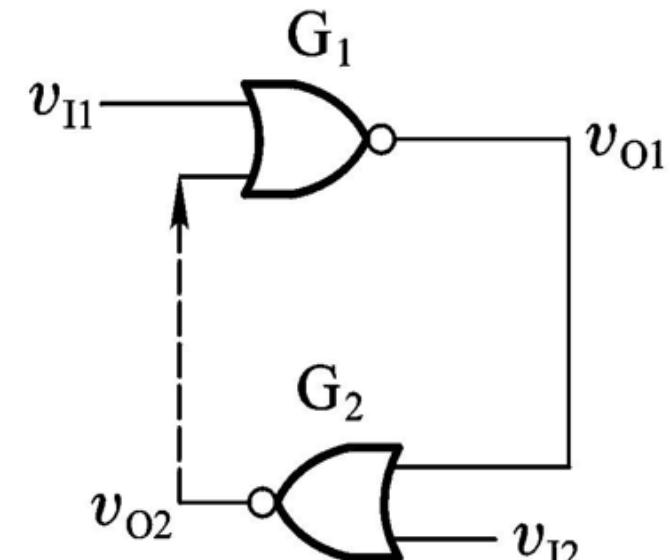
锁存器

SR 锁存器的工作原理

当 $v_{I1} = 1, v_{I2} = 0$, 此时 $v_{O1} = 0, v_{O2} = 1$;

当 $v_{I1} = 0, v_{I2} = 1$, 此时 $v_{O1} = 1, v_{O2} = 0$;

当 $v_{I1} = 0, v_{I2} = 0$, 此时两个或非门的输出能够保持原来的状态;
(即相当于“退化”成了两个反相器)



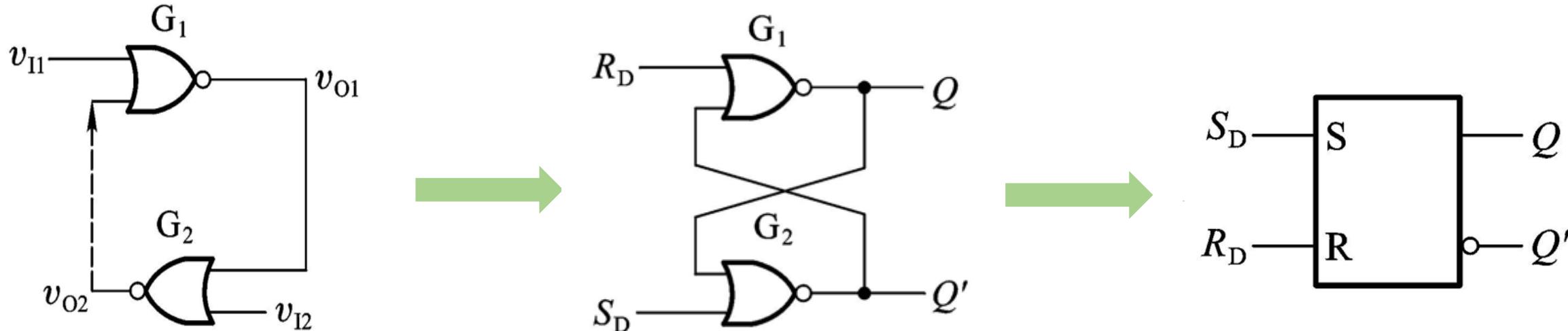
因此我们可以看到，相较于之前的基本的一个环路结构实例，SR 锁存器能够接收输入信号，即根据输入信号的“指令”改变其输出状态，同时在没有输入信号作用的情况下保持其状态不变，存储数据；

锁存器

思考：

什么叫做两个输出端口在正常情况时反相？
我们在前面分析工作原理的时候忽略了对哪一种情况的讨论？
($S = 1, R = 1$ 没有讨论)

SR 锁存器的常用表示方法

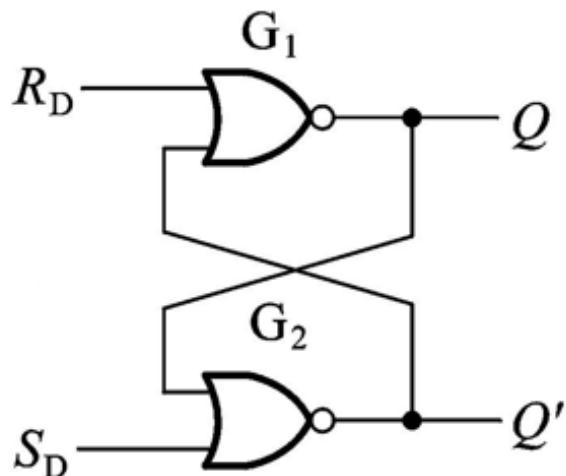


- 通常将 SR 锁存器画成输入端口统一在一侧，输出端口统一在另一侧的形式，并封装为如右边所示的图形符号；
- 两个输入端口 S 和 R 即置位端（置 1）和复位端（置 0）；外部输入信号的下标 D 表示直接置位/复位，Direct；且高电平有效（没有画小圆圈以及用反变量形式）；
- 两个输出端口在正常情况时反相，即互为反变量；

锁存器



SR 锁存器的约束条件



当 $S = 1, R = 1$, 即外部给这个电路的指令既要求其“置位”，又要求其“复位”，这在设计电路的时候是不会发生或者说是不允许发生的，因此 $SR = 0$ 为该锁存器的约束条件；

如果 $S = 1, R = 1$, 此时 Q 和 Q' 都为 0, 即规定的异常状态；
(两个本应互补反相的输出信号不再反相)

而当 S 和 R 同时回到低电平, 即 S 和 R 的 1 同时消失后, 电路会工作在保持状态, 但是新的保持状态无法确定 (因为无法确定这两个信号的传输快慢, 看作是两个信号在“竞争”)

锁存器

一定不要只背表格！

结合电路结构和基本原理很容易记忆和理解！



SR 锁存器的逻辑功能特性

根据前面的分析，可以总结出 SR 锁存器（内部为或非门）的逻辑功能特性如下：

S_D	R_D	Q	Q^*
0	0	0	0
0	0	1	1
1	0	0	1
	1	1	1
0	1	0	0
0	1	1	0
1	1	0	0 ^①
	1	1	0 ^①

关于此表格的常见误区说明：

① 表格里给出的状态列分别为 Q — 初态，原来的状态， Q^* — 次态，新的状态； Q^* 不是 Q' ！

② 表格里当 $S = R = 1$ 时，这个时候的“不确定”指的是这两个输入信号同时回到低电平后的状态不定，但是 $S = R = 1$ 期间内 Q 是确定的，是 0；（ Q' 也是确定的，也是 0）；

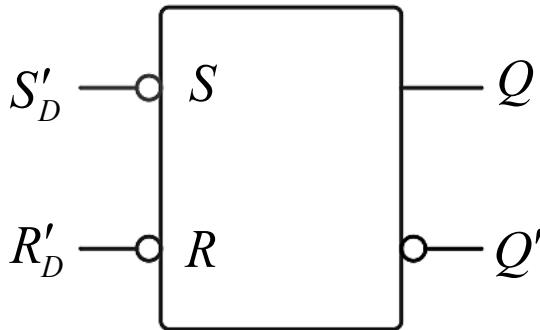
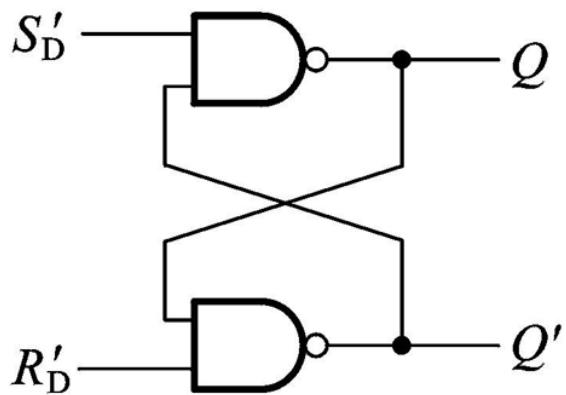
③ 这个表格里并没有给出 Q' ，要注意，在正常工作时 Q 与 Q' 才是反相的，而在 $S = R = 1$ 期间 $Q = Q' = 0$ ，即“异常状态”；

锁存器

一定不要只背表格！

结合电路封装框图的表示方法，
联想内部的具体结构和工作原理，
很容易记忆和理解！

由与非门构成的 SR 锁存器

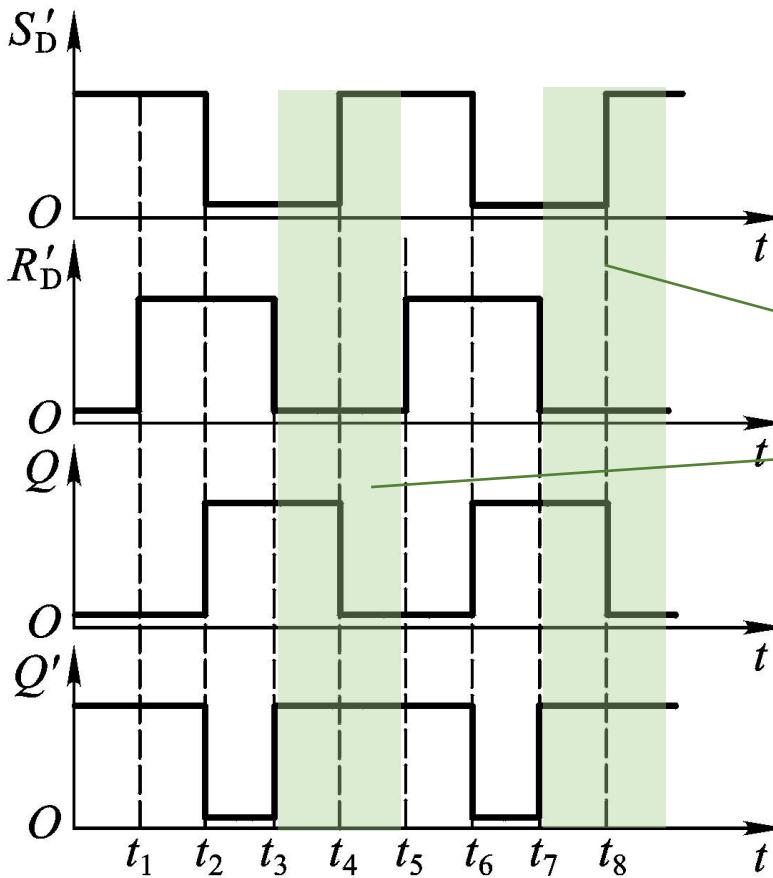
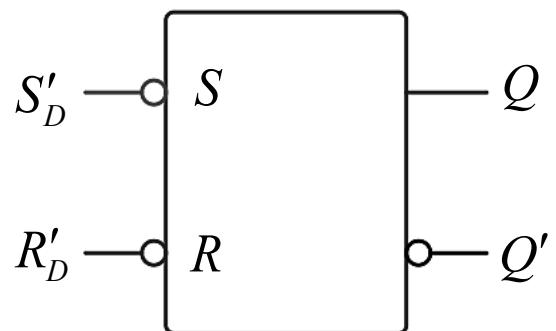


如果锁存器内部选用的门电路是与非门，类似于前面的原理分析，此时置位端和复位端都是低电平输入有效，此时的约束条件是两个输入端不能同时为 0，如果同时为 0，则会工作在 $Q = Q' = 1$ 的异常状态，且同时回到高电平后状态无法确定；

S'_D	R'_D	Q	Q^*	
1	1	0	0	保持
1	1	1	1	
0	1	0	1	置位
0	1	1	1	
1	0	0	0	复位
1	0	1	0	
0	0	0	1 ^①	异常
0	0	1	1 ^①	

锁存器

应用 SR 锁存器的逻辑功能表分析问题时易错点示例：



在 S'_D 和 R'_D 均为 0
即两个输入端都是有效输入时,
在这个期间的输出状态是确定的,
但我们称其为异常状态,

即 $Q = Q' = 1$
(本例内部为与非门)

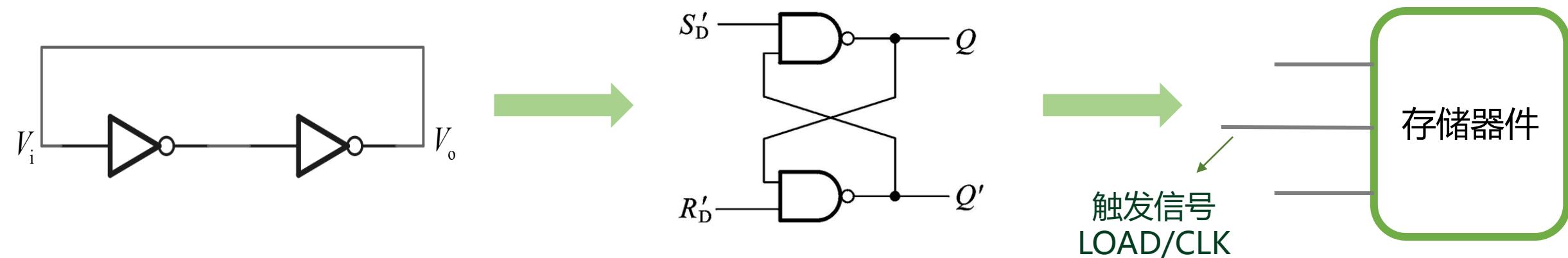
而由于在此异常输入情况之后,
 S'_D 和 R'_D 并不是同时回到高电平,
此时 S'_D 首先回到高电平失去控制作用,
即 $R'_D = 0$ 有效输入,
因此电路状态可以确定, 且是复位:
 $Q = 0, Q' = 1$

触发器



触发信号的概念

锁存器实现的功能是根据我们的输入信号将输出置 1 或 置 0 并在没有有效的外部输入时自行保持稳定状态，但是它的置 1 和置 0 是通过输入信号直接完成的，换句话说，只要输入端处出现一个有效的输入信号，锁存器就会立刻读取并存储这个数据；而在实际的电路中这并不是我们所期望的情况；因为所有的门电路都存在传输延迟，我们希望每个电路的动作都按照一定的时序，需要通过一个信号控制我们的存储器件进行存储，当这个控制信号有效时，才允许此存储器件读取输入数据；在控制信号无效时，保持其稳定状态；这个信号就称作触发信号（或时钟信号）；



触发器

○ 触发器

因此，具有以下功能特点的基本单元就称为触发器：

- ①在没有有效的输入信号和触发信号作用时，具有两个能自行保持的稳定状态 0 / 1；
- ②在触发信号的操作下，能够读取输入即根据其输入信号将输出置 1 或置 0；

可见触发器与我们前面所学习的锁存器的区别就在于，其存在一个控制信号即触发信号，只有当触发信号有效时，才允许输入信号作用；触发器的英文是 Flip-Flop，即不断地翻转状态，在 0 – 1 之间跳变；

（需要注意的是，根据翻译的原因，要将本章的触发器与后面第十章的施密特触发器、单稳态触发器中的触发器 Trigger 进行区分，记住本章的触发器本质上是一个存储器件）

触发器

学习时重点理解电路结构，
最后再统一归纳，
一定不要只是简单地去死记硬背！

○ 触发器的分类和描述

- 根据触发方式的不同，触发器可以分为：电平触发、脉冲触发和边沿触发；
- 根据逻辑功能的不同，触发器可以分为 SR 触发器、JK 触发器、D 触发器、T 触发器；

对于同样触发方式的触发器，其对应的逻辑功能特性可能不相同；而对于同样逻辑功能的触发器，其由于电路结构的不同可能触发方式也不相同，因此描述一个触发器不能只给出其中一方面；

本章各种触发器学习的思路是：顺着不同触发方式分类的主线，研究不同触发器电路结构发生变化，对应的触发方式的变化以及电路性能的变化，最后再按照它们的逻辑功能特点进行归纳总结；

电平触发的触发器



电平触发的概念

所谓的电平触发方式就是，根据触发信号的高、低电平情况来控制电路是否根据输入置 1 或置 0；只要触发信号为有效电平，则触发器读取输入置 1 或置 0；触发信号为无效电平，则触发器保持其状态，屏蔽输入信号；

因此，根据电平触发的描述，如果基于 SR 锁存器设计一个电平触发的触发器电路，想要让触发信号即时钟信号在无效的时候屏蔽掉输入信号，那么通过一个与非门或者是或非门，将输入信号与时钟信号进行与非或者是或非的逻辑运算后再接入 SR 锁存器的输入端，则就可以实现当时钟信号是无效电平时，两个输入信号被屏蔽，SR 锁存器的两个输入端均为 0，即保持；当时钟信号为有效电平时，两个输入信号可以传递到 SR 锁存器的输入端（经过一次反相），进行置 1 或置 0 操作；

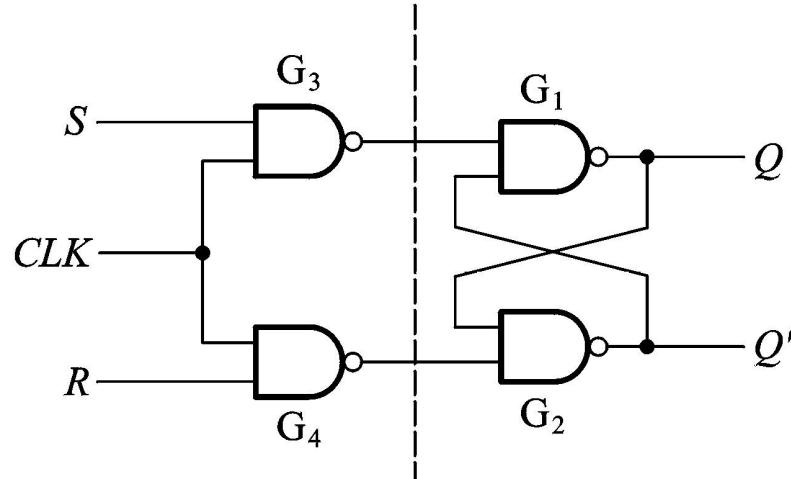
对于与非门，当其中一个信号为 0，则另一个信号失去控制作用，即相当于被屏蔽；
对于或非门，当其中一个信号为 1，则另一个信号失去控制作用，即相当于被屏蔽；

电平触发的触发器

思考：

为什么原本是低电平输入有效的 SR 锁存器
对应的图形符号 S、R 是高电平输入有效了？
(因为前一级是两个与非门)

电平触发的 SR 触发器

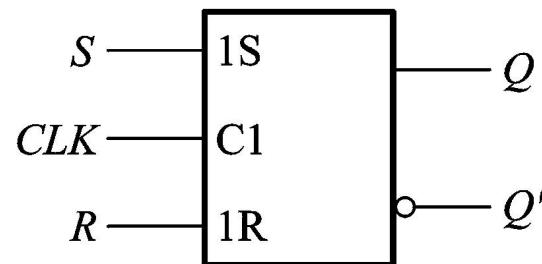


如图所示为电平触发的 SR 触发器的电路结构，其电路结构特点是在 SR 锁存器前面增设一级输入控制门电路；

电路的工作原理如前一页所述 —— 电路的动作与否取决于触发信号 CLK 的电平状态：

$CLK = 1$ ，此时电路功能与基本的 SR 锁存器一致；

$CLK = 0$ ，此时输入信号被屏蔽，电路不动作，保持；



其封装后的图形符号如图所示， $C1$ 表示编号为 1 的 CLK 信号； $1S$ 和 $1R$ 表示受 $C1$ 控制的 S 输入端和 R 输入端；现在给出的框图输入端都是高电平有效；

电平触发的触发器

这里要自己认真琢磨一下！

也就是说产生次态无法确定对应有两种情况！
关键点在于后级锁存器！

电平触发的 SR 触发器的逻辑功能特性

CLK	S	R	Q	Q^*
0	X	X	0	0
0	X	X	1	1
1	0	0	0	0
1	0	0	1	1
1	1	0	0	1
1	1	0	1	1
1	0	1	0	0
1	0	1	1	0
1	1	1	0	1*
1	1	1	1	1*

屏蔽输入，保持；

保持

置位

复位

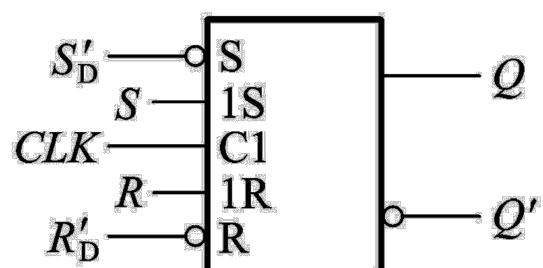
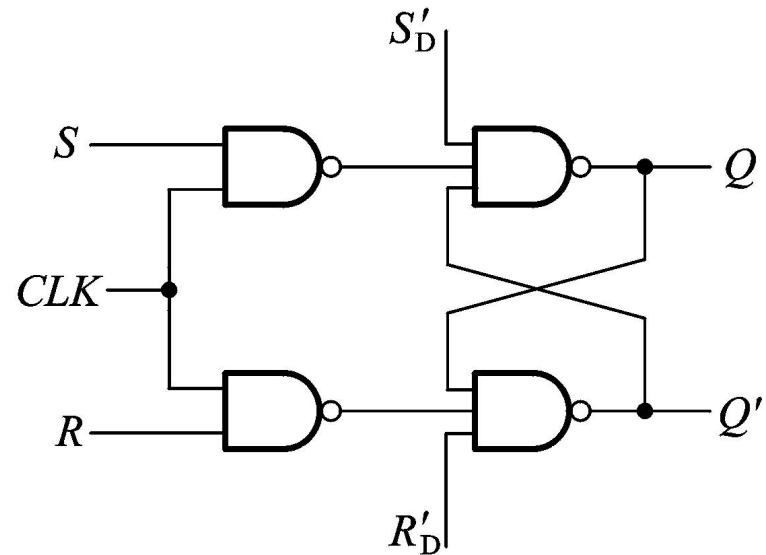
异常

电平触发的 SR 触发器的逻辑功能特性与 SR 锁存器的逻辑功能基本一致，唯一的区别就在于此时需要考虑 CLK 信号；

注意，电平触发的 SR 触发器也存在着 $SR=0$ 的约束条件，当 CLK 为 1 期间若 $S = 1, R = 1$ 后同时回到了低电平，或者是在 $S = 1, R = 1$ 时 CLK 从高电平切换至低电平（因为就相当于后级低电平输入有效的内部为与非门的 SR 锁存器的两个输入端从低电平同时回到高电平），都会导致次态无法确定；换句话说，异常状态当且仅当 $CLK = 1, S = R = 1$ 期间出现，而异常状态是无法被保持的；

电平触发的触发器

○ 异步置位和异步复位



S'_D 、 R'_D 低电平有效

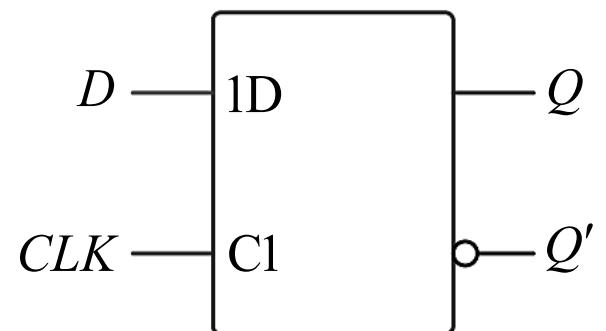
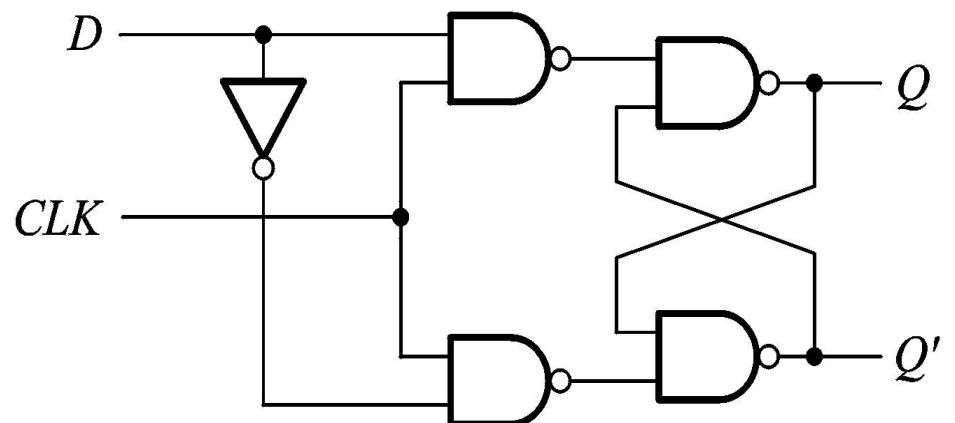
前面的电平触发的 SR 触发器也称为 同步 SR 触发器，所谓同步即其输入信号要受触发信号即时钟信号的控制，具有一定的时序要求；对应地，这种电路结构也叫做 同步 SR 结构；

如果要求此触发器增设两个异步输入端口，所谓异步即该输入不受触发信号的控制，可以立刻将触发器置 1 或置 0，则称为异步置位和异步复位，一般异步输入信号用下标 D 表示，即和锁存器一节中的输入信号一致，Direct，不受时钟控制；

很容易得到，只要直接在后级锁存器的与非门增加两个输入端口，这两个输入信号为 0 时即可直接实现置位和复位而无需考虑触发信号是否有效；

电平触发的触发器

电平触发的 D 触发器



有的教材称其为 D 型锁存器
知道描述的是同一个事物即可！

为了适应单端输入信号的需要，且克服 SR 触发器中 $SR = 0$ 这一约束条件的限制，可以令电平触发的 SR 触发器中的 $R = S'$ ，因此 $S = 1$, $R = 0$; $R = 1$, $S = 0$; 只引出一个输入端口 D；

由于电路内部的结构并没有被改变，仍然是同步 SR 结构，因此触发器的触发方式也没有发生变化，仍然是电平触发方式，该触发器称为电平触发的 D 触发器；

电平触发的触发器

思考：

电平触发的 D 触发器在 CLK 有效期间
能否自发保持其输出状态?
(不能, 无法使 $S = R = 0$,
即它的输出必须靠输入维持)
(trade-off)

电平触发的 D 触发器的逻辑功能特性

CLK	D	Q	Q^*
0	X	0	0
0	X	1	1
1	1	0	1
1	1	1	1
1	0	0	0
1	0	1	0

屏蔽输入, 保持;
置位
复位

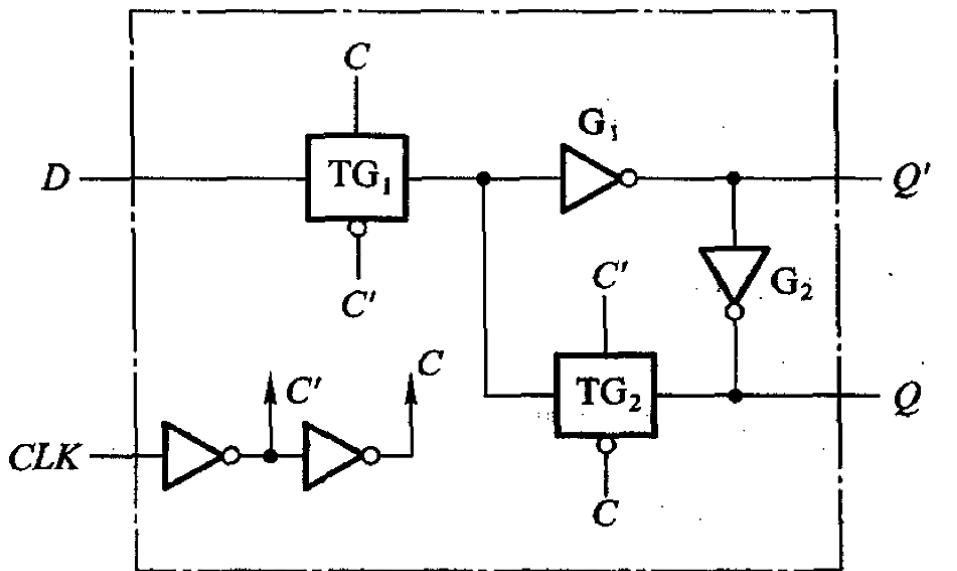
可以看到, 电平触发的 D 触发器事实上就只对应电平触发的 SR 触发器中 $S = 1, R = 0$ 和 $S = 0, R = 1$ 的情况, 因为其电路设计保证了 $R = S'$;

$CLK = 1$, 此时 $D = 1$ 置位, $D = 0$ 复位;
 $CLK = 0$, 此时 D 信号被屏蔽, 电路不动作, 保持;

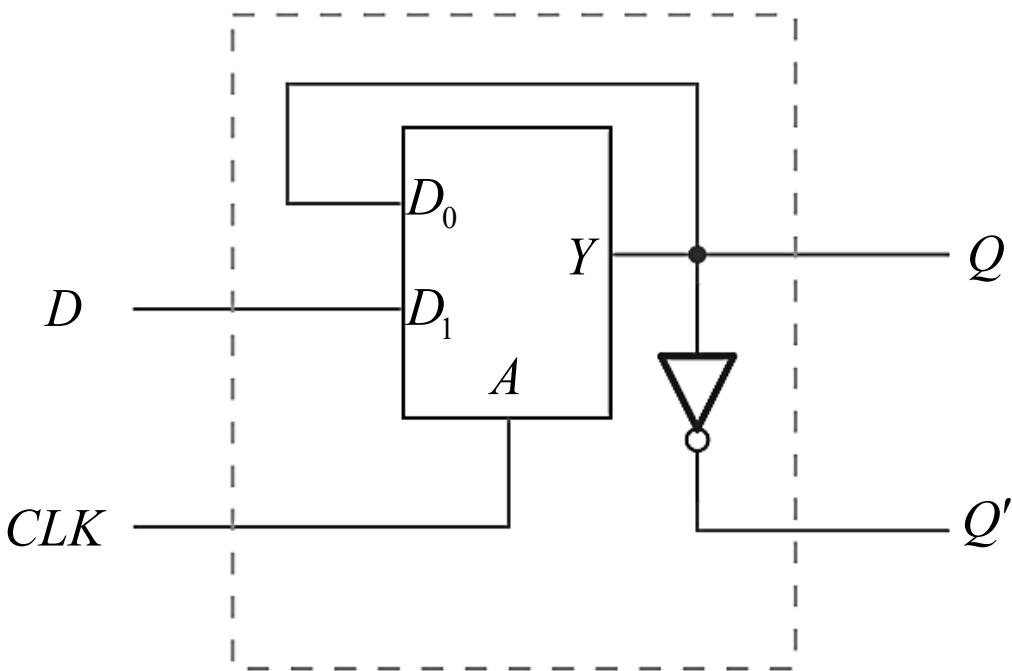
可见在 CLK 的有效电平期间, 输出状态始终跟随输入的状态变化, 因此有的文献称其为透明 D 型锁存器 (Transparent D-Latch) (透明即理解为时钟有效时仿佛输入直接传输到输出)

电平触发的触发器

○ 其他结构的电平触发的 D 触发器（了解）



用 CMOS 传输门实现的电平触发的 D 触发器



用 2 选 1 数据选择器实现的电平触发的 D 触发器

总之：电路结构确定，其触发方式也就确定；

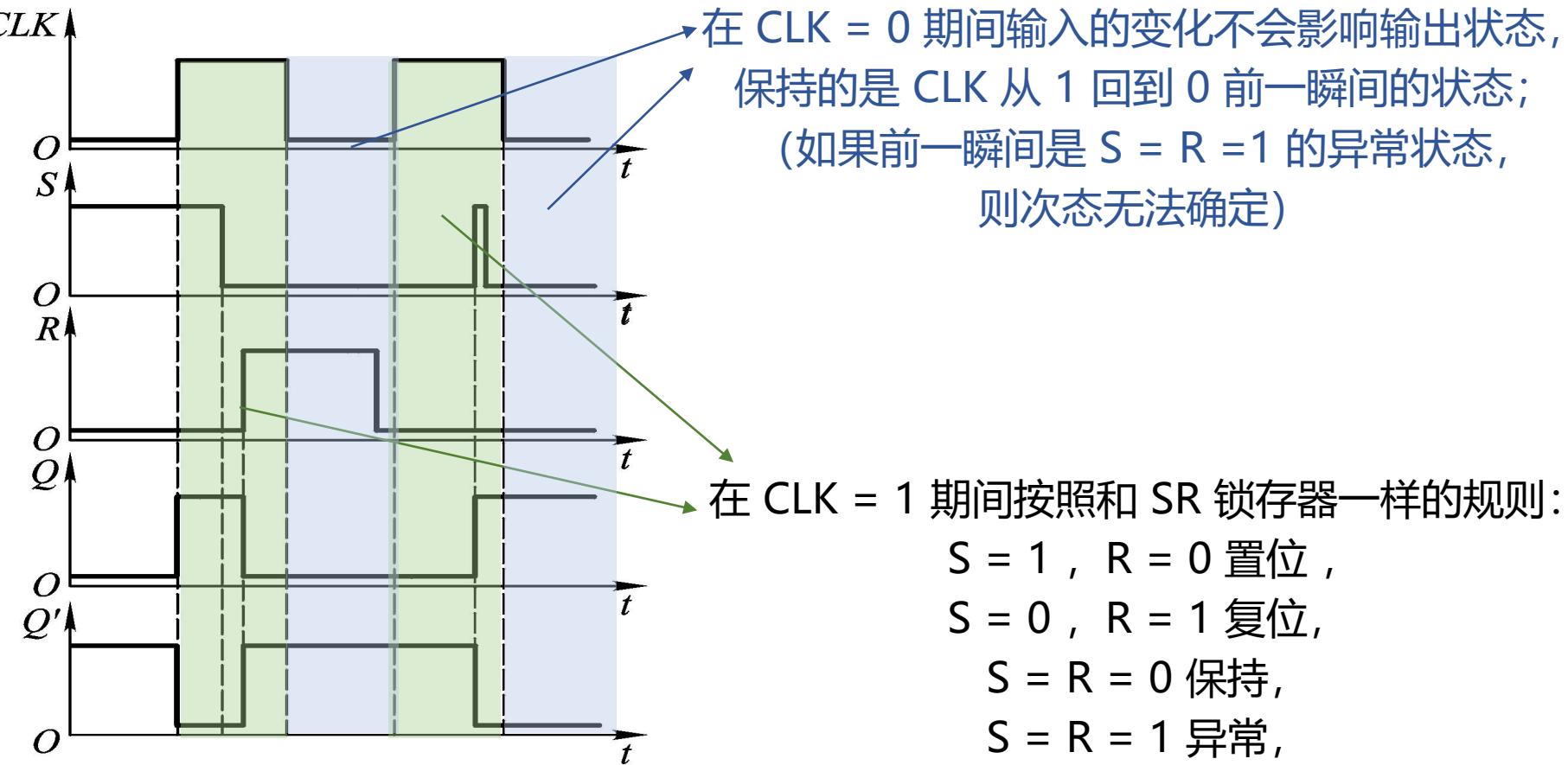
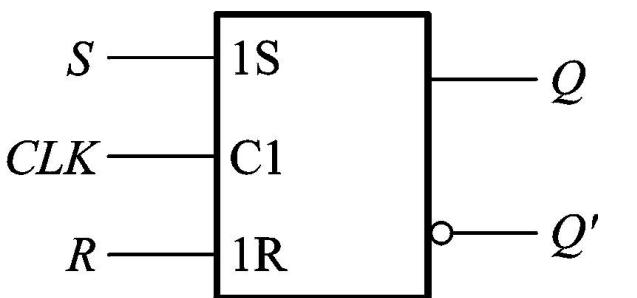
电平触发的触发器

电平触发的触发器小结

- 在分析电平触发的触发器状态时，关注的是触发信号 CLK 的电平：
CLK 为 1 时，此时触发器可以接受输入信号，按照输入信号将触发器置为相应
的状态，在 CLK 为 1 的全部时间段内，输入信号的变化始终可能会引起输出状态的
改变；CLK 为 0 时，此时触发器屏蔽输入信号，触发器为保持状态；触发器保持
的状态就是在 CLK 从 1 回到 0 前一瞬间的状态；
- 凡是同步 SR 结构（输入控制门 + SR 锁存器）的触发器都是电平触发方式，电平
触发的 D 触发器与 SR 触发器的区别只在于其逻辑功能的不同，令电平触发的 SR
触发器的 $S = D$, $R = D'$ 即可实现电平触发的 D 触发器的逻辑功能；
- 异步置位和异步复位的概念 —— 不受触发信号（时钟信号）控制；

电平触发的触发器

应用电平触发的 SR 触发器的逻辑功能表分析问题示例：



电平触发的触发器

○ 电平触发存在的问题

- 在触发信号（时钟信号）有效输入时，输出的状态始终可能受到输入的变化的影响，这意味着电平触发的抗干扰性能不好；（例如像上一页当中第二个绿色框中存在着一个小的尖峰脉冲，虽然 $S = 1$ 后很快 S 回到了 0，但是输出状态已经被改变且保持在了置 1 状态）
- 很多时候我们关心的并不是触发信号的电平值，而是触发信号是否有一个变化量，例如脉冲信号的上升沿或下降沿，这样在采样时更容易实现；因为电平触发要保证较长的一个时间段内始终为低电平，而在此期间其电平状态的任何变化都有可能对判定结果产生影响；而上升沿或下降沿是很短时间内的一个跃变，因此信号在这个阶段内发生变化的概率很小，即采集电平的变化相较于采集电平的值一般更可靠；只根据电平去控制触发器的触发在很多场合是受限的；

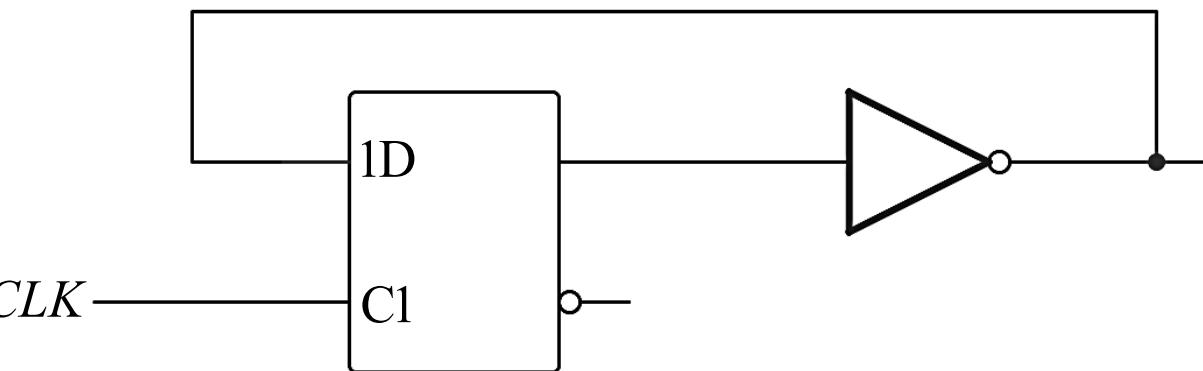
电平触发的触发器



电平触发存在的问题示例

仍然用此 ppt 这一章最开始介绍的组合逻辑电路不能解决的问题：空调遥控器上的电源键，每按一次，就要实现开/关的切换；如果把按下电源键看作是给定一个脉冲信号，作为时钟信号即触发信号控制触发器动作；根据题意，触发器动作后，次态与初态为反相的关系，因此尝试设计出下面的电路结构：

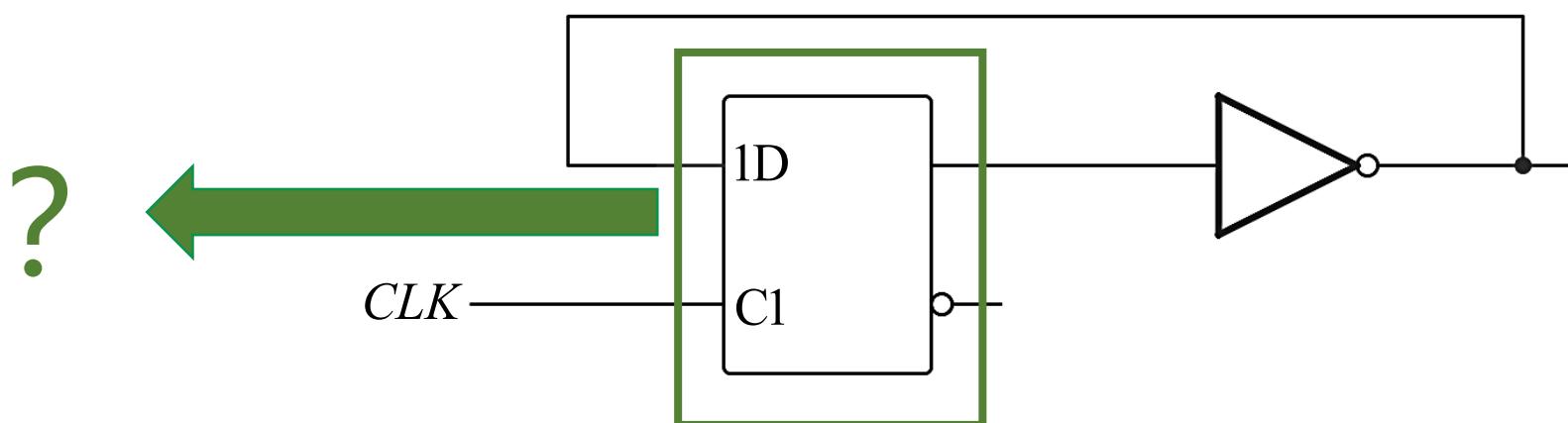
(如果触发器选用电平触发方式)



电平触发的触发器

电平触发存在的问题示例

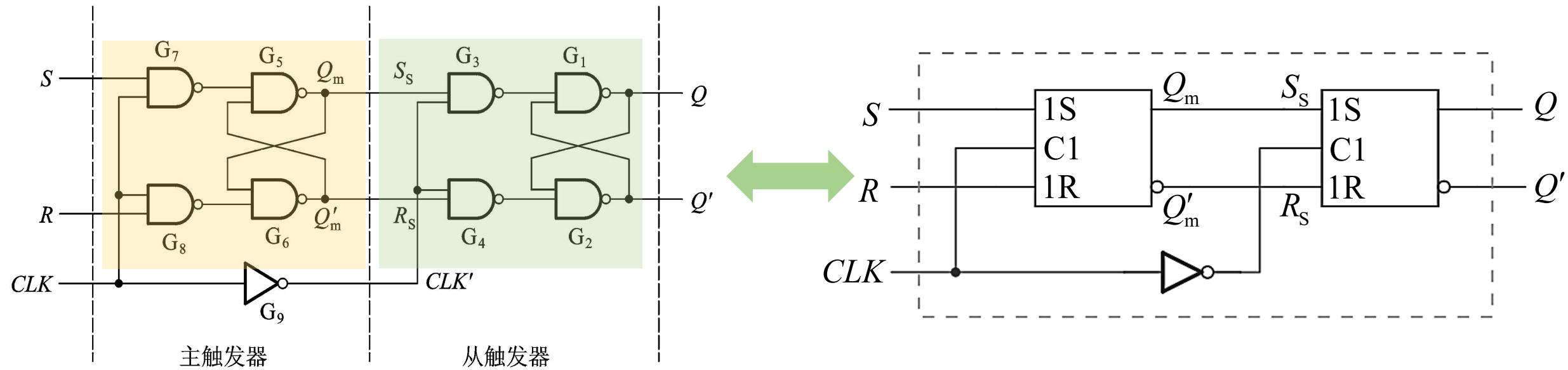
接上一页，如果当前选用的触发器的触发方式的电平触发，即根据的是按下按钮对应的脉冲信号的高电平来控制触发器的动作，就会出现在整个触发信号为高电平期间，电路的输出始终在不停地在 0 和 1 之间翻转，而且高电平消失后（松开按钮后）无法判断其到底为 0 还是 1，因此无法满足我们的设计需求；而如果我们依据的是按下或者是松开按钮时对应的脉冲信号的上升沿/下降沿来控制触发器的动作，那么就不受按键时间长短的限制，也不会产生前面电平触发导致的问题；



脉冲触发的触发器

脉冲触发的 SR 触发器

如图所示，为脉冲触发的 SR 触发器，由于其电路结构特点是由两个时钟信号互补的电平触发的 SR 触发器组成，一个称为主触发器，另一个称为从触发器，因此该电路也称为主从 SR 触发器（Master – Slave SR Flip-Flop）；

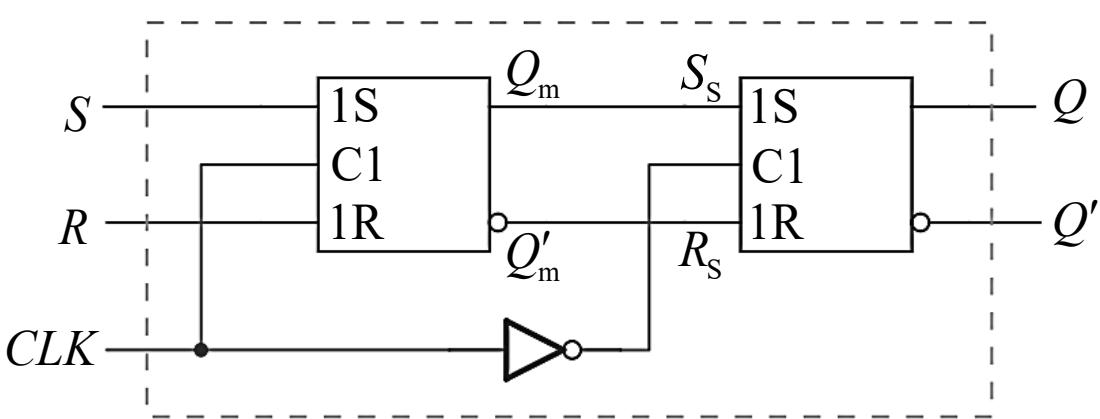


脉冲触发的触发器

对于主从结构的触发器
(脉冲触发的触发器)
一定不要只背功能表
必须理解原理！

○ 主从 SR 触发器的工作原理

主触发器和从触发器的时钟信号为互补关系：

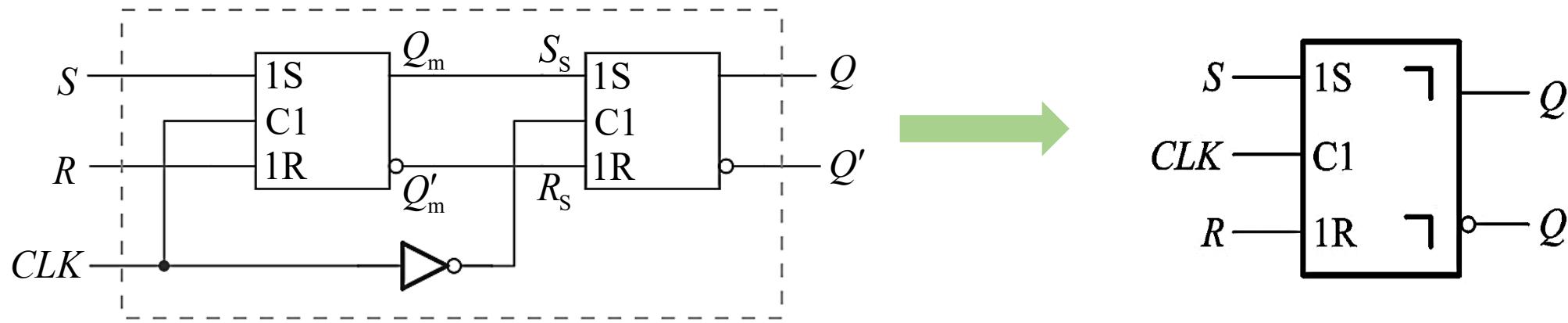


CLK = 1 期间，主触发器接受输入信号，其输出状态受到 S、R 的变化影响，而触发器整体的输出状态即从触发器的输出状态保持，因为从触发器的时钟信号无效；

CLK = 0 期间，主触发器屏蔽输入信号，其输出状态保持（保持的是 CLK 从 1 到 0 前一瞬间的状态），从触发器的时钟信号有效，从触发器根据主触发器保持的状态进行置位、复位、保持等操作；由于此时主触发器已经屏蔽了输入信号，因此在一个时钟信号周期内，整个触发器的输出状态最多只可能改变一次，且发生在 CLK 的下降沿；

脉冲触发的触发器

脉冲触发的触发器的图形符号



触发器图形符号带有 “↑” 表示是脉冲触发方式，即 CLK 的有效电平消失后输出才改变；

对于脉冲触发的触发器，触发信号用原变量、且没有小圆圈即表示输出的状态变化发生在下降沿！即 $CLK = 1$ 主触发器工作， $CLK = 0$ 从触发器工作！这一点要与后面学习的边沿触发的触发器区分！

脉冲触发的触发器

对于主从结构的触发器
(脉冲触发的触发器)
一定不要只背功能表
必须理解原理!

○ 主从 SR 触发器的逻辑功能特性

CLK	S	R	Q	Q^*
x	x	x	x	Q
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1*
	1	1	1	1*

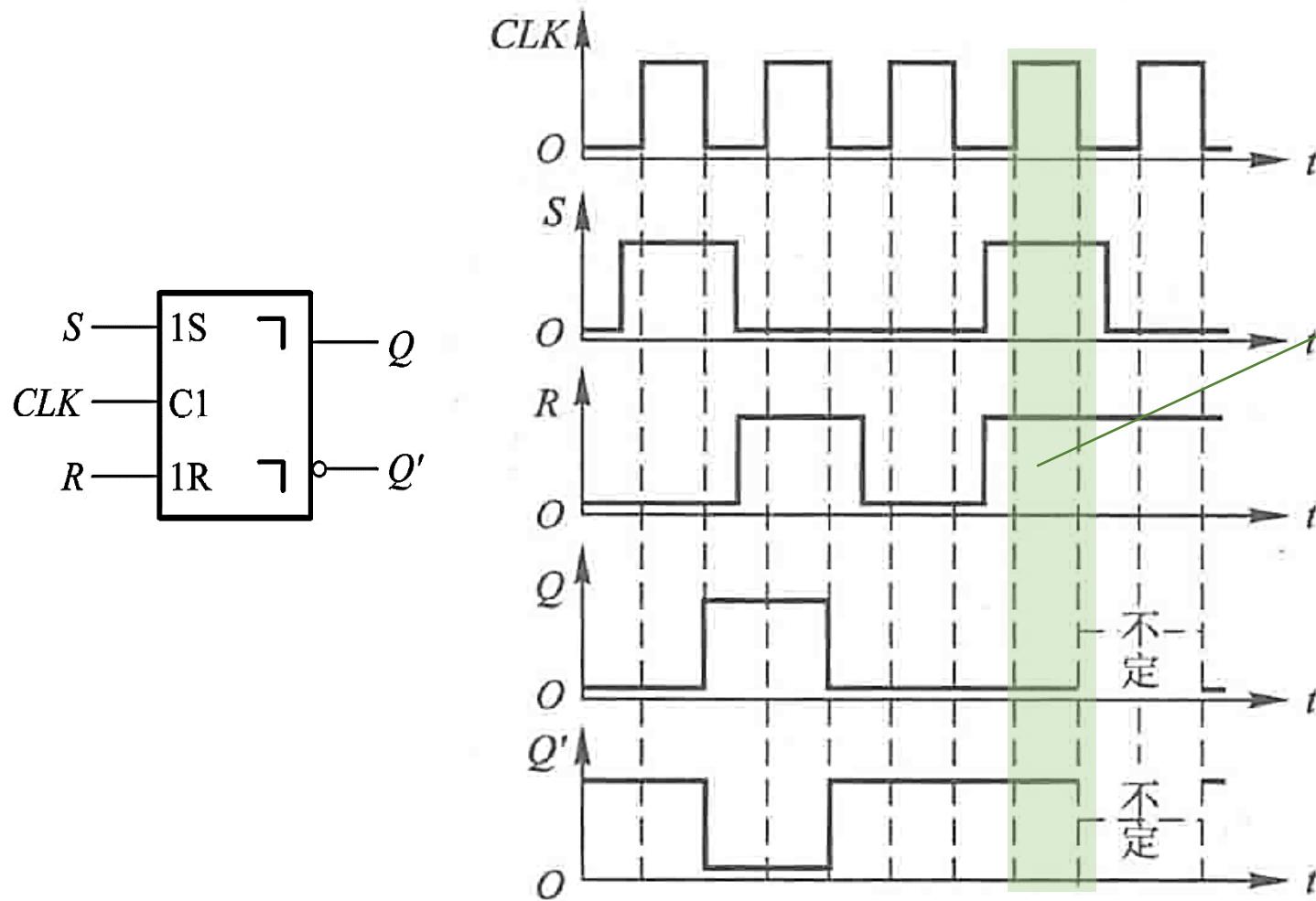
主从 SR 触发器与电平 SR 触发器的区别只在于触发的方式和动作的时刻，而其逻辑功能特性即 S、R、Q、Q* 的关系仍然符合同样的功能表；

注意！应用这个功能表分析问题存在的一个误区：

使用这个表格有一个条件，那就是在 $CLK = 1$ 期间，S 和 R 始终是一个状态，才可以利用这个表格来判断下降沿时输出状态的改变；如果 S、R 的状态在 $CLK = 1$ 期间有改变，那么最终的输出是取决于下降沿前一瞬间主触发器的状态，而不一定是 S 和 R 的状态！

脉冲触发的触发器

应用脉冲触发的 SR 触发器的逻辑功能表分析问题时易错点示例：



在 $CLK = 1$ 期间

$S = R = 1$,

此时主触发器的 Q_m 和 Q_m' 为异常状态
但是这里的 Q 和 Q' 是整个触发器也就是
从触发器的 Q 和 Q' , 是保持之前的状态；
(从触发器的时钟信号为 0)

而当下降沿来到时，

由于对于主触发器来说，

$S = R = 1$ 时 CLK 从 $1 \rightarrow 0$

就相当于 S 、 R 同时回到 0，

因此主触发器的输出状态不定，

从触发器的输入状态不定，

因此之后整个触发器的状态都不定；

脉冲触发的触发器

应用脉冲触发的 SR 触发器的逻辑功能表分析问题时易错点示例：

再考虑下面一种情况（没有用波形给出，在这里用文字描述）：

在 $CLK = 1$ 期间， $Q = 0$ ，首先是 $S = 0, R = 0$ ；接着 $S = 1, R = 0$ ；最后 $S = 0, R = 0$ 直到 CLK 的下降沿来到；如果直接按照功能表判断， CLK 下降沿时 $S = R = 0$ 保持，则 $Q^* = Q = 0$ ；

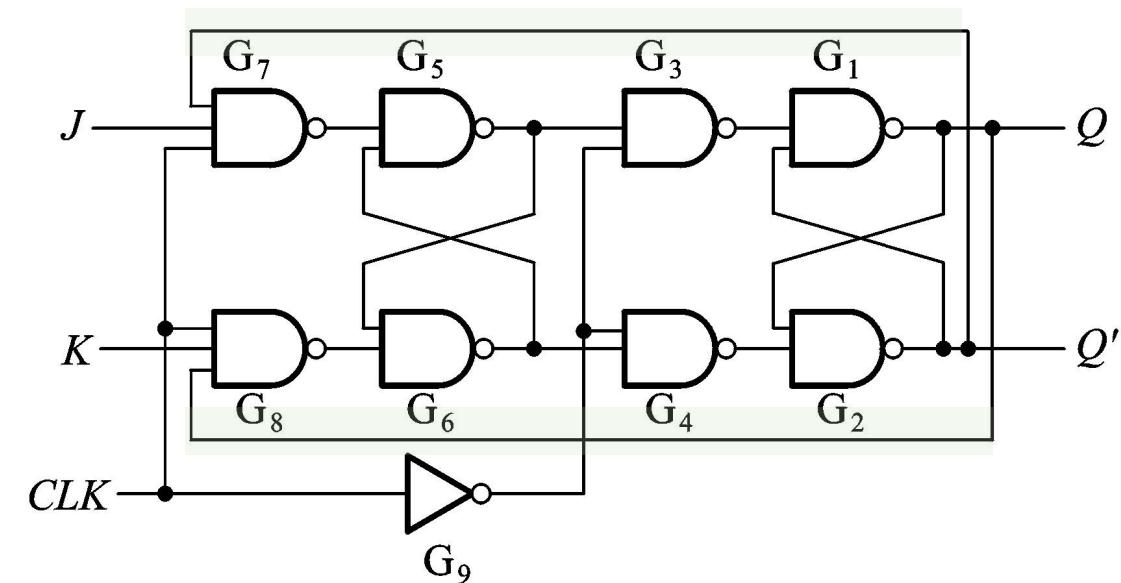
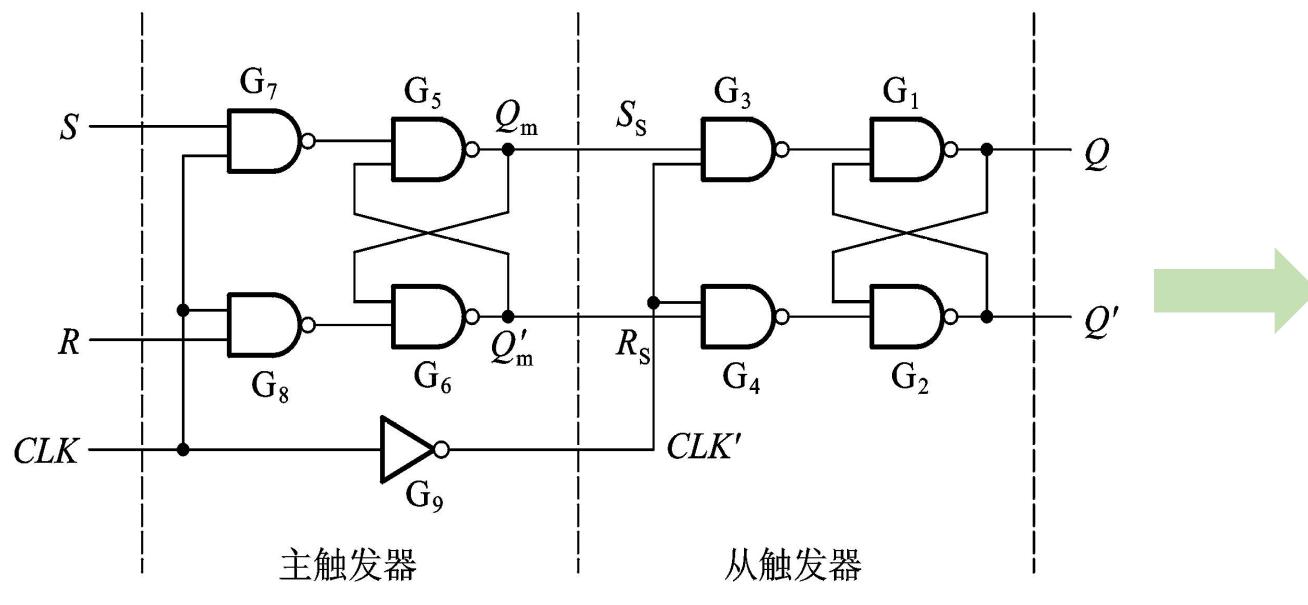
但是，因为在 $CLK = 1$ 的期间，主触发器是电平触发的触发器，主触发器的任何输入的变化都有可能导致其输出状态的变化，进而可能将此变化后的输出状态在下降沿时作为输入信号传递给后面的从触发器；（这就是与后面的边沿触发的触发器最大的不同之处！）

因此对于本例，由于 $S = 1, R = 0$ 时主触发器置 1，之后的 $S = 0, R = 0$ 主触发器保持 1，所以当下降沿来到的时候，虽然 $S = 0, R = 0$ ，但是从触发器应该按照此时主触发器的状态置 1，即 $Q^* = 1$ ；

脉冲触发的触发器

○ 主从 JK 触发器

为了想解除 SR 触发器的约束条件 $SR = 0$ 的限制，希望即使出现了 $S = R = 1$ ，其触发器的次态也可以确定，可以将 Q 通过反馈引回至 R 侧的与非门输入，将 Q' 通过反馈引回至 S 侧的与非门输入，将置位信号和复位信号表示为 J、K 以作为和 SR 触发器的区别，称为主从 JK 触发器；



脉冲触发的触发器

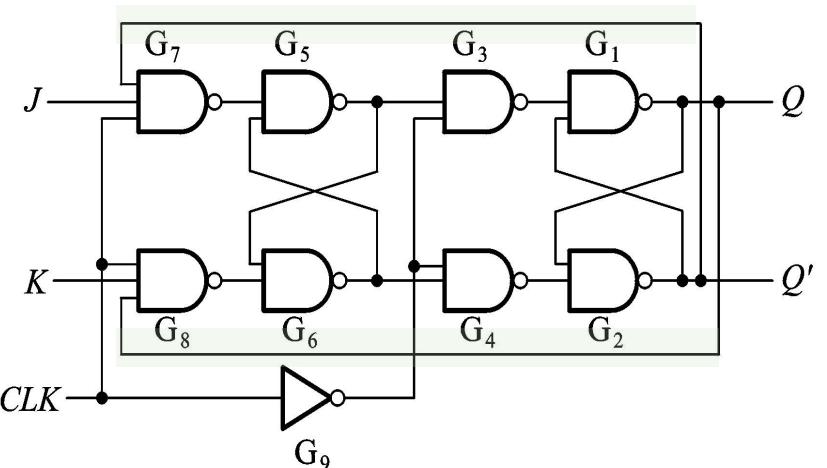
主从 JK 触发器的工作原理

注意：

在这整页中，分析的状态的变化都是 CLK 为 1 期间
主触发器的状态！

从触发器的状态还没有讨论！
不要只去背文字内容！

在 $CLK = 1$ 期间：



- ①当 $J = 0, K = 0$ 时，输入为与非门，因此屏蔽了 Q 和 Q' 的反馈量，即此时相当于反馈不存在，主触发器状态保持不变；
- ②当 $J = 1, K = 0$ 即有效置位信号时，如果原来的状态是 0 即 $Q = 0, Q' = 1$ ，则主触发器置 1；如果原来的状态是 1 即 $Q = 1, Q' = 0$ 则置位信号被屏蔽（因为 $Q' = 0$ ），保持 1；无论怎样， $J = 1, K = 0$ 主触发器都是置 1；
- ③当 $J = 0, K = 1$ 即有效复位信号时，同理，主触发器置 0（原来是 1 则复位置 0，原来是 0 则保持 0）；
- ④当 $J = 1, K = 1$ 时，此时即输入端的两个与非门只取决于 Q' 和 Q ；如果原来的状态是 0 即 $Q = 0, Q' = 1$ ，则对于主触发器来说相当于 $S = 1, R = 0$ ，因此置 1；如果原来的状态是 1 即 $Q = 1, Q' = 0$ ，则对于主触发器来说相当于 $S = 0, R = 1$ ，因此置 0；综上， $J = K = 1$ 时主触发器的动作是翻转；

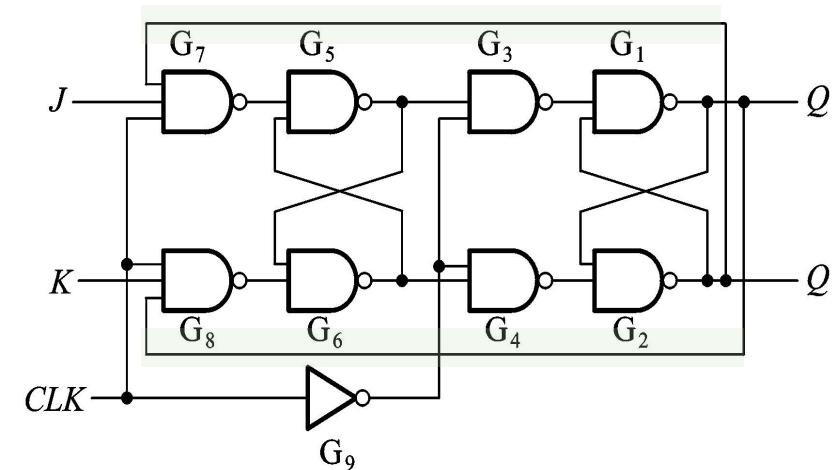
脉冲触发的触发器

思考：

主触发器在 $CLK = 1$ 期间状态最多能翻转几次？



在 $CLK = 0$ 时，输入信号包括来自 Q 和 Q' 的反馈信号被屏蔽， CLK 从 1 变为 0 的前一瞬间的主触发器的输出状态作为从触发器的输入，从触发器进行相应的动作；



由于主触发器不会出现 $Q = Q' = 1$ 的异常状态，因此就满足了从触发器 $SR = 0$ 的约束条件；

因此，主从 JK 触发器和主从 SR 触发器的工作原理和特点基本类似，都是在 $CLK = 1$ 时，主触发器跟随输入状态改变状态，从触发器不动作，而在 CLK 从 1 变为 0 的下降沿处，从触发器根据主触发器前一瞬间的状态动作，区别就在于此时没有了 $SR = 0$ 的约束条件， $J = K = 1$ 对于主触发器指令含义为翻转；

脉冲触发的触发器

○ 主从 JK 触发器的一次变化特性

在主从 SR 触发器中我们分析过，由于主从 SR 触发器是两个电平触发的 SR 触发器构成的，因此在 $CLK = 1$ 期间，输入信号任何的改变都可能会改变主触发器的状态，主触发器的状态理论上可以无限地翻转；但是对于主从 JK 触发器，其在 $CLK = 1$ 期间主触发器最多只可能翻转一次，一旦翻转没有办法回到原来的状态；这称为主从 JK 触发器的一次变化特性；

一次变化特性的根本原因就在于电路结构的不同 —— 因为主从 JK 触发器存在着从末级从触发器输出引回到前级主触发器输入的反馈（而且是交叉反馈， Q' 引回 S 即 J， Q 引回 R 即 K），而在 $CLK = 1$ 期间，从触发器的输出状态也就是整体的输出状态是不可能改变的，即 Q 和 Q' 是一个特定的值，因此 $Q = 1, Q' = 0$ 就会屏蔽 J 输入端的置位信号， $Q = 0, Q' = 1$ 就会屏蔽 K 输入的复位信号，主触发器最多只可能翻转一次，翻转之后就不可能再翻回原来的状态；

思考：

一次变化特性从抗扰角度来说是正面的还是负面的？
(负面的)

脉冲触发的触发器

对于主从结构的触发器
(脉冲触发的触发器)
一定不要只背功能表
必须理解原理!

○ 主从 JK 触发器的逻辑功能特性

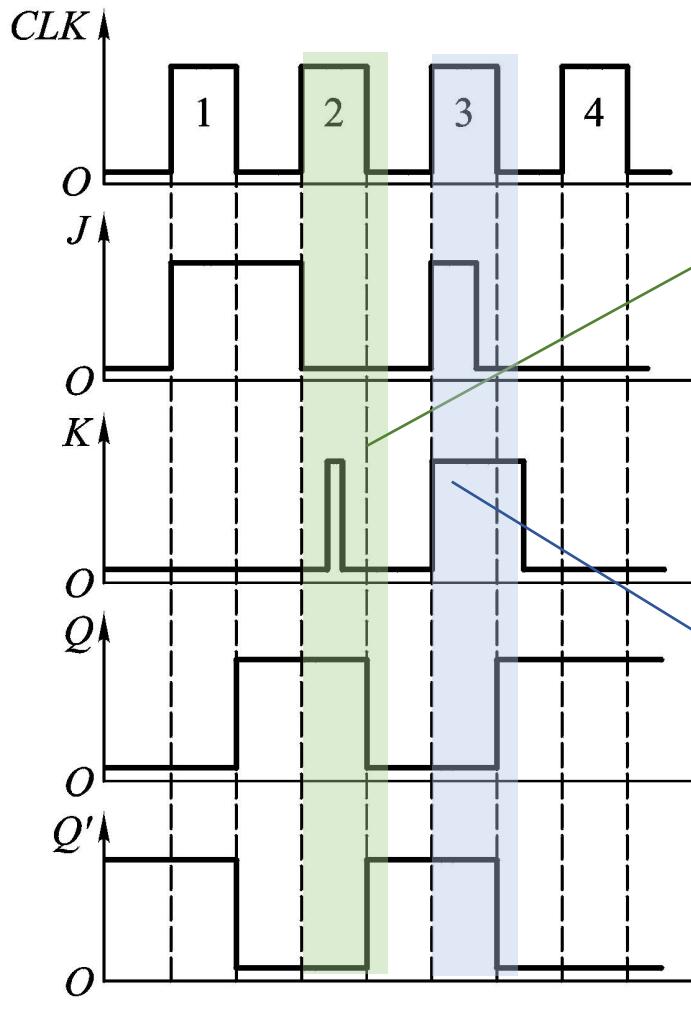
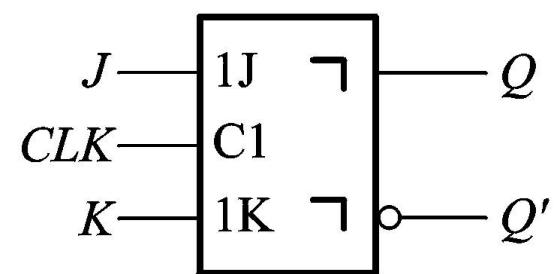
CLK	J	K	Q	Q*
x	x	x	x	Q
	0	0	0	0
	0	0	1	1
	1	0	0	1
	1	0	1	1
	0	1	0	0
	0	1	1	0
	1	1	0	1
	1	1	1	0

主从 JK 触发器与主从 SR 触发器的逻辑功能区别只在于允许 $J = K = 1$, $J = K = 1$ 的指令是翻转；

注意！和前面一样，在解决绘制波形图的问题时直接去用这张表格可能出现错误！使用这个表格的条件是在 $CLK = 1$ 期间，J 和 K 始终是一个状态，才可以利用这个表格来判断下降沿时输出状态的改变；如果 J、K 的状态在 $CLK = 1$ 期间有改变，那么最终的输出是取决于下降沿前一瞬间主触发器的状态，而不一定是在下降沿处 J 和 K 的状态！（并且在 $CLK = 1$ 期间主触发器最多只可能改变一次状态）

脉冲触发的触发器

应用脉冲触发的 JK 触发器的逻辑功能表分析问题时易错点示例：



虽然 CLK 第 2 个高电平下降沿位置
 $J = K = 0$,
但是在 CLK 为 1 期间,
出现了 $J = 0, K = 1$ 复位指令,
因此主触发器的状态翻转为 $Q = 0, Q' = 1$,
且保持此状态直到下降沿瞬间,
因此下降沿位置从触发器是复位操作;

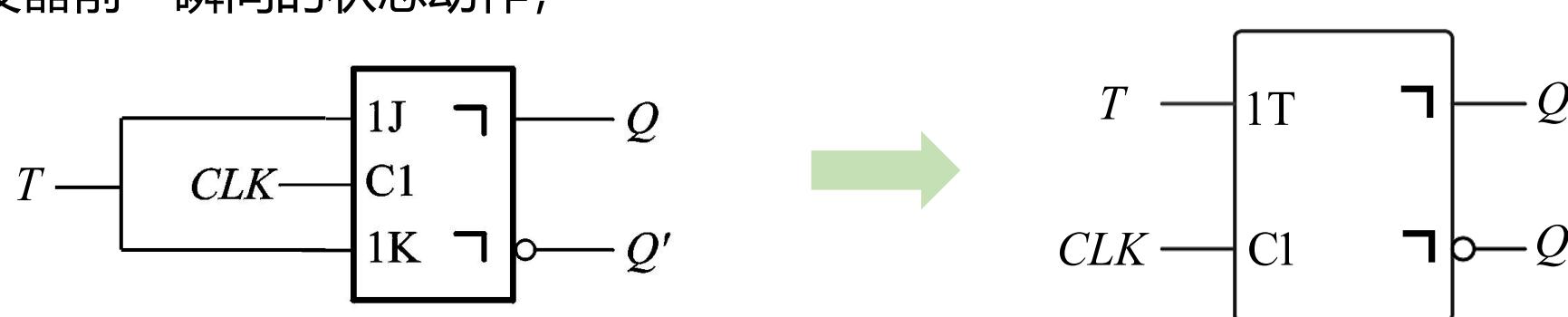
在 CLK 第 3 个高电平期间,
出现了 $J = K = 1$, 因此主触发器翻转,
又因上一个下降沿后主、从触发器均已复位
因此主触发器从 0 翻转为 1;
虽然接下来 J 回到了低电平即
 $J = 0, K = 1$,
但是主触发器最多只能改变一次状态
所以下降沿来到时,
主触发器将从触发器置 1 而不是
根据 $J = 0, K = 1$ 置 0!

脉冲触发的触发器

脉冲触发的 T 触发器

特殊地，如果将脉冲触发的 JK 触发器的 J 和 K 并接在一起，即 $J = K$ ，那么对应的就只有 JK 触发器中 $J = K = 0$ （保持）和 $J = K = 1$ （翻转）两种情况；令单端输入信号为 T，即称为 T 触发器，由于内部结构没有改变，因此此时仍然是脉冲触发方式；

脉冲触发的 T 触发器的特点与主从 JK 触发器的工作特点基本一致，区别只在于取消了置 1 和置 0 的功能；在 CLK 为 1 的期间， $T=0$ 主触发器保持， $T=1$ 则主触发器翻转（但同样，在整个 CLK 为 1 期间最多只能翻转一次），CLK 从 1 跃变到 0 的下降沿处从触发器根据主触发器前一瞬间的状态动作；



脉冲触发的触发器

对于主从结构的触发器
(脉冲触发的触发器)
一定不要只背功能表
必须理解原理！

脉冲触发的 T 触发器的逻辑功能特性

脉冲触发的 T 触发器与脉冲触发的 JK 触发器的逻辑功能区别在于其为单端输入，只具有保持和翻转的功能；

CLK	T	Q	Q^*
x	x	x	Q
↓	0	0	0
↓	0	1	1
↓	1	0	1
↓	1	1	0

注意！和前面一样，在解决绘制波形图的问题时直接去用这张表格可能出现错误！使用这个表格的条件是在 $CLK = 1$ 期间，T 始终是一个状态，才可以利用这个表格来判断下降沿时输出状态的改变；如果 T 的状态在 $CLK = 1$ 期间有所变化，那么最终的输出是取决于下降沿前一瞬间主触发器的状态，而不一定是下降沿处 T 的状态！（且在 $CLK = 1$ 期间主触发器最多只能改变一次状态）

脉冲触发的触发器

一定不要只是背文字内容！
要结合前面的分析理解每一句话！



脉冲触发的触发器小结

- 本教材中介绍了三种脉冲触发的触发器，脉冲触发的 SR 触发器、脉冲触发的 JK 触发器、脉冲触发的 T 触发器，它们结构上的共性都是主从结构，区别在于 JK 触发器在 SR 触发器的基础上存在从触发器输出端到主触发器输入端的交叉反馈，允许输入的置位和复位信号同时有效，对应指令功能是翻转；T 触发器是在 JK 触发器的基础上令 $J = K$ ，取消了置 1 和置 0 的功能；
- 由于脉冲触发器的结构是两个时钟互补的电平触发的触发器，因此在分析脉冲触发的触发器的状态波形图时，输出状态只可能在下降沿（如果是 CLK' 即上升沿）处改变，但此时从触发器的动作并不是只由下降沿位置处的输入信号状态决定，而是要考虑在 $CLK = 1$ ($CLK' = 0$) 期间主触发器的全部变化过程，特别地，对于脉冲触发的 JK 触发器（包括对应的脉冲触发的 T 触发器），注意它的一次变化特性，其在 $CLK = 1$ 期间主触发器最多只可能翻转一次状态；

脉冲触发的触发器

思考：

我们期望的是什么？
(在边沿处输出状态只取决于这一时刻的输入，
就是下一节的边沿触发)

脉冲触发存在的问题

根据前面对脉冲触发的触发器的特点总结可以发现，即使此时触发器的动作只在脉冲信号的边沿处产生，但是触发器的次态并不是只取决于边沿处的输入状态，时钟信号在到达边沿前的期间，输入状态的任何变化都可能会导致主触发器状态的改变，进而在时钟信号边沿将这个改变后的状态（一般都是我们预期之外的）传递给从触发器，导致整个触发器输出状态的改变；因此脉冲触发的可靠性较差即抗干扰性能较差；

所以在实际应用脉冲触发器时（以时钟信号高电平有效为例），一般需要在 CLK 的上升沿之前加入输入信号，且保持 $CLK = 1$ 期间内输入信号稳定不产生变化，这样在下一个下降沿到达时，输出状态才会根据我们的输入指令来动作，即可以直接对应教材上给出的功能表；（但是在平时的作业和考试中，一般特别重点考察的就是 CLK 为高电平期间输入发生变化，因此一定不能只背教材上的表格，要理解主从结构！）

边沿触发的触发器

○ 边沿触发的概念

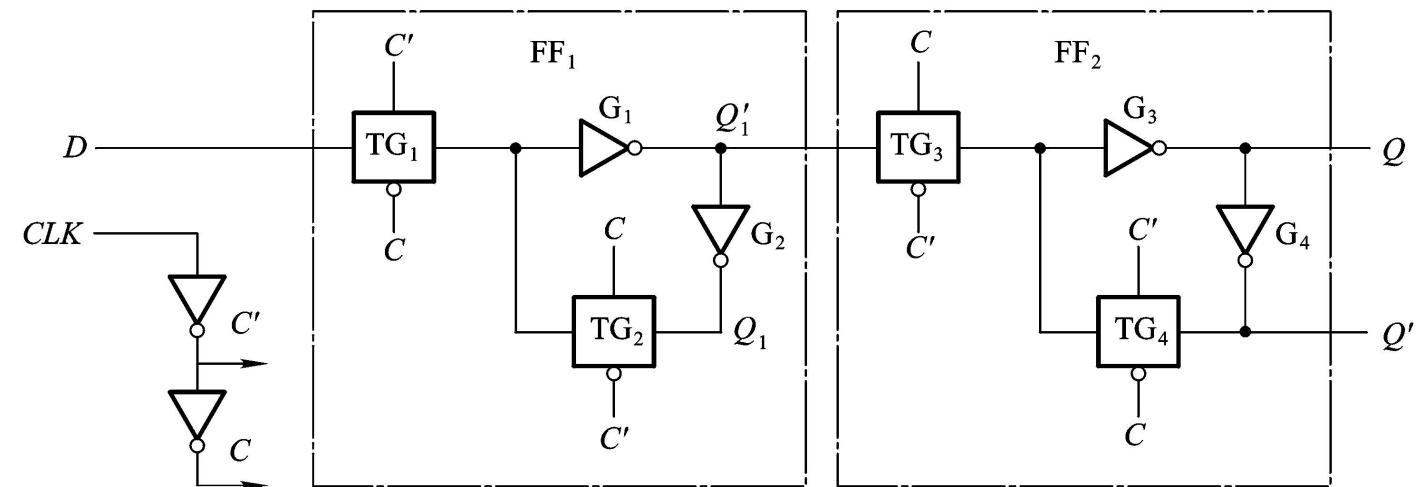
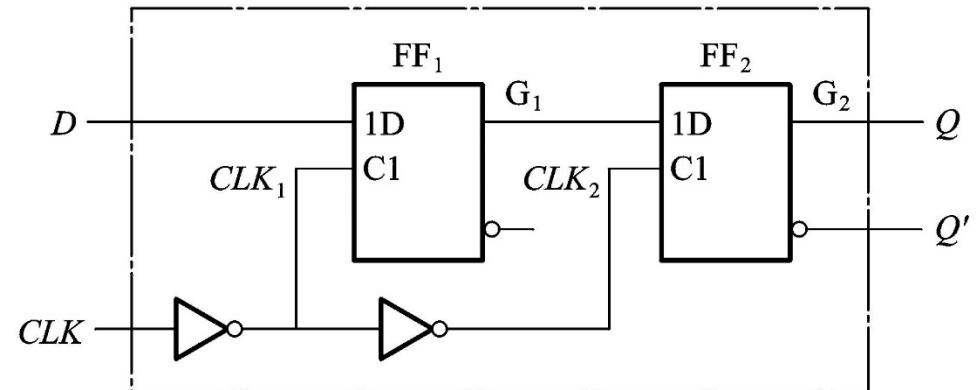
所谓的边沿触发方式就是，在触发信号的上升沿或下降沿处，根据输入信号的状态触发器动作；即触发的条件并不是高低电平，而是高低电平的变化；

因此，虽然边沿触发方式和脉冲触发方式的触发器的动作都是发生在边沿位置处，但是最大的不同就在于脉冲触发方式的输出与边沿到达之前主触发器的状态有关，在边沿到达之前输入的任何变化都会被电路“记忆”，因此影响主触发器的状态，进而影响最终的输出状态；而对于边沿触发方式，输出状态只取决于边沿这一时刻的输入状态，与之前的状态无关；

边沿触发的触发器

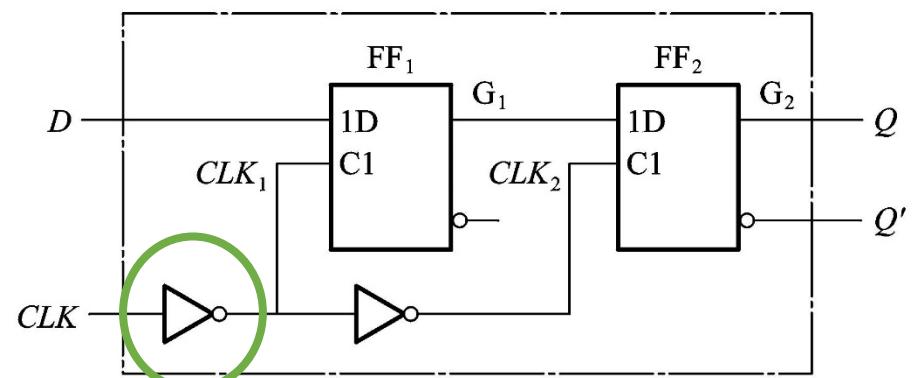
○ 主从 D 触发器

如果将前一节的主从 SR 触发器结构中的两个电平触发的 SR 触发器换成两个电平触发的 D 触发器，即主从 D 触发器，即可构成一个边沿触发的 D 触发器；又因为一般集成电路中可以用 CMOS 传输门来构建电平触发的 D 触发器，因此又可称为 CMOS 边沿触发 D 触发器，内部结构如右图所示（了解即可）；



边沿触发的触发器

主从 D 触发器的工作原理



注意这里有个反相器！

思考：

为什么同样是主从结构，

用两个电平触发的 D 触发器就是边沿触发，
而用两个电平触发的 SR 触发器就是脉冲触发？

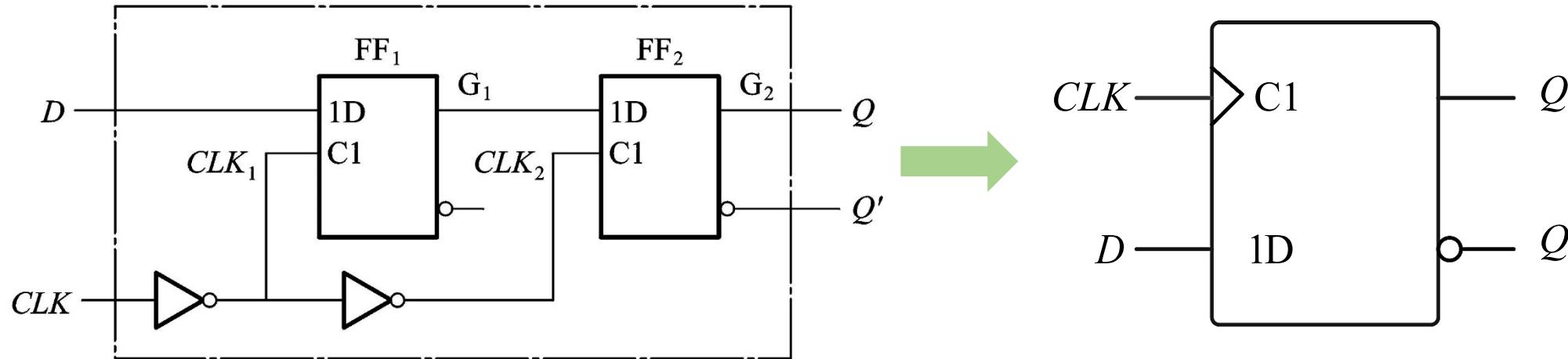
(因为 D 触发器的“透明”特性，即没有记忆功能，
D 触发器在 $CLK = 1$ 时相较于 SR 触发器缺少了保持的功能，
因此过去的变化不会被记录下来，输出一直在跟随输入)

在 $CLK = 0$ 期间，主触发器时钟信号有效，根据电平触发的 D 触发器的工作特点，此时主触发器的输出完全跟随输入变化，即 $D = 1$ 主触发器置 1， $D = 0$ 主触发器置 0；在此期间从触发器的时钟信号无效，输出状态保持；

在 CLK 从 0 变为 1 的上升沿处，此时这一瞬间主触发器的输出状态作为从触发器的输入，控制从触发器的动作；由于主触发器的输出在此之前始终完全跟随输入，因此边沿这一瞬间从触发器的输出状态就只受这一时刻的输入的控制，而与过去输入变化的过程无关；而且，由于 CLK 变为 1 后主触发器屏蔽了输入，所以输出状态也不会再被改变，保持；

边沿触发的触发器

○ 边沿触发的 D 触发器的图形符号

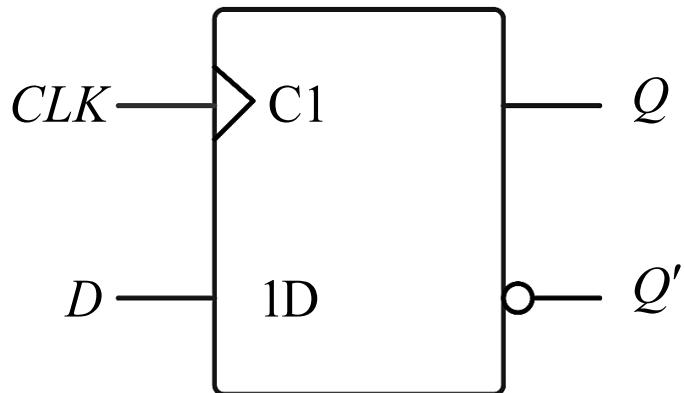


触发器图形符号带有 “>” 表示是边沿触发方式；

注意，对于边沿触发的触发器，触发信号没有小圆圈即表示输出的状态变化发生在上升沿，而用带有小圆圈是发生在下降沿！！！这一点与脉冲触发的图形符号是相反的！！要注意区分！！！

边沿触发的触发器

○ 边沿触发的 D 触发器的逻辑功能特性



CLK	D	Q	Q^*
X	X	X	Q
↑	0	X	0
↑	1	X	1

边沿触发的 D 触发器与电平触发的 D 触发器的区别只在于触发方式的不同，对于边沿触发的 D 触发器，

当时钟信号不是上升沿（或者下降沿）的时候，触发器始终是一个保持状态，输出状态不变；输出状态只会在边沿处发生改变，而且只取决于这一瞬间的输入， $D = 1$ 则置 1， $D = 0$ 则置 0，对于 D 触发器，没有保持功能；

边沿触发的触发器

认识到有其他这些结构即可，
暂时不必深究原理！

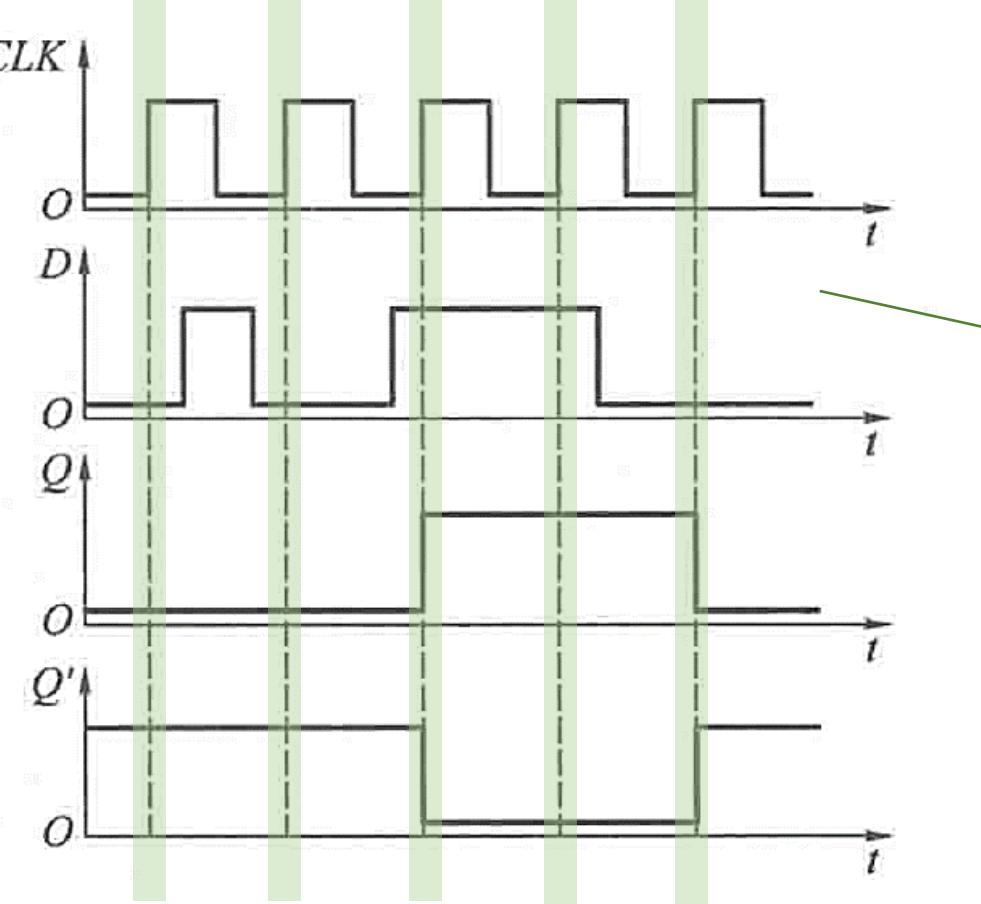
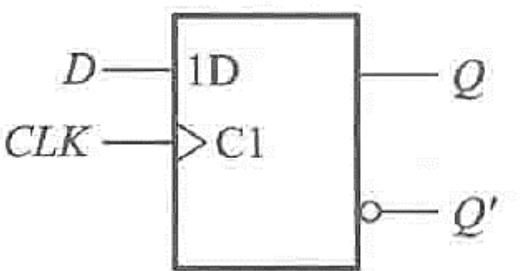
○ 其他结构和其他逻辑功能的边沿触发触发器

根据我们前面的内容，一个触发器的触发方式是取决于它的电路结构的，想要构成边沿触发的触发器，还可以有维持阻塞结构的触发器、利用门电路传输延迟时间的触发器；对应地也会有其他逻辑功能的边沿触发器，例如边沿触发的 SR 触发器、边沿触发的 JK 触发器、边沿触发的 T 触发器；（注意：维持阻塞等这些名词只是电路结构，并不是和 SR、JK、T、D 这些完全对应的，这些指的是触发器的逻辑功能，后面会强调）

对于其他的边沿触发器，例如 SR、JK、T，其逻辑图形符号的表示方法也是一样的，而分析的时候，只需要分析边沿位置处的输入信号，再对应各自的功能表即可；此时无需再像脉冲触发时一样考虑边沿之前主触发器的状态变换过程；

边沿触发的触发器

○ 边沿触发的触发器分析示例：



对于脉冲触发的触发器，
直接找上升沿（对于本例），
然后再结合该触发器的逻辑功能，
只根据边沿这一刻的输入即可，

对于 D 触发器，
 $D = 1$ 置 1，
 $D = 0$ 置 0；

边沿触发的触发器

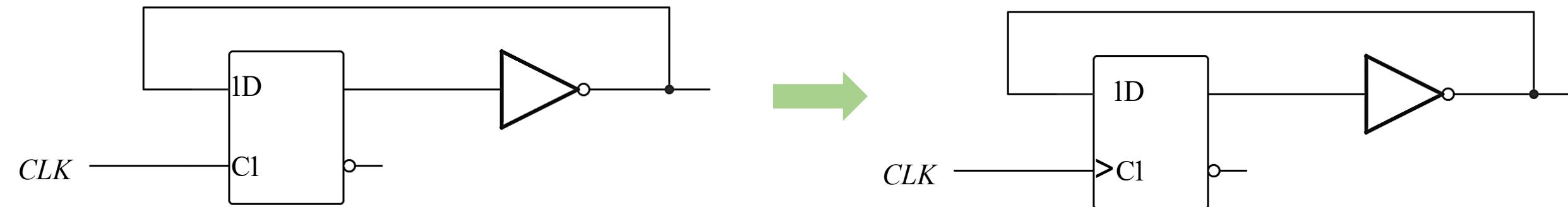
思考：

这个电路如果只用 1 个触发器实现，
还可以怎么设计？提示：翻转
(用 T 触发器，令 T 恒为 1，
CLK 每到来一个边沿，状态就翻转一次)

○ 边沿触发与电平触发的对比

现在尝试用边沿触发的触发器来解决前面组合逻辑电路以及电平触发的触发器解决不了的问题，
按一下次开关（给定一个脉冲），则输出状态切换；

可以根据边沿触发的工作特点得到，对于右图即将电平触发的 D 触发器更改为边沿触发的 D 触发器后就不存在前面提到的按键按下后状态一直在切换以及由于按键时间长短不同、松开按键后状态不确定的情况了；



边沿触发的触发器



边沿触发的触发器小结

- 主从结构的两个电平触发的 D 触发器（有的教材也称 D 型锁存器）、维持阻塞结构、利用门电路传输延迟时间构成的触发器电路都是边沿触发方式，逻辑功能可以有 SR、JK、D、T；
- 边沿触发的触发器工作特点是触发器动作仅发生在时钟脉冲信号的上升沿或下降沿，而且其输出状态的变化只取决于这一时刻的输入，与之前和之后都无关，这是与脉冲触发方式最大的不同之处；

不同逻辑功能的触发器

○ 触发器的逻辑功能

触发器的逻辑功能是由于信号的输入方式不同（有单端输入和双端输入）包括约束条件也可能不同，对应的在触发器动作时输入信号实现的功能也不相同；前面的 SR、JK、D、T 都指的是触发器的逻辑功能分类；

如果用类似于组合逻辑电路中的逻辑函数式来表示触发器的逻辑功能特性，那么需要注意的是，触发器的输出状态 Q 其实相当于既是输入变量，又是输出变量，有初态和次态之分；所以，将初态 Q 归至输入侧，视为一个输入变量，得到次态 Q^* 与 Q 以及其他输入变量的逻辑函数（通过真值表），我们把这个逻辑函数称为触发器的特性方程；触发器的特性方程是在下一章设计时序逻辑电路时的基础；

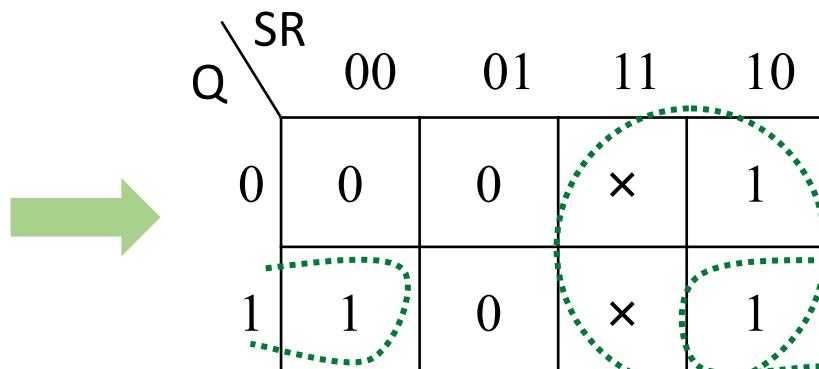
不同逻辑功能的触发器



SR 触发器

在时钟信号作用下（电平触发、脉冲触发、边沿触发）符合以下功能特性表的都称为 SR 触发器；SR 触发器具有保持，置 1，置 0 的功能，存在约束条件 $SR = 0$ ；即使用 SR 触发器的场合要保证两个输入不能同时为 1； $S=R=1$ 对应的是无关项；

S	R	Q	Q^*
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	x
1	1	1	x



$$\begin{cases} Q^* = S + R'Q \\ SR = 0 \quad (\text{约束条件}) \end{cases}$$

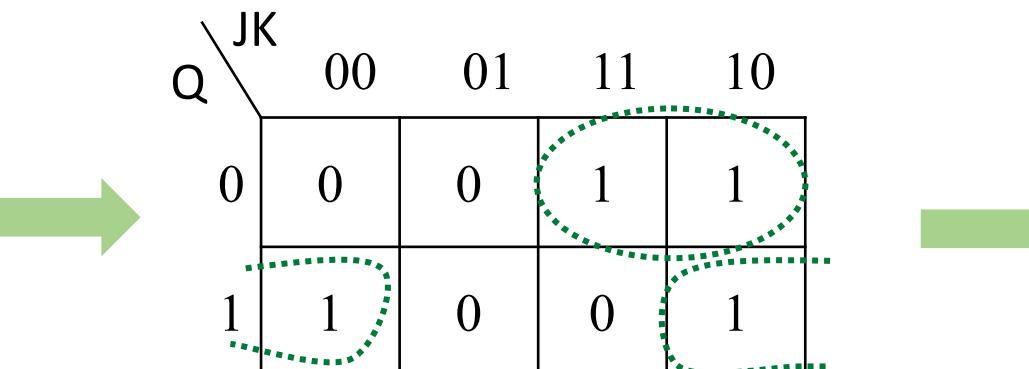
这个特性方程要记下来！
之后就无需临场推导了！

不同逻辑功能的触发器

JK 触发器

在时钟信号作用下符合以下功能特性表的都称为 JK 触发器；JK 触发器具有保持，置 1，置 0 和翻转的功能；即相较于 SR 触发器，其允许置位端和复位端同时为 1，功能对称是翻转；

<i>J</i>	<i>K</i>	<i>Q</i>	<i>Q*</i>
0	0	0	0
0	0	1	1
1	0	0	1
1	0	1	1
0	1	0	0
0	1	1	0
1	1	0	1
1	1	1	0



$$Q^* = JQ' + K'Q$$

这个特性方程要记下来！
之后就无需临场推导了！

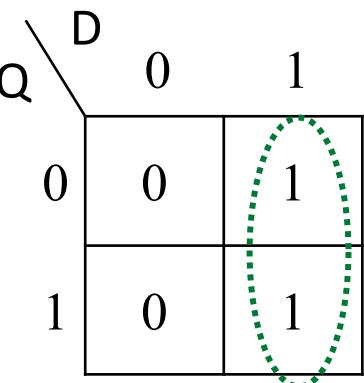
不同逻辑功能的触发器



D 触发器

在时钟信号作用下符合以下功能特性表的都称为 D 触发器；D 触发器为单端输入的触发器；D 触发器只具有置 1 和置 0 的功能；

D	Q	Q^*
0	0	0
0	1	0
1	0	1
1	1	1



$$Q^* = D$$

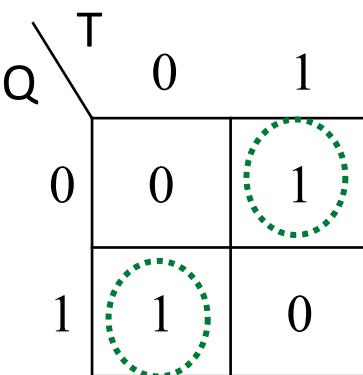
这个特性方程要记下来！
之后就无需临场推导了！

不同逻辑功能的触发器

T 触发器

在时钟信号作用下符合以下功能特性表的都称为 T 触发器；T 触发器为单端输入的触发器；T 触发器只具有保持和翻转的功能；

T	Q	Q^*
0	0	0
0	1	1
1	0	1
1	1	0



$$Q^* = TQ' + T'Q$$

这个特性方程要记下来！
之后就无需临场推导了！

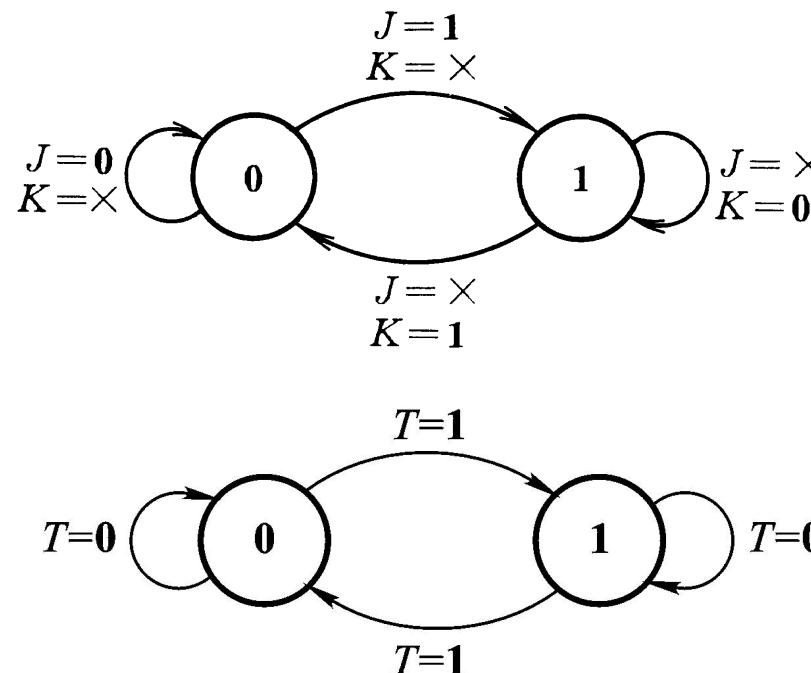
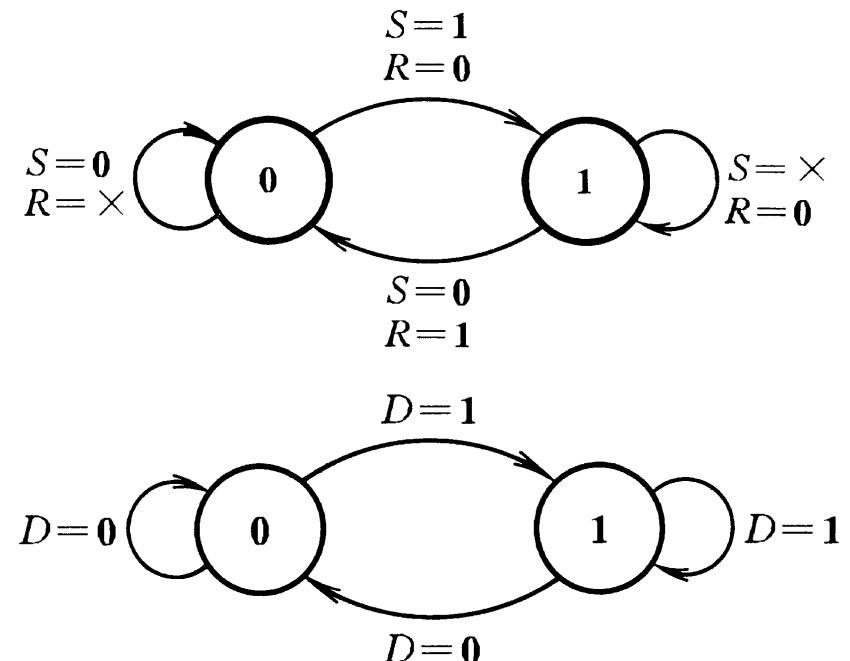
不同逻辑功能的触发器



触发器的状态转换图

将不同逻辑功能的触发器的功能特性表和特性方程以图形描述，即为状态转换图；

（这里教材本章给出的状态转换图没有做到和下一章时序逻辑电路的状态转换图的格式对应，目前简单了解状态转换图包含哪几个要素、能够读懂状态转换图即可）



不同逻辑功能的触发器

触发器的逻辑功能小结

注意：

重点掌握 JK 触发器和 D 触发器！
因为 SR 触发器和 T 触发器都可以用 JK 触发器代替！

SR 触发器	$S = 1, R = 0$ 置位 $S = 0, R = 1$ 复位 $S = 0, R = 0$ 保持	$\begin{cases} Q^* = S + R'Q \\ SR = 0 \quad (\text{约束条件}) \end{cases}$	存在约束条件 $SR = 0$
JK 触发器	$J = 1, K = 0$ 置位 $J = 0, K = 1$ 复位 $J = 0, K = 0$ 保持 $J = 1, K = 1$ 翻转	$Q^* = JQ' + K'Q$	功能最全
D 触发器	$D = 1$, 置位 $D = 0$, 复位	$Q^* = D$	触发信号有效作用时 没有保持功能即 无法记录变化过程 “透明” 特性
T 触发器	$T = 1$, 翻转 $T = 0$, 保持	$Q^* = TQ' + T'Q$	事实上就是 JK 触发器 令 $J = K$

触发器的描述

○ 触发器的电路结构与触发方式、逻辑功能的关系

- 电路的触发方式只取决于电路的结构形式，具有着固定的对应关系，例如：
同步 SR 结构 → 电平触发方式；
主从 SR 结构 → 脉冲触发方式；
主从 D 结构、维持阻塞结构、利用门电路传输延迟时间结构 → 边沿触发方式；
- 电路的结构形式和逻辑功能没有固定对应关系；同一逻辑功能的触发器可以用不同的电路结构实现，同一种电路结构也可以接成不同逻辑功能的触发器；

正是因为如此，就如本章开始提到的，描述一个触发器必须要结合两个方面，不能只描述它的触发方式，也不能只描述其逻辑功能，而我们用一个图形符号将触发器封装起来去表示的目的就是为了在应用触发器、分析触发器时不再关心其内部的结构，而是可以直接根据其逻辑符号得到我们需要的信息去进行分析；

触发器

○ 触发器的图形符号小结

解决本章的问题包括下一章时序逻辑电路最关键的就是，触发器的类型的判断；如果触发器的触发方式判断错误，高电平有效/低电平有效、上升沿/下降沿判断错误以及逻辑功能（特性方程）弄错、搞混，那么整个题目后面的分析就全部是错误的，没有意义；

- C1 与 1S、1R、1J、1K、1D、1T 这类标识叫做同步标识，表示的是，输入信号要受到触发信号的控制，即输入需要与时钟“配合”；而没有编号的 S、R 的含义是异步置 1 和异步置 0，异步就是无视时钟，有效电平时直接置 1 或直接置 0；此时外部输入的信号下标带有 D 即 Direct，如 S_D 、 R_D （或者带小圆圈的 S_D' 、 R_D' 即低电平输入有效）；

触发器

○ 触发器的图形符号小结

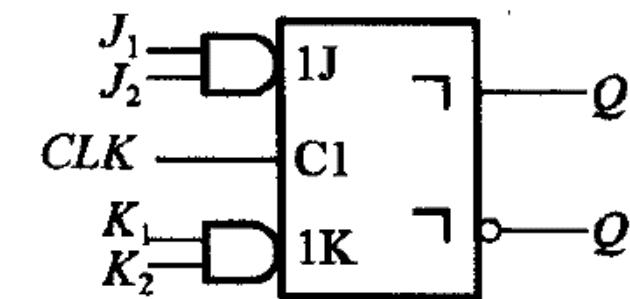
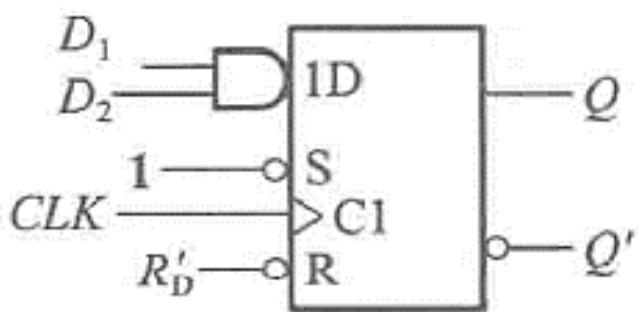
- 如果触发器图形符号上只有同步标识，没有 “↑” 和 “>”，为电平触发方式；
如果触发器图形符号上有 “↑” 标识，表示为脉冲触发方式；
如果触发器图形符号上有 “>” 表示，表示为边沿触发方式；
- 对于电平触发方式，触发信号为原变量形式则表示高电平有效输入，即 $CLK = 1$ 期间输出状态根据输入信号变化， $CLK = 0$ 时输入信号被屏蔽；如果触发信号带有小圆圈则表示低电平有效输入；
- 对于脉冲触发方式，触发信号没有小圆圈是表示下降沿触发器动作，而带有小圆圈则表示上升沿触发器动作；
- 对于边沿触发方式，触发信号没有小圆圈是表示上升沿触发器动作，而带有小圆圈则表示下降沿触发器动作；

触发器

○ 触发器的图形符号小结

- 有的时候可能还会见到如下面所示的这种多输入端的图形符号，那么根据其逻辑运算关系先求出真正的输入端口处的信号即可；

例如左图就是 $D = D_1 \cdot D_2$ ，右图就是 $J = J_1 \cdot J_2$ 、 $K = K_1 \cdot K_2$ ；



关于更多触发器图形符号判断的练习，请参考习题课 ppt！这里不再设篇幅列举！

注意：

不要只是单纯地背文字内容！

触发器

○ 触发器的状态变化分析小结

在通过触发器的图形符号将触发器的逻辑功能类型（SR、JK、D、T）与触发方式包括一些细节如高/低电平有效、上升沿/下降沿、是否有异步置位、复位输入端等判断完毕之后：

- 对于电平触发方式，关注其 CLK 为有效电平期间输出状态的变化，在此期间输入的任何变化都有可能改变输出的状态，对应功能表即可；CLK 为无效电平时输出状态保持；
- 对于边沿触发方式，只关注 CLK 上升沿/下降沿这一时刻输出状态的变化，而且这一时刻输出状态的变化只取决于这一时刻的输入信号，对应功能表即可；边沿前后输出状态均为保持；
- 对于脉冲触发方式，只关注 CLK 下降沿/上升沿这一时刻输出状态的变化，但这一时刻的输出状态不一定就是按照这一时刻的输入信号对应的功能表变化，而是要考虑边沿之前，主触发器有效电平期间的全部变化过程，在边沿前一瞬间主触发器的输出状态才是作为触发器状态改变的指令；特别地，对于脉冲触发的 JK 触发器，主触发器具有一次变化特性；

触发器

注意：

这个内部具体的结构不需要去死记硬背！
重点是应用其工作特点和功能特性！

这里只是帮助梳理本章！

小结

最基本的带反馈的两级反相器环路结构（只能存储保持，不能输入即不能改变其状态）



将反相器变为与非门/或非门

SR 锁存器（输入直接决定输出，没有触发信号的控制）



前级带有输入控制门，CLK 为无效电平直接屏蔽输入

电平触发的 SR 触发器即同步 SR 结构（触发信号为有效电平期间输出才可以根据输入变化）



两个时钟信号互补的电平触发 SR 触发器，主、从关系

脉冲触发的 SR 触发器（边沿处根据主触发器的状态将从触发器输出状态改变）



从触发器的输出反馈引回至主触发器的输入，交叉反馈

脉冲触发的 JK 触发器（允许输入 $J = K = 1$ ，具有一次变化特性）

触发器



小结

注意：

这个内部具体的结构不需要去死记硬背！
重点是应用其工作特点和功能特性！

这里只是帮助梳理本章！

电平触发的 SR 触发器即同步 SR 结构

令 $S = R'$ 单端输入

电平触发的 D 触发器（透明特性）

两个时钟互补的主从结构的电平触发 D 触发器

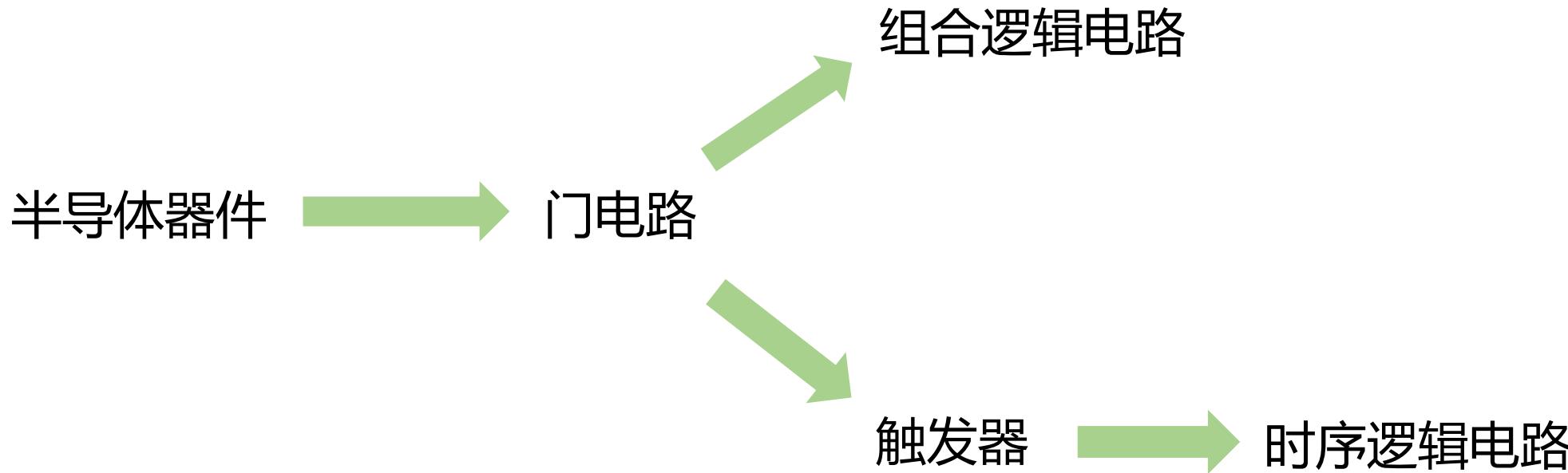
边沿触发的 D 触发器（边沿处输入状态直接决定输出状态）

其他结构（维持阻塞等） 其他逻辑功能的边沿触发触发器

JK 触发器的 $J = K$ T 触发器

触发器

○ 小结



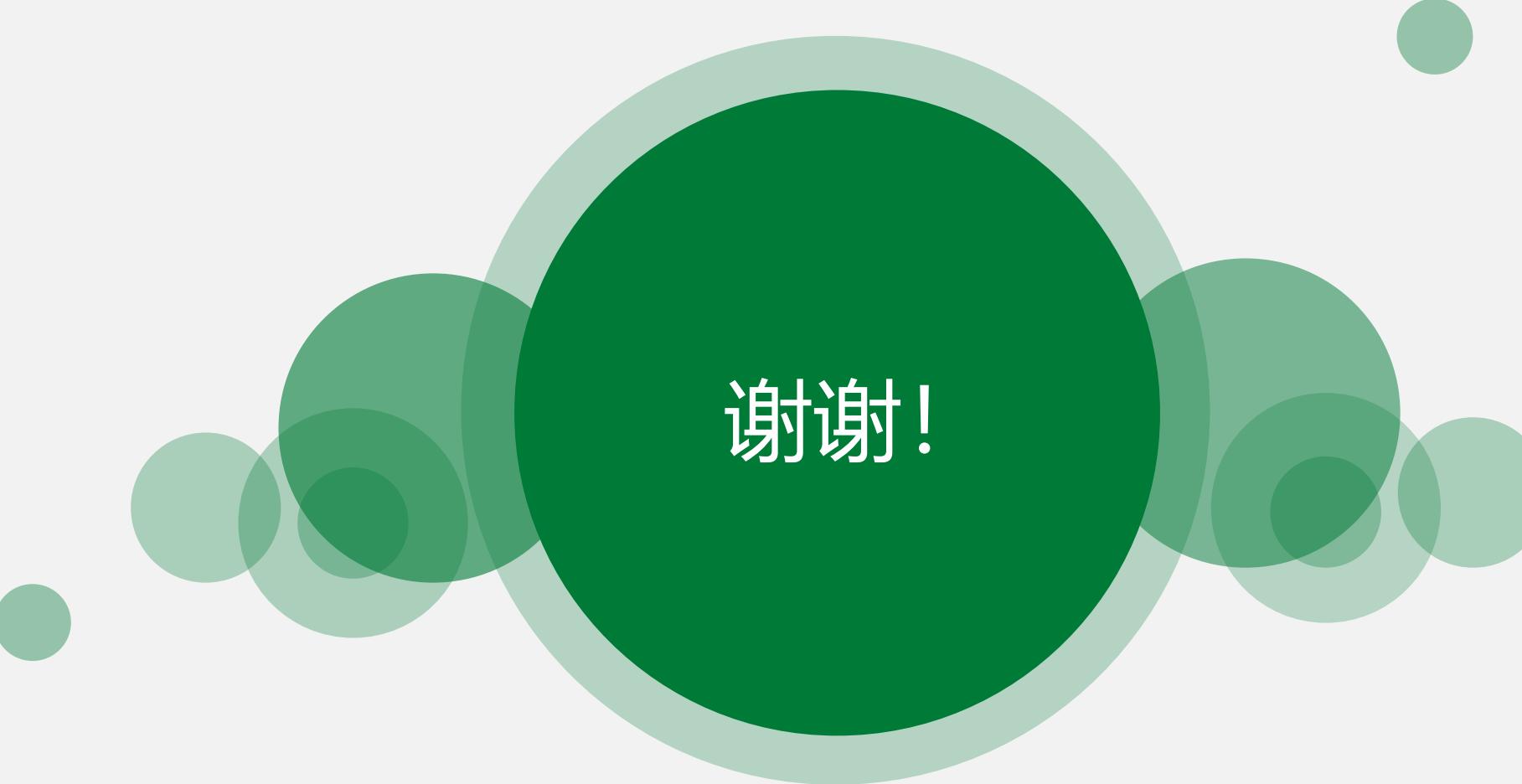
学习新的电路，关注内部结构以及电路的工作原理；学习之后，将电路的工作特点总结，封装打包为集成器件，不再重点关注内部的结构，而是重点研究其端口的逻辑功能特性；

触发器——小结

- 触发器的功能和作用 —— 触发器在电路中担任的 “角色”
- 电平触发、脉冲触发、边沿触发的概念和区分
- 不同逻辑功能的触发器的功能特性（包括功能表、特性方程）
- 触发器的逻辑图形符号
- 一些基本概念（锁存、触发、触发信号/时钟信号、置位/复位、同步/异步等）

请尊重个人版权 , 请勿上传至其他公共平台 , 谢谢理解 !

内容问题可联系 bow33@163.com



谢谢!