

# 华中科技大学考试卷 (A 卷, 闭卷)

课程: 数字电路与逻辑设计 (一) 2019.06.27 上午

专业 \_\_\_\_\_ 班级 \_\_\_\_\_ 姓名 \_\_\_\_\_ 学号 \_\_\_\_\_

题号	一 (15)	二 (10)	三 (6)	四 (20)	五 (43)	六 (6)	总分
得分							

## 一、填空题 (15 空, 每空 1 分, 共 15 分)

得分

(注: 所有答案必须填到下表对应位置中, 填写在题目中视为无效)

<u>1</u> 1011	<u>2</u>	<u>3</u>
<u>4</u> 高阻 (或 Z)	<u>5</u> 同时最多只有一个低电平 (有效)	<u>6</u> 16
<u>7</u> 0	<u>8</u> A	<u>9</u> 施密特触发器
<u>10</u> 单稳态触发器	<u>11</u> 9	<u>12</u> $2^6 \times 6$
<u>13</u> $2^n - 1$	<u>14</u> 2.445	<u>15</u> 4'b1101

- 1、二进制码  $(1101)_2$  的格雷码为 1。
- 2、逻辑函数  $F = \overline{AB} \cdot B + \overline{AC}$  的反演式为 2, 对偶式为 3。(不要化简)
- 3、三态门的三种可能输出状态有 0、1 和 4; 当多个低电平使能有效的三态门的输出端连接在一起时, 要使电路能正常工作, 它们的使能信号必须满足 5。
- 4、要存储  $(2019)_{10}$  对应的 8421BCD 编码, 至少需要 6 个 D 触发器。
- 5、若用 JK 触发器来实现状态方程为  $Q^{n+1} = \overline{A}Q^n$ , 则触发器的输入信号 J 和 K 的方程分别为  $J = \underline{7}$  和  $K = \underline{8}$ 。
- 6、将频率为 10KHz 的正弦波变换为同频率的矩形波, 可采用 9 电路; 将脉宽为 10ms 的方波变换为相同周期的脉宽为 1ms 的矩形脉冲, 可采用 10 电路。
- 7、一个存储容量为 4096bit 的 ROM 芯片有 8 根数据线, 其地址线为 11 根。
- 8、用存储器实现两个 3bit 无符号数的乘法运算, 存储器的容量至少需要 12 bit。
- 9、n 位全并行比较 A/D 转换器需要使用 13 个比较器和触发器。
- 10、若采用 10bit 单极性 DAC, 参考电压为 8V, 当输入数字量为  $(139)_{16}$  时, 对应的输出电压量为 14 V。
- 11、变量  $wire[3:0] a$  的值为 4'b1101, 则  $\{a[0], a[2:1], a[3]\} = \underline{15}$ 。

## 二、化简题（2 题，每题 5 分，总计 10 分）

得分	
----	--

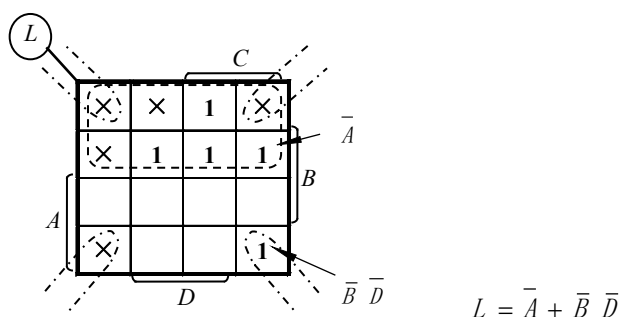
1. 代数法化简，求逻辑函数  $L$  的“最简与或式”。（无推导步骤不给分）

$$L = AC + \overline{B}C + B\overline{D} + A(B + \overline{C}) + \overline{A}BC\overline{D} + A\overline{B}DE$$

$$\begin{aligned} L &= \underline{AC} + \overline{B}C + B\overline{D} + \underline{A(B + \overline{C})} + \overline{A}BC\overline{D} + A\overline{B}DE \\ &= \underline{A} + \overline{B}C + B\overline{D} + \overline{A}BC\overline{D} + \underline{A\overline{B}DE} \\ &= \underline{A} + \overline{B}C + B\overline{D} + \overline{A}BC\overline{D} \\ &= A + \overline{B}C + \underline{B\overline{D}} + \underline{BC\overline{D}} \\ &= A + \overline{B}C + B\overline{D} \end{aligned}$$

2. 卡诺图化简，求逻辑函数  $L$  的“最简与或式”。（卡诺图填写完整、画圈，否则不给分）

$$L(A, B, C, D) = \sum m(3, 5, 6, 7, 10) + \sum d(0, 1, 2, 4, 8)$$



## 三、画波形图（6 分）

得分	
----	--

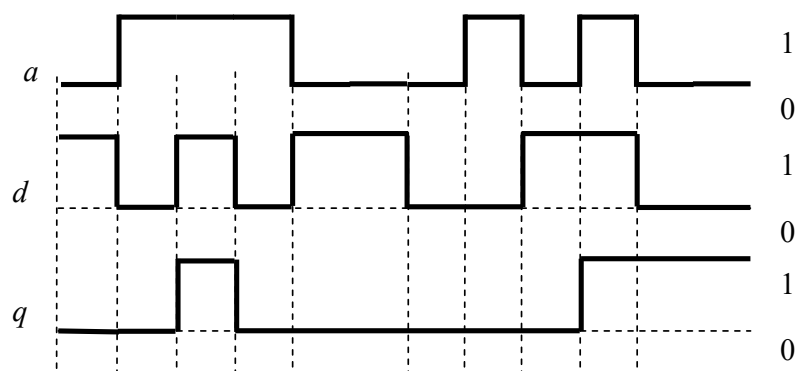
某一 Verilog HDL 程序中的部分代码如下。

```
always@ (a or d)
    if(a) q = d;
```

- (1) 请问该部分代码描述的是什么器件的逻辑功能？

D 锁存器

- (2) 请根据下图中给出的信号  $a$  和  $d$  的波形，画出信号  $q$  的波形。

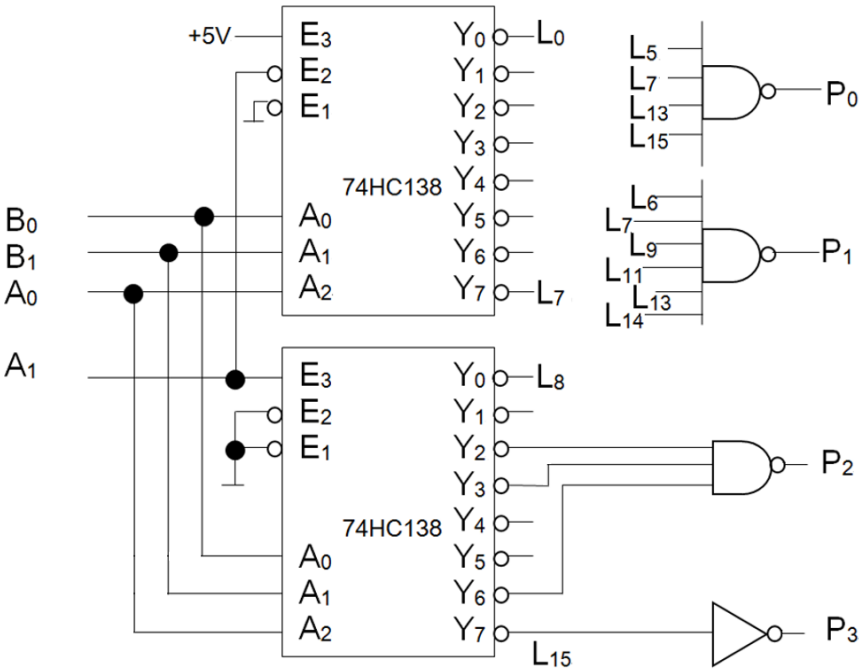


四、组合电路（包括 2 道大题，总计 20 分）

得分

4.1 组合电路分析。

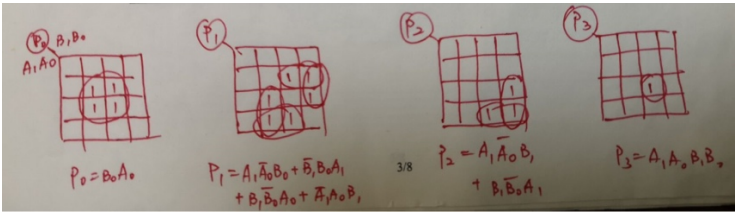
有 2 个 3-8 译码器 74HC138 及 4 个门电路组成的组合逻辑电路如下图所示，分析该电路。74HC138 的功能表见附录。（10 分）



(1) 列出真值表：

输入				输出				输入				输出			
A <sub>1</sub>	A <sub>0</sub>	B <sub>1</sub>	B <sub>0</sub>	P <sub>3</sub>	P <sub>2</sub>	P <sub>1</sub>	P <sub>0</sub>	A <sub>1</sub>	A <sub>0</sub>	B <sub>1</sub>	B <sub>0</sub>	P <sub>3</sub>	P <sub>2</sub>	P <sub>1</sub>	P <sub>0</sub>
0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
0	0	0	1	0	0	0	0	1	0	0	1	0	0	1	0
0	0	1	0	0	0	0	0	1	0	1	0	0	1	0	0
0	0	1	1	0	0	0	0	1	0	1	1	0	1	1	0
0	1	0	0	0	0	0	0	1	1	0	0	0	0	0	0
0	1	0	1	0	0	0	1	1	1	0	1	0	0	1	1
0	1	1	0	0	0	1	0	1	1	1	0	0	1	1	0
0	1	1	1	0	0	1	1	1	1	1	1	1	0	0	1

(2) 写出 P<sub>3</sub>~P<sub>0</sub> 的逻辑函数表达式并化简为“最简与或式”；

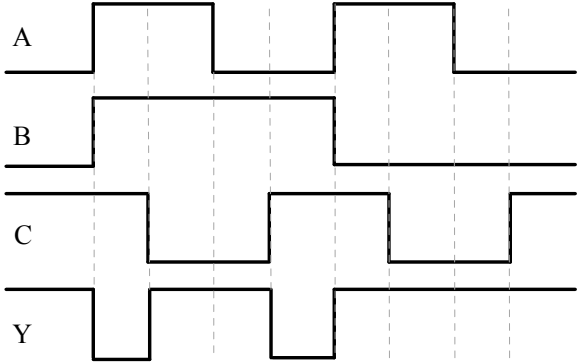


(3) 试简短说明该电路的逻辑功能。

2 位无符号数乘法器

4.2 组合电路设计 (10 分)

已知某组合电路的输入信号 A、B、C 以及输出信号 Y 的波形如下图所示。



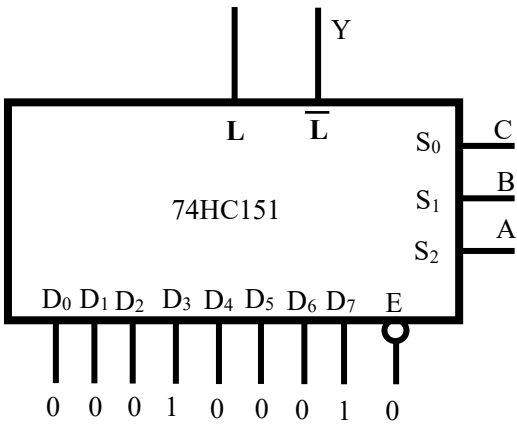
(1) 列出真值表；

A	B	C	Y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

(2) 写出输出 Y(A,B,C)的逻辑表达式，并化简为“最简与或式”；

$$Y = \bar{B} + \bar{C}$$

(3) 用 1 片 8-1 选择器 74HC151 实现上述逻辑，请在下图中补齐电路的输入信号，并标注输出信号，该图中 D<sub>0</sub> 已连接至 0，S<sub>2</sub>~S<sub>0</sub> 已分别连接至 A、B、C。74HC151 的逻辑功能表见附录。

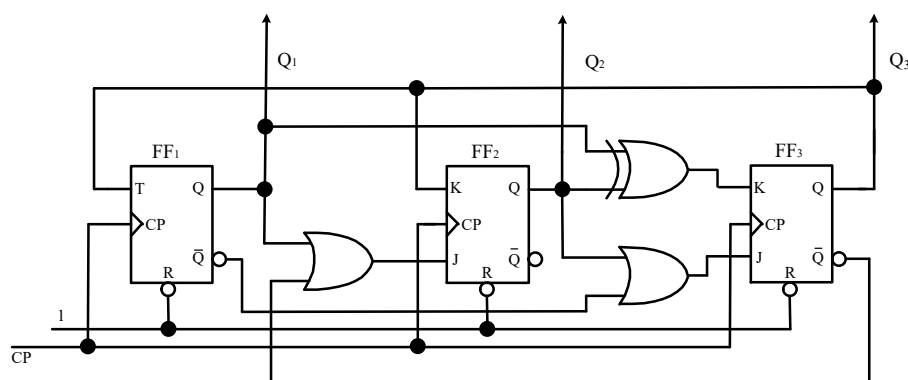


## 五、时序电路（包括 3 道大题，总计 43 分）

得分

### 5.1、时序电路分析 1（15 分）

下图所示是一个包含三个触发器和三个逻辑门的同步时序逻辑电路，试分析电路的功能：



(1) 写出 3 个触发器的驱动方程和状态方程；

$$T_1 = Q_3 \quad J_2 = Q_1 + \overline{Q_3} \quad K_2 = Q_3 \quad J_3 = \overline{Q_1} + Q_2 \quad K_3 = \overline{Q_1}Q_2 + Q_1\overline{Q_2}$$

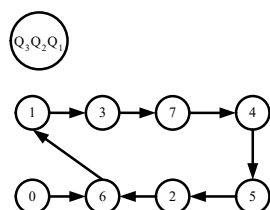
$$Q_1^{n+1} = \overline{Q_3}Q_1 + Q_3\overline{Q_1} \quad Q_2^{n+1} = (Q_1 + \overline{Q_3})\overline{Q_2} + \overline{Q_3}Q_2$$

$$Q_3^{n+1} = (Q_2 + \overline{Q_1})\overline{Q_3} + (\overline{Q_1}Q_2 + Q_1\overline{Q_2})Q_3$$

(2) 列出状态转换表， $Q_3$  放在最高位；

$Q_3^n Q_2^n Q_1^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	$Q_3^n Q_2^n Q_1^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$
000	110	100	101
001	011	101	010
010	110	110	001
011	111	111	100

(3) 画出状态转换图， $Q_3$  放在最高位；

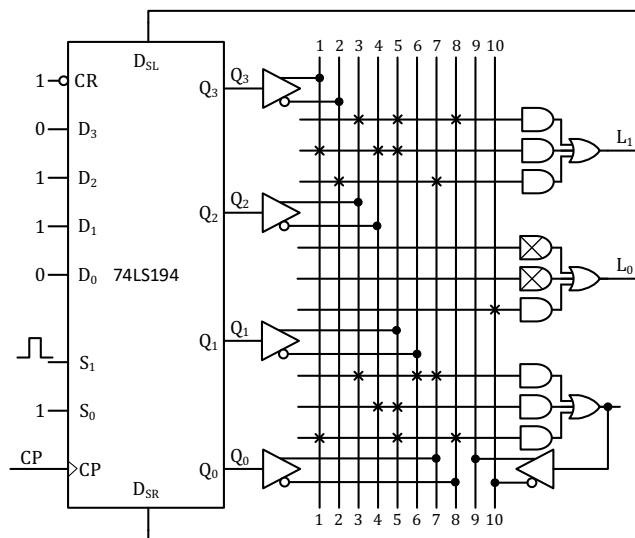


(4) 检查该电路是否有自启动功能，简要说明该电路的功能（不超过 15 个字）。

可自启动，同步 7 进制计数器

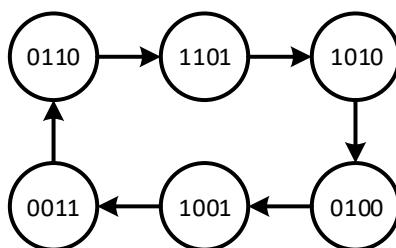
## 5.2 时序电路分析 2 （8 分）

由集成多功能移位寄存器 74LS194 和 PAL 组成的电路如下图所示，分析该电路。  
74LS194 的功能表见附录。



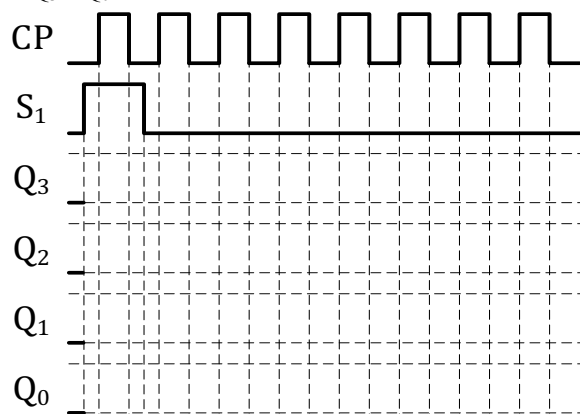
(1) 写出  $L_1(Q_3, Q_2, Q_1, Q_0)$  和  $L_0(Q_3, Q_2, Q_1, Q_0)$  的逻辑函数表达式；

$$L_1 = Q_2 Q_1 \overline{Q_0} + Q_3 \overline{Q_2} Q_1 + \overline{Q_3} Q_0$$



$$L_0 = \overline{Q_2 Q_1 Q_0} + \overline{Q_2} Q_1 + Q_3 Q_1 \overline{Q_0}$$

(2) 画出在 CP 作用下  $Q_3 \sim Q_0$  的输出波形。



## 5.3、时序电路设计（本题包含 3 个小题）（20 分）

1、采用 D 触发器，设计一个 3 位的减 1 同步计数器 Counter，计数器具有借位标志信号输出端 F（当计数器的值为 0 时 F 输出高电平，其他计数值时 F 输出低电平）。（10 分）

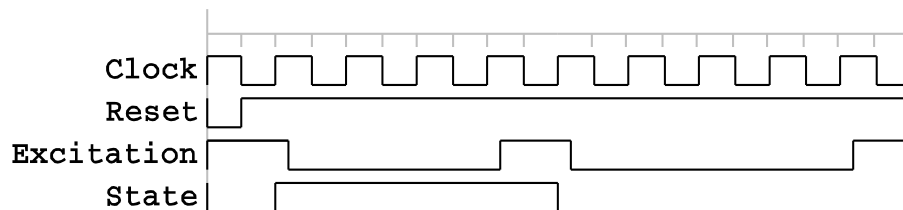
(1) 请在以下的状态转换真值表中，根据 3 个触发器的状态转换关系，填写各触发器的激励信号  $D_3 D_2 D_1$  以及输出的借位标志信号 F。

$Q_3^n Q_2^n Q_1^n$	$Q_3^{n+1} Q_2^{n+1} Q_1^{n+1}$	$D_3 D_2 D_1$	F
000	111	111	1
001	000	000	0
010	001	001	0
011	010	010	0
100	011	011	0
101	100	100	0
110	101	101	0
111	110	110	0

(2) 化简得到 3 个触发器的激励方程以及输出的借位标志信号 F 的方程（最简与或式）。

$$\begin{aligned}
 D_3 &= \bar{Q}_3 \bar{Q}_2 \bar{Q}_1 + Q_3 Q_1 + Q_3 Q_2 \\
 D_2 &= \bar{Q}_2 \bar{Q}_1 + Q_2 Q_1 \\
 D_1 &= \bar{Q}_1 \\
 F &= \bar{Q}_3 \bar{Q}_2 \bar{Q}_1
 \end{aligned}$$

2、一个具有低电平异步清 0、时钟上升沿有效的触发器的典型时序波形如下图所示，其中 State 为输出信号，其它为输入信号。（5 分）



(1) 请补充以下 Verilog HDL 程序，使其实现上图所示触发器的功能。

```

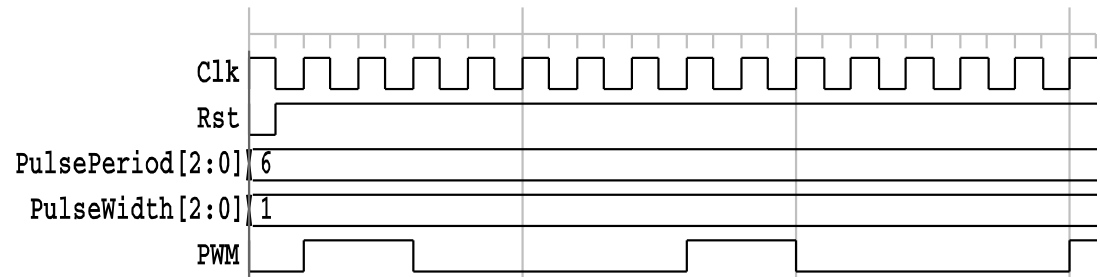
module Trigger( State, Excitation, Clock, Reset );
input Excitation, Clock, Reset;
output reg State;
always @(posedge clock or negedge Reset )
    if ( ~Reset ) State <= 0;
    else if ( Excitation ) State <= ~State;
endmodule

```

(2) 设 Q 表示现态， $Q^{n+1}$  表示次态，E 表示激励信号 Excitation，请写出该触发器的特性方程： $Q^{n+1} = \underline{(\sim E \& Q) | (\sim Q \& E)}$ ，该触发器是 T 触发器（从 D 触发器，JK 触发器，T 触发器，T' 触发器这 4 种触发器中选择）。

3、假设在题 1 设计的减 1 同步计数器的基础上，用 Verilog HDL 描述了一个功能更加完善的 3 位减 1 同步计数器 Counter(F, P, PE, Clock, Reset)模块，其中 F 为借位标志输出端，P 为 3 位并行置数输入端，PE 为同步置数使能输入端（高电平有效），Clock 为时钟信号（上升沿有效），Reset 为异步清 0 输入端（低电平有效）。

现采用该计数器模块 Counter 和题 2 的触发器 Trigger 模块，实现一个脉宽调制器(Pulse Width Modulator)的 Verilog HDL 结构型描述，要求其典型时序如下图所示，其中 PWM 为输出信号，其周期由预置数 PulsePeriod 决定，其高电平的宽度由预置数 PulseWidth 决定。  
(5 分)



(1) 分析上图中 PWM 信号的特征，可以判断：如果外部时钟周期为 10MHz，若要求 PWM 信号的频率为 2MHz，占空比为 60%，那么两个预置数需要分别设置为：  
PulseWidth = 3'b010，PulsePeriod = 3'b100。

(2) 请补充完整以下 Verilog HDL 程序，使其实现上图所示脉宽调制器的功能。

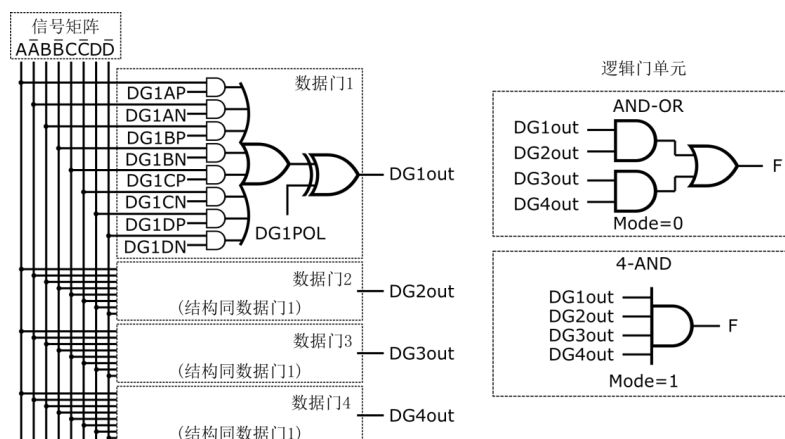
```
module PulseWidthModulator( PWM, PusleWidth, PulsePeriod, Clk, Rst );
output PWM;
input[2:0] PusleWidth, PulsePeriod;
input Clk, Rst;

wire a, b, c, d;
assign c = a | b;
assign d = ~PWM | a;
Counter CntWidth ( .F(a), .P(PusleWidth), .PE(_d_), .Clock(Clk), .Reset(Rst) );
Counter CntPeriod ( .F(b), .P(PulsePeriod), .PE(_b_), .Clock(Clk), .Reset(Rst) );
Trigger TrgT( .State(PWM), .Excitation(_c_), .Clock(Clk), .Reset(Rst) );
endmodule
```

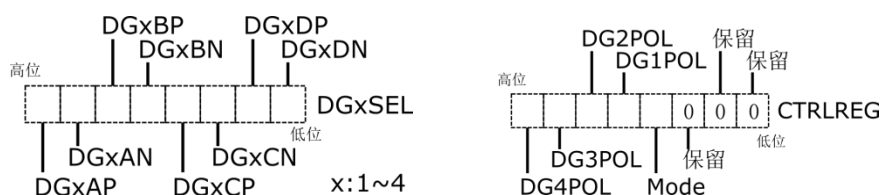
六、综合题（共 6 分）

得分	
----	--

下图是某小型嵌入式系统中集成的 SPLD 模块，其包含三个部分构成：信号矩阵、数据门单元和逻辑门单元。其中：



- (a) 信号矩阵提供 4 路输入信号的同相、反相信号供后续的数据门单元使用；
- (b) 数据门单元可在信号矩阵当中选择 1 路或多路信号合成给逻辑门单元使用，考虑到竞争和冒险的情况，同时选择同一信号的同相和反相信号进入数据门将导致不可预料的后果；
- (c) 共有 4 个结构相同的数据门单元可供使用（如上图数据门 1 所示），每个数据门的 9 个控制信号分别为 DGxAP、DGxAN、DGxBP、DGxBN、DGxCP、DGxCN、DGxDP、DGxDN 以及 DGxPOL，其中 x 表示数据门的序号，取值为 1~4。4 个数据门的控制信号来自于 5 个寄存器（DG1SEL~DG4SEL、CTRLREG）中对应的 bit，如下图所示。通过改变 5 个寄存器的数值，可以控制该 SPLD 模块实现的逻辑功能。



- (d) 逻辑门单元将 4 个数据门单元的输出信号进行逻辑处理之后作为最终输出，逻辑门单元有两种模式：与或门模式、4 输入与门模式。

请分别在逻辑门单元的两模式下，通过补充填写下面的两组寄存器的数值，利用该 SPLD 实现逻辑函数  $F = \overline{A} \cdot (B + \overline{C} \cdot D)$ ，并写出该模式下实现逻辑函数 F 时的逻辑表达式的变换形式。**注意：如果已经给定寄存器的十六进制或某 bit 的数值，则该寄存器或该 bit 数值不允许修改。**

	二进制	十六进制		二进制	十六进制
DG1SEL	<input type="text"/>	0x80	DG1SEL	<input type="text"/>	<input type="text"/>
DG2SEL	<input type="text"/>	<input type="text"/>	DG2SEL	<input type="text"/>	<input type="text"/>
DG3SEL	<input type="text"/>	<input type="text"/>	DG3SEL	<input type="text"/>	<input type="text"/>
DG4SEL	<input type="text"/>	<input type="text"/>	DG4SEL	<input type="text"/>	0x0
CTRLREG	<input type="text"/>	<input type="text"/>	CTRLREG	<input type="text"/>	<input type="text"/>

对应逻辑表达式  $F =$

对应逻辑表达式  $F =$

(1) DG1SEL=0x80, DG2SEL=0x24, DG3SEL=0x22, DG4SEL=0, CTRLREG=0x18

$$F = \overline{A} \cdot (B + \overline{C})(B + D)$$

(2) DG1SEL=0x80, DG2SEL=0x20, DG3SEL=0x88, DG4SEL=0x02, CTRLREG=0x50

$$F = \overline{A} \cdot B + \overline{A} \cdot \overline{C} \cdot D = \overline{A} \cdot B + \overline{A} + \overline{C} \cdot D$$

## 附录

74HC138 功能表

输 入						输 出							
$E_3$	$\bar{E}_2$	$\bar{E}_1$	$A_2$	$A_1$	$A_0$	$\bar{Y}_0$	$\bar{Y}_1$	$\bar{Y}_2$	$\bar{Y}_3$	$\bar{Y}_4$	$\bar{Y}_5$	$\bar{Y}_6$	$\bar{Y}_7$
×	H	×	×	×	×	H	H	H	H	H	H	H	H
×	X	H	×	×	×	H	H	H	H	H	H	H	H
L	×	×	×	×	×	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	L	H	H	H	H	L	H	H	H	H	H
H	L	L	L	H	L	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	H	L	H	H	H	H
H	L	L	L	H	H	H	H	H	H	L	H	H	H
H	L	L	L	H	H	H	H	H	H	H	L	H	H
H	L	L	L	H	H	H	H	H	H	H	H	L	H

74HC151 功能表

$E$	$S_2$	$S_1$	$S_0$	$L$	$\bar{L}$
H	X	X	X	L	H
L	L	L	L	$D_0$	$\bar{D}_0$
L	L	L	H	$D_1$	$\bar{D}_1$
L	L	H	L	$D_2$	$\bar{D}_2$
L	L	H	H	$D_3$	$\bar{D}_3$
L	H	L	L	$D_4$	$\bar{D}_4$
L	H	L	H	$D_5$	$\bar{D}_5$
L	H	H	L	$D_6$	$\bar{D}_6$
L	H	H	H	$D_7$	$\bar{D}_7$

74LS194功能表

输 入						输 出				行	
清零	控制信号		串行输入		时钟 $CP$	并行输入					$Q_0^{n+1}Q_1^{n+1}Q_2^{n+1}Q_3^{n+1}$
$\overline{CR}$	$S_1$	$S_0$	右移 $D_{SR}$	左移 $D_{SL}$		$D_0$	$D_1$	$D_2$	$D_3$		
L										L	1
H	L	L								$Q_0^n$	2
H	L	H	L		↑					L	3
H	L	H	H		↑					H	4
H	H	L		L	↑					$Q_1^n$	5
H	H	L		H	↑					$Q_1^n$	6
H	H	H			↑	$D_0^*$	$D_1^*$	$D_2^*$	$D_3^*$	$D_0$	7

注意：考试之前可以撕下，考完必须和试卷一起提交，否则算舞弊

草稿纸