



数字电路与逻辑设计

电子信息与通信学院

课程目的

数学基础

- 掌握数字逻辑电路的**基本原理**
- 掌握数字逻辑电路基本**分析和设计方法**
- 掌握数字**集成电路**的**使用**
- 可编程逻辑器件应用入门
- 掌握数模和模数接口设计方法

这些都能解决
什么问题？

工具的应用

发展趋势

桥梁和纽带

课程内容与知识体系

章节	内容安排	章节	内容安排
0	绪论	5	时序逻辑电路
1	逻辑代数	6	半导体存储器
2	集成逻辑门	7	可编程逻辑器件
3	组合逻辑电路	8	脉冲单元电路
4	集成触发器	9	模数与数模转换电路

Ch1 逻辑代数

- 逻辑函数的**简化方法**

- 代数法

- 吸收律、添加项规则

- 卡诺图法

- **2ⁿ大圈、可重复、有新意**

- 含无关最小项的逻辑函数化简

- 技巧性质

- 同或、异或门

- 各种吸收律

- **对偶、反演规则**

- 逻辑函数标准型及其性质

最简与或式、最简或与式在卡诺图当中的圈注方法

Ch1 逻辑代数

- 现代EDA技术开发流程
 - 逻辑仿真和逻辑综合的概念
- Verilog HDL基本语法
 - 基本单元——模块
 - 变量类型: wire和reg
 - 赋值控制方式: assign和always
 - 分支: if-else, case-endcase
- 用Verilog描述组合逻辑电路
- 用Verilog描述时序逻辑电路
 - 状态图的描述

Ch2 集成逻辑门

输出高低电平的模型

- 集成逻辑门的模型
- MOS逻辑门
 - NMOS/CMOS逻辑门结构、参数特性
 - 输入端结构和输出端结构
 - 反相器→与非门→OD门→三态门
 - OD门、三态门应用中应注意的问题
- 逻辑门使用过程中应当注意的问题
 - 逻辑电压、驱动电流的匹配
 - 多余引脚的处理

OD门的外接电阻
如何计算？三态门
是哪三态？

Ch3 组合逻辑电路

- 一般性组合逻辑电路

- 设计步骤、分析步骤

重点要写出
电路功能

- 功能性组合逻辑电路

- 编码、译码器

编译码器
的扩展

- 加法器、数值比较器

用译码器、数据选
择器实现逻辑函数

- 数据选择器（多路器）、分配器

- 奇偶校验器

- **MSI功能器件的扩展**

用Verilog HDL实
现
组合逻辑电路

- 组合电路逻辑冒险的检查和消除

- 代数检查法、卡诺图检查法

- 消除逻辑冒险的方法

Ch4 集成触发器

- 触发器的特点

- 两种状态、快速翻转、次态保持

引入时钟节拍概念，
 Q^n 、 Q^{n+1} 概念



- 触发器的类型

- 基本RS触发器→时钟**RS**触发器→主从RS触发器
- 主从JK触发器→D触发器
- T/T'触发器

- 触发器的描述方式

- **状态转换真值表**
- 特征方程
- **激励表**/状态图
- **工作波形图**/时序图

如何画工作波形图



Ch5 时序逻辑电路

○ 一般性时序逻辑电路

- 设计步骤

- 状态图：画状态图的原则

- 状态图简化

- 输入相同输出相同时，次态相同、交错、循环

- 隐含表法

- 状态分配：对未使用状态**必须做自启动检查**

- 确定函数：状态转移激励要求获得激励函数和输出函数

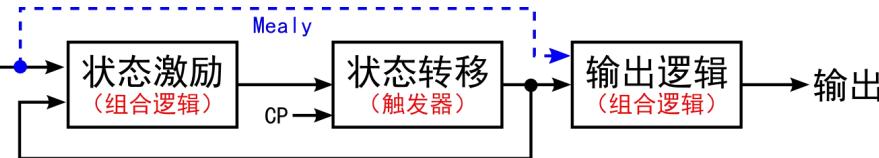
- 画电路图

- 分析步骤

- 通过电路图获得激励函数和输出函数

- 获得所有状态的转移图

- 描述电路功能



用Verilog HDL实现
时序逻辑电路（有限状态机）

Ch5 时序逻辑电路

- 功能性时序逻辑电路

- 寄存器、锁存器
- 移存器
- **计数器**

寄存器和锁存器的区别？

- 计数器

- 同步：模 2^n 计数器、任意进制计数器
- 异步计数器（**连接**；模 2^n 、任意进制）
- **MSI**器件应用（以161/193为例）
 - 同步/异步置数
 - 同步/异步清零
- 序列信号发生器

两种模型

Ch6 半导体存储器

- RAM/ROM的结构
 - 存储矩阵、地址译码、读写控制
- RAM存储单元
 - SRAM六管结构和DRAM的**单管结构**
- ROM的分类
 - ROM、PROM、EPROM、**EEPROM、FLASH**
- RAM/ROM的应用
 - 时序和接口
 - **实现任意组合逻辑电路**
 - RAM/ROM的**扩展**
 - 地址扩展
 - 字长扩展

需要刷新电
路配合

实现组合电路有
几种方法？

Ch7 PLD可编程器件

- 可编程逻辑器件的**表示方法**
 - 基本门符号、连接符号、缺省连接符号
 - 可编程多路开关、极性表示、三态缓冲器
- PLD的结构
 - PROM、PAL、PLA
 - PAL→GAL→**CPLD**
 - RAM应用→LUT→**FPGA**
- 用PLD器件的实现来表示简单的电路
 - 用PLD实现组合逻辑电路

Ch7 PLD可编程器件

- **FPGA**和**CPLD**的区别
 - **LUT**结构与**PT**结构的区分
 - 适用场合不同：**时序电路**为主、**组合电路**为主
 - **较高速复杂算法**场合、**高速逻辑控制**场合
 - **FPGA**需外挂**EEPROM**进行上电配置

Ch8 脉冲单元电路

- 脉冲信号参数
 - 频率、占空比、脉冲幅度、脉冲宽度
- 脉冲电路构成：开关电路+惰性网络
- 施密特触发器（回差迟滞比较特性）
 - RS触发器构成；集成运放构成；门电路构成
- 单稳态电路
 - 可重触发、不可重触发在应用上的区别
- 自激多谐振荡器

Ch9 模数及数模转换技术

- 数模转换基础

- 用**电子网络**和**运放**转换达到 $A = kD = k \sum_{i=0}^{n-1} a_i 2^i$

- 数模转换器的结构

- 电压型DAC

- 权电阻网络、权电容网络、T型电阻网络、树型开关网络

- 电流型DAC

- 倒T型电阻网络DAC、权电流型DAC

- 数模转换器的参数

- **分辨率**

- **建立时间**

- **线性度**

- **转换误差**

变化应用POT

Ch9 模数及数模转换技术

- 模数转换器基础
 - 四个阶段: 采样、保持、量化、编码
- 模数转换器的结构
 - 直接转换型
 - 全并型、并串型(流水线型)、逐次比较型、 $\Sigma - \Delta$ 型
 - 间接转换型
 - V-F转换、V-T转换(双积分)
- 模数转换器的参数
 - 分辨率
 - 转换时间
- 模数、数模转换器的应用(接口和时序)



The End
