

数字电路与逻辑设计

复习大纲



复习大纲- 1、2 章 数字逻辑基础

主要内容：

数字信号与数字电路的基本概念

数制及不同进制的相互转换、二进制码

基本逻辑运算

逻辑函数及逻辑问题的描述

逻辑代数的基本定律及规则

逻辑函数的化简（代数法、卡诺图法）



复习大纲- 1、2章 数字逻辑基础

基本要求：

了解数字信号的特点及表示方法。

掌握常用二—十、二—八、二—十六进制的转换。

掌握 8421BCD 码，了解格雷码，理解有权码和无权码。

掌握基本逻辑运算与、或、非。

掌握逻辑问题的四种表达方法及其相互转化。（真值表、表达式、逻辑图、卡诺图）

熟悉常用逻辑代数的基本定律及规则，熟悉逻辑函数表达式的变换，熟悉逻辑函数的代数化简法。

掌握逻辑函数的卡诺图化简法，理解最小项，会利用无关项。（熟悉卡诺图化简的几个原则）。

出题方式：填空、化简运算（含代数化简、卡诺图化简）



课程内容

基本原理

电路设计
与分析

集成电路
运用

可编程
器件入门

模数数模
转换

数学基础

方法步骤

工具运用

业界主流

桥梁纽带

这些都能解决什么问题?



课程内容与知识体系

章节	内容安排	章节	内容安排
1	数字逻辑概述	6	时序逻辑电路
2	逻辑代数 数学	7	半导体存储器
3	逻辑门电路 电路	8	CPLD和FPGA
4	组合逻辑电路	9	脉冲波形的变换与产生
5	锁存器和触发器 记忆元件	10	模数与数模转换器

重点掌握组合电路与时序电路的设计和分析



1. 非十进制数转换成十进制数

方法：将每位数码与位权值相乘，再将它们求和。

例1.2.1 $(110110.11)_B = (?)_D$

$$\begin{aligned}(110110.11)_B &= 1 \times 2^5 + 1 \times 2^4 + 0 \times 2^3 + 1 \times 2^2 + 1 \times 2^1 + 0 \times 2^0 + 1 \times 2^{-1} + 1 \times 2^{-2} \\ &= 32 + 16 + 4 + 2 + 0.5 + 0.25 \\ &= (54.75)_D\end{aligned}$$

例1.2.2 $(1ABC.EF)_H = (?)_D$

$$\begin{aligned}(1ABC.EF)_H &= 1 \times 16^3 + 10 \times 16^2 + 11 \times 16^1 + 12 \times 16^0 + 14 \times 16^{-1} + 15 \times 16^{-2} \\ &= 256 + 160 + 11 + 0.875 + 0.05859375 \\ &= (427.93359375)_D\end{aligned}$$

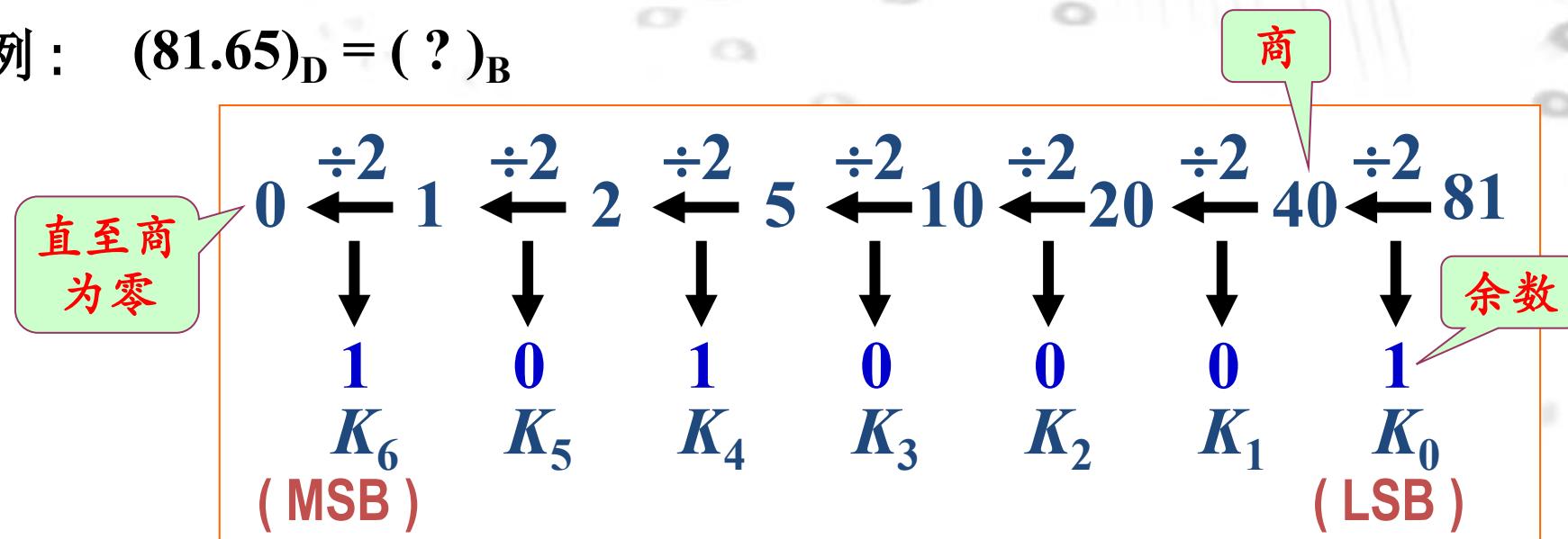
2. 十进制数转换成其它进制数

1) 十进制数 \Rightarrow 二进制数

方法：整数除2法，所得余数由低位到高位排列，直至商为零；

小数乘2法，所得整数位由高位到低位排列，直至小数部分为零或满足精度要求。

例： $(81.65)_D = (?)_B$



所以整数部分 $(81)_D = (1010001)_B$

2. 十进制数转换成其它进制数

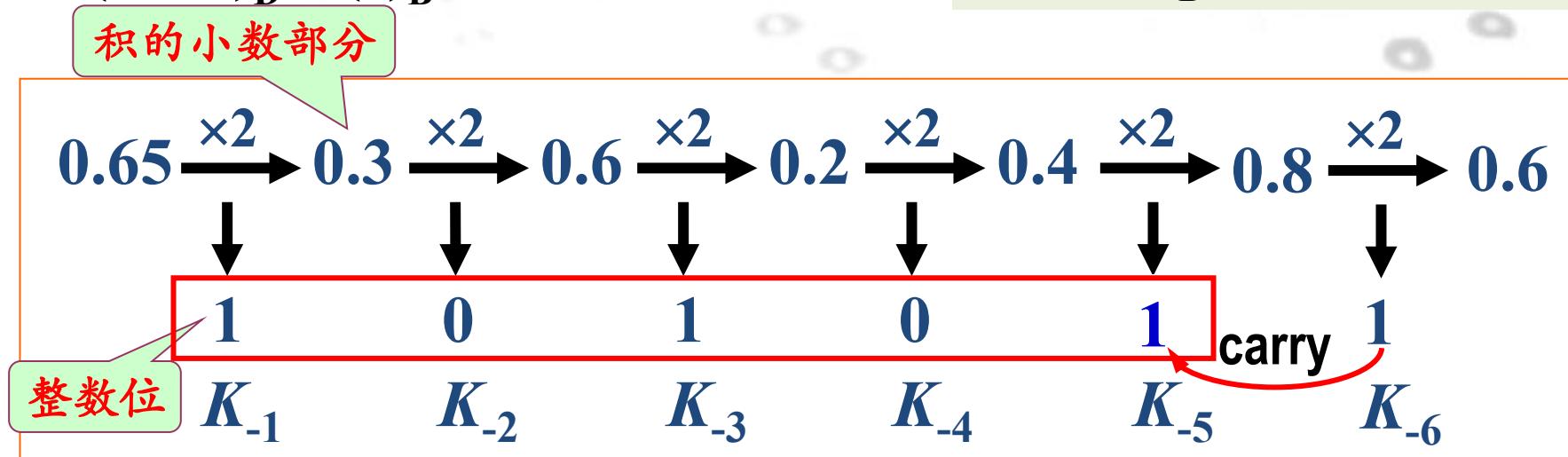
1) 十进制数 \Rightarrow 二进制数

方法：整数除2法，所得余数由低位到高位排列，直至商为零；

小数乘2法，所得整数位由高位到低位排列，直至小数部分为零或满足精度要求。

例： $(81.65)_D = (?)_B$ (保留小数点后5位)

$(81.65)_D = (1010001.10101)_B$



所以小数部分 $(0.65)_D = (0.10101)_B$

CH2 逻辑函数

- 代数法简化逻辑函数
 - 原理：利用公式进行恒等变换
 - 公式：各种**吸收简化公式、添加项规则**等（对偶式，反演式）
- 卡诺图法简化逻辑函数
 - 将真值表进行图形化表示
 - 与或式圈**1**，或与式圈**0**
 - 逻辑函数用卡诺图表示；卡诺图转换为表达式
 - 化简3规则：**2ⁿ大圈、可重复、有新意**
- 含无关最小项的卡诺图简化
- 简化过程中表达式类型转换

与项、或项中原变量、反变量与0、1
对应的关系易混淆



数字电路的描述语言

- 硬件描述语言
 - Hardware Description Language (HDL)
 - 是以文本形式来**描述**数字系统硬件的**结构和行为**的语言。
 - HDL是高层次自动化设计的起点和基础。
 - 描述层次
 1. 行为(功能)级描述
 2. 寄存器传输级(RTL)描述
 3. 门电路级描述



Verilog HDL基础运算符

- 与 (`&&`)、或 (`||`)、非 (`!`)
- 按位与 (`&`)、按位或 (`|`)、按位取反 (`~`)
- 异或 (`^`)、同或 (`^~` 或者 `~^`)
- 移位运算符 (`<<`、`>>`)
- 关系运算符 (`>`、`<`、`>=`、`<=`)
- 等式运算符 (`==`、`!=`、`====`、`!==`)
- 拼接运算符 (`{}`)
 - 例: `d[2:0] = {a, b, c}`

CH2总结

● 手段

- 各种公式、规则、卡诺图
- 硬件描述语言

● 联结关系

- 逻辑代数与电路——逻辑门
- 逻辑值与电信号之间的关系

● 技巧性质

- 同或、异或门
- 各种吸收律

CH1/CH2例题

- 1. 十进制数(10.25)₁₀对应的二进制表示为_____, 用 8421BCD 码表示为_____。
- 2. 7Bit ASCII 码“A”对应的十六进制数为 0x41, 在串行传输采用“偶校验”方式时, 需增加的校验位 P=_____。

1. 代数法化简, 求逻辑函数 L 的“最简与或式”。(无推导步骤不给分)

$$L = AC + \bar{B}C + B\bar{D} + A(B + \bar{C}) + \bar{A}BC\bar{D} + A\bar{B}DE$$

2. 卡诺图化简, 求逻辑函数 L 的“最简与或式”。(卡诺图填写完整、画圈, 否则不给分)

$$L(A,B,C,D) = \sum m(3,5,6,7,10) + \sum d(0,1,2,4,8)$$

		CD		L
		00	01	11
AB	00			
	01			
11	00			
	10			



复习大纲- 3 章 逻辑门电路

主要内容：

半导体器件的开关特性

CMOS 逻辑门及其主要参数

*TTL 逻辑门及主要参数



复习大纲- 3 章 逻辑门电路

基本要求：

了解半导体器件的开关特性。

了解 COMS 反相器、COMS 与非门、COMS 或非门的结构和原理。

了解 TTL 器件与 CMOS 器件在性能上的差别。

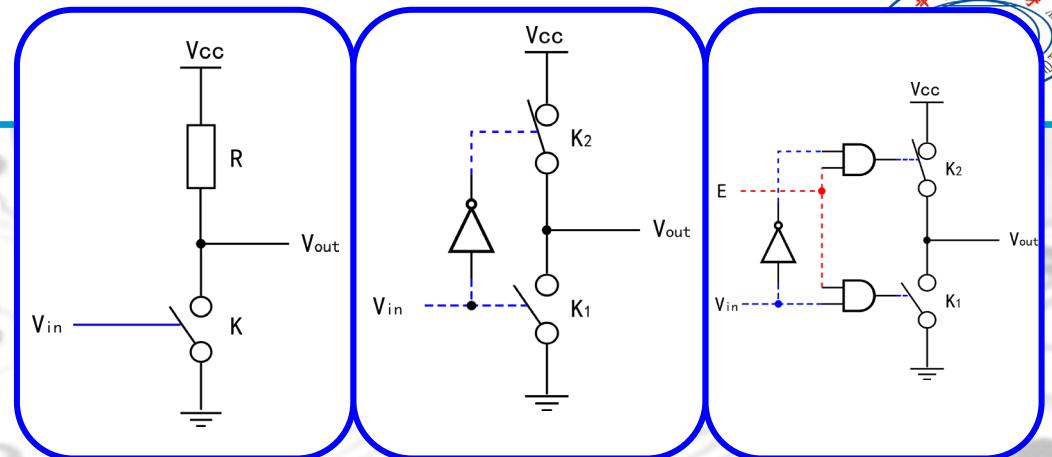
掌握各种门（普通逻辑门、传输门、OC 门、三态门）的外特性及其应用。

理解逻辑门电路的传输特性和各项技术参数，如输出高低电平 V_{OH} 、 V_{OL} ，扇入-扇出系数、噪声容限、功耗（静态、动态）等。

出题方式：填空、画波形（给定 v_i ，画 v_o ）

CH3 总结

- 集成逻辑门的模型
- CMOS逻辑门的实现
 - CMOS逻辑门的优点——**低功耗、高集成度**
 - CMOS门的结构特点
 - MOS管成对出现，NMOS管在下，PMOS管在上
 - **上并下串，上串下并**
 - OD门和三态门的成因
 - CMOS门速度、驱动能力的缺点
 - 引入BiCMOS结构



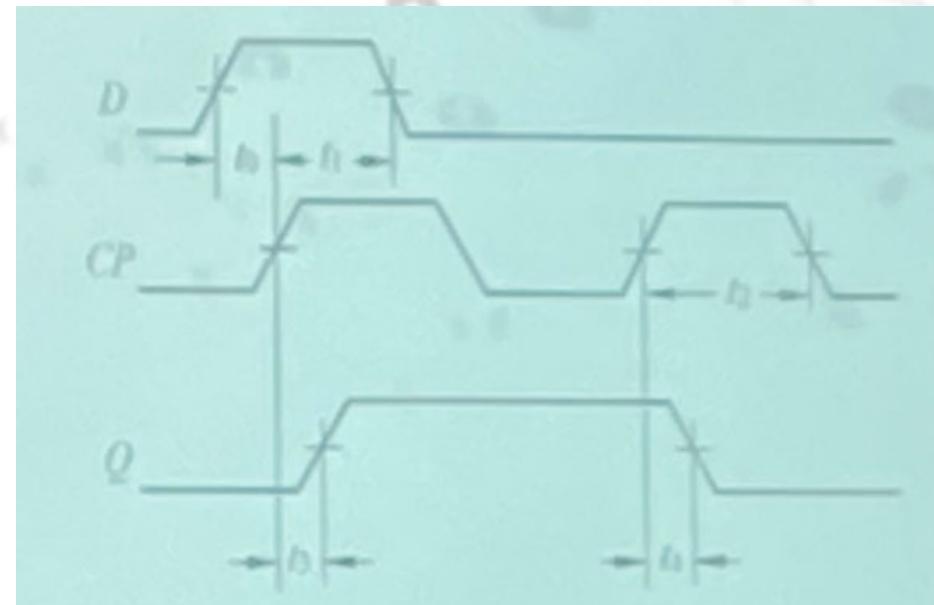


CH3 总结

- 多余输入端的处理——**实际设计中不得悬空**
- 逻辑电平、负载能力的匹配——**核心是电压电流问题**

CH3 例题

- 已知 3.3V 供电的两输入 CMOS 与非门芯片的 $V_{IL(max)} = 0.8V$, $V_{OL(max)} = 0.2V$, $V_{IH(min)} = 2.0V$, $V_{OH(min)} = 3.1V$, 则逻辑门的高电平噪声容限为 _____
- 指出图所示 D 触发器定时图中 $t_0 \sim t_4$ 各个时间段中, _____ 时间段表示输入信号 D 的建立时间
- OD 门上拉电阻的计算





复习大纲- 4 章 组合逻辑电路

主要内容：

- 组合逻辑电路的分析方法
- 组合逻辑电路的设计方法
- *组合逻辑电路的竞争冒险

常用组合逻辑电路（器件）：编码器（CD4532、74148）、译码器（74139、74138）及其应用、数据选择器（74151）、数值比较器（7485）及其应用、加法器的功能及其应用（74HC283）



复习大纲- 4 章 组合逻辑电路

基本要求：

- 掌握用小规模逻辑器件构成的组合电路的分析方法：根据逻辑图,列出逻辑表达式，再列出真值表，最后确定其功能。
- 掌握用小规模逻辑器件构成的组合电路的设计方法：先列出真值表，再写出逻辑表达式，最后画出逻辑图。
- 编码器和译码器：掌握其定义和功能（能列出其功能表），掌握利用译码器实现逻辑函数的方法。注意区分非优先编码器和优先编码器的不同。
- 数据选择器：掌握其定义和功能（能列出其功能表），掌握利用选择器器实现逻辑函数的方法，了解选择器的扩展。注意利用译码器和选择器实现函数的异同点。



复习大纲- 4 章 组合逻辑电路

数值比较器、加法器:了解数值比较器的功能及应用；掌握一位半加器和一位全加器的表达式和功能，了解其应用。

会阅读常用 MSI 组合器件功能表,会分析和设计由组合逻辑功能部件构成的电路。

出题方式：组合电路的分析与设计，MSI 组合器件的应用

ch4小结

- 一般性组合逻辑电路的设计步骤和分析步骤（重点要写出电路功能）
- 功能性组合电路知识点
 - 编码、译码器（分配器）
 - 加法器、数值比较器
 - 数据选择器（多路器）
 - 奇偶校验器
 - MSI功能器件的扩展
- 组合电路**逻辑冒险**的检查和消除

均可用于实现逻辑函数

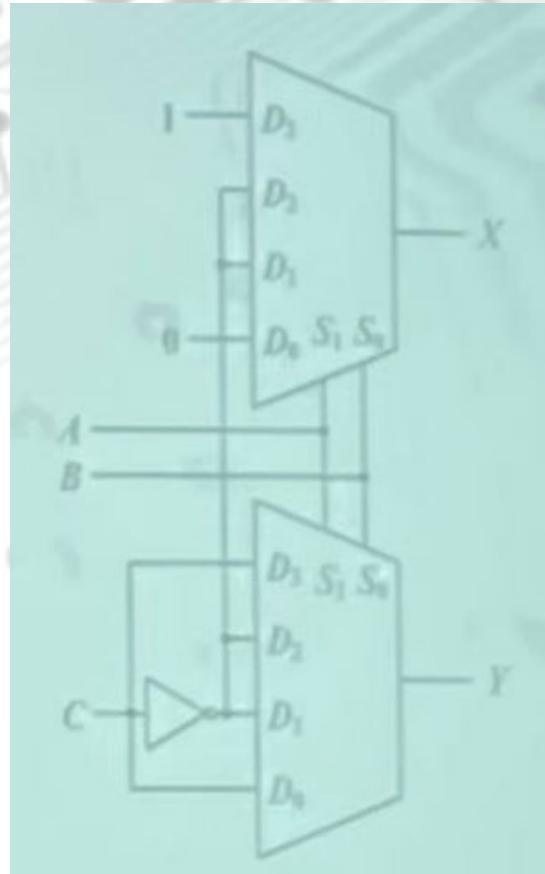
应用和扩展是关键

往往由化简所导致

ch4例题

已知由两个4选1数据选择器构成的组合逻辑电路如图所示，试写出X，Y的逻辑函数表达式，并列出真值表，分析该电路逻辑功能

- 试写出X，Y的逻辑表达式
- 填写真值表
- 简短说明该电路的逻辑功能



用8bit BCD码 $bcd[7:0]$ 表示某十进制数（0-99），其中 $bcd[7:4]$ 为其十位， $bcd[3:0]$ 为其个位。如下所示 Verilog代码中，当 $div4$ 为高电平时表明该数能被4整除。

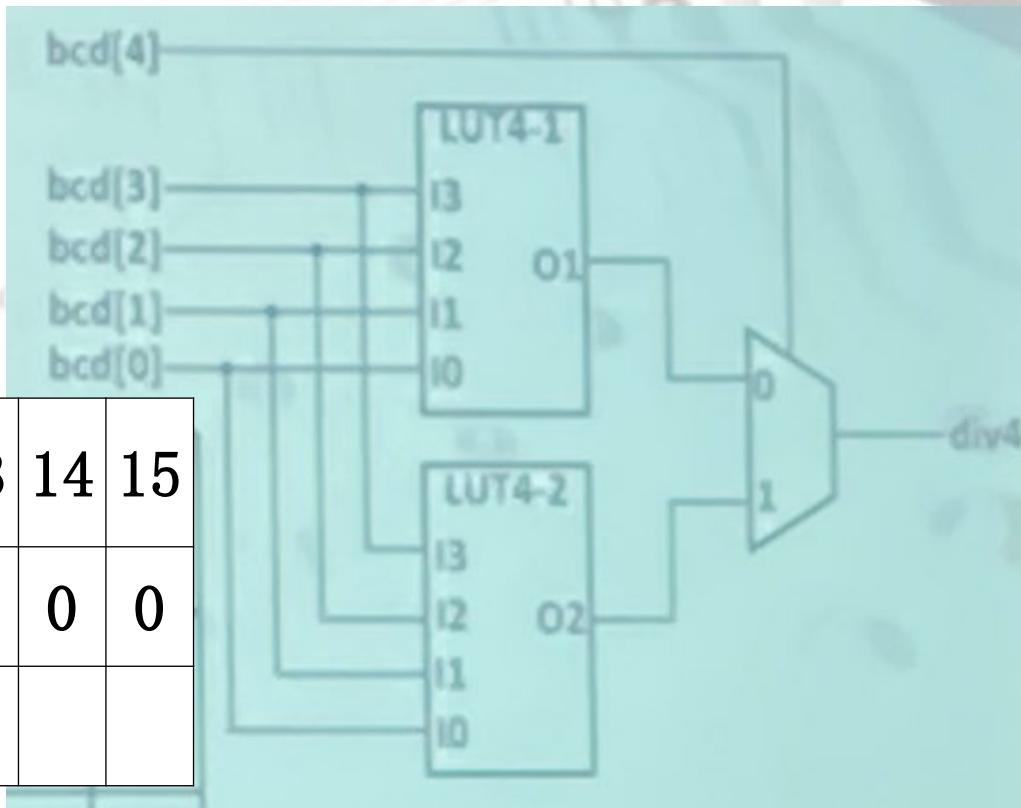
```
module div_by_4(bcd,div4);
input [7:0] bcd,
output reg div4

always @(*) begin
  if (bcd[7:4] % 2 == 1) // 十位为奇数
    div4 = (bcd[3:0] == 4'd2 )|( bcd[3:0] == 4'd6);
  else // 十位为偶数
    div4 = (bcd[3:0] == ____)|(bcd[3:0] == ____)|(bcd[3:0] == ____ );
end
endmodule
```

ch4例题

若采用图所示FPGA的两个4输入查找表（LUT4）和一个2选1的数据选择器来实现上述功能，请在下表中填写LUT4-2中各存储单元的内容（I[3:0]可视为LUT RAM的地址， I[3]为最高位）。

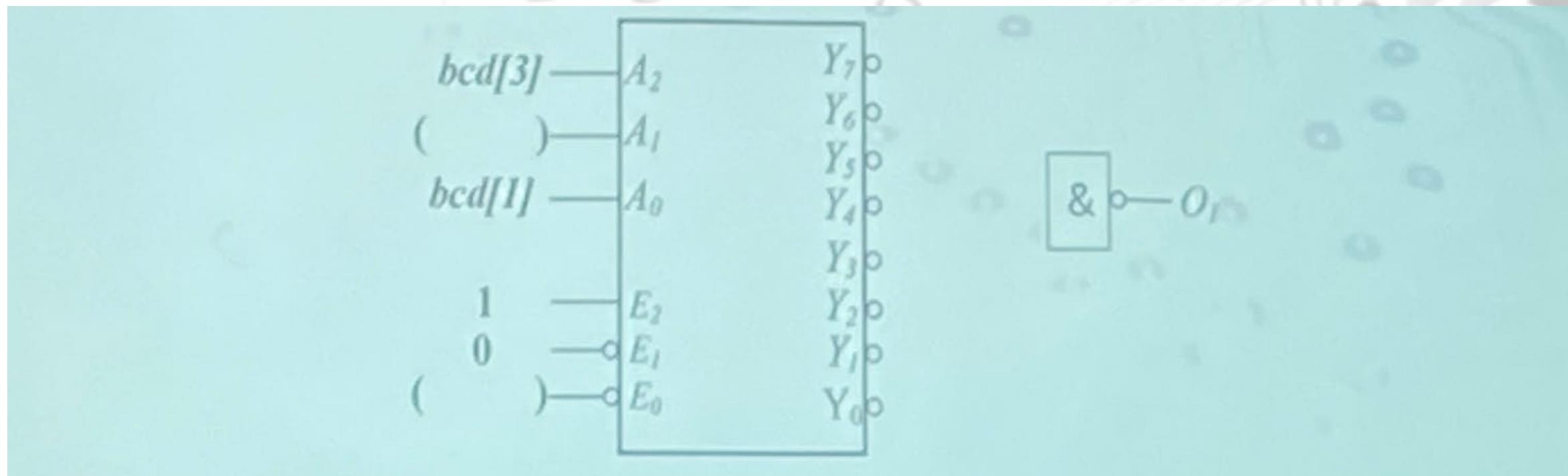
I[3:0]	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
LUT4-1	1	0	0	0	1	0	0	0	1	0	0	0	0	0	0	0
LUT4-2																



ch4例题



若将其中的LUT4-1改用一片3-8线译码器74HC138和一个与非门来实现，请在下图中补充完成其等效的逻辑电路设计。





复习大纲- 5 章 锁存器与触发器

主要内容：

- D、JK、T、T'触发器的逻辑功能及描述方法。
- RS 锁存器、D 锁存器、主从触发器、边沿触发器的电路结构及动作特征。
- *锁存器、触发器的主要参数及脉冲工作特性。

基本要求：

理解电路结构和工作原理（估计 JK 触发器考的少）

重点掌握：D 锁存器和 D 触发器的外特性：符号、功能表、特性方程

出题方式：填空、画波形（给定 v_i , 画 v_o ）

激励表的应用

- 常用触发器的激励表（非常重要）

Q^n	Q^{n+1}	S	R	J	K	D	T
0	0	0	Φ	0	Φ	0	0
0	1	1	0	1	Φ	1	1
1	0	0	1	Φ	1	0	1
1	1	Φ	0	Φ	0	1	0

如何画工作波形图

1. 通过触发器的类型确定输出变化的时刻
2. 检查是否有异步清0、置1信号出现
3. 合并上述两步，用虚线标注可能会发生变化的时刻
4. 在每个可能会变化的时刻，检查当时的输入以及之前的触发器输出，以确认变化后的状态
5. 若脉冲与输入同时发生变化，输入值取变化前一刻的值

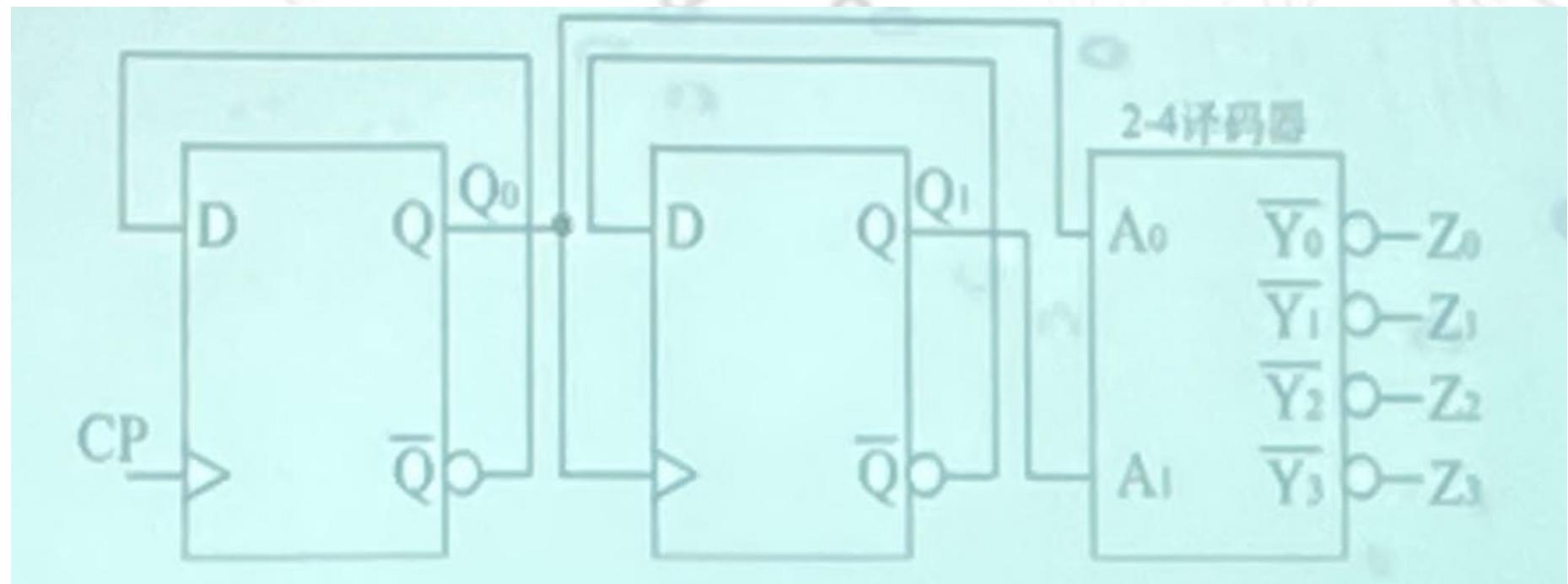
ch5例题

若用 JK 触发器来实现状态方程为 $Q^{n+1} = \overline{A}Q^n$, 则触发器的输入信号 J 和 K 的方程分别为 $J = \underline{\quad}$ 和 $K = \underline{\quad}$ 。

ch5例题

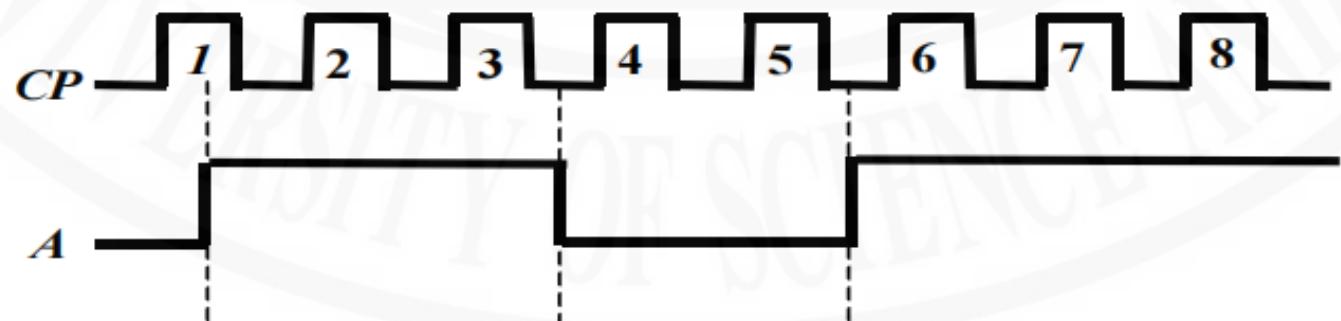
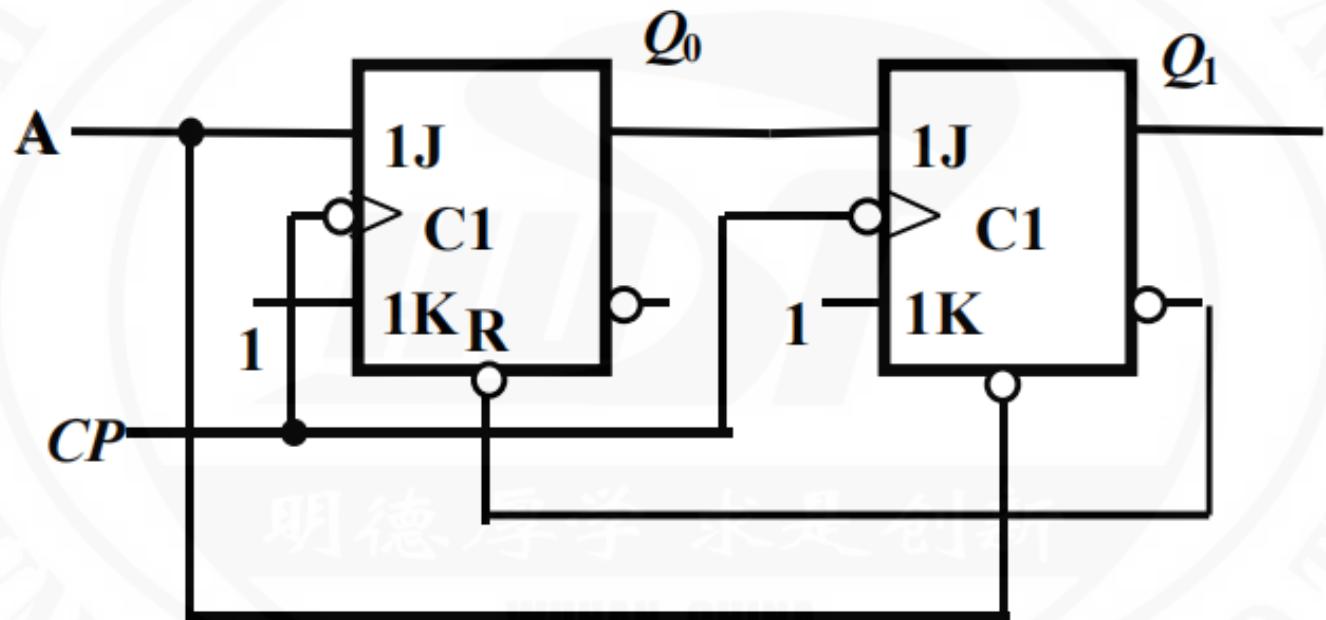


根据所示电路图，以及给定的输入信号CP的波形，画出 Q_0 、 Q_1 、 Z_0 、 Z_1 、 Z_2 、 Z_3 的波形。 Q_0 和 Q_1 的初始状态均为低电平



ch5例题

六、时序电路如下图所示，已知A、CP的波形，试对应画出 Q_1 、 Q_0 输出波形。(假设电路的初态为00)





复习大纲- 6 章 时序逻辑电路

主要内容：

- 时序逻辑电路的结构及特点。
- 时序逻辑电路的逻辑功能的描述方法。
- 同步时序逻辑电路的逻辑功能的分析方法。
- 异步时序逻辑电路的逻辑功能的分析方法。
- 同步时序逻辑电路的逻辑功能的设计方法。

常用时序逻辑器件：

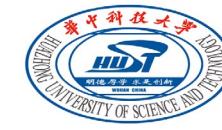
- 计数器（二进制、N 进制）的电路组成、功能及应用。
- 寄存器、移位寄存器的电路组成、工作原理及应用。



复习大纲- 6 章 时序逻辑电路

基本要求：

- 了解时序逻辑电路的基本概念、结构及特点。
- 理解驱动方程（即激励方程），输出方程和状态方程。
- 掌握时序逻辑电路的逻辑功能的描述方法：方程（以上三种方程）、状态表、状态图、时序图。
- 掌握同步、异步、时序逻辑电路的分析方法，注意异步电路中时钟的分析。



复习大纲- 6 章 时序逻辑电路

- 掌握同步时序电路的设计。
- 正确理解常用时序逻辑器件的电路组成及工作原理。
- 理解计数器中的同步、异步，加法计数、减法计数、可逆计数等概念。
- 掌握二进制计数器、8421BCD 码十进制计数器（二—十进制计数器）、移位寄存器 74194 的逻辑功能及其应用。

- 掌握 MSI 器件的应用：如 74161 设计 N 进制计数器的方法，掌握清零法和预置数法。

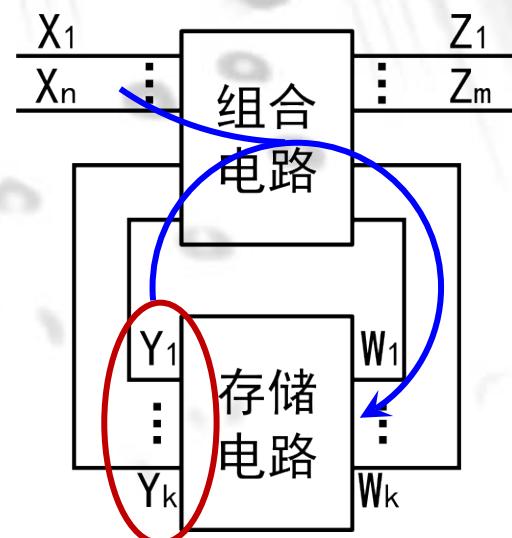
出题方式：时序电路的分析、同步时序电路的设计

MSI 时序逻辑功能器件（如 74xx161、74xx194）应用

同步时序电路的分析(小结)

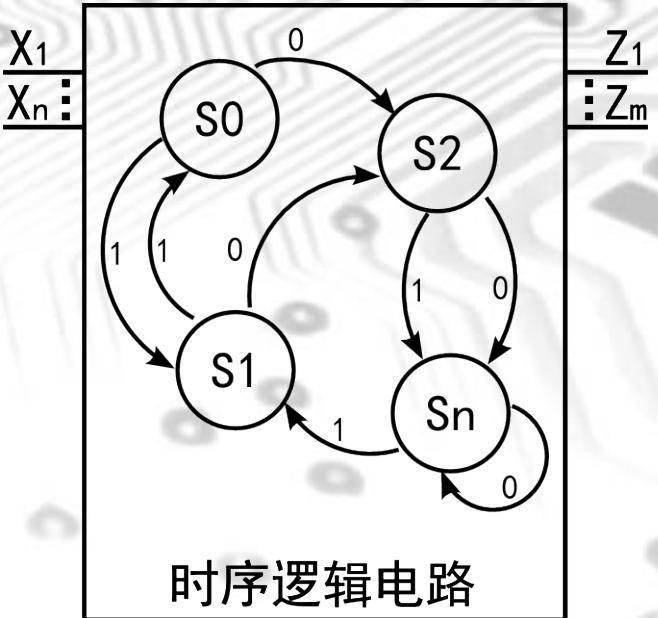
- 目的在于弄清**电路的用途**，同时可以**帮助掌握同步时序电路的设计方法**。
- 分析步骤
 - ① 分析电路组成
 - ② 通过确定输出/激励方程，得到状态表
 - ③ 画出**状态图**
 - ④ 描述电路功能

电路的状态及转移途径



时序逻辑电路的设计步骤归纳

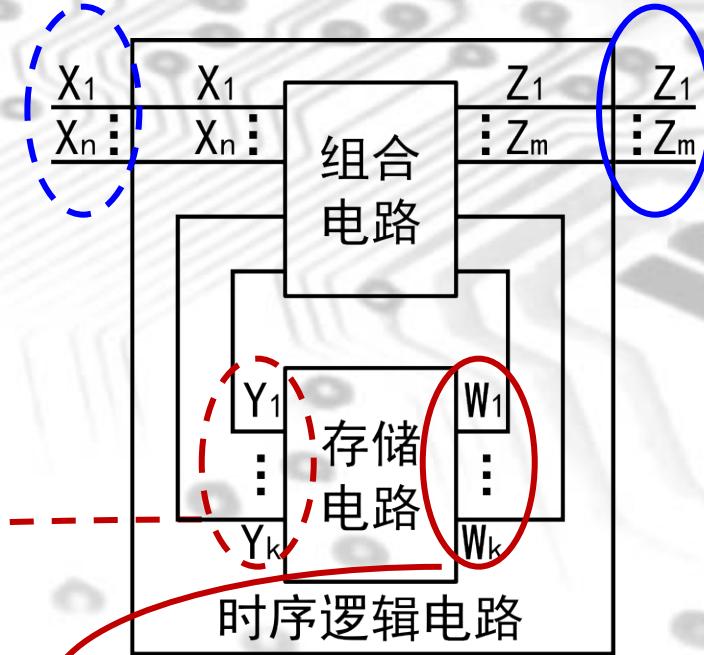
1. 确定状态数量，作出状态图/状态表
2. 状态分配



Q^n	Q^{n+1}	Z	X
⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮

时序逻辑电路的设计步骤归纳

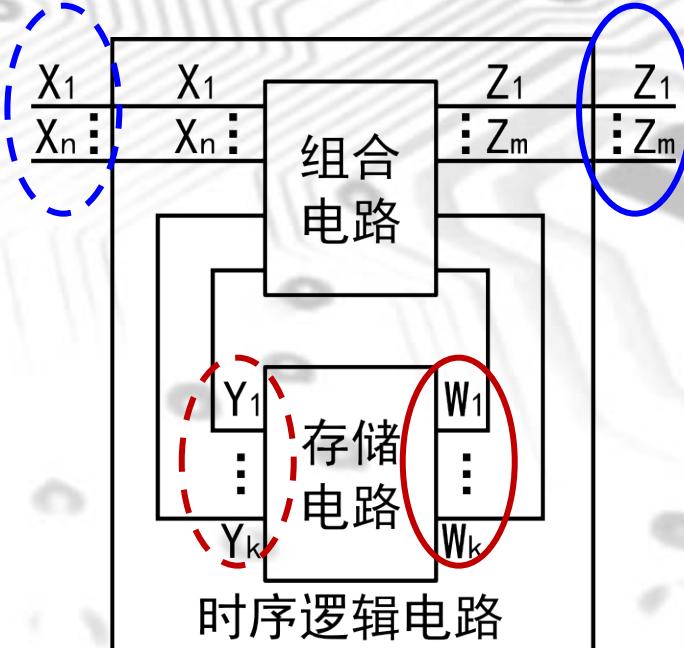
1. 确定状态数量，作出状态图/状态表
2. 状态分配
3. 确定激励函数和输出函数
 - ◆ 未使用状态作自启动检查
4. 画出逻辑电路图



Q^n	Q^{n+1}	Z	X	J	K	D
⋮	⋮	⋮	⋮	⋮	⋮	⋮
⋮	⋮	⋮	⋮	⋮	⋮	⋮

时序逻辑电路的设计步骤归纳

1. 确定状态数量，作出状态图/状态表
2. 状态分配
3. 确定激励函数和输出函数
 - ◆ 未使用状态作自启动检查
4. 画出逻辑电路图



核心是：
将外输入与外输出关系扩展为：
外输入、存储输出与激励输入、外输出间的关系



时序逻辑电路设计的难点

时序电路设计的变换在于：
将外输入与外输出关系**扩展**为：
外输入、存储输出与**激励输入**、外输出间的关系

状态数目

- 时序逻辑电路设计的难点
 - 如何**准确**作出电路状态图、状态表
 - 如何对状态表进行**简化**



难点1：如何准确作出电路状态图

- 原则1：电路状态是一个**闭环系统**；
- 原则2：从初始状态按**正常流程**画出所需状态点，尤其注意最后一个转移路径的**目的状态点**；
- 原则3：在每个状态点**查找异常流程**，补充状态转移路径或状态点。

ch6例题



阅读如下Verilog HDL程序，画出rst=1时的状态图，并分析其功能

```
module module SM1(clk,ina,rst);
input clk,ina,rst;
parameter s0=3'b00,s1=3'b01,s2=3'b10,s3=3'b11;
reg [1:0] state;
always @ (posedge clk or negedge rst)
begin
if (~rst)    state<=s0;
else
case(state)
  s0:    state<=(ina)?s1:s3;
  s1:    state<=(ina)?s2:s0;
  s2:    state<=(ina)?s3:s1;
  s3:    state<=(ina)?s0:s2;
endcase
end
endmodule
```

ch6例题

用Verilog HDL语言实现一个模为11的计数器（同步置数），
计数顺序为1→2→3→.....→10→11→1...写出实现代码。

如果用74161芯片实现该计数器，写出设计过程，并画出
电路图

```
module CNT(clk,out);
    input      clk;
    output [3:0] out;
    reg       [3:0] out;

    always @ (posedge clk) begin
        if (out == 11)
            out <= 1;
        else
            out <= out + 1;
    end
end
endmodule
```



复习大纲- 7, 8 章 半导体存储器及可编程逻辑器件

主要内容：

- ROM 的电路结构及工作原理。
- RAM 的电路结构、工作原理及存储容量的扩展。
- 可编程逻辑器件及其基本结构。
- PAL、GAL 的基本结构(含 OLMC 及工作模式)。
- CPLD、FPGA 的结构、编程实现原理及应用。



复习大纲- 7, 8 章 半导体存储器及可编程逻辑器件

基本要求：

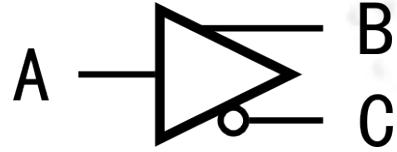
- 了解半导体存储器的分类，
 - 掌握半导体存储器地址、字、位、存储容量等基本概念，会计算存储器的地址范围。
 - 掌握存储器的位数扩展和字数扩展。
- 出题方式：填空题、画图等**

CH7 小结

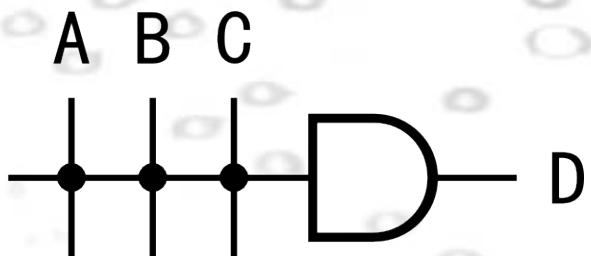
- RAM/ROM的使用
- 存储单元决定特性
- 时序是逻辑关键
- 容量扩展是经典的问题
- RAM/ROM可实现任意组合逻辑

PLD器件的表示方法

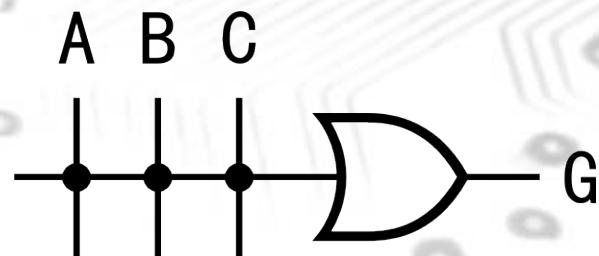
● 基本门的符号



具有同相、
反相输出的
缓冲器

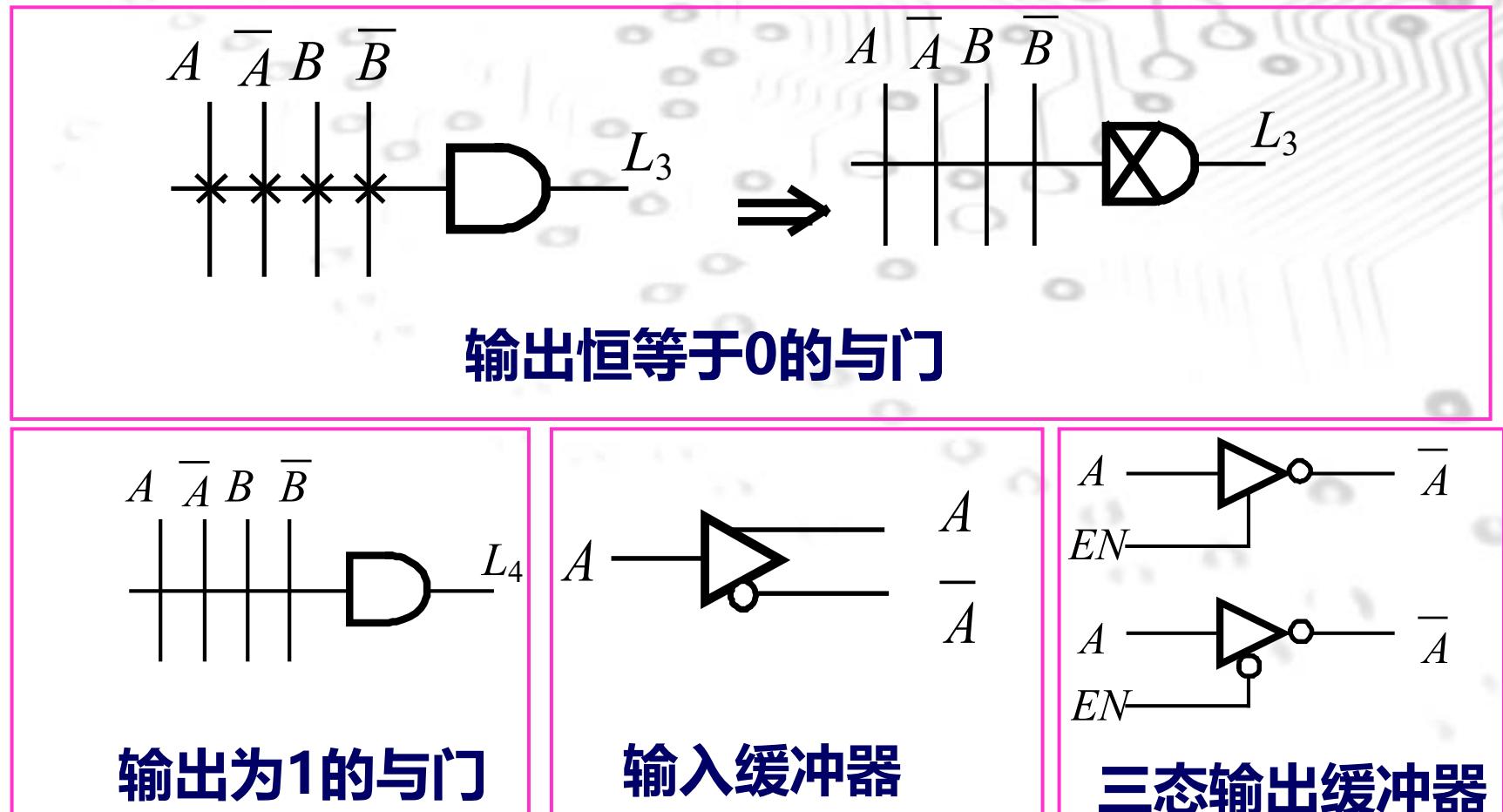


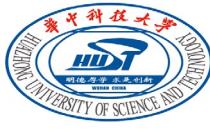
多输入与门



多输入或门

PLD器件的表示方法





PLD的结构小结

结构	与阵列	或阵列
PROM	固定	可编程
PAL	可编程	固定
PLA	可编程	可编程

FPGA与CPLD的区别

	CPLD	FPGA
内部结构	Product-term	Look-up Table
程序存储	内部EEPROM	SRAM, 外挂EEPROM (FLASH)
资源类型	组合电路资源丰富	触发器资源丰富
集成度	低	高
使用场合	完成控制逻辑	能完成比较复杂的算法
速度	快	慢
其他资源	—	EAB, 锁相环
保密性	可加密	一般不能保密



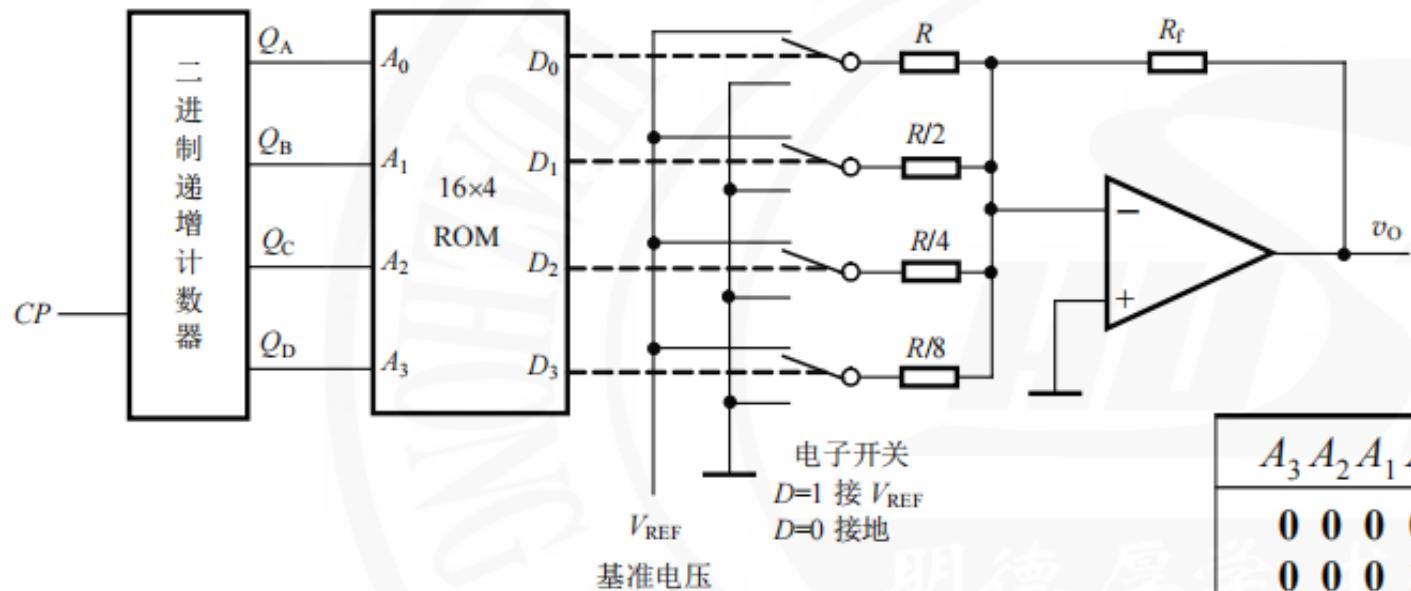
ch7/8例题

- 使用一片 ROM 实现两个 4bit 数的乘法运算，需要容量 bit 的 ROM。
- 一个存储容量为 4096bit 的 ROM 芯片有 8 根数据线，其地址线为 根。
- 8K×8 的 RAM 芯片有 根地址线；需要 片 2K×4 的 RAM 芯片才能扩展得到 16K×8 的 RAM
- CPLD 基于 技术实现组合逻辑函数；FPGA 中每个逻辑单元是利用 技术来实现组合逻辑的；当需实现 4 输入 2 输出的组合电路所需占用的 SRAM 配置容量至少为 bit。

ch7/8例题



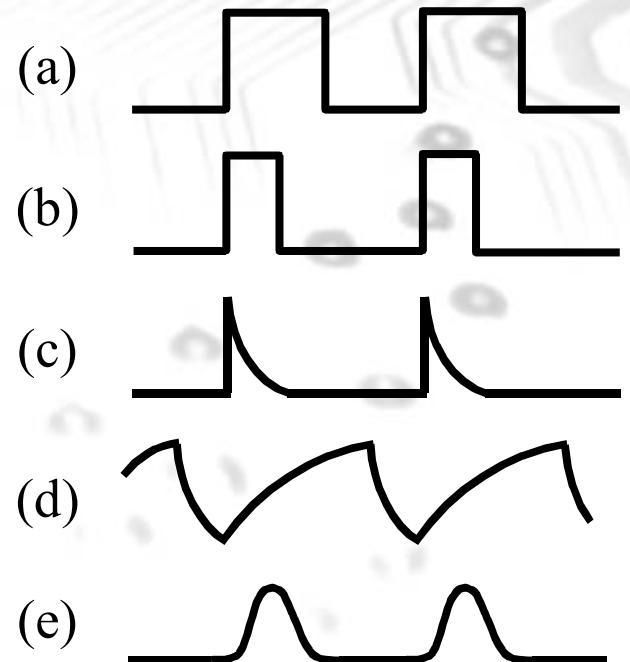
九、利用ROM构成的任意波形发生器如图题7.1.5所示，改变ROM的内容，即可改变输出波形。当ROM的内容如表题7.1.5所示时，画出输出端随CP变化的波形。



$A_3 A_2 A_1 A_0$	$D_3 D_2 D_1 D_0$	$A_3 A_2 A_1 A_0$	$D_3 D_2 D_1 D_0$
0 0 0 0	0 1 0 0	1 0 0 0	0 1 0 0
0 0 0 1	0 1 0 1	1 0 0 1	0 0 1 1
0 0 1 0	0 1 1 0	1 0 1 0	0 0 1 0
0 0 1 1	0 1 1 1	1 0 1 1	0 0 0 1
0 1 0 0	1 0 0 0	1 1 0 0	0 0 0 0
0 1 0 1	0 1 1 1	1 1 0 1	0 0 0 1
0 1 1 0	0 1 1 0	1 1 1 0	0 0 1 0
0 1 1 1	0 1 0 1	1 1 1 1	0 0 1 1

脉冲信号与电路概述

- 脉冲信号
 - 凡不具有连续正弦波形状的信号都可以统称为脉冲信号
- 脉冲信号的特点
 - 由若干个暂态过程段所组成
- 脉冲电路
 - 用于产生、传输、变换和处理脉冲信号的电路
 - 由**开关电路与惰性网络**组成





复习大纲- 9 章 脉冲波形的产生与变换

基本要求：

- 单稳触发器：

了解 CMOS 或非门构成的微分型单稳触发器的原理，工作波形，暂稳态宽度的计算。

了解集成单稳74121的工作原理和触发方式，了解单稳触发器74121的应用。

掌握不可重复触发、可重复触发的概念及波形特点。

- 施密特触发器：

理解工作原理，输出波形，会推导回差电压，理解其传输特性，了解施密特反相器的传输特性和输出波形；掌握施密特触发器的应用：如幅度鉴别、多谐振



复习大纲- 9 章 脉冲波形的产生与变换

主要内容：

- 脉冲波形的变换电路---单稳态触发器、施密特触发器的工作原理、参数计算及应用。
- 脉冲波形的产生电路----多谐振荡器的工作原理和参数计算。



复习大纲- 9 章 脉冲波形的产生与变换

基本要求：

多谐振荡器：

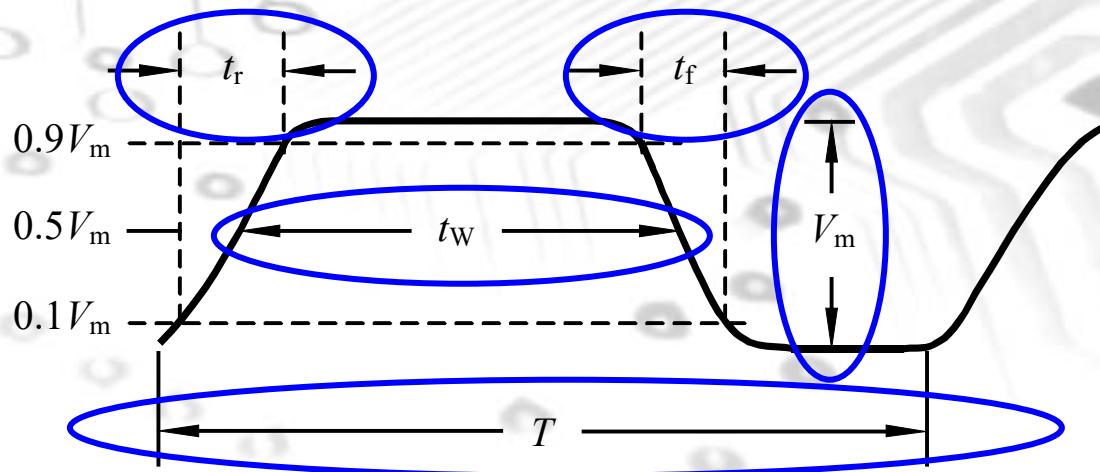
了解其定义、特点（无稳态，只有两个暂稳态；无须触发信号等）CMOS

反相器所组成的多谐振荡器的原理，输出波形，振荡周期的计算。（三要素法）

出题方式：填空题

脉冲信号的主要参数

- 脉冲幅度 V_m
- 脉冲宽度 t_w
- 上升时间 t_r 、下降时间 t_f
- 周期 T 、占空比 q (**Duty**)

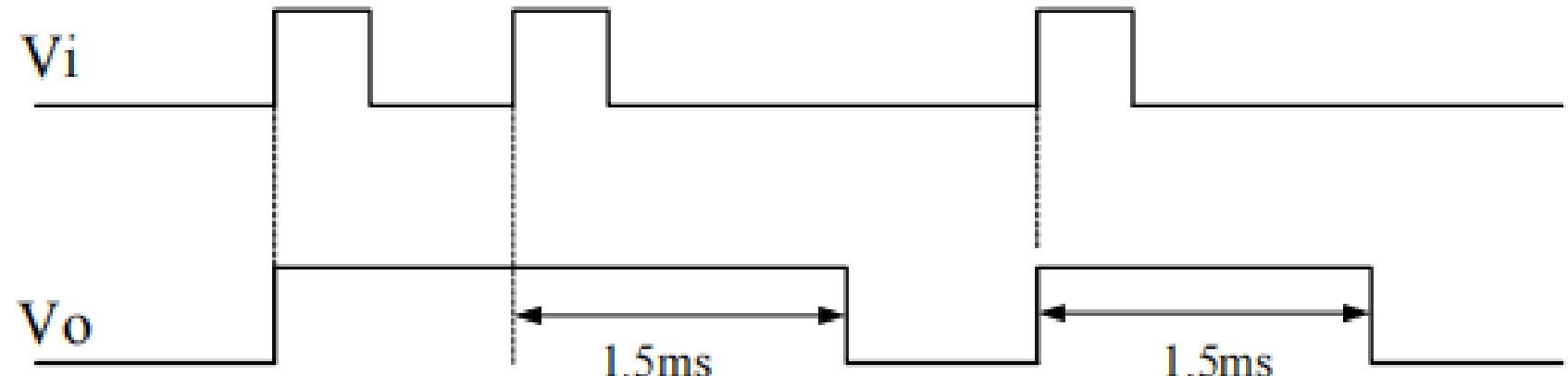


CH9 小结

- 施密特触发器
 - 回差特性
- 单稳态触发器（重复？）
- 自激多谐振荡器（周期，频率）

ch9例题

某系统要求产生信号 V_i 、 V_o 的关系如下图所示，应采用的脉冲电路是 。



将频率为 10KHz 的正弦波变换为同频率的矩形波，可采用 电路；将脉宽为 10ms 的方波变换为相同周期的脉宽为 1ms 的矩形脉冲，可采用 电路。



复习大纲- 10 章 数模与模数转换器

主要内容：

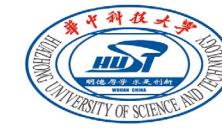
- D/A 转换器的类型、工作原理及主要技术指标
- A/D 转换器的类型、工作原理及主要技术指标

基本要求：

D/A 转换器：掌握倒 T 型电阻网络的结构及工作原理，熟悉 AD7533 集成 D/A 转换器的结构及应用。了解 D/A 的技术指标，对双极性输出方式暂不作要求。

A/D 转换器：掌握并行比较型 A/D 和双积分型 A/D 的结构及工作原理。了解这三种 A/D 转换器的主要特点及主要技术指标。

出题方式：填空题、综合应用题（不太确定）等



选择A/D、D/A时需要考虑的因素

- 系统精度——决定位数（分辨率）
- 系统响应速度——决定转换时间
- 接口类型——并行接口或串行接口
- A/D输入信号强度
 - 输入阻抗要求
 - 前端放大器要求
- D/A输出信号强度——后端放大器要求
- 信号极性——**供电、参考源**选择
- 功耗及环境适应性

CH10 小结

- 模数转换的四步骤: **采样、保持、量化、编码**
- A/D、D/A类型
 - 电流型DAC、电压型DAC
 - 并行ADC、并串行ADC、SAR、 Σ - Δ
- A/D、D/A参数指标
 - 分辨率
 - 精度
 - 转换时间
 - D/A: 电流型 < 电压型
 - A/D: 全并行 < 并串行 < 逐次比较 < Σ - Δ 型 < 间接转换
- A/D、D/A选择时应当考虑的因素



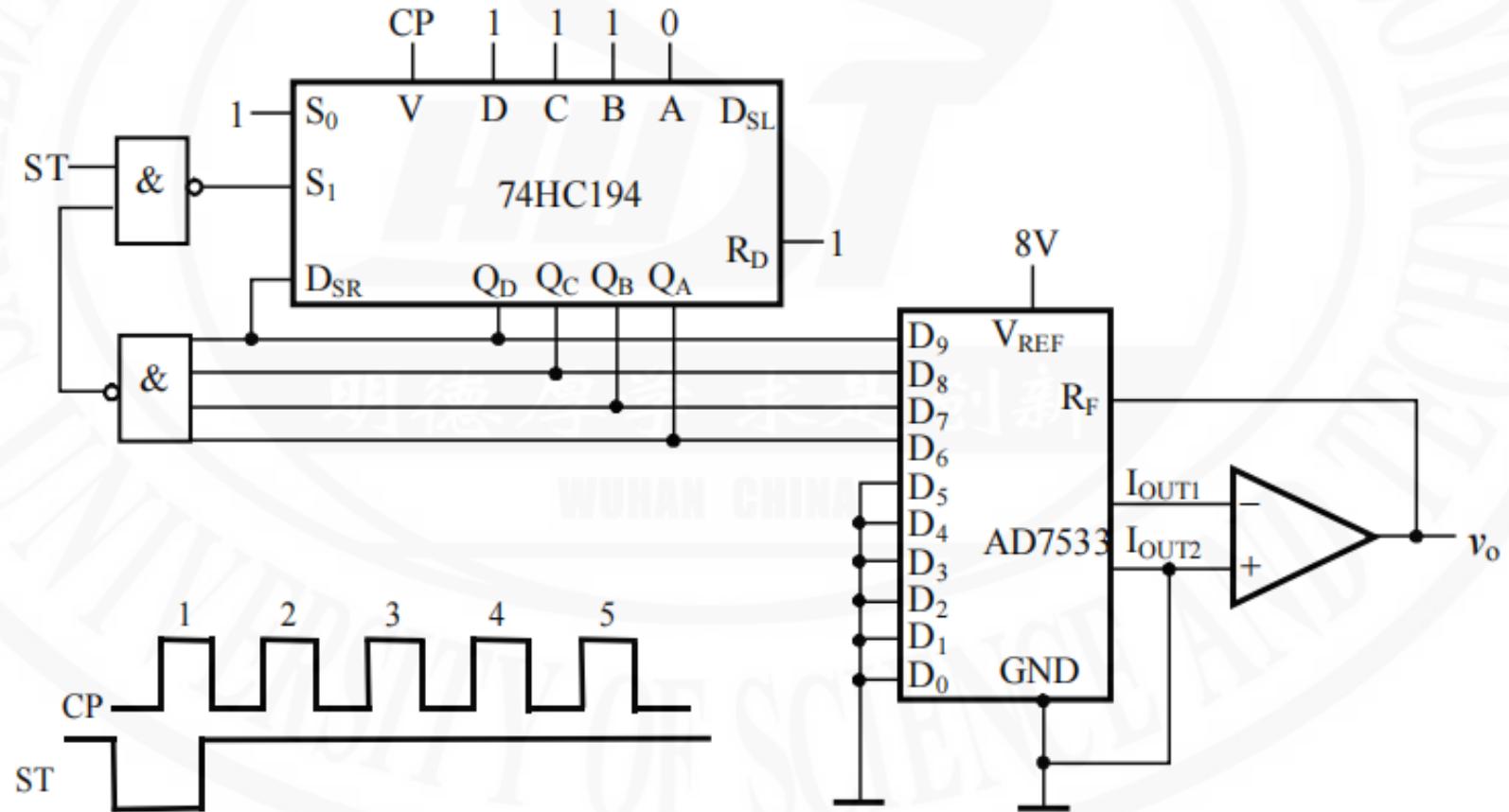
复习大纲- 题型分布

- 一、填空题 【15分】**
- 二、逻辑代数化简题（代数法、卡诺图法）【约10分】**
- 三、给定电路和输入波形，画输出波形【约10分】**
- 四、组合逻辑电路的分析与设计（含 HDL）【约20分】**
- 五、时序逻辑电路的分析与设计（含 HDL）【约30分】**
- 六、综合应用题 【约15分】**

综合例题

七、集成移位寄存器74HC194和10位集成D/A转换器AD7533组成的电路如图六所示，已知CP和ST的波形：

- 1) 试画出Q_D、Q_C、Q_B、Q_A的波形；
- 2) 定量画出图中v_o的波形；
- 3) 已知CP的频率f_{cp}=1KHz，试确定v_o的周期。



综合例题

、计数型A/D转换器的原理电路如图所示，A为比较器，当 V_i 大于 V_o 时输出为1，当 V_i 小于 V_o 时输出为0；CR为低电平有效的清零信号，每次转换前CR信号都将计数器清零； V_R 为高电平有效的转换控制信号；CP为时钟信号，频率为100KHz；计数器模块为8位二进制加法计数。

(1) 请说明该电路实现A/D转换的原理。

(2) 完成一次A/D转换的最长时间为多少？

(3) 若8位D/A最高可输出 $V_{omax}=9.18V$ ，当 $V_i=5.410V$ 时，电路输出结果的值为多少？此次转换的时间为多少？

