

# 数字电路串讲

# 目录

- 数码与编码
- 逻辑代数
- 组合电路
- 时序电路
- 元件及其扩展
- 一些零散的知识点

# 一. 数码与编码

- 常用数制及转换
- 算数计算
- 十进制编码

# 常用数制及转换

## 1.二进制 (B)

比如:  $(1111) = 15$  (十进制)

## 2.十进制 (D)

比如:  $19 = 10011$  (二进制)

## 3.八进制 (O)

比如:  $12 = 10$  (十进制)

## 4.十六进制(H)

比如:  $2A = 42$  (十进制)

## 十进制转二进制

$$\begin{array}{r} 2 \overline{) 25} \cdots \cdots \cdots \text{余数} = 1 = k_0 \\ 2 \overline{) 12} \cdots \cdots \cdots \text{余数} = 0 = k_1 \\ 2 \overline{) 6} \cdots \cdots \cdots \text{余数} = 0 = k_2 \\ 2 \overline{) 3} \cdots \cdots \cdots \text{余数} = 1 = k_3 \\ 2 \overline{) 1} \cdots \cdots \cdots \text{余数} = 1 = k_4 \\ 0 \end{array}$$

$$\begin{array}{r} 0.7 \\ \times 2 \\ \hline 1.4 \cdots \cdots \text{整数部分} = 1 = k_{-1} \\ 0.4 \\ \times 2 \\ \hline 0.8 \cdots \cdots \text{整数部分} = 0 = k_{-2} \\ 0.8 \\ \times 2 \\ \hline 1.6 \cdots \cdots \text{整数部分} = 1 = k_{-3} \\ 0.6 \\ \times 2 \\ \hline 1.2 \cdots \cdots \text{整数部分} = 1 = k_{-4} \end{array}$$

故得到  $(25.7)_{10} = (11001.1011)_2$ 。再转换为十六进制,得到

## 二进制转十进制

$$\begin{aligned} (101.011)_2 &= 1 \times 2^2 + 0 \times 2^1 + 1 \times 2^0 + 0 \times 2^{-1} + 1 \times 2^{-2} + 1 \times 2^{-3} \\ &= 5.375 \end{aligned}$$

# 算数计算

- 概念

- 原码：加一个符号位，其1表示负数，0表示正数（如+1000=01000； -1000=11000）
- 反码：正数反码和原码一样，负数除去符号位都取反（如（-1000）=10111）
- 补码：正数和原码一样，负数在其反码的基础上加1（如（-1000）=11000）

- 算术应用

- 将加减法统一成加法，再用补码计算
- 例： 1101-1011
  - 1101补码： 01101
  - 1011补码： 10101
  - Ans = 01101+10101 = 00010

# 十进制编码

- 码制

- 8421码 \*\*
- 5421码/2421码
- 余三码
- 格雷码 \*\*
- 余三循环码

- 编码方式

- 用0/1字符代替十进制数码

表 1 格雷码的编码表

十进制数	$G_3 G_2 G_1 G_0$
0	0 0 0 0
1	0 0 0 1
2	0 0 1 1
3	0 0 1 0
4	0 1 1 0
5	0 1 1 1
6	0 1 0 1
7	0 1 0 0
8	1 1 0 0
9	1 1 0 1
10	1 1 1 1
11	1 1 1 0
12	1 0 1 0
13	1 0 1 1
14	1 0 0 1
15	1 0 0 0

例如：1218.7格雷码： 0001 0011 0001 1100.0100

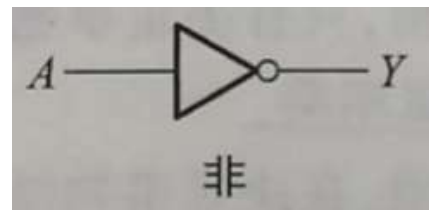
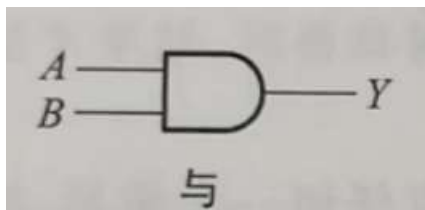
## 记忆方法

- 5421/2421码  $d = a_3 a_2 a_1 a_0$ 
  - 1)  $d \geq 5$  则  $a_3=1$
  - 2)  $d = 5a_3 + 4a_2 + 2a_1 + a_0$
- 格雷码  
画表数数
- 余三码/余三循环码
  - 余三码 = 8421码 + 3
  - 余三循环码 = 格雷码 + 3

	00	01	11	10
00	0000	0001	0011	0010
01	0100	0101	0111	0110
11	1100	1101	1111	1110
10	1000	1001	1011	1010

# 逻辑代数

- 基本运算与器件



异或



同或



- 公式\*

- $A + BC = (A+B)(A+C)$
- $A + \bar{A}B = A + B$                        $A + AB = A$
- $AB + \bar{A}C + BC = AB + \bar{A}C$   
 $AB + \bar{A}C + BCD = AB + \bar{A}C$

- 定理

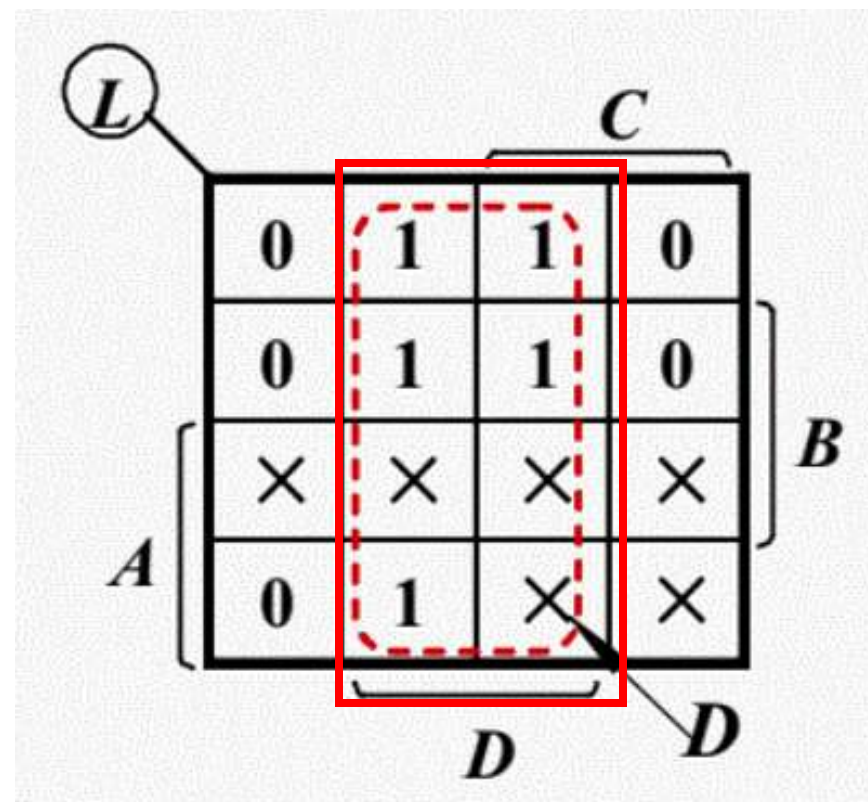
- 代入定理 (显然)
- 反演定理 1)不改变计算先后顺序    2)0->1 1->0    3) $A \rightarrow \bar{A}$     4)与或互换
- 对偶定理 1)    2)    4)    (应用于求对偶式)



- 最小项 (略)
- 简化方法 代数法： 即利用上述定理公式求解
  - 卡诺图法
    - 1) 列真值表
    - 2) 画卡诺图
    - 3) 圈 (易错)
      - a. 圈最大的 b. 注意边界 c. 关于无关项

$$AB + \bar{A}C + BCD = AB + \bar{A}C$$

AB \ CD	00	01	11	10
00			1	1
01			1	1
11	1	1	1	1
10				



# 组合电路

- 分析与设计

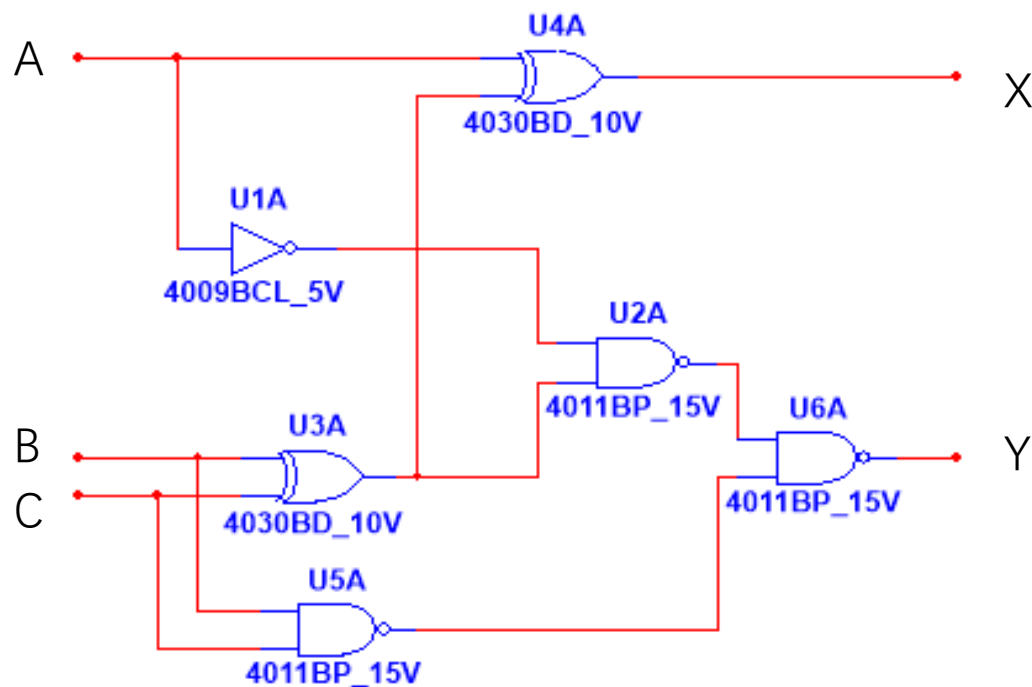
- 分析

- 1) 确定元件

- 2) 写出表达式

- 3) 列出真值表

- 4) 观察表述



$$X = A \oplus B \oplus C$$

$$Y = \overline{\overline{A}B \oplus C \overline{BC}} = (\overline{A}B \oplus C) + BC = BC + \overline{A}B + \overline{A}C$$

A	B	C	X	Y
0	0	0	0	0
0	0	1	1	1
0	1	0	1	1
1	0	0	1	0
0	1	1	0	1
1	0	1	0	0
1	1	0	0	0
1	1	1	1	1

1bit全减器

# 设计

- 1) 逻辑抽象
- 2) 列出真值表
- 3) 简化
- 4) 写出表达式
- 5) 画出电路图

问题:

4.29.某足球评委会一位教练三个足球迷构成，对裁判员的判决进行表决，当满足以下条件时通过

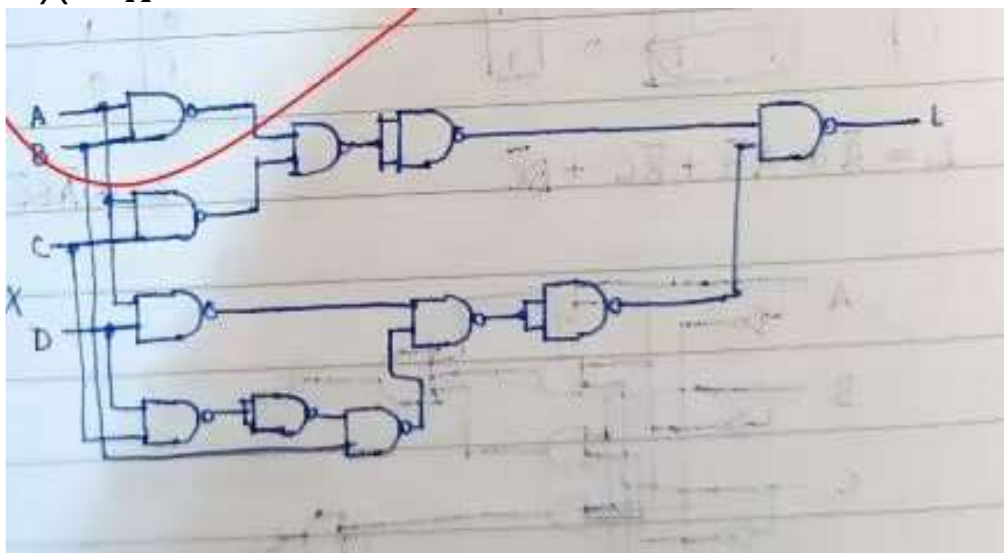
- a.三个或三个以上通过
- b.二人同意，其中一人为教练

逻辑抽象：事件A:={足球迷1同意}，事件B:={足球迷2同意}，……  
事件D:={教练同意}，  
事件X:={通过决议}

$$a = ABC + ABD + BCD \quad b = AD + BD + CD ;$$

简化：  $X = a+b = AD + CD + BD + ABC$

$$X = \bar{X} = \dots\dots$$



AB\C D	00	01	11	10
00			1	
01		1	1	
11		1	1	1
10		1	1	

# 竞争冒险现象

**竞争**：当一个逻辑门的两个输入端的信号同时向相反方向变化，而变化的时间有差异的现象。

**冒险**：由于竞争而引起电路输出发生瞬间错误现象称为冒险。冒险表现为输出端出现了原设计中没有的窄脉冲，常称其为**毛刺**。

**冒险出现的条件**：当电路输出端的逻辑函数表达式，在一定条件下可以简化成**两个互补信号相乘或者相加**，即：

$$L = A \cdot \bar{A} \text{ 或者 } L = A + \bar{A}$$

在互补信号的**状态发生变化时**可能出现冒险现象。

当 $B=C=1, D=0$ 时,  $AB + \bar{A}C + BCD = AB + \bar{A}C = A + \bar{A}$

$$AB + \bar{A}C + BCD = AB + \bar{A}C$$

$$AB + \bar{A}C + BCD = AB + \bar{A}C = AB + \bar{A}C + BC$$

方法：出现相邻但不交叉的圈，将其贯通

AB\CD	00	01	11	10
00			1	1
01			1	1
11	1	1	1	1
10				

# 时序电路

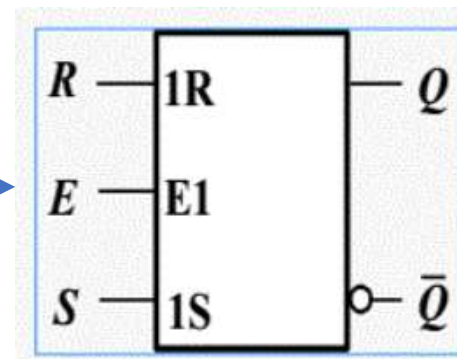
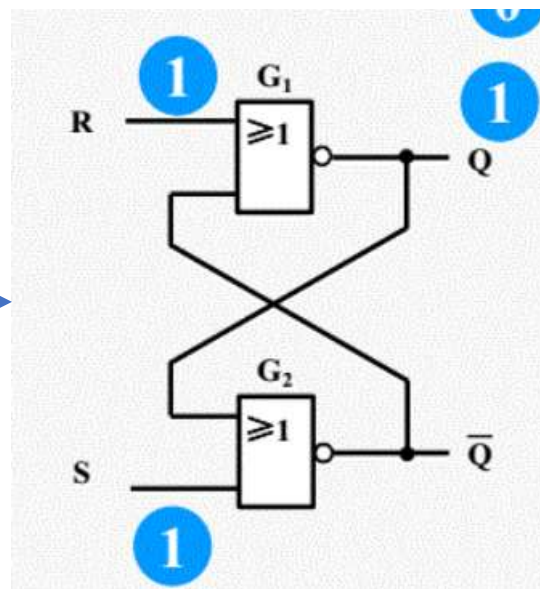
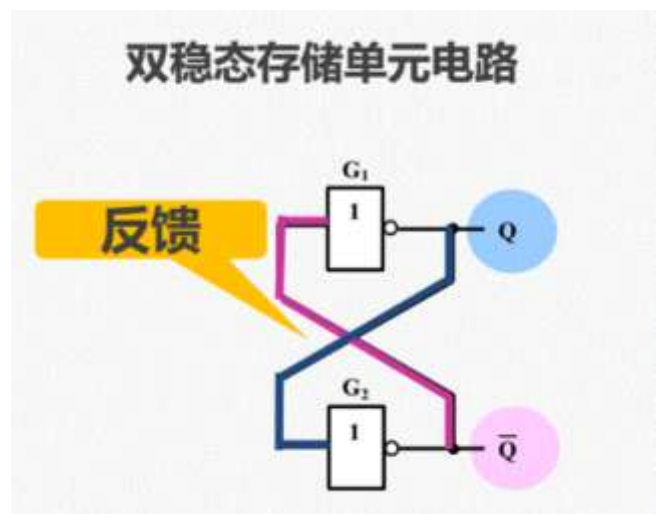
- 存储电路
- 同步时序电路分析
- 同步摩尔型时序电路设计

# 存储电路

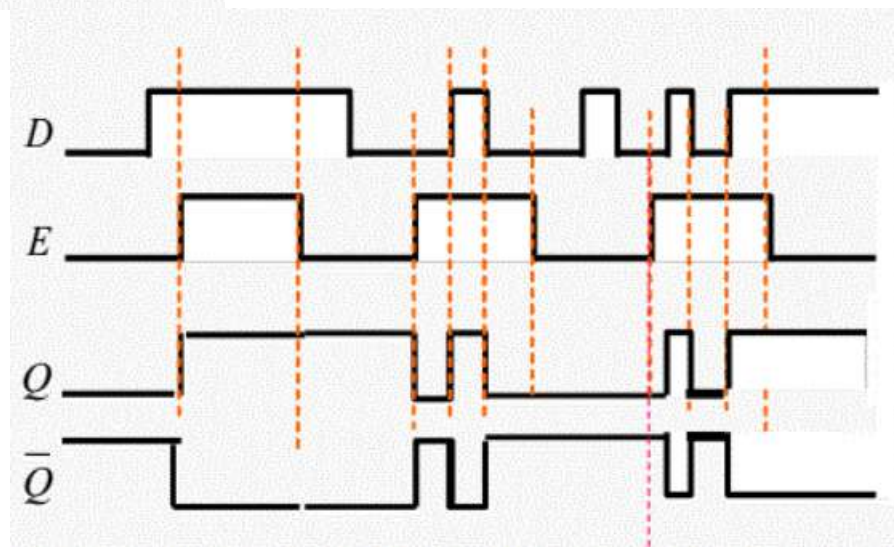
- SR锁存器
- 边沿触发器
  - D触发器
  - JK触发器
  - T触发器
  - T'触发器



# SR锁存器



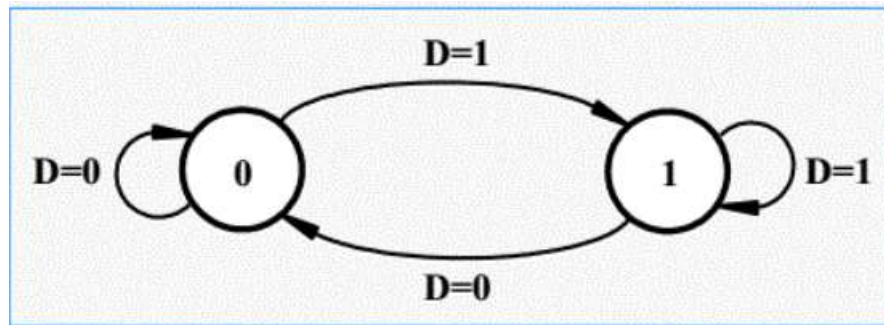
$E$	$D$	$Q$	$\bar{Q}$	功能
0	$\times$	不变	不变	保持
1	0	0	1	置0
1	1	1	0	置1



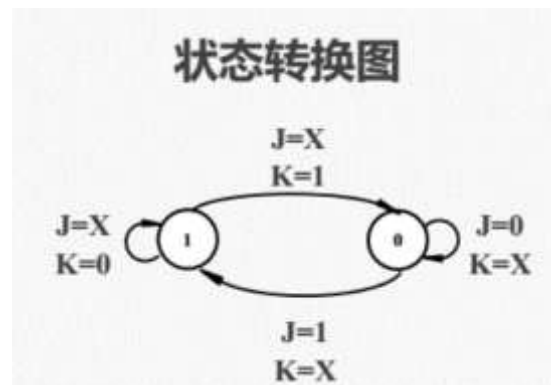


# 触发器

- D触发器  $Q^{(n+1)} = D$



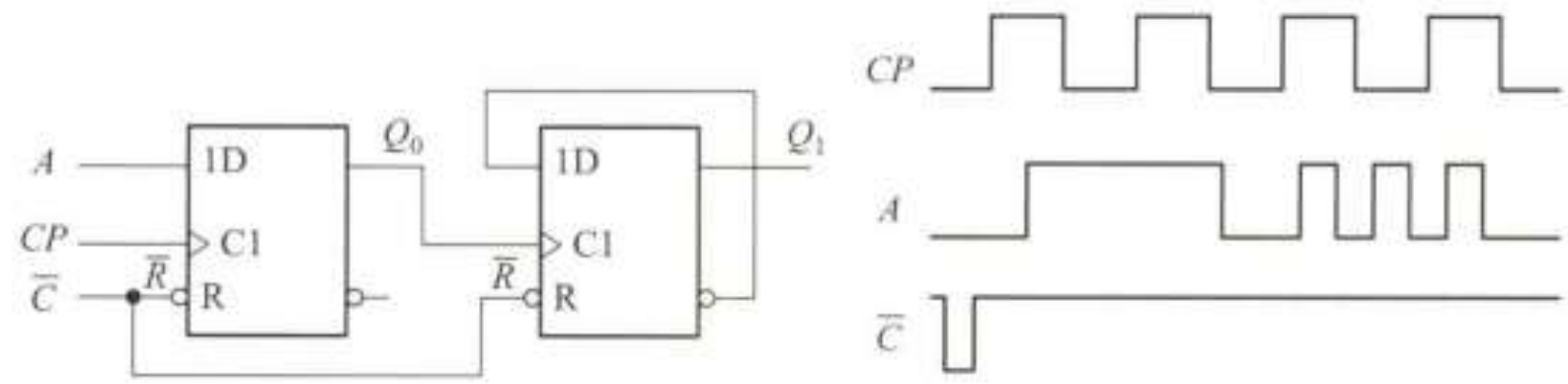
- JK触发器  $Q^{(n+1)} = J\overline{Q^{(n)}} + \overline{K}Q^{(n)}$



- T触发器  $T = 1$  翻转,  $T=0$  不变

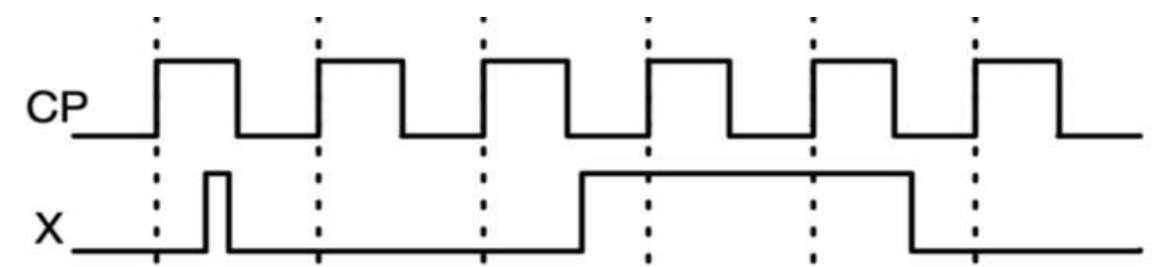
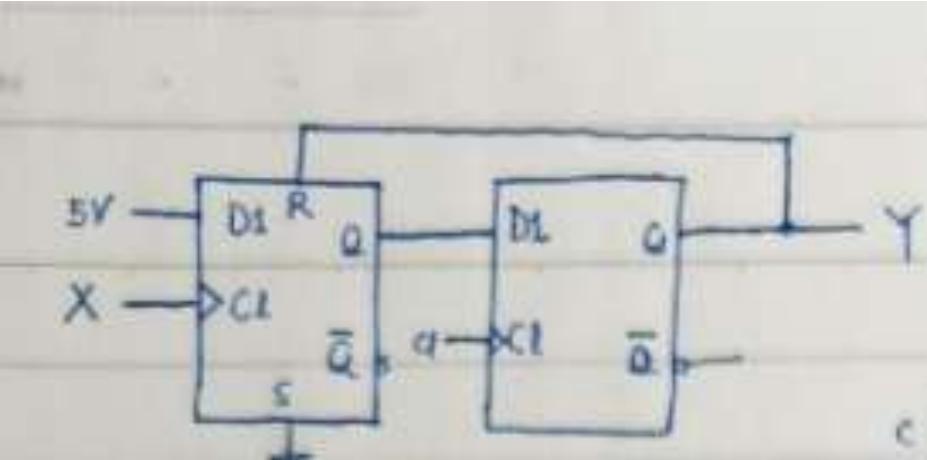
- T'触发器

R为低电平有效异步清零，问 $Q_0$   $Q_1$ 信号



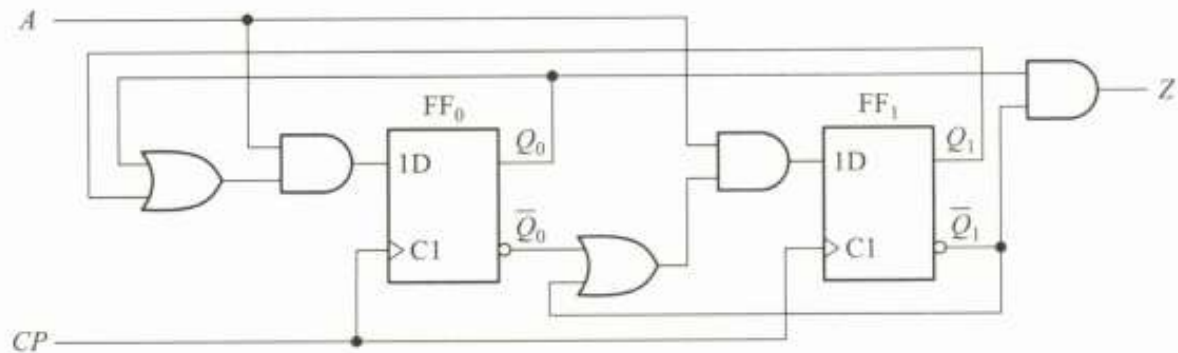
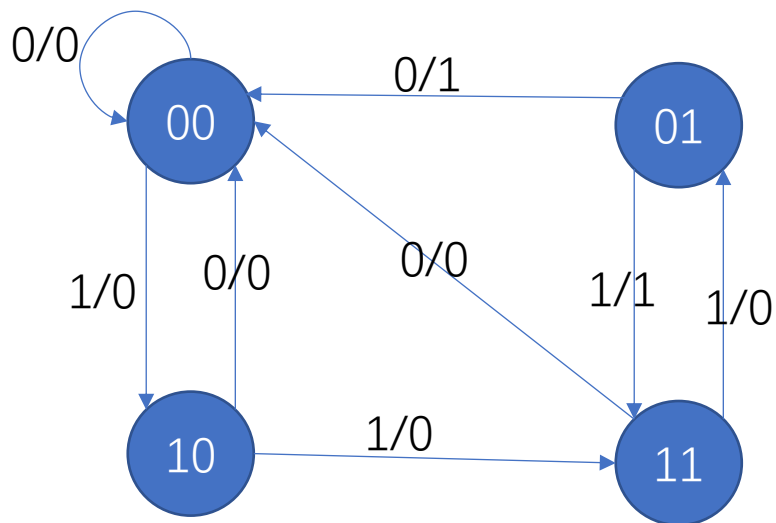
图题 5.5.3

R为高电平有效异步清零，问Y信号



# 同步时序电路分析

- 1) 确定电路与元件类型, 米里/摩尔 JK/D ?
- 2) 写出输出方程, 驱动方程与激励方程
- 3) 联立得出状态方程
- 4) 得出真值表 5) 得出状态转换表
- 6) 得出转换图



驱动方程:  $D_0 = A(Q_0^n + Q_1^n)$   
 $D_1 = A(\overline{Q_0^n} + \overline{Q_1^n})$

激励方程:  $Q_0 = D_0$   
 $Q_1 = D_1$

状态方程:  $Q_0^{n+1} = A(Q_0^n + Q_1^n)$   
 $Q_1^{n+1} = A(\overline{Q_0^n} + \overline{Q_1^n})$

Q1Q0	$Q_1^{n+1}Q_0^{n+1}/Y$	
	A=0	A=1
00	00/0	10/0
01	00/1	11/1
11	00/0	01/0
10	00/0	11/0

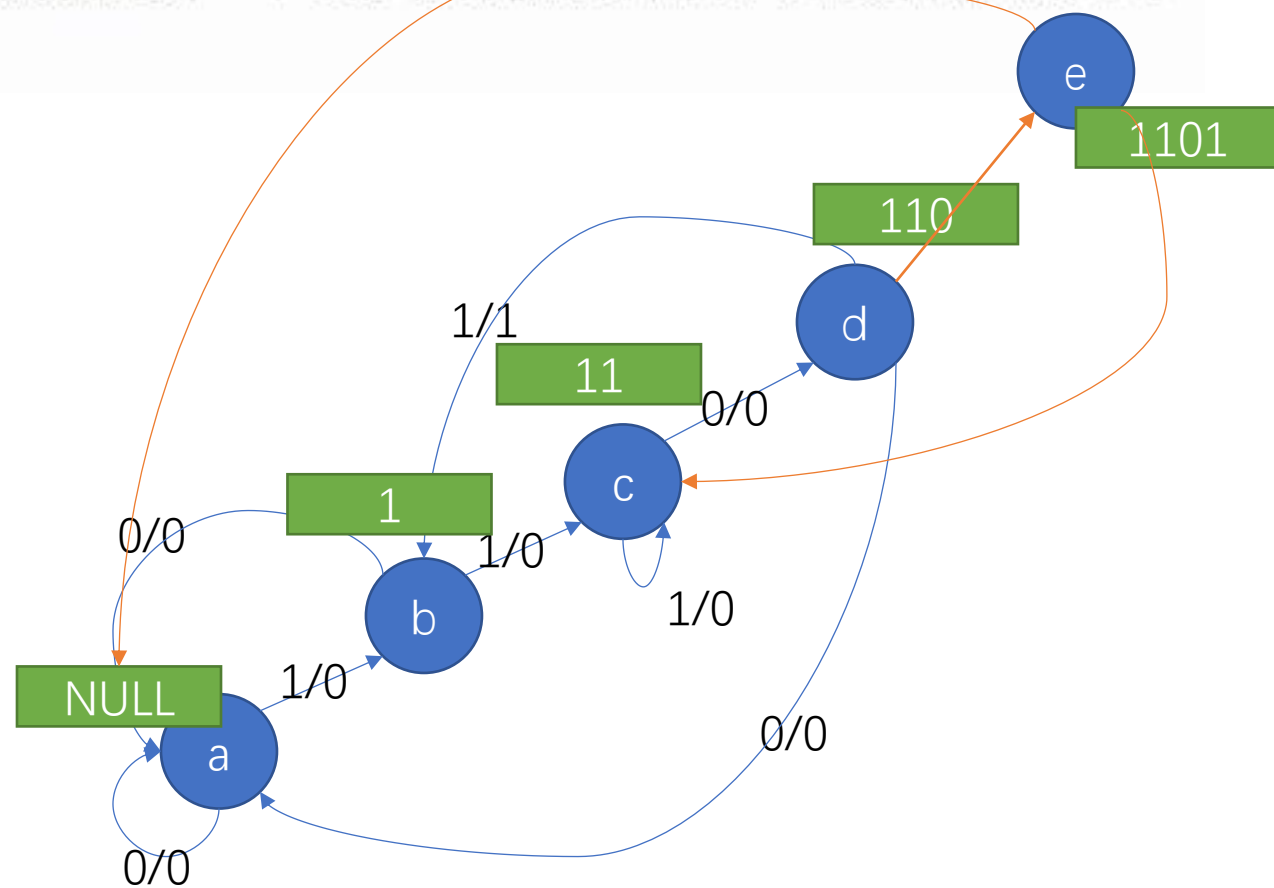
输出方程:  $Z = \overline{Q_1^n}Q_0^n$

# 同步时序电路设计

6.3.6 试用上升沿触发的  $D$  触发器设计一个 **1101** 序列检测器(序列可重复), 输入为串行编码序列, 输出为检出信号。

- 逻辑抽象
- 简化状态图

Sn	Sn+1/Y	
	0	1
a	a	b
b	a	c
c	d	c
d	a/1	b



- 状态分配

- 状态方程（真值表）

$$Q_1^{n+1} = Q_0^n Q_1^n + X Q_0^n$$

$$Q_0^{n+1} = X \overline{Q_0^n} + \overline{X} Q_0^n Q_1^n$$

- 驱动方程（观察法）

$$Q_1^{n+1} = Q_0^n Q_1^n + X Q_0^n \quad Q_0^{n+1} = X \overline{Q_0^n} + \overline{X} Q_0^n Q_1^n$$

$$Q_1^{n+1} = D1 \quad Q_0^{n+1} = D2$$

4. 若用 JK 触发器来实现方程为  $Q^{n+1} = \overline{A}Q^n + B$ ，则驱动方程为  
J=\_\_\_\_\_ 和 K=\_\_\_\_\_。

如果是JK触发器？

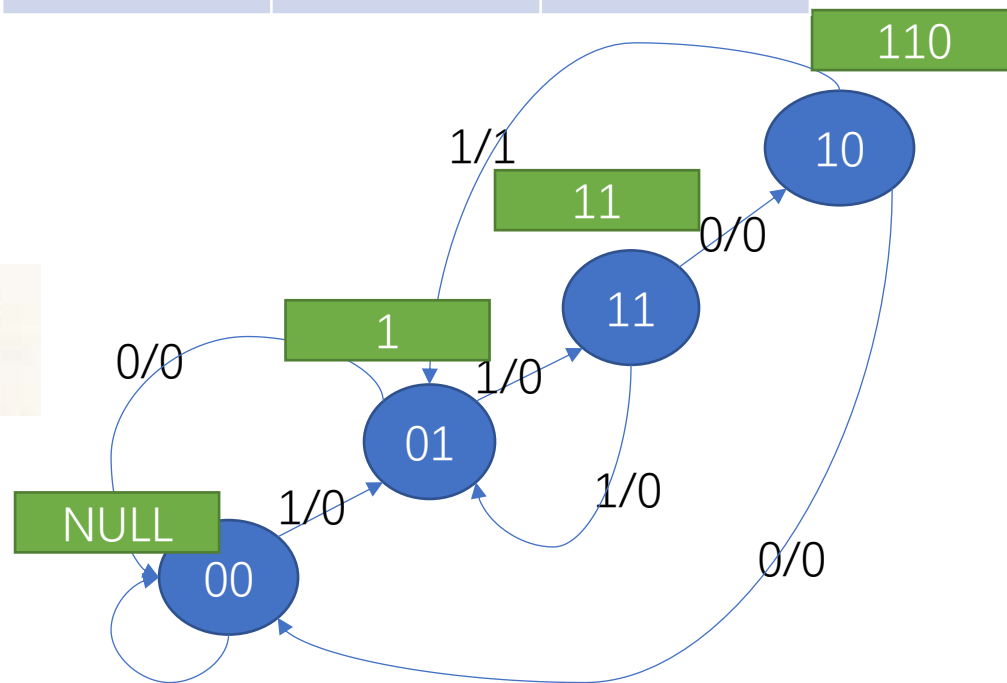
例如：

$$Q^{n+1} = \overline{A}Q^n + B(Q^n + \overline{Q^n})$$

$$B(\overline{Q^n}) + (\overline{A} + B)Q^n$$

$$Q^{n+1} = J \overline{Q^n} + \overline{K} Q^n$$

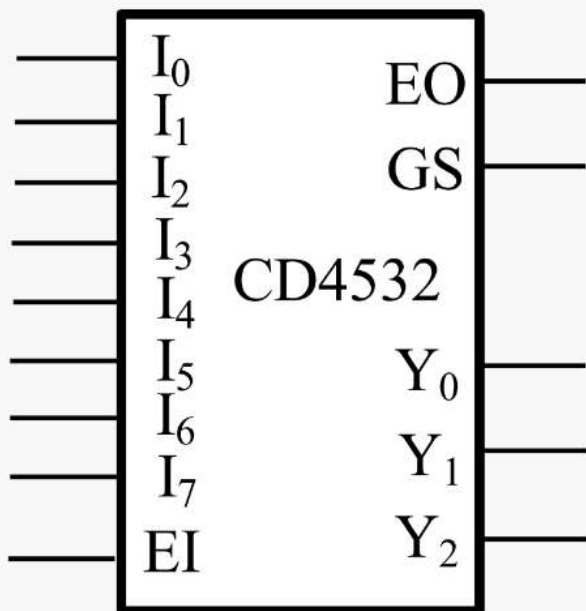
Sn (Q1Q0)	Sn+1/Y	
	0	1
00	00	01
01	00	10
11	11	10
10	00	01/1



# 元件及其扩展

- 优先编码器.

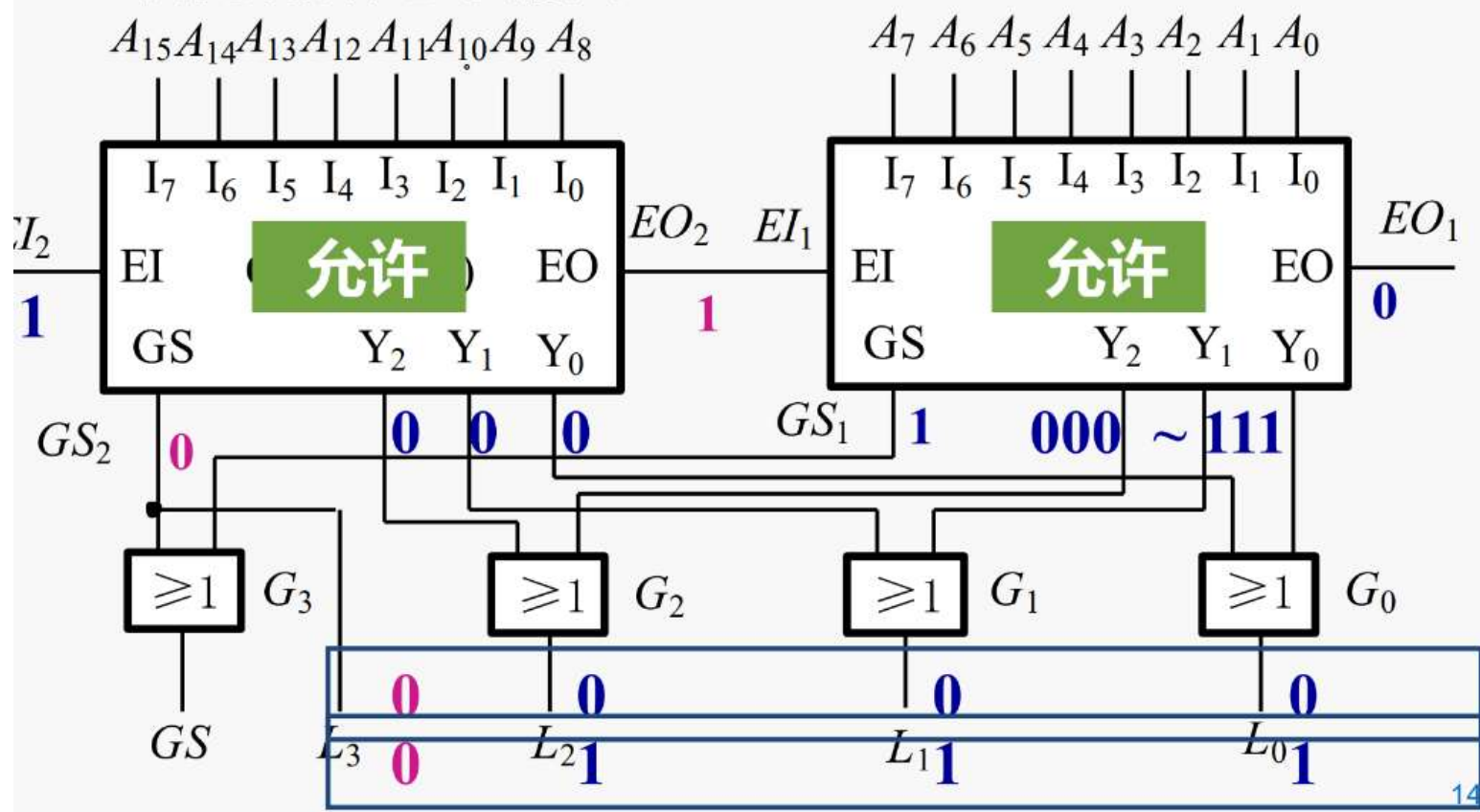
示意框图



1. 高位优先编码

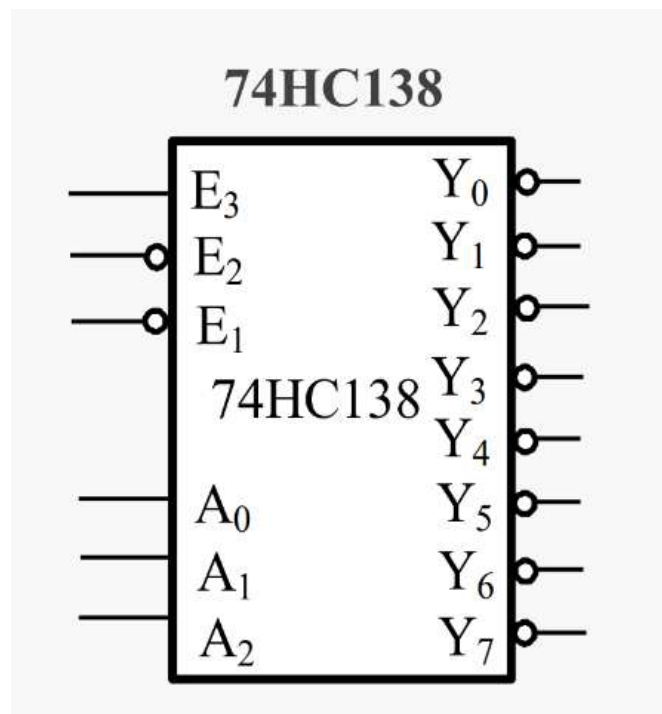
2. 有输入信号后  $GS=1$ ,  $EO=0$

若无有效电平输入



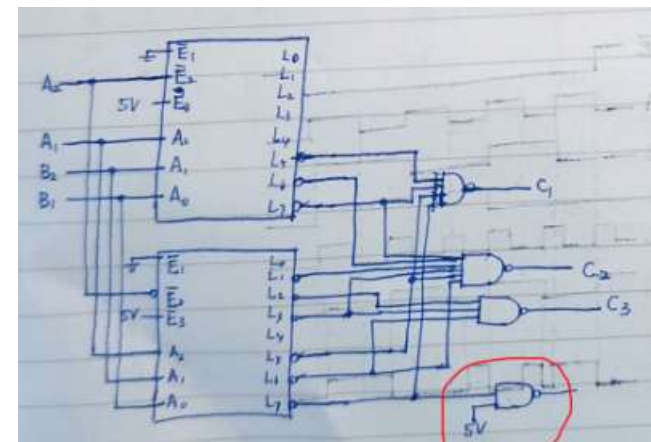
# 译码器

1. 输出端口即为A2A1A0的最小项

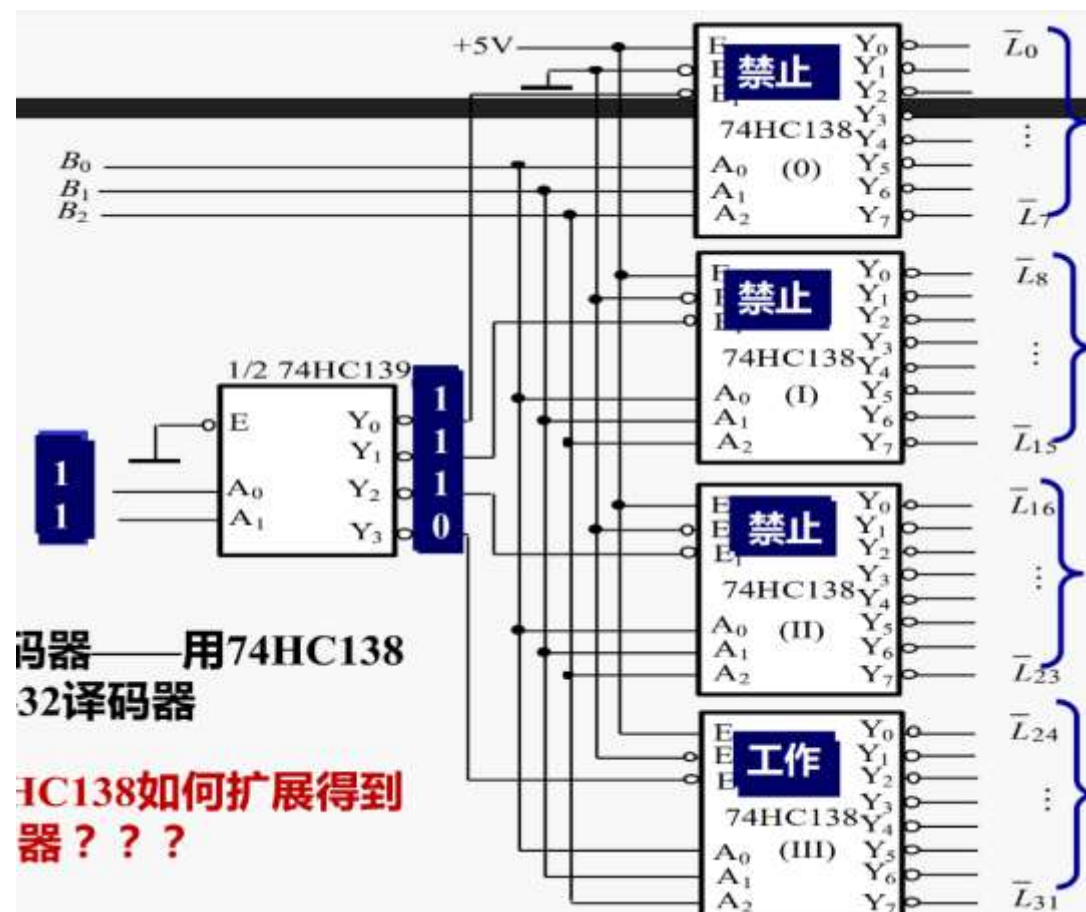


所有使能信号均有效时译码

$$\begin{aligned} C_1 &= m_6 + m_7 + m_{13} + m_{15} = \overline{m_0} \overline{m_1} \overline{m_2} m_3 \\ C_2 &= m_6 + m_7 + m_7 + m_{11} + m_{13} + m_{15} = \overline{m_0} \overline{m_1} m_2 \overline{m_3} \\ C_3 &= m_{10} + m_{11} + m_{14} = \overline{m_0} m_1 \overline{m_2} \overline{m_3} \\ C_4 &= m_{15} \end{aligned}$$

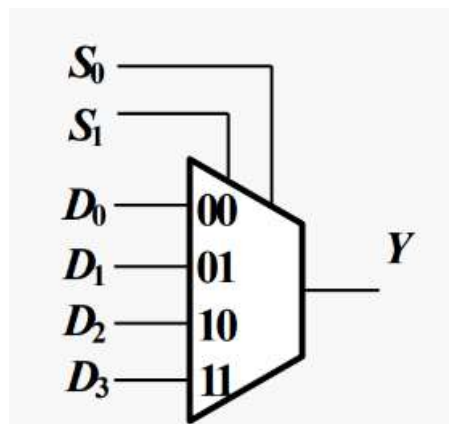


2. 片选扩展

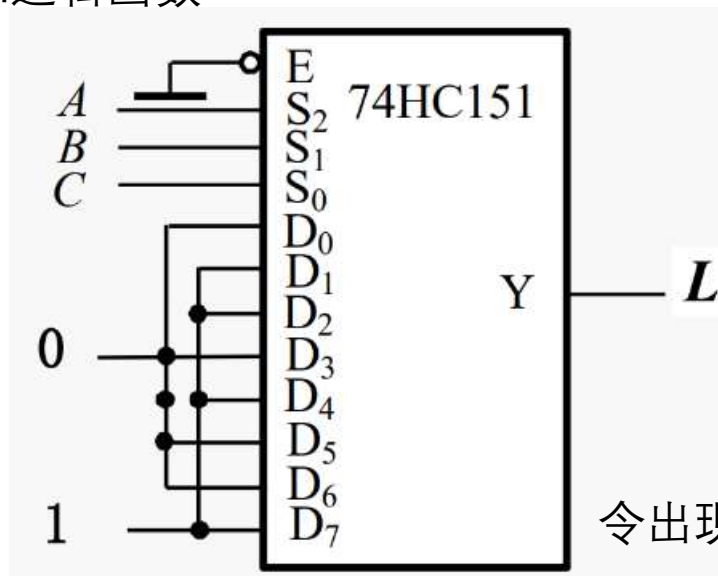




# 数据选择器

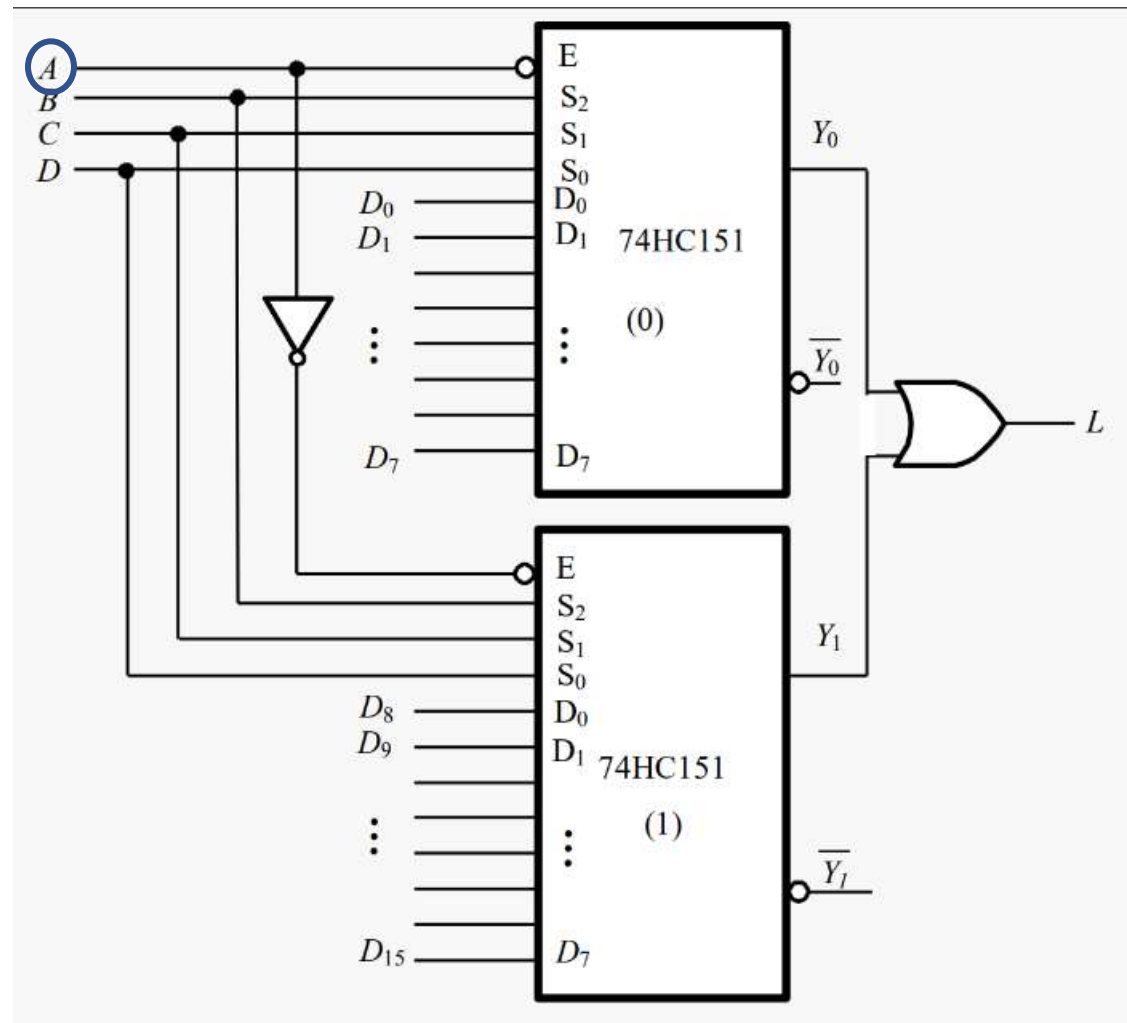


## 2. 逻辑函数



令出现的最小项为1

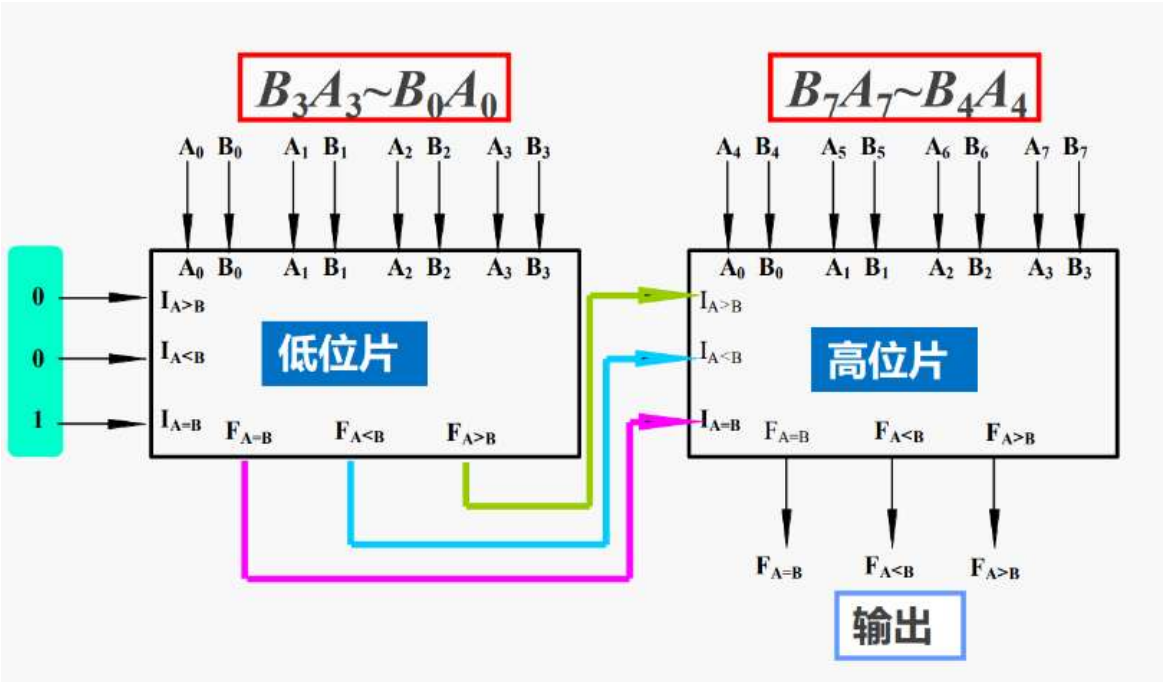
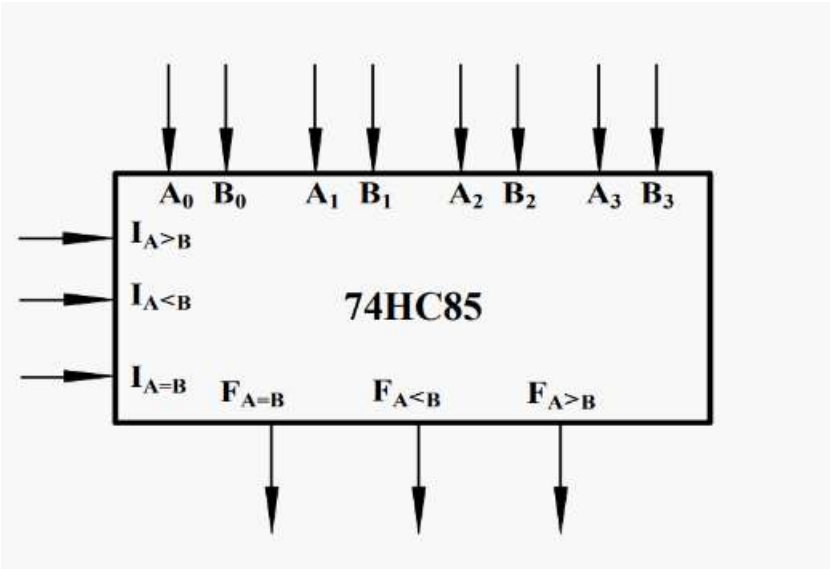
## 1. 片选扩展



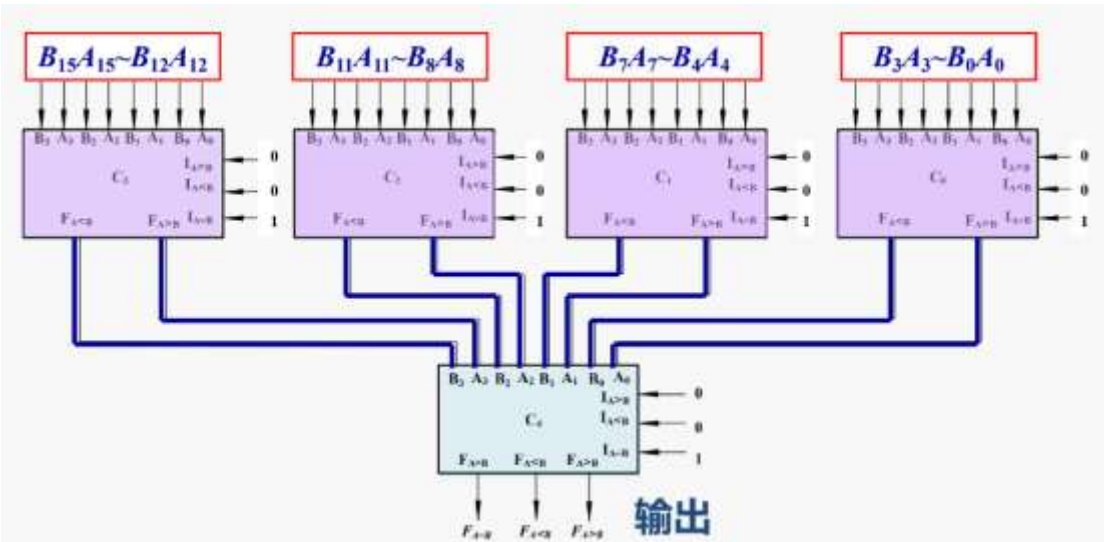


串行扩展

数据比较器

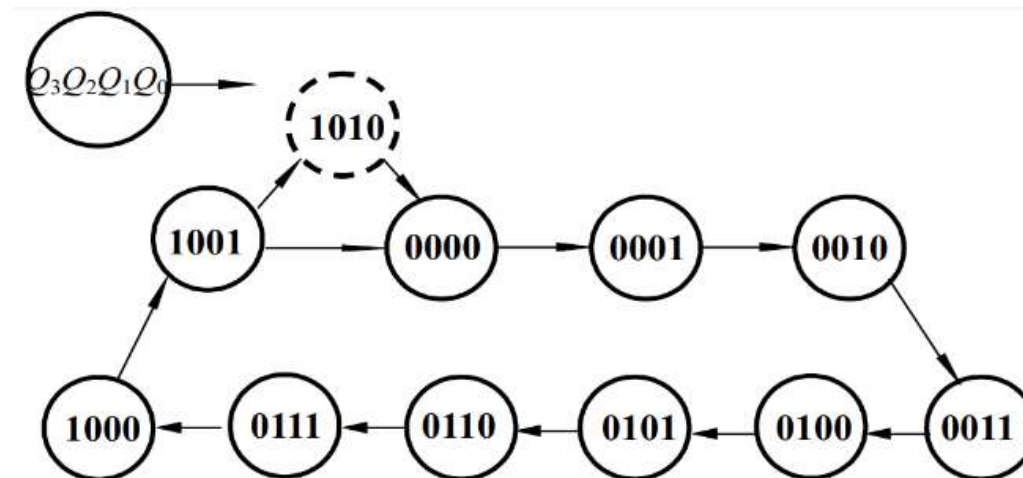
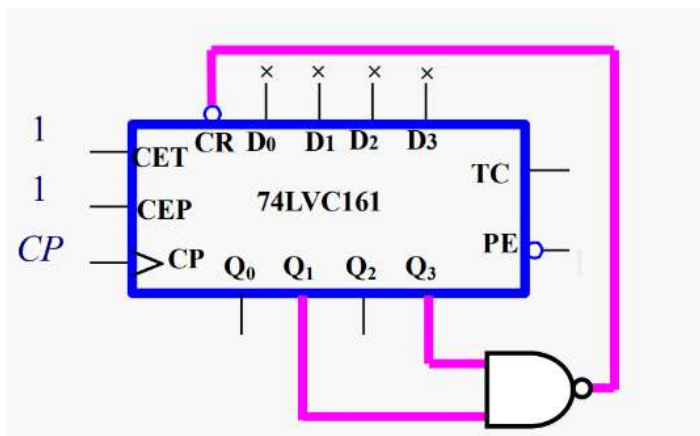


并行扩展

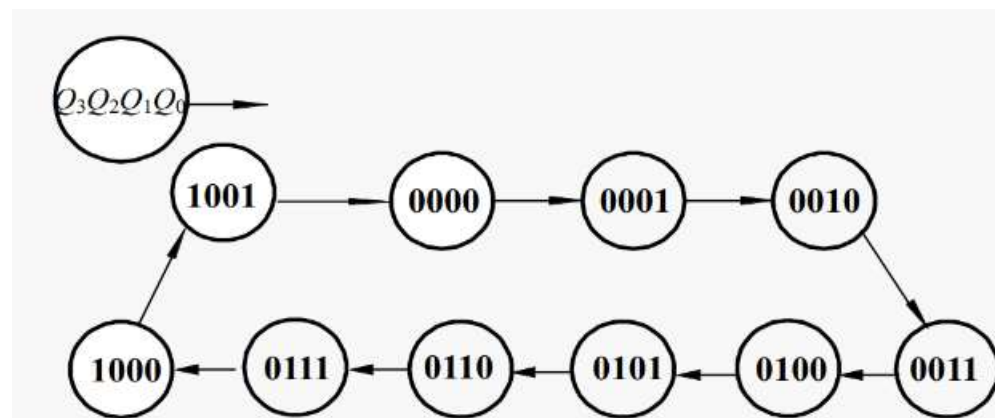
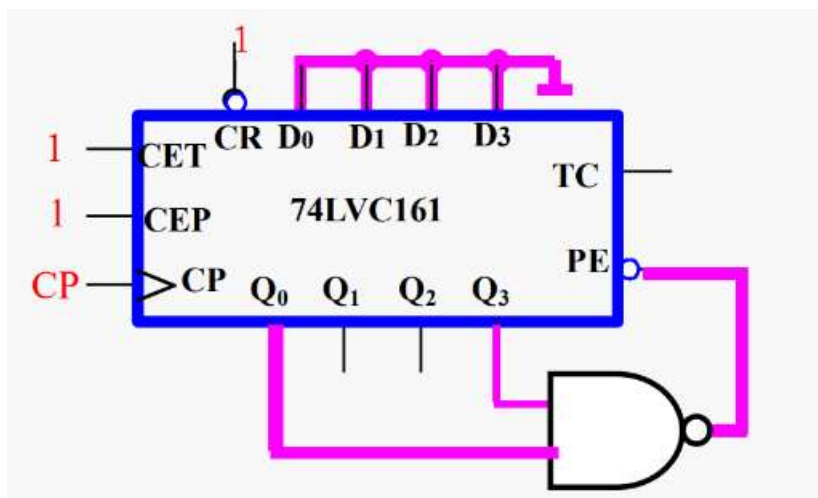


# 计数器的设计

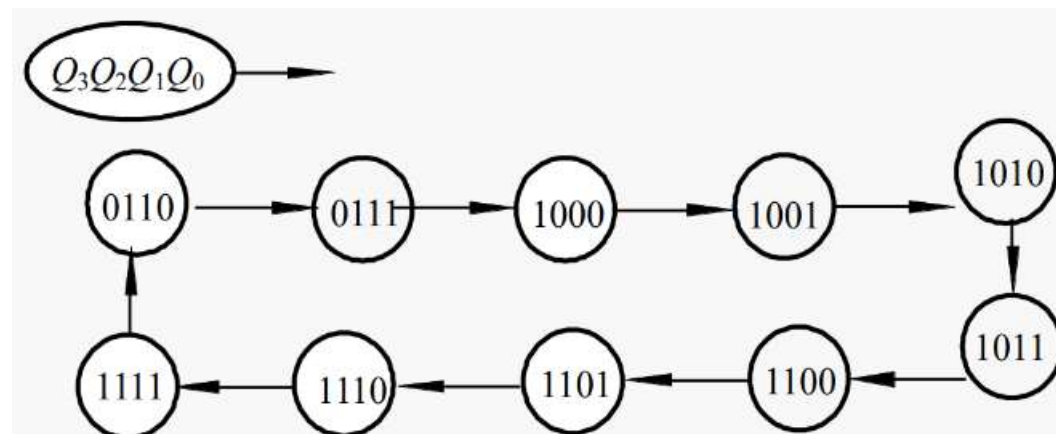
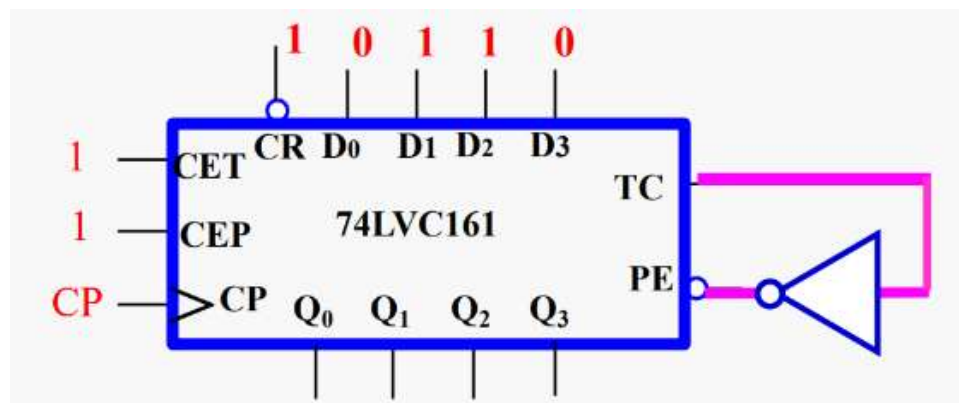
## 1. 反馈清零



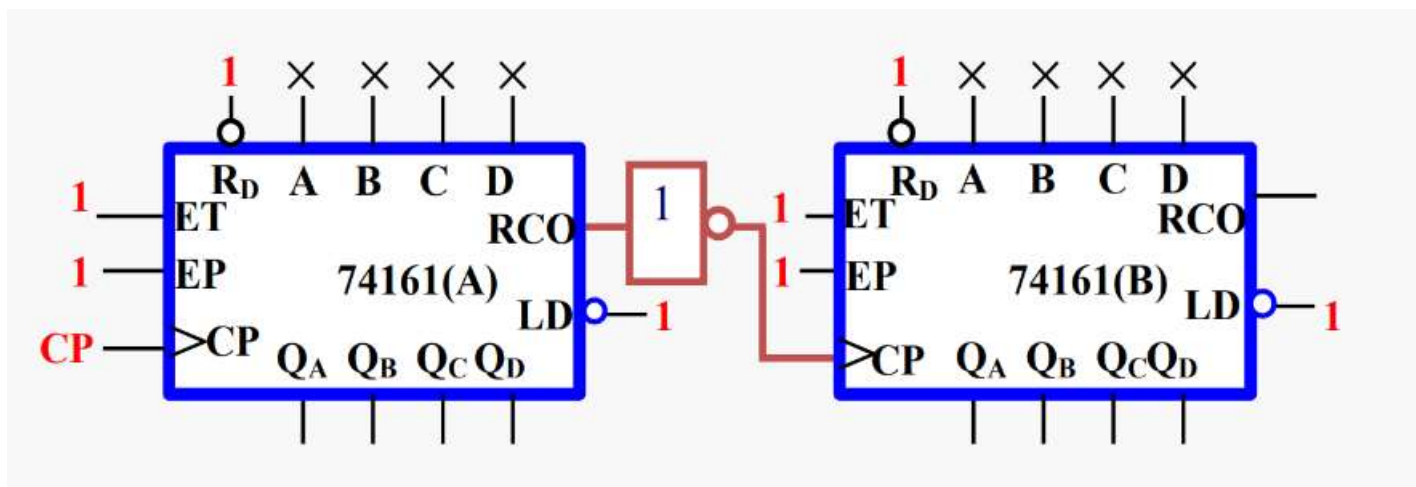
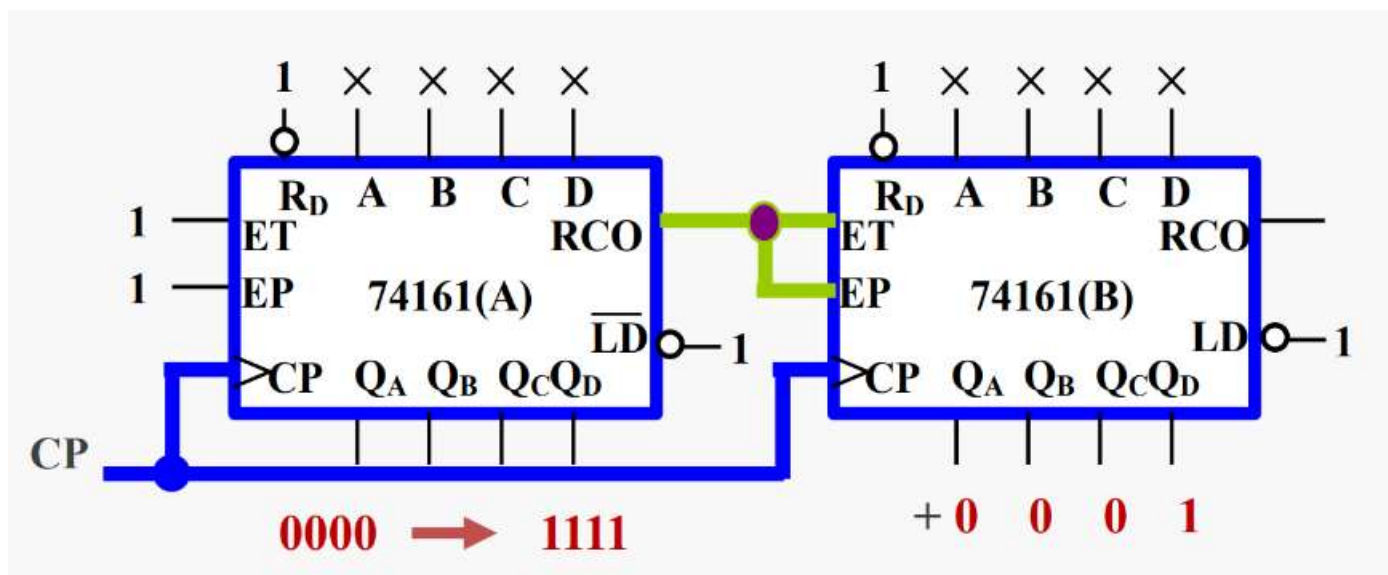
## 2. 反馈置数



### 3.反馈置数（最有效）

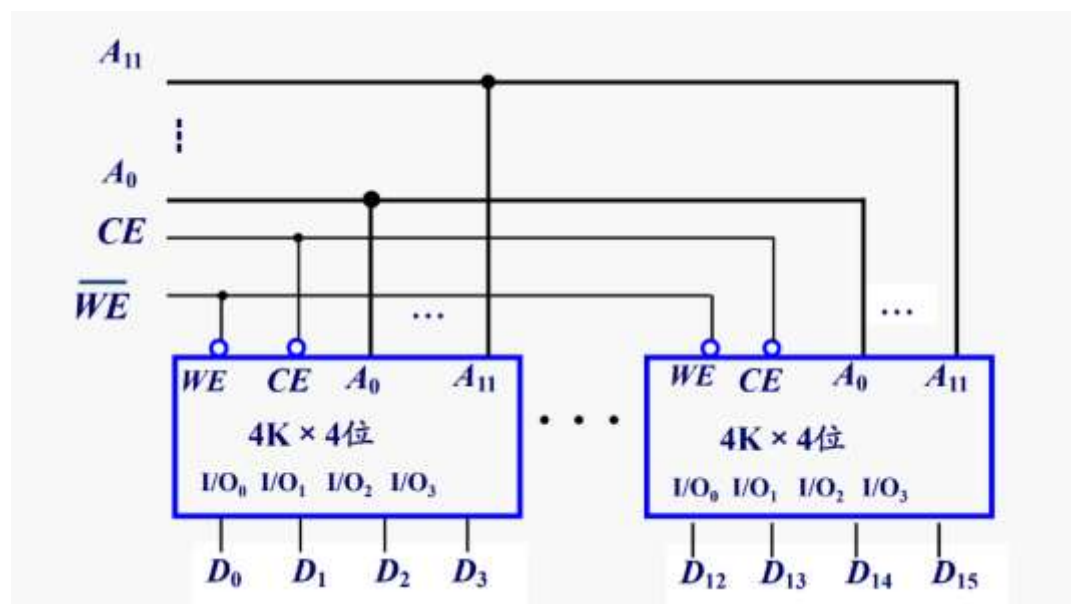


# 计数器扩展

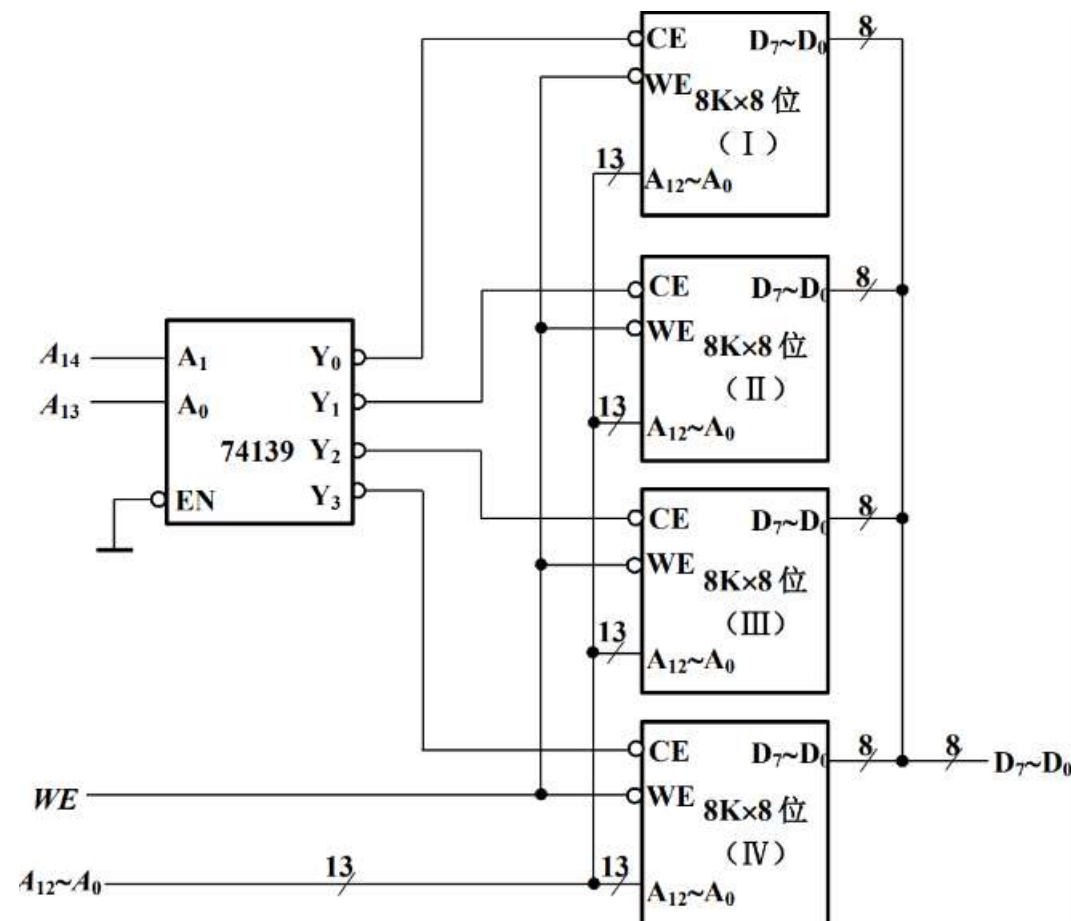


# 存储器的扩展

## 位扩展



## 字扩展



# 一些零散的知识点

- 逻辑门电路的电气属性

$$V_{OH(min)} > V_{IH(min)} > V_{IL(max)} > V_{OL(max)}$$

- 负载门的噪声容限

$$V_{NL} = V_{IL(max)} - V_{OL(max)}$$

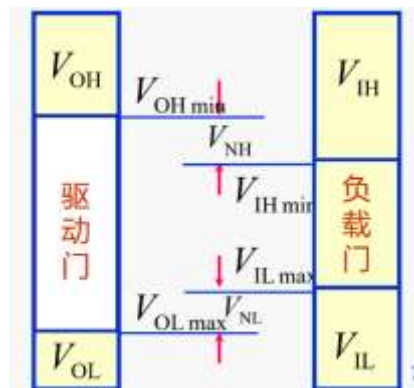
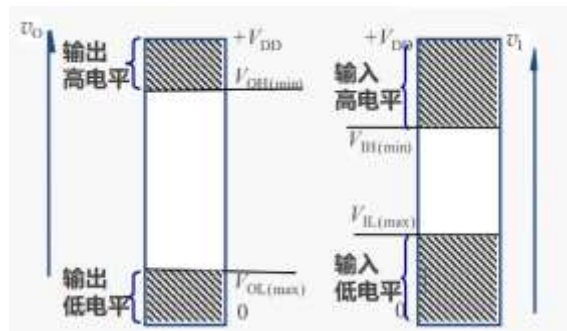
$$V_{NH} = V_{OH(min)} - V_{IH(min)}$$

- OD门特性

- 实现线与
- 与非功能不变
- 必须有外接电源电阻

- 三态门

- 高阻态相当于断路悬空

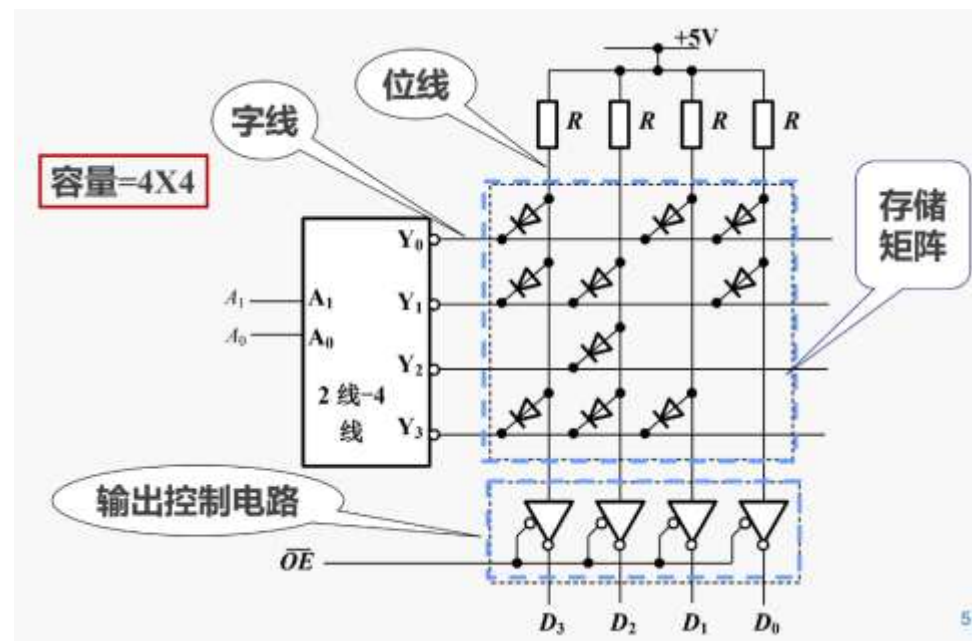




- 存储器相关概念
  - 字长（位数/位宽）：一个存储单元二值信息 数量
  - 字数：字的格数， $2^n$
  - 地址：每个字的编号
  - 存储容量=位数×字数

- 可编程逻辑器件

	CPLD	FPGA
组合逻辑	Product - term	Look - up Table
程序存储	内部EEPROM	SRAM，外挂EEPROM 或 内部Flash
资源类型	组合电路强大	触发器资源丰富
集成度	低	高
使用场合	完成控制逻辑	能完成比较复杂的算法
速度	快	慢
其他资源	-	EAB，锁相环、DSP
保密性	可加密	一般不能保密



## • DAC

倒梯形网络计算公式 
$$v_o = -i_{\Sigma} R_f = -\frac{R_f}{R} \cdot \frac{V_{REF}}{2^4} \sum_{i=0}^3 (D_i \cdot 2^i)$$

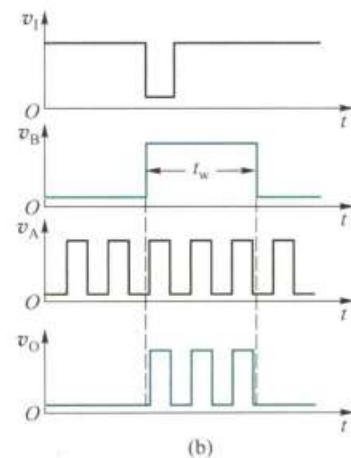
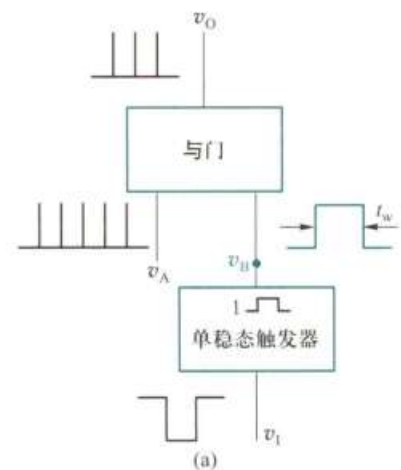
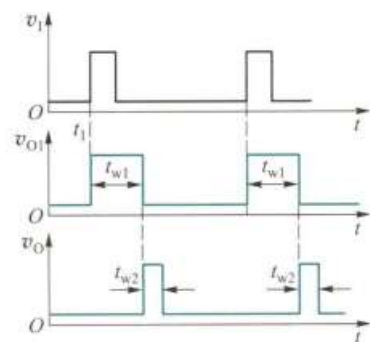
权电流计算公式

分辨率: 
$$\text{最小电压/最大电压} = \frac{1}{2^{n-1}} \text{ 或 模拟电压等级数} = 2^n$$

## • ADC

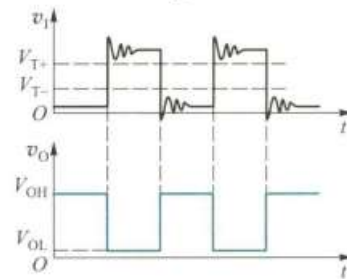
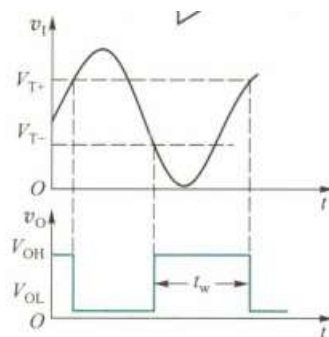
### • 单稳态电路

- 脉冲宽度  $t = 0.7RC$
- 应用: 延时 定时



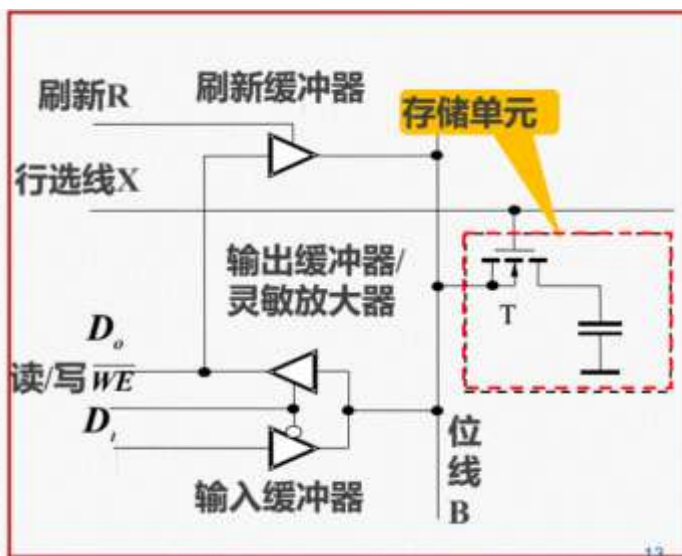
### • 施密特触发电路

- 应用: 波形变化 整形抗干扰





- SRAM与DRAM



	SRAM	DRAM
存储信息	触发器	电容
破坏性读出	否	是
需要刷新	不要	需要
送行列地址	同时送	分两次送
运行速度	快	慢
集成度	低	高
发热量	大	小
存储成本	高	低

# 总结

## 第一章 逻辑门

1. 了解数字信号的特点及表示方法
2. 掌握常用二——十、二——八、二——十六进制之间的转换
3. 理解有权码和无权码，掌握8421BCD码，了解格雷码的转换方法
4. 掌握基本逻辑运算与、或、非、同或、异或运算，记住各自的运算符号和逻辑符号
5. 掌握逻辑问题的四种表达方法及其相互转化（真值表、函数表达式、逻辑图、波形图）
- 
- 
1. 熟悉常用逻辑代数的基本定律，反演规则、对偶规则
2. 掌握各种不同形式的逻辑函数表达式之间的变换：与或式、或与式、与非—与非式、或非—或非式、最小项标准式、卡诺图表示
3. 掌握逻辑函数的卡诺图化简、带无关项化简

## • 第二章 逻辑门

1. 了解CMOS和TTL逻辑门电路的传输特性和各项技术参数：输入输出高低电平、噪声容限、传输延时、功耗（CMOS的静态功耗几乎为0）等；
2. 了解CMOS电路与TTL电路的各自特点：CMOS电路的功耗较低，噪声容限较大，但TTL电路的速度较快；
3. 正确理解COMS反相器、COMS与非门、COMS或非门、传输门的结构和原理；
4. 了解三态门电路的工作原理；
5. 了解OD门（漏极开路门电路）的工作原理，以及“线与”的含义；
6. 理解TTL兼容的含义。

### • 第三章 组合逻辑电路的分析与设计

1. 掌握用逻辑门构成的**组合电路的分析方法**——4个步骤；
2. 掌握用逻辑门构成的**组合电路的设计方法**——4个步骤；
3. 了解竞争冒险现象的原因以及**消除竞争冒险**的办法；
4. 掌握优先编码器和译码器的定义和功能，会**利用译码器加上逻辑门实现逻辑函数**；
5. 掌握数据选择器其定义和功能（能列出其功能表），会**利用选择器实现逻辑函数**；
6. 正确理解数值比较器的功能及应用；
7. 掌握一位半加器和一位全加器的功能；
8. 会**阅读常用MSI组合器件功能表**；考试中用到的所有中规模逻辑器件均会给出功能表和逻辑框图，注意**高低有效电平**；
9. 掌握以上所有器件的功能扩展

### • 第四章 触发器

1. 熟练掌握**RS锁存器、D锁存器**的功能以及特征方程
2. 理解边沿触发器的工作特点
3. **D触发器、JK触发器、T触发器**的功能，掌握其**逻辑符号、特征方程、功能表、状态转换图**
4. 依据电路画出波形：**注意异步清零、异步置位、触发器的有效沿**

## • 第六七章 存储器及可编程逻辑器件

1. 掌握半导体存储器地址、字、位、存储容量等基本概念；
2. 了解存储器的基本分类，以及各自的特点：SRAM、DRAM；
3. 正确理解存储器扩展中的位数扩展和字数扩展；
4. 了解PLD的分类，以及其内部结构与基本工作原理；
5. 了解CPLD与FPGA的不同。

## • 第八章 脉冲波形的产生与变换

1. 熟悉多谐振荡器、单稳态、施密特电路的工作原理以及应用；
2. 正确理解555定时器其电路及原理；
3. 熟练掌握555定时器的应用：单稳触发器，多谐振荡器和施密特触发器。

## • 第九章 模数与数模转换器

1. 理解DAC和ADC的技术指标
2. 掌握倒T形电阻网络D/A转换器的工作原理及相关计算：给定参考电压和二进制数，能够计算出输出电压幅度
3. 掌握并行比较、逐次比较、双积分A/D转换器的工作原理及工作特点；
4. 给定模拟电压和参考电压，能够计算出二进制数