

华中科技大学考试题 (A 卷)

数字电路与逻辑设计 (闭卷) (2011/01/05)

专业 _____ 班级 _____ 姓名 _____ 学号 _____

题号	一	二	三	四	五	六		总分
分值	20	12	10	14	32	12		
得分								

一、填空题 (20 空, 每空 1 分, 共 20 分)

1. 逻辑代数式 $F = (A + \bar{B})(\bar{C} + D)$, 则 F 的对偶式 $F' =$ _____,

- 逻辑代数式 $F = A\bar{B} + \overline{A + C\bar{D}}$, 则 F 的反演式 $\overline{F} =$ _____。
2. 二进制数(1101010.01)₂ 对应十进制数为 _____, 十进制数(54.25)₁₀ 用 8421BCD 码表示为 _____
3. CPLD 基于 _____ 技术实现组合逻辑函数, FPGA 中每个逻辑单元是利用 _____ 技术来实现组合逻辑的, 当需实现 4 输入 2 输出的组合电路所需占用的 SRAM 配置容量至少为 _____ bit。
4. 若用 JK 触发器来实现方程为 $Q^{n+1} = \overline{A}Q^n + B$, 则驱动方程为 $J =$ _____ 和 $K =$ _____。
5. 将 D 触发器的 D 端与 \overline{Q} 端相连, 当触发器的现态为 _____ 时, 经过 2011 个时钟脉冲作用后, 触发器的状态为 0。
6. 计数循环为 $\cdots \rightarrow 1 \rightarrow 0 \rightarrow 6 \rightarrow 5 \rightarrow 4 \rightarrow 3 \rightarrow 2 \rightarrow 1 \rightarrow 0 \rightarrow \cdots$ 的模 7 减法计数器从 1 开始计数, 经过 2012 个计数脉冲后其计数值为 _____。
7. 对于采集温度范围为 $0 \sim 80^\circ\text{C}$, 能辨别 0.1°C 变化的应用要求, 应选择 _____ bit 的 A/D 转换器; 如采样温度为 20°C , 对应的数字量为 $(\quad)_{16}$ 。
8. _____ 电路具有一个稳态和一个暂稳态, 暂稳态存在的时间由 _____ 环节决定。
9. 8bit 移位寄存器构成的扭环形计数器有 _____ 个有效计数状态。
10. 能够实现线与功能的是 _____, 在 RAM 器件的输入输出电路

中使用的是_____。(集电极开路门，三态门，异或门，传输门)

11. 8K × 8 的 RAM 芯片有_____根地址线，需要_____片 2K × 4 的 RAM 芯片才能扩展得到 16K × 8 的 RAM。

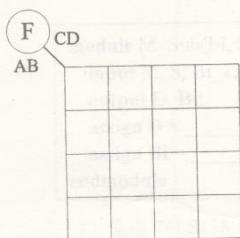
二、化简题 (2 小题, 共 12 分, 每小题 6 分)

1、用逻辑代数法将下式化简为最简与或式。

$$F = \overline{AB}(A+C) + \overline{C}(BD + \overline{A}\overline{B} + AD)$$

2、用卡诺图化简逻辑函数，写出最简与或式。(注：A 为最高位，D 为最低位)

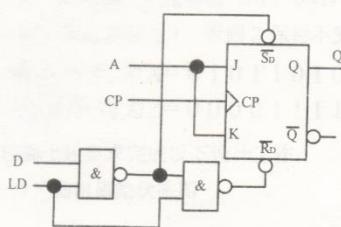
$$F(A, B, C, D) = \sum m(0, 8, 9, 10, 11, 13, 15) + \sum d(1, 2, 5, 6, 14)$$



三、 波形题 (10 分)

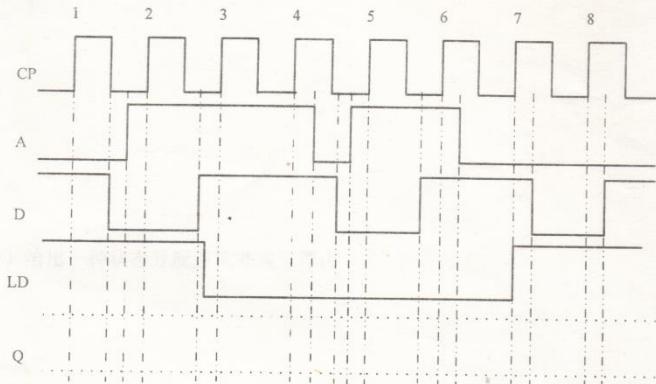
1、分析如图所示电路，完成下列工作：

(1) 分析电路的功能，列写该电路的功能表：



LD	D	A	CP	Q^{n+1}

(2) 若已知输入信号 CP、A、D、LD 的波形如下图所示，试画出 Q 端波形。



专业_____班级_____姓名_____学号_____

四、组合逻辑分析与设计 (14分)

1、完成下面的全减器真值表，表中 M 为被减数， S 为减数， B_{i-1} 是低位的借位， D 为差， B_i 是向高位的借位。

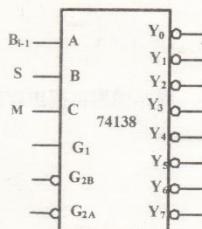
(1) 若要求仅用与非门实现全减器功能，要
求电路最简，请给出电路的逻辑表达式(不必
画出逻辑图)；

M	S	B_{i-1}	D	B_i

(2) 将下面的 Verilog HDL 程序补充完整，使其实现全减器；

```
module M_Sub(M, S, Bi_1, D, Bi);
    input M, S, Bi_1; // Bi_1 为低位的借位
    output D, Bi; // Bi 为向高位的借位
    assign D = _____;
    assign Bi = _____;
endmodule
```

(3) 使用 74LS138 和少量门电路，实现全减器。



五、时序逻辑分析与设计 (3 小题, 共 32 分, 10 分+12 分+10 分)

1、现需设计一个单输入单输出的同步时序电路, 对串行输入数据 X 进行检测:

- a) 假设 Z 的初始状态为 Z=0;
- b) 当检测到 X 连续输入两个 0 时, 输出 Z 变为 0, 当检测到 X 连续输入两个 1 时, 输出 Z 变为 1, 否则 Z 保持不变, 例如:

输入序列为 $X = 0\ 1\ 0\ 1\ 1\ 0\ 1\ 0\ 1\ 1\ 1\ 0\ 1\ 0\ 0\ 1\ 0\ 1\ 0\ 0\ 1\ 0$

输出序列为 $Z = 0\ 0\ 0\ 0\ 1\ 1\ 1\ 1\ 1\ 1\ 1\ 1\ 1\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0\ 0$

根据上述要求完成以下设计工作:

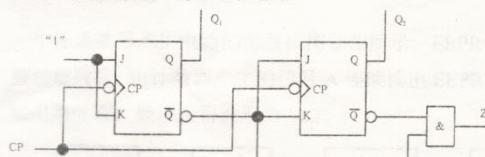
- (1) 画出原始状态图

- (2) 建立原始状态表, 并检查是否需要化简

- (3) 给出一种状态分配方案并说明理由

专业_____班级_____姓名_____学号_____

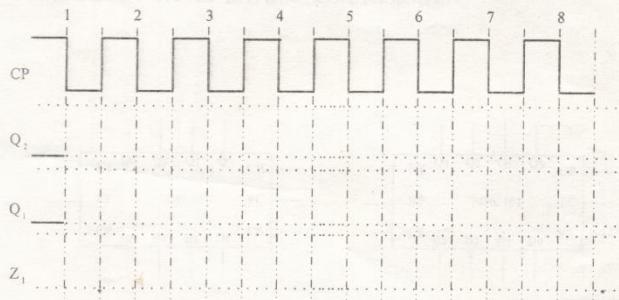
2、分析如图所示同步时序电路



(1) 写出电路的驱动方程，输出方程和状态方程

(2) 列出状态转换表，画出状态图

(3) 画出在 8 个 CP 作用下， Q_1 、 Q_2 和 Z 的时序图，初始状态为 $Q_2Q_1=00$



(4) 总结该电路实现的功能

3、阅读下面的 Verilog HDL 程序，完成以下问题。

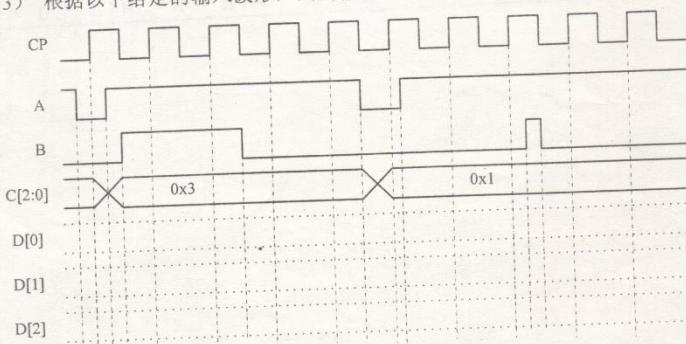
```
module m_test2 (CP , A , B , C , D);
    input CP;
    input A , B ;
    input[2:0] C;
    output[2:0] D;

    always @ (negedge A or posedge CP)
    begin
        if ( !A ) D <= 3'b000;
        else if ( B ) D <= C;
        else D <= { D[1:0] , D[2] };
    end
endmodule
```

(1) 简要解释程序实现的功能，并说明其中信号 A、B 的作用及有效电平。

(2) 程序中有一处语法错误，请指出，并改正。

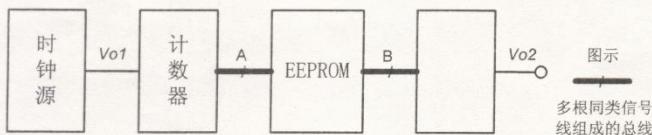
(3) 根据以下给定的输入波形，画出输出信号 D 的波形。



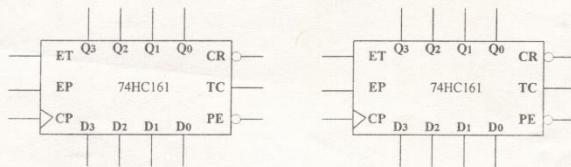
专业_____班级_____姓名_____学号_____

六、综合题 (12 分)

一个任意波形产生电路的简要框图如图所示，EEPROM 中存储了一个周期的完整波形数据，由计数器产生的信号 A 连续读出 EEPROM 中的数据 B 并送入下一级电路处理，处理所得波形为 Vo2。



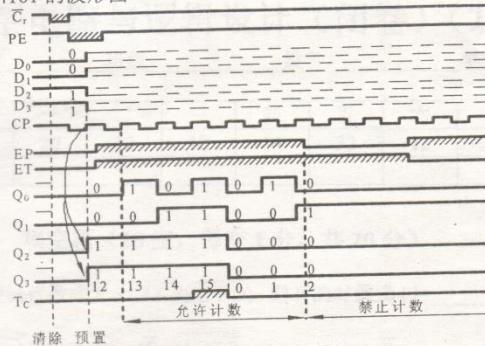
- (1) 试问时钟源可由什么功能电路产生？
- (2) 图中空白框图中是什么电路？完成什么功能？
- (3) 图中 A、B 分别接 EEPROM 的什么信号总线？如果要求输出波形的量化等级达到 256，每周期采样点个数为 64，则总线 A、B 分别为多少位宽？
- (4) 试采用 2 片 74HC161 设计满足要求的计数电路。



- (5) 若输出信号 Vo2 的频率 f_{Vo2} 为 1kHz，那么时钟源的频率 f_{Vo1} 应为多少？

附录

74161 的波形图



74138 的功能表

输入			输出										
G ₁	G _{2A}	G _{2B}	C	B	A	Y ₀	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇
X	H	X	X	X	X	H	H	H	H	H	H	H	H
X	X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	L	H	L	H	H	H	L	H	H	H	H
H	L	L	H	L	H	H	H	H	H	L	H	H	H
H	L	L	H	H	L	H	H	H	H	H	H	L	H
H	L	L	H	H	H	H	H	H	H	H	H	H	L