

# 数电考前复习

信卓2001 陈杰

# 目录

- 一、必备基础（章节：1、2、4、5、6）
- 二、零碎考点（填空，理解记背）
- 三、试卷

# 一、必备基础——第一章 概论

数制：

十进制  $(XXXX)_D$

二进制  $(XXXX)_B$

八进制  $(XXXX)_O$

十六进制  $(XXXX)_H$  或  $0xXXXX$

# 一、必备基础——第一章 概论

## ◎数制转换

### 整数转换

### 十进制小

例 1.2.4 将  $(0.706)_D$  转换为二进制数, 要求其误差不大于  $2^{-10}$ 。

解: 按上面介绍的方法计算, 可得  $b_{-1}, b_{-2}, \dots, b_{-9}$  如下:

$$0.706 \times 2 = 1.412 \cdots \cdots 1 \cdots \cdots b_{-1}$$

$$0.412 \times 2 = 0.824 \cdots \cdots 0 \cdots \cdots b_{-2}$$

$$0.824 \times 2 = 1.648 \cdots \cdots 1 \cdots \cdots b_{-3}$$

$$0.648 \times 2 = 1.296 \cdots \cdots 1 \cdots \cdots b_{-4}$$

$$0.296 \times 2 = 0.592 \cdots \cdots 0 \cdots \cdots b_{-5}$$

$$0.592 \times 2 = 1.184 \cdots \cdots 1 \cdots \cdots b_{-6}$$

$$0.184 \times 2 = 0.368 \cdots \cdots 0 \cdots \cdots b_{-7}$$

$$0.368 \times 2 = 0.736 \cdots \cdots 0 \cdots \cdots b_{-8}$$

$$0.736 \times 2 = 1.472 \cdots \cdots 1 \cdots \cdots b_{-9}$$

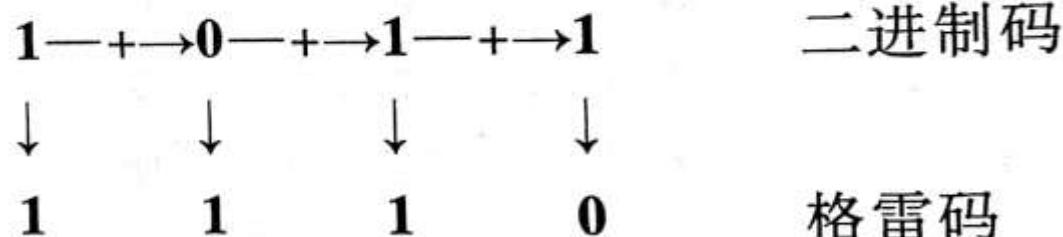
$$0.472 \times 2 = 0.944 \cdots \cdots 0 \cdots \cdots b_{-10}$$

由于最后的小数大于 0.5, 根据“四舍五入”的原则,  $b_{-10}$  应为 1。所以,  $(0.706)_D = (0.1011010011)_B$ , 其误差  $\varepsilon < 2^{-10}$ 。

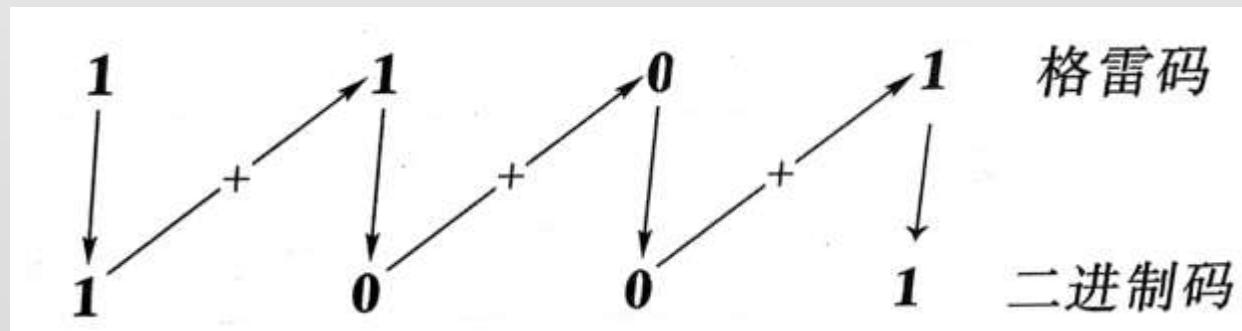
# 一、必备基础——第一章 概论

## ◎格雷码与二进制的转换

二进制转格雷码：



格雷码转二进制：



## ◎十进制转8421BCD

例如:(157.63)<sub>D</sub>的8421BCD码

1→(0001)<sub>8421BCD</sub>  
5→(0101)<sub>8421BCD</sub>  
7→(0111)<sub>8421BCD</sub>  
6→(0110)<sub>8421BCD</sub>  
3→(0011)<sub>8421BCD</sub>

所以(157.63)<sub>D</sub>可以写为

(0001 0101 0111.0110 0011)<sub>8421BCD</sub>

# 一、必备基础——第一章

## ◎原码反码补码

正数：原码=反码=补码

负数：原码数值位求反→反码，反码+1→补码

例如：负数：1 110

    反码：1 001

    补码：1 010

## ◎n位带符号二进制数范围：

原码： $-(2^{n-1}-1) \sim +(2^{n-1}-1)$

反码： $-(2^{n-1}-1) \sim +(2^{n-1}-1)$

补码： $-2^{n-1} \sim +(2^{n-1}-1)$

# 一、必备基础——第二章 逻辑代数与硬件描述语言

◎逻辑代数：

易忘的几个公式： $A + BC = (A + B)(A + C)$

$$A + \overline{AB} = A + B$$

$$AB + \overline{AC} + BC = AB + \overline{AC}$$

对偶：  $L \rightarrow L'$

反演： $L \rightarrow \overline{L}$

$$A \rightarrow \overline{A}$$

$$\bullet \rightarrow +$$

$$\bullet \rightarrow +$$

$$+ \rightarrow \bullet$$

$$+ \rightarrow \bullet$$

$$0 \rightarrow 1$$

$$0 \rightarrow 1$$

$$1 \rightarrow 0$$

$$1 \rightarrow 0$$

# 一、必备基础——第二章 逻辑代数与硬件描述语言

反演:  $L \rightarrow \bar{L}$

$$A \rightarrow \bar{A}$$

$$\bullet \rightarrow +$$

$$+ \rightarrow \bullet$$

$$0 \rightarrow 1$$

$$1 \rightarrow 0$$

对偶:  $L \rightarrow L'$

$$\bullet \rightarrow +$$

$$+ \rightarrow \bullet$$

$$0 \rightarrow 1$$

$$1 \rightarrow 0$$

例如:

$$F = \overline{\overline{AB}} \cdot B + \overline{\overline{AC}}$$

$$\overline{F} = \overline{\overline{A} + \overline{B}} + \overline{\overline{B} \cdot (\overline{A} + \overline{C})}$$

$$F' = \overline{\overline{\overline{A} + B}} + \overline{\overline{B} \cdot (\overline{\overline{A}} + C)}$$

与或式  $\rightarrow$  与非式:

$$F = AB + CD + EFG$$

$$= \overline{\overline{AB + CD + EFG}}$$

$$= \overline{\overline{AB} \cdot \overline{CD} \cdot \overline{EFG}}$$

# 一、必备基础——第二章 逻辑代数与硬件描述语言

最小项 $m_i$ , 例如:  $m_2 = \overline{A}\overline{B}\overline{C}$   
最小项之和为1;

最大项 $M_i$ , 例如:  $M_2 = A + \overline{B} + C$   
最大项之积为0;

关系:  $m_i = \overline{M}_i$

◎卡诺图

# 一、必备基础——第二章 逻辑代数与硬件描述语言

◎硬件描述语言Verilog HDL

基本语法规则同C语言

常考点：

◎优先级：非>与>或 ( $\sim > \& > |$ )

```
module TOP(output Y, output[1:0] Q, input X, R, C);
    wire[1:0] E;
    assign Y = Q[1] & Q[0];
    assign E[1] = Q[1] | ~X & Q[0] | X & ~Q[0];
    assign E[0] = ~Q[0] | X & ~Q[1] | ~X & Q[1];
```

(2) 写出 TOP 电路的输出方程组和激励方程组。

输出方程组:  $Y = \underline{Q_0} \underline{Q_1}$

激励方程组:  $E_0 = \underline{\bar{Q}_0} + X\bar{Q}_1 + \bar{X}Q_1$ ,  $E_1 = \underline{Q_1} + \bar{X}Q_0 + X\bar{\underline{Q}_0}$ 。

# 一、必备基础——第二章 逻辑代数与硬件描述语言

◎补写代码：

- 1、补写端口类型input、output
- 2、补写数据类型wire、reg
- 3、补写上升/下降沿触发
- 4、补写状态转换
- 5、其他补写

# 一、必备基础——第二章 逻辑代数与硬件描述语言

◎补写代码：

1、补写端口类型input、output

2、补写数

3、补写上

4、补写状

5、其他补

```
module TOP(output Y, output[1:0] Q, input X, R, C);  
    wire[1:0] E;  
    assign Y = Q[1] & Q[0];  
    assign E[1] = Q[1] | ~X & Q[0] | X & ~Q[0];  
    assign E[0] = ~Q[0] | X & ~Q[1] | ~X & Q[1];  
    xFF ff0(Q[0], E[0], R, C);  
    xFF ff1(Q[1], E[1], R, C);  
endmodule
```

```
module CC (clk, rst, X, Y0, Y1);  
    input clk, rst, X;  
    output Y0, Y1;
```

# 一、必备基础——第二章 逻辑代数与硬件描述语言

◎补写代码：

1、补写端口类型input、 output

2、补写数据类型wire、 reg

```
module CC (clk, rst, X, Y0, Y1);
    input clk, rst, X;
    output Y0, Y1;
    reg ①Y0, Y1;
    reg [1:0] state;
    parameter S0 = 2'b00, S1 = 2'b01, S2 = 2'b10, S3 = 2'b11;
    always@(posedge clk or negedge rst)
        if (!rst)
            state = S0;
        else
```

```
case(state)
    S0: state = (X == 0) ? S0 : S1;
    S1: state = (X == 0) ? S1 : S2;
    S2: state = (X == 0) ? S0 : S1;
    S3: state = (X == 0) ? S2 : S3;
    default: state = S0;
endcase
```

```
always@(posedge clk)
    case(state)
        S0: {Y1, Y0} = (X == 0) ? 2'b00 : 2'b11;
        S1: {Y1, Y0} = (X == 0) ? 2'b01 : 2'b10;
        S2: {Y1, Y0} = (X == 0) ? 2'b11 : 2'b00;
        S3: {Y1, Y0} = (X == 0) ? 2'b10 : 2'b01;
        default: {Y1, Y0} = 2'b00;
    endcase
endmodule
```

# 一、必备基础——第二章 逻辑代数与硬件描述语言

◎补写代码：

```
module CC (clk, rst, X, Y0, Y1);  
    module Trigger( State, Excitation, Clock, Reset );  
        input Excitation, Clock, Reset;  
        output reg State;  
        always @ (posedge Clock or negedge Reset )  
            if (!Reset) State <= 0;  
            if (!Excitation) State <= ~State;  
    endmodule  
endmodule
```

# 一、必备基础——第二章 逻辑代数与硬件描述语言

◎补写代码：

- 1、补写端口类型
- 2、补写数据类型
- 3、补写上升/下降
- 4、**补写状态转换**
- 5、其他补写

```
case(state)
    S0: state = (X == 0) ? S0 : S1;
    S1: state = (X == 0) ? S2 : S3;
    S2: state = (X == 0) ? S0 : S1;
    S3: state = (X == 0) ? S2 : S3;
    default: state = S0;
endcase
```

```
always@(posedge clk)
```

```
case(state)
    S0: {Y1, Y0} = (X == 0) ? 2'b00 : 2'b11;
    S1: {Y1, Y0} = (X == 0) ? 2'b01 : 2'b10;
    S2: {Y1, Y0} = (X == 0) ? 2'b11 : 2'b00
    S3: {Y1, Y0} = (X == 0) ? 2'b10 : 2'b01;
    default: {Y1, Y0} = 2'b00;
endcase
```

endmodule

# 一、必备基础——第二章 逻辑代

◎补写代码：

- 1、补写端口类型input、 output
- 2、补写数据类型wire、 reg
- 3、补写上升/下降沿触发
- 4、补写状态转换

```
module CC (clk, rst, X, Y0, Y1);
    input clk, rst, X;
    output Y0, Y1;
    reg @10, Y1;
    reg [1:0] state;
    parameter S0 = 2'b00, S1 = 2'b01, S2 = 2'b10, S3 = 2'b11;
    always@(posedge clk or negedge rst)
        if (!rst)
            state = S0;
        else
            state = S0;
```

```
case(state)
    S0: state = (X == 0) ? S0 : S1;
    S1: state = (X == 0) ? S2 : S3;
    S2: state = (X == 0) ? S0 : S1;
    S3: state = (X == 0) ? S2 : S3;
    default: state = S0;
endcase
```

always@(posedge clk)

```
case(state)
    S0: {Y1, Y0} = (X == 0) ? 2'b00 : 2'b11;
    S1: {Y1, Y0} = (X == 0) ? 2'b01 : 2'b10;
    S2: {Y1, Y0} = (X == 0) ? 2'b11 : 2'b00;
    S3: {Y1, Y0} = (X == 0) ? 2'b10 : 2'b01;
    default: {Y1, Y0} = 2'b00;
endcase
```

endmodule

没有分号！

# 一、必备基础——第四章 组合逻辑电路

竞争：一个逻辑门的两个输入端的信号同时向相反方向变化，而变化时间有差异的现象

冒险：由竞争而可能产生输出干扰脉冲的现象

根本原因：**有时延！**

是否会产生竞争冒险：

逻辑表达式：判断会不会出现

$$A + \bar{A} \text{ 或 } A \cdot \bar{A}$$

# 一、必备基础——第四章 组合逻辑电路

◎典型组合逻辑电路

编码器

译码器/数据分配器

数据选择器

数值比较器

半加、全加、减法器

**知道简单的原理、芯片级联、应用即可  
考试会给功能表**

组合逻辑电路分析：

1、根据电路写输出逻辑

表达式，并化简

2、列真值表

3、根据真值表分析功能

组合逻辑电路设计：

1、根据功能列真值表

2、根据真值表利用卡诺图化简逻辑表达式

# 一、必备基础——第五章 锁存器、触发器

## ◎锁存器（电平触发）

SR锁存器：约束条件  $SR=0$  （与非门、或非门构成的都得满足这个约束）

D锁存器：没有约束，不存在非定义状态

## ◎触发器（边沿触发） $D : Q^{n+1} = D$

$$JK : Q^{n+1} = J\overline{Q^n} + \overline{K}Q^n$$

$$T : Q^{n+1} = T\overline{Q^n} + \overline{T}Q^n$$

$$T' : Q^{n+1} = \overline{Q^n}$$

$$SR : Q^{n+1} = S + \overline{R}Q^n \text{ (约束条件: } SR = 0)$$

# 一、必备基础——第六章 时序逻辑电路

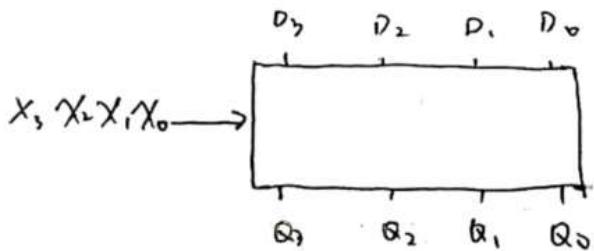


# 一、必备基础——第六章 时序逻辑电路

同步时序逻辑电路的分析

- 1、激励方程 (触发器输入端的方程)  
    转换方程 ( $Q_{n+1}$ 与 $Q_n$ 的方程)  
    输出方程 (输出的方程)
- 2、画状态转换表，并化简
- 3、状态转换图
- 4、功能分析

# 一、必备基础——第六章 时序逻辑电路



第1个CP后:  $x_0$

第2个CP后:  $x_1 \quad x_0$

第3个CP后:  $x_2 \quad x_1 \quad x_0$

第4个CP后:  $x_3 \quad x_2 \quad x_1 \quad x_0$

$x_3 \quad x_2 \quad x_1 \quad x_0$ , 已全部在移位寄存器中

第1个CP后:  $x_3 \quad x_2 \quad |x_1|$  从  $Q_0$  取串行输出

第2个CP后:

$x_3 \quad |x_2|$

第3个CP后:

$|x_3|$

以全部移入寄存器;

# 一、必备基础——第六章 时序逻辑电路

## 2、计数器

最大

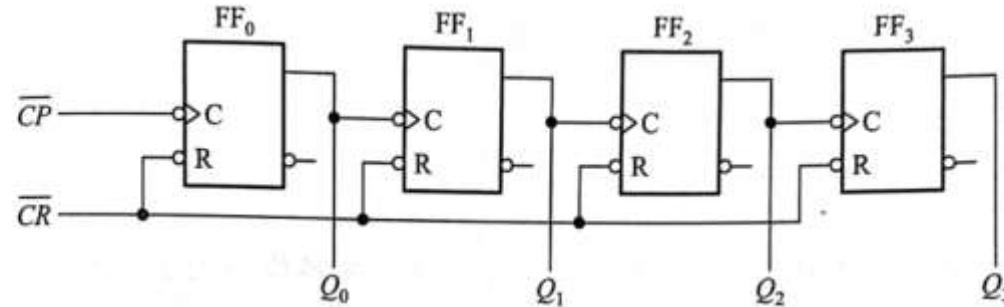


图 6.5.7 4 位异步二进制计数器逻辑图

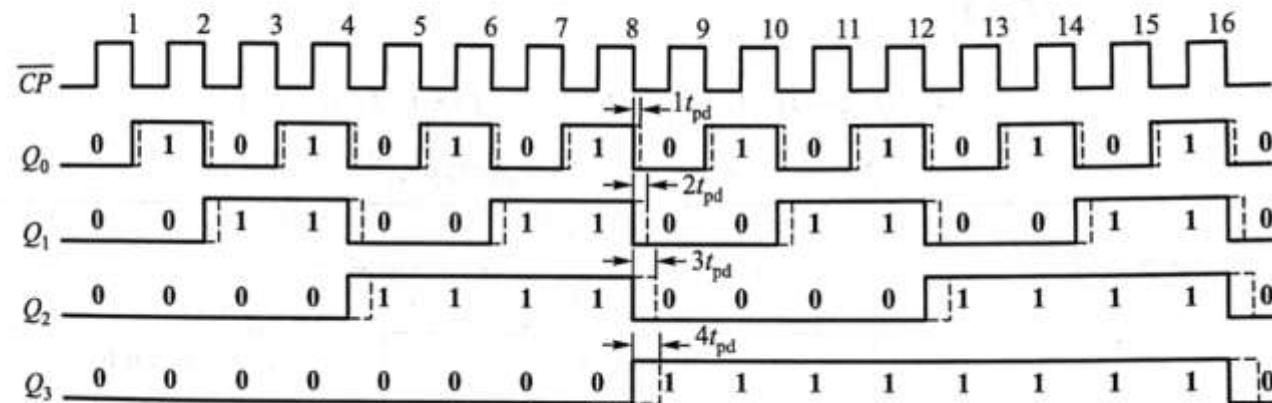


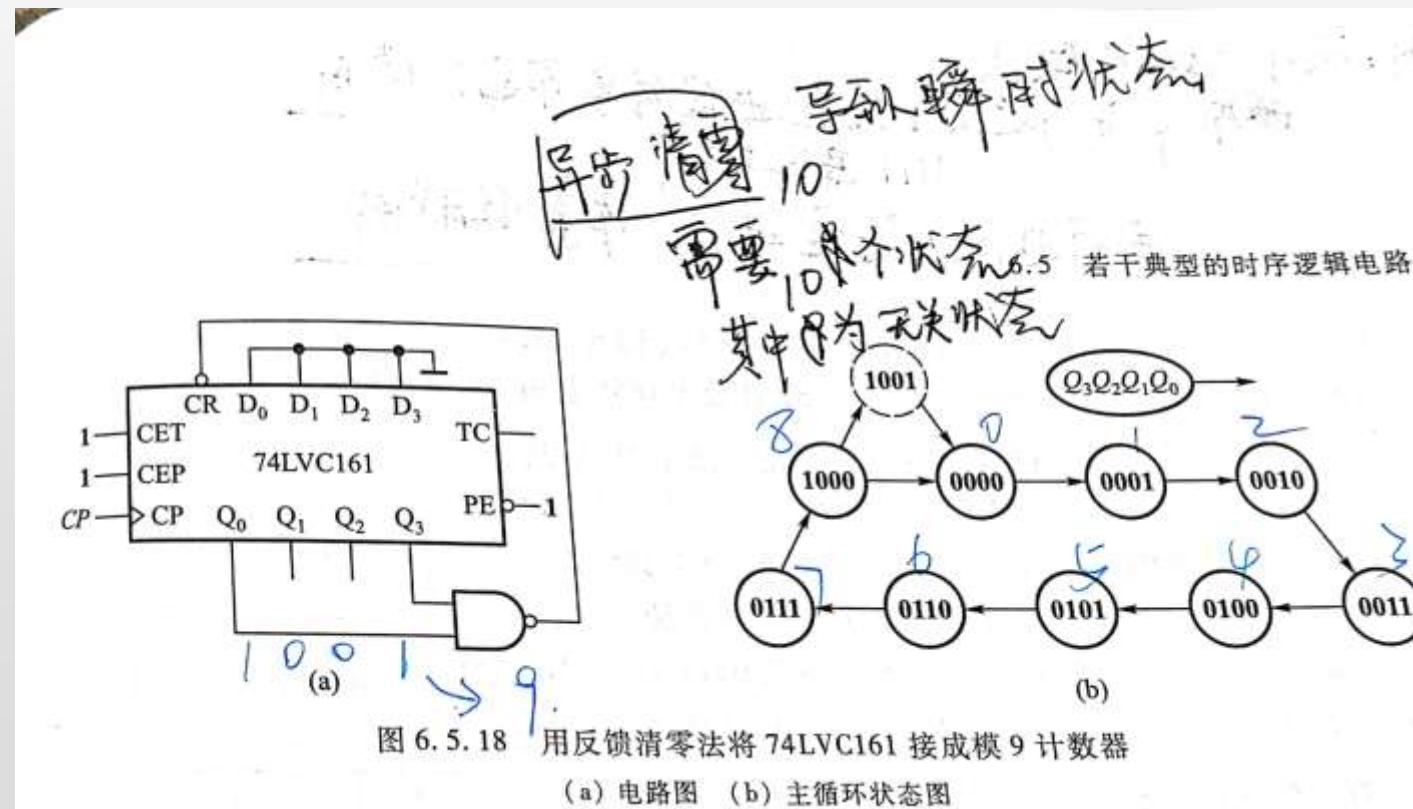
图 6.5.8 4 位异步二进制计数器时序图

# 一、必备基础——第六章 时序逻辑电路

## 2、计数器

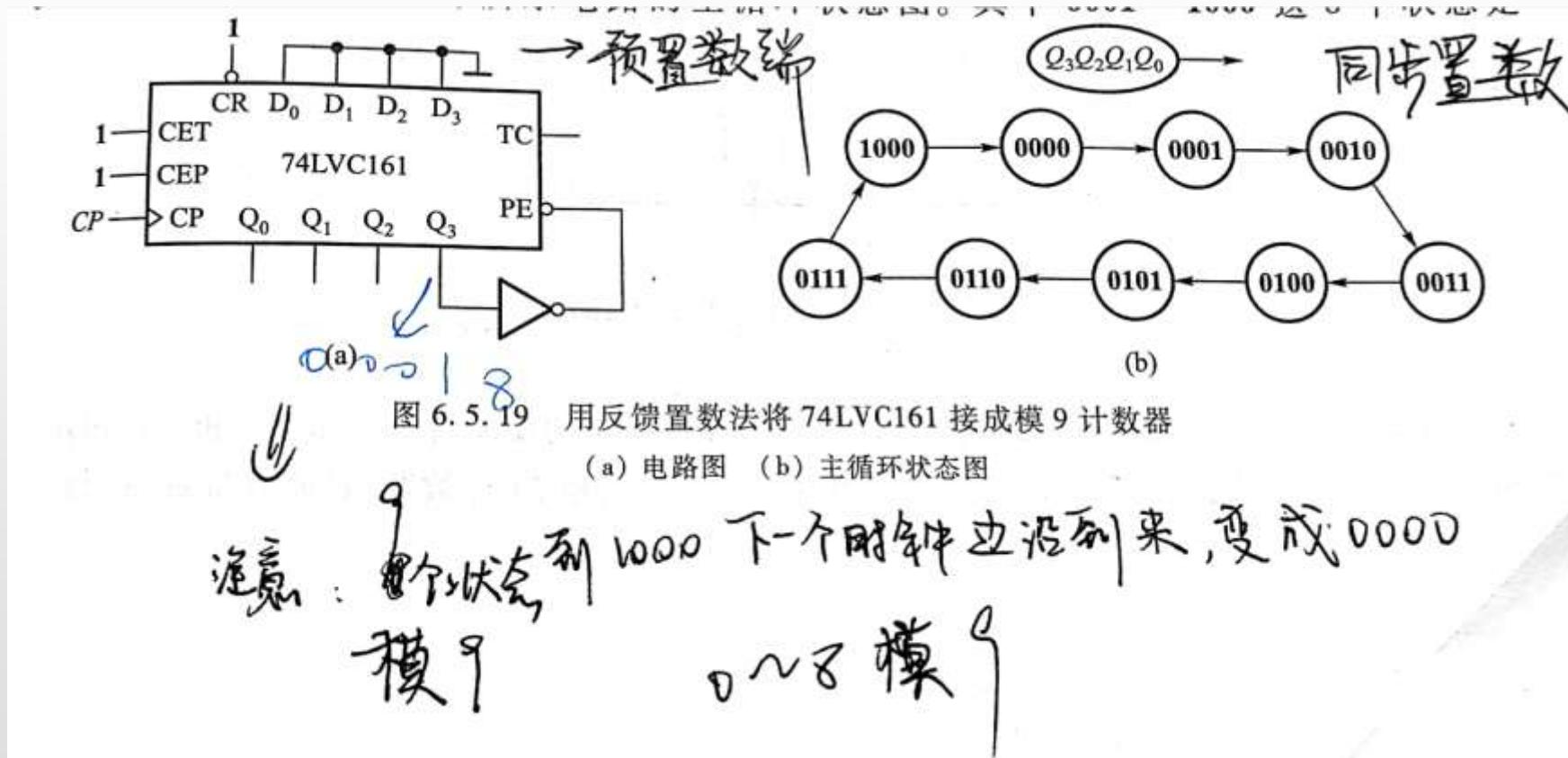
用计数器构成其他模数的计数器

例如：用4位的计数器74LVC161构成模9计数器



反馈清零法

# 一、必备基础——第六章 时序逻辑电路



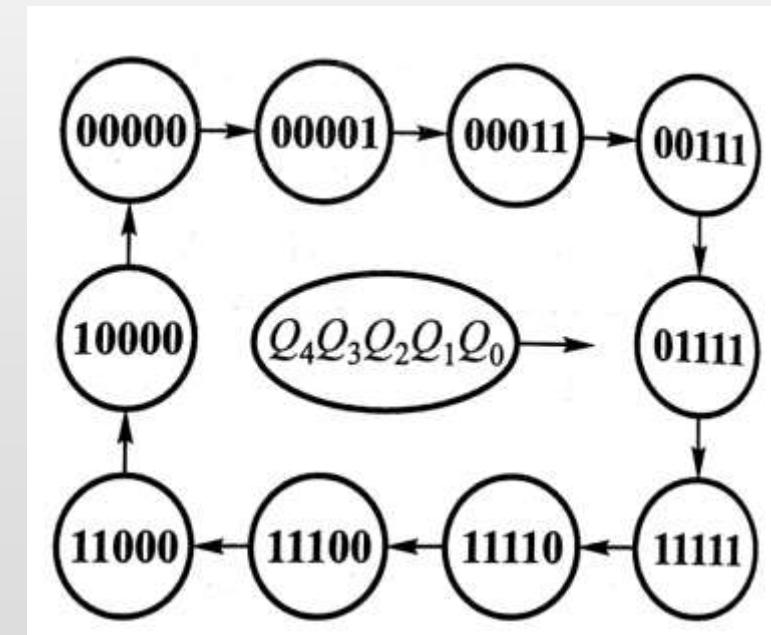
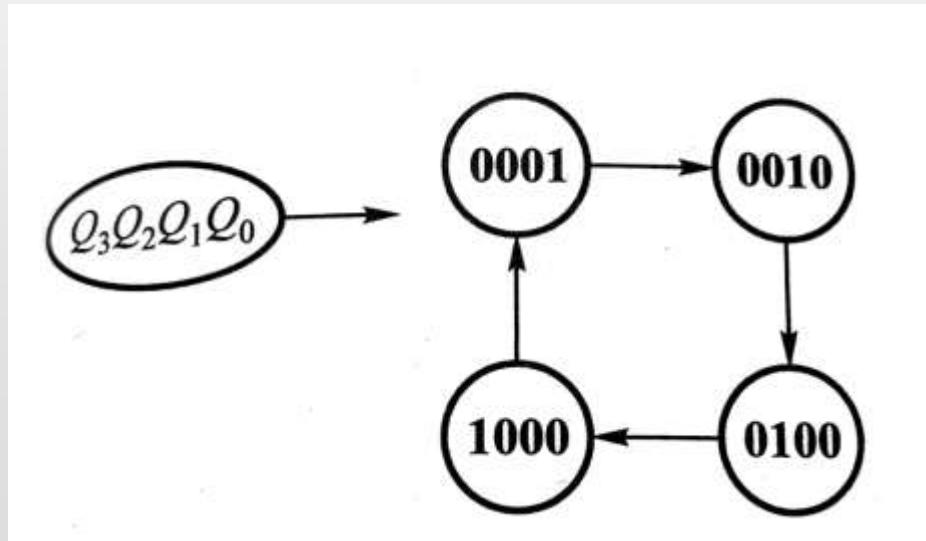
反馈置数法

# 一、必备基础——第六章 时序逻辑电路

## 2、计数器

环形计数器：

- a、基本环形计数器，n位环形计数器有n个状态
- b、扭环形计数器，n位扭环形计数器有2n个状态



## 二、零碎考点——第三章 逻辑门电路

1、CMOS {  
    最广泛、占主导的集成电路  
    是数字电路的主流技术工艺  
    用于超大、甚大规模集成电路  
    静态功耗低； 动态功耗高

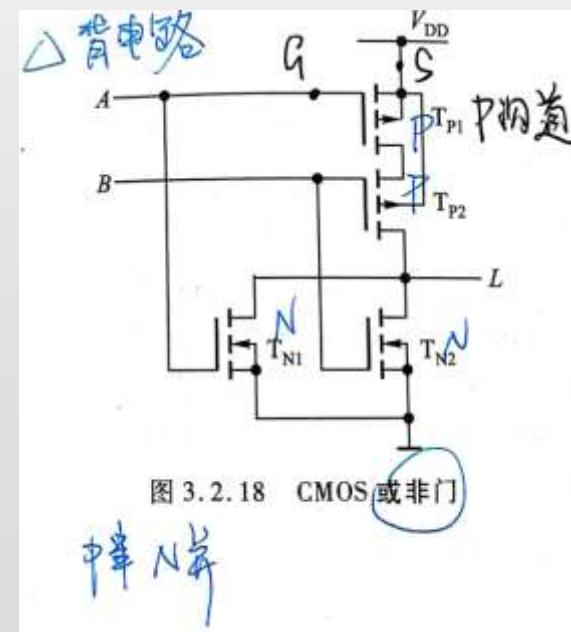
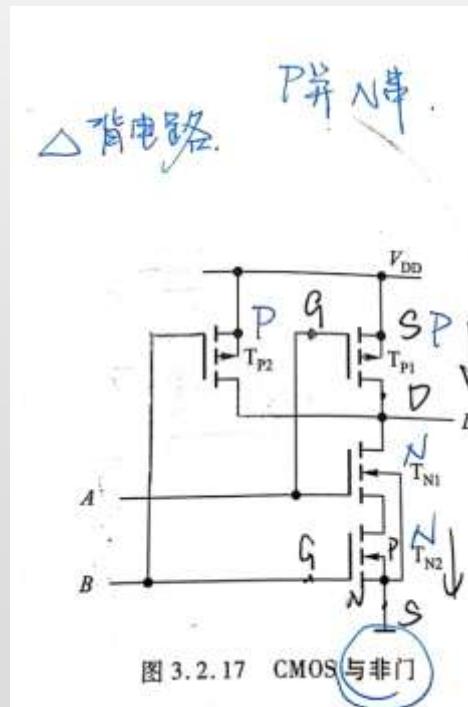
2、TTL {  
    用于中大规模集成电路  
    静态功耗高； 动态功耗低

3、MOS管的工作区：截止区、饱和区、可变电阻区

4、与非门：P并N串  
或非门：P串N并

5、漏极开路门(OD门)可以实现线与

{ 功耗电容  
    负载电容  
    供电电源  
    信号频率



## 二、零碎考点——第三章 逻辑门电路

6、三态门的输出：高电平、低电平、高阻态

7、三态门的作用：①实现总线传输（要求：任何时刻只有一个使能端为有效信号）  
②实现信号的双向

8、输入输出逻辑电平

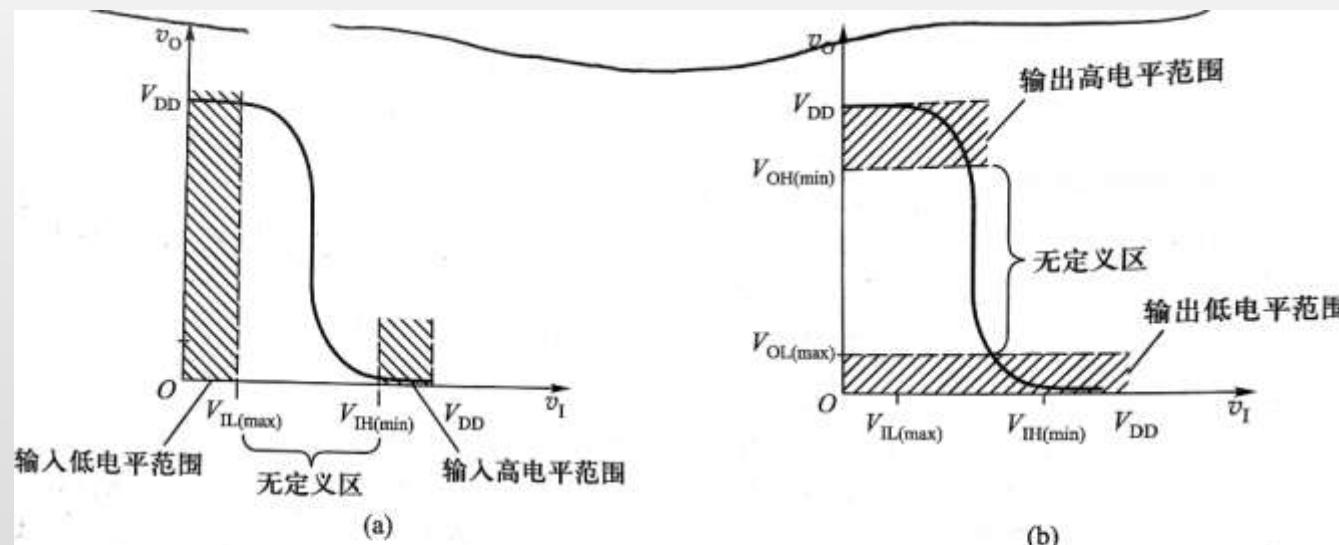


图 3.2.14 门电路输入和输出逻辑电平范围  
(a) 输入高、低电平 (b) 输出高、低电平

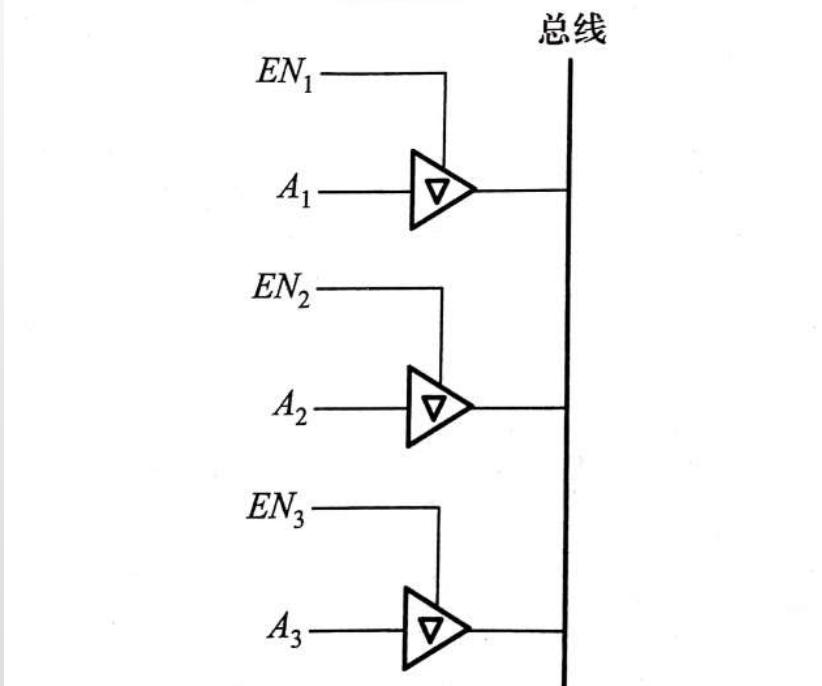
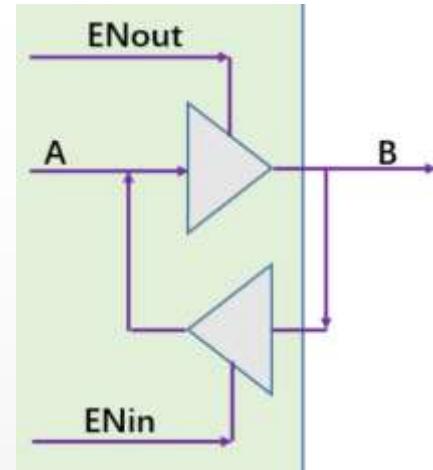


图 3.3.11 三态输出电路构成总线传输结构

## 二、零碎考点——第三章 逻辑门电路

9、门电路多余输入端**不能悬空**

与门/与非门：接电源或与其他输入端并联

或门/或非门：接地或与其他输入端并联

10、不同系列的逻辑器件混合使用，要考虑**是否匹配**：

首先要考虑门电路的输入输出电平是否超过数据手册规定的极值

第二要考虑逻辑电平的兼容性问题，驱动器件的电压必须满足负载器件要求的高/低电平的输入电压范围

第三要考虑逻辑门电路的扇出问题，即驱动器件必须能对负载器件提供足够的灌电流或拉电流

## 二、零碎考点——第四章 组合可编程逻辑器件

PLD通过与或阵列的编程实现逻辑功能

PLD  $\left\{ \begin{array}{l} \text{PROM: ‘与’固定, ‘或’编程} \\ \text{PLA: ‘与’编程, ‘或’编程——只能实现组合逻辑函数} \\ \text{PAL: ‘与’编程, ‘或’固定——加D触发器可以实现时序逻辑} \end{array} \right.$

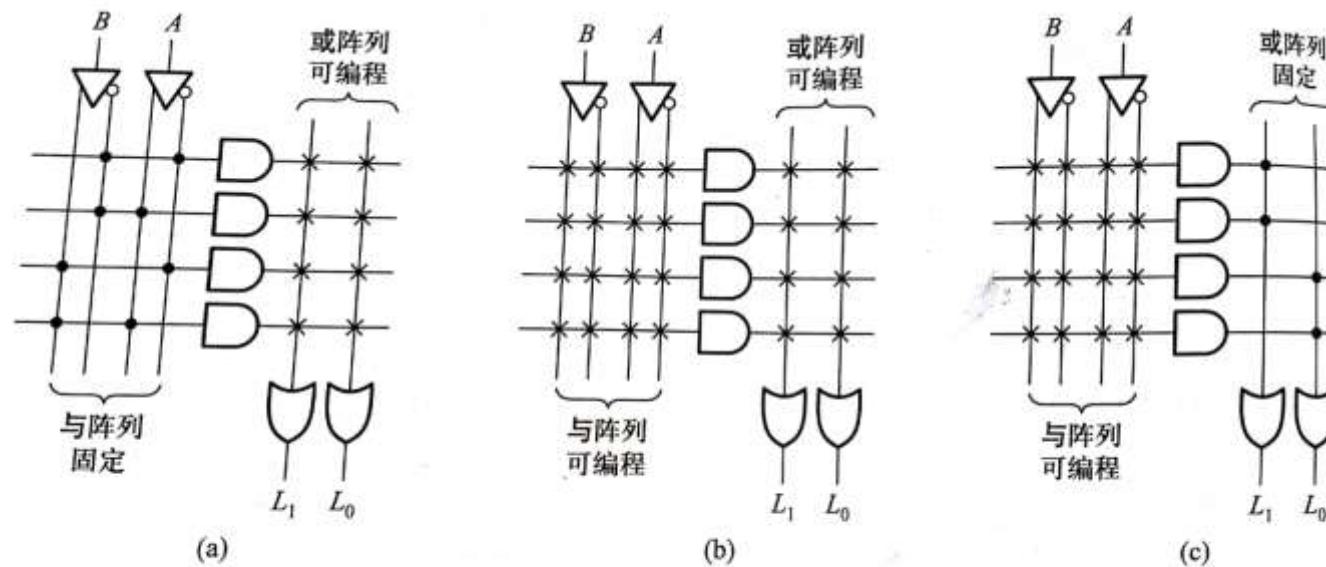


图 4.5.8 PLD 的分类

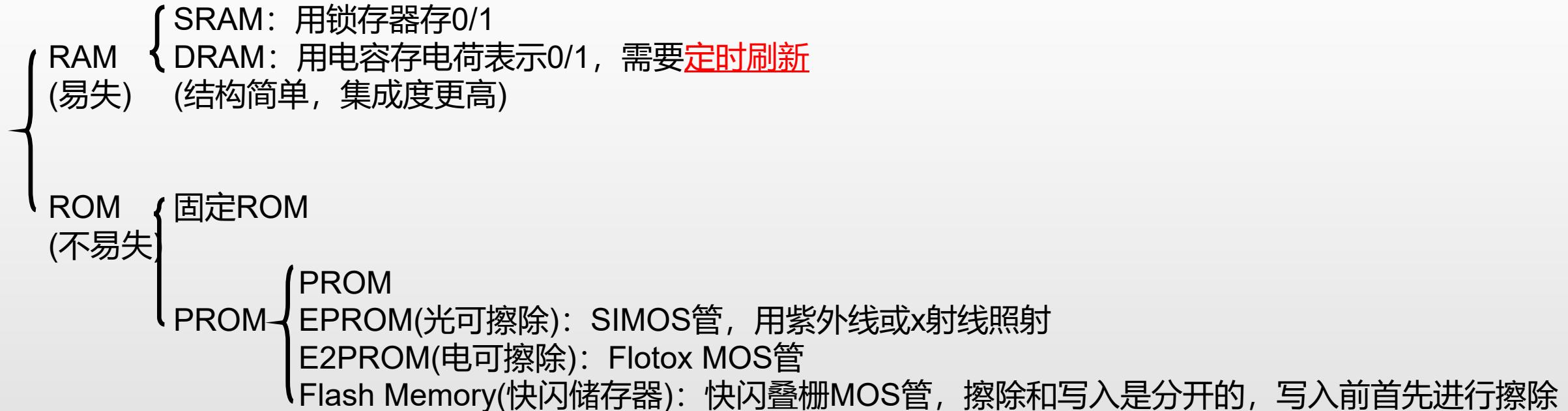
(a) PROM 的基本电路结构    (b) PLA 的基本电路结构    (c) PAL 的基本电路结构

## 二、零碎考点——第六章 简单的时序可编程逻辑器件

时序可编程逻辑器件

{ GAL：‘与’编程，‘或’固定  
CPLD  
FPGA

## 二、零碎考点——第七章 半导体储存器



## 二、零碎考点——第七章 半导体储存器

存储容量=字数x位数=2<sup>地址输入位数</sup>x数据输出位数 bit

单位换算： 1Kbit=2<sup>10</sup>bit;

1Mbit=2<sup>20</sup>bit;

1Gbit=2<sup>30</sup>bit;

1Byte=8bit

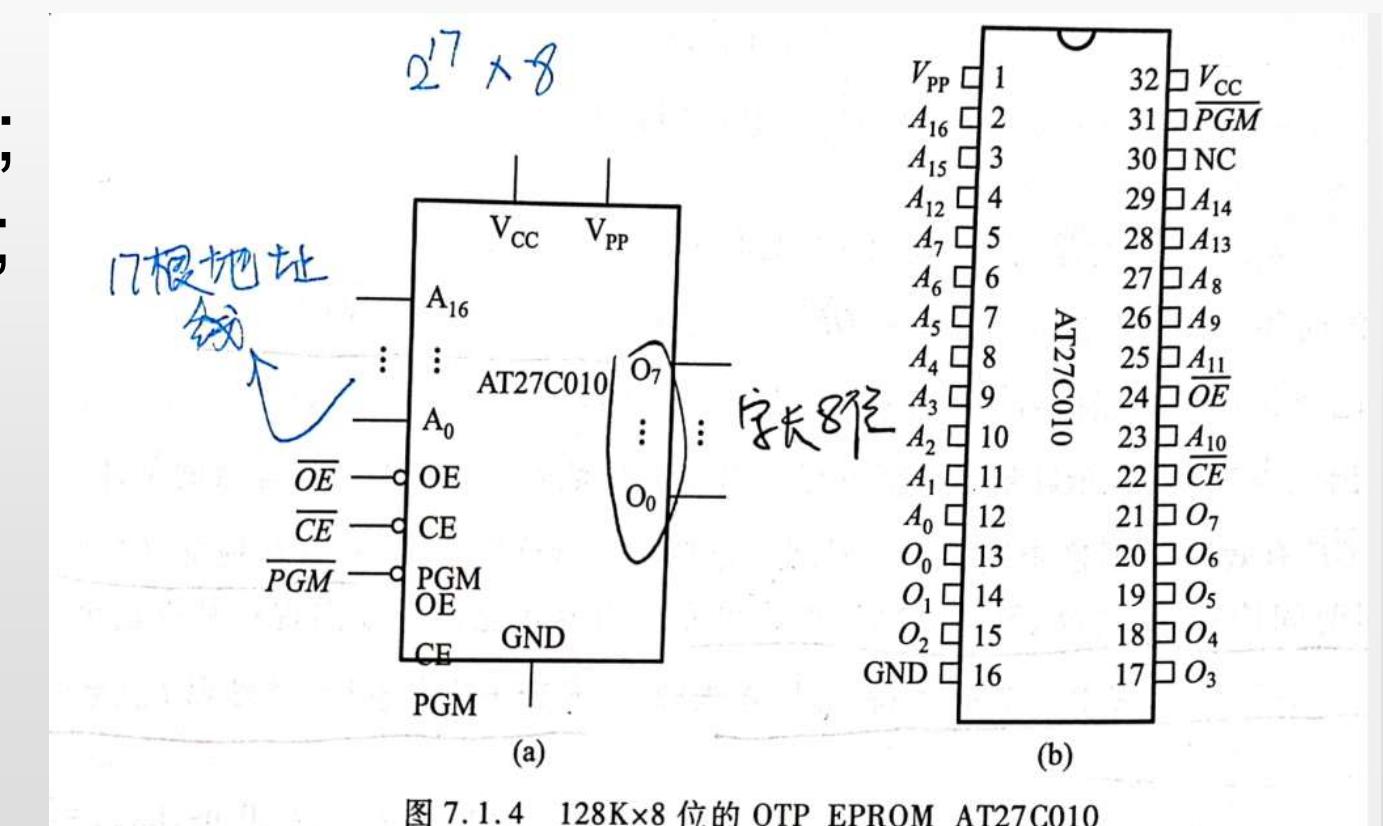


图 7.1.4 128K×8 位的 OTP EPROM AT27C010

## 二、零碎考点——第八章 CPLD和FPGA

	CPLD	FPGA
编程机理	<u>E<sup>2</sup>PROM/快闪存储器</u>	<u>SRAM(外部用PROM保存编程数据)</u>
逻辑单元	<u>可编程“与-或”阵列</u>	<u>查找表(LUT)</u>
包含资源	逻辑块 可编程内部连线 I/O单元	可编程逻辑块 可编程连线资源 可编程I/O模块
功能	完成控制逻辑	<u>能完成比较复杂的算法</u>
速度	快	慢
集成度	低	高

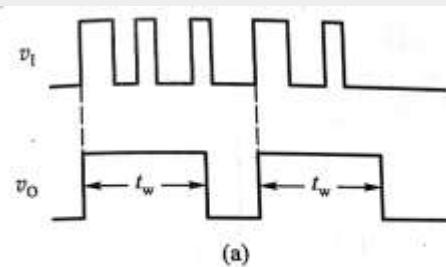
## 二、零碎考点——第九章 脉冲波形的变换与产生

1、单稳态触发器（只有一个稳态）：

- a、触发脉冲作用下会从稳态变到暂稳态
- b、暂稳态一段时间后变会稳态
- c、暂稳态持续时间由RC延时环节参数值决定

分类：

不可重复



可重复

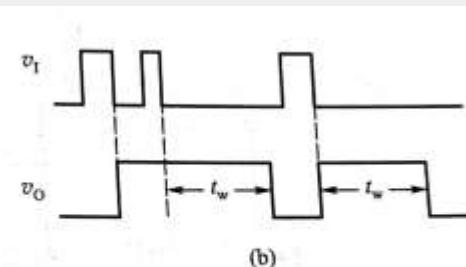


图 9.1.3 两种集成单稳态触发器的工作波形

(a) 前沿触发的不可重复触发单稳 (b) 后沿的触发可重复触发单稳

应用：

定时、延时、噪声消除(噪声宽度 < 脉冲宽度 < 信号宽度)

## 二、零碎考点——第九章 脉冲波形的变换与产生

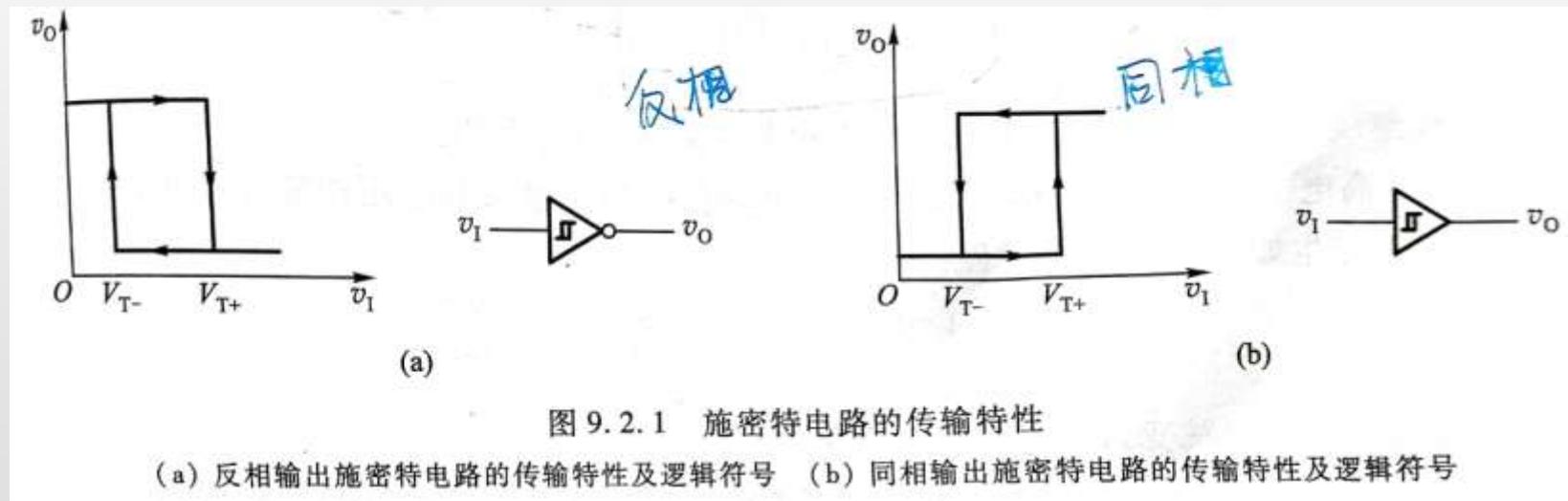
2、施密特触发器（双稳态）：

（模电学过）

分类：

反相

同相



应用：

波形变换、波形整形与抗干扰、幅度鉴别

## 二、零碎考点——第九章 脉冲波形的变换与产生

3、多谐振荡器（没有稳态，有两个暂稳态）：

电路由开关器件和反馈延时环节组成

应用：

可以作时钟信号

## 二、零碎考点——第十章 ADC与DAC

DAC:

$$\text{倒T形: } V_O = -\frac{V_{REF}}{2^n} \cdot \frac{R_f}{R} \left[ \sum_{i=0}^{n-1} (D_i \cdot 2^i) \right]$$

以8位D/A为例:

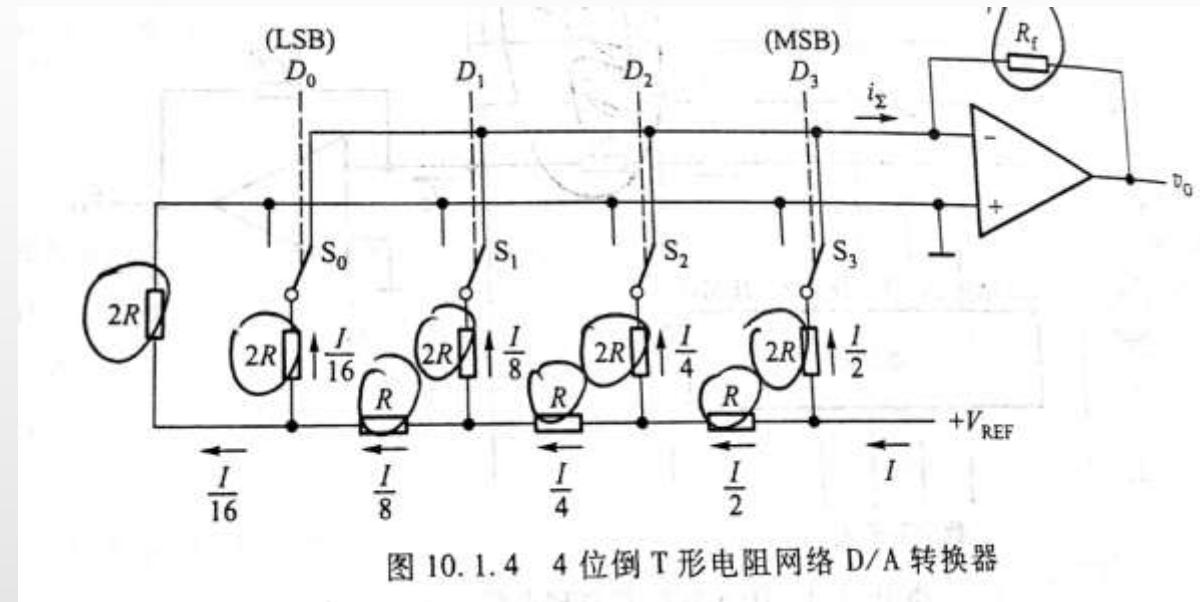
$$\text{单极性: } \pm 0 \sim \pm V_{REF} \frac{255}{256}$$

$$\text{双极性}(-1/2V_{REF}): -\frac{128}{256}V_{REF} \sim \frac{127}{256}V_{REF}$$

$$\text{分辨率: } \frac{1}{2^n - 1}$$

转换精度: 误差的最大值 (误差分类: 比例系数误差; 失调误差; 非线性误差)

应用: 增益放大电路、**脉冲波形产生电路**



## 二、零碎考点——第十章 ADC与DAC

ADC:

1、过程

取样：取样信号频率 $f_s$ ，输入信号最高频率分量 $f_{imax}$ ，要求： $f_s \geq 2f_{imax}$   
保持

量化：量化误差 $\varepsilon$ 属于原理误差，无法消除  
舍尾取整 $|\varepsilon_{max}| = 1\text{ LSB}$   
四舍五入 $|\varepsilon_{max}| = 1/2\text{ LSB}$ （误差更小）

编码

2、A/D分类

{ 直接A/D  
    (快)  
    间接A/D  
    (慢)

并行比较型A/D：最快，复杂度最高

逐次比较型A/D

:双积分型A/D：最慢，抗工频干扰强

3、分辨率：n位A/D能区分的最小电压区 =  $\frac{\text{最大电压}}{2^n}$

4、n位并行比较型A/D要 $2^n - 1$ 个比较器和触发器

5、n位逐次比较型A/D每转换一次至少经过n个时钟周期

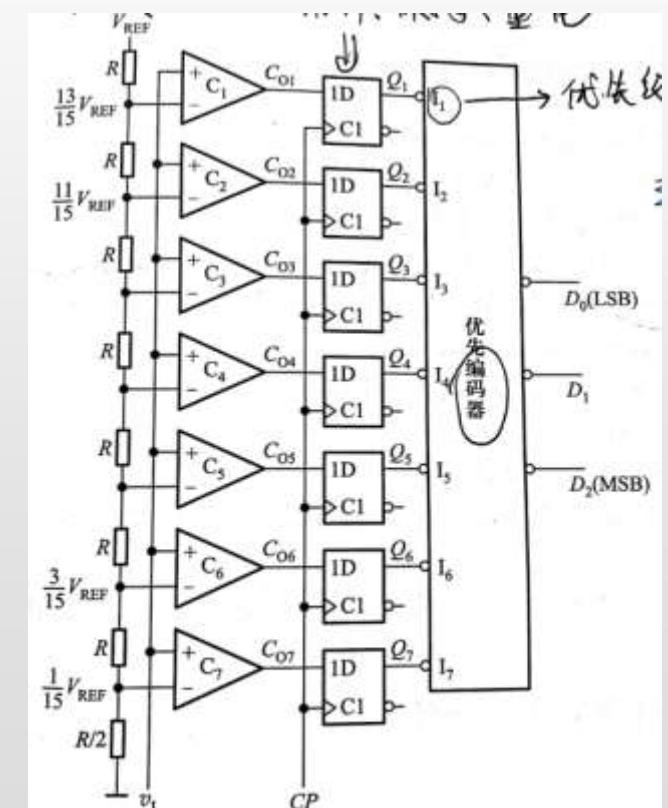


图 10.2.4 3 位并行 A/D 转换器

### 三、试卷

数电课程考试题型：

- 一、填空题；
- 二、逻辑化简（代数法、卡诺图法）；
- 三、根据电路（组合或时序）以及输入信号画波形；
- 四、组合逻辑电路设计与分析；
- 五、时序逻辑电路设计与分析（含verilog语言）；
- 六、综合应用题

# 三、试卷

## 2019-2020 学年第二学期期末考试 A 卷

**一、填空题(每空 1 分, 共 20 分)**

$$(43)_D = (101011)_B$$

$$1, (43.375)_D = (\underline{\hspace{2cm}})_H$$

$$(0.375)_P = (0.011)_B$$

2、逻辑函数  $F(A,B,C,D) = \prod M(1,$

$$\begin{array}{r}
 2 \overline{)43} \\
 2 \overline{)21} \quad 1 \\
 2 \overline{)10} \quad 1 \\
 2 \overline{)5} \quad 0 \\
 2 \overline{)2} \quad 1 \\
 2 \overline{)1} \quad 0 \\
 \end{array}$$

$$\begin{array}{r} 0.375 \times 2 = 0.75 \\ \Delta \\ 0.75 \times 2 = 1.5 \\ \Delta \\ 0.5 \times 2 = 1.0 \\ \Delta \end{array}$$

偶式为

2.0V,

3、在计算机系统中，                逻辑

4、已知3.3V供电的两输入CMOS与非门

$V_{OH(\min)} = 3.1V$ ，若输入端 A 的电平为

$$(43.375)_D = (101011.011)_B$$

输出为

5、与传统的TTL 电路相比, CMOS 逻

，否则输出会出现逻辑紊乱。

$$= (2B, b)_H$$

# 三、试卷

2

### 一、填空题(每空1分)

$$1, (43.375)_D = ($$

## 2、逻辑函数 $F(A,B,$

—○•

3、在计算机系统中，

4、已知3.3V供电的两

$$V_{OH(\min)} = 3.1V, \text{ 若:}$$

\_\_\_\_\_ o

### 5、与传统的TTL 电路

\_\_\_\_\_，否则输出

$$\begin{aligned}
 F &= M_1 \cdot M_3 \cdot M_5 \cdot M_7 \cdot M_{13} \cdot M_{15} \\
 &= \overline{m}_1 \cdot \overline{m}_3 \cdot \overline{m}_5 \cdot \overline{m}_7 \cdot \overline{m}_{13} \cdot \overline{m}_{15} \\
 &= \overline{m_1 + m_3 + m_5 + m_7 + m_{13} + m_{15}} \\
 &= m_0 + m_2 + m_4 + m_6 + m_8 + m_9 + m_{10} + \\
 &\quad m_{11} + m_{12} + m_{14}
 \end{aligned}$$

<del>AB</del>	<del>CD</del>	00	01	11	10
00	1	0	0	1	
01	1	0	0	1	
11	1	0	0	1	
10	1	1	1	1	1

$$F = \bar{D} + A\bar{B}$$

$$F = \bar{D} \cdot (A + \bar{B})$$

### 三、试卷

### 2019-2020 学年第二学期期末考试 A 卷

一、填空题(每空 1 分, 共 20 分)

1、 $(43.375)_D = (\underline{\hspace{2cm}})_H$

2、逻辑函数  $F(A,B,C,D) = \prod M(1,3,5,7,13,15)$ , 其最简与-或式为 \_\_\_\_\_, 其对偶式为 \_\_\_\_\_。

3、在计算机系统中, 三态 逻辑门常用作数据总线结构的缓冲隔离。

4、已知 3.3V 供电的两输入 CMOS 与非门芯片的  $V_{IL(\max)} = 0.8V$ ,  $V_{OL(\max)} = 0.2V$ ,  $V_{IH(\min)} = 2.0V$ ,  $V_{OH(\min)} = 3.1V$ , 若输入端 A 的电平为 0.4V, 输入端 B 的电平为 1.9V 时, 逻辑门的输出为 \_\_\_\_\_。

5、与传统的 TTL 电路相比, CMOS 逻辑器件具有静态功耗极低的优点。但未用的输入端不允许 \_\_\_\_\_, 否则输出会出现逻辑紊乱。

### 三、试卷

### 2019-2020 学年第二学期期末考试 A 卷

一、填空题(每空 1 分, 共 20 分)

1、 $(43.375)_D = (\underline{\hspace{2cm}})_H$

2、逻辑函数  $F(A,B,C,D) = \prod M(1,3,5,7,11,13,15)$  其对偶式为  
输入低电平:  $0\sim 0.8V$   
输入高电平:  $2.0\sim 3.3V$   
输出低电平:  $0\sim 0.2V$   
输出高电平:  $3.1\sim 3.3V$

3、在计算机系统中, 与非门常用于逻辑运算。

4、已知  $3.3V$  供电的两输入 CMOS 与非门芯片的  $V_{IL(max)} = 0.8V$ ,  $V_{OL(max)} = 0.2V$ ,  $V_{IH(min)} = 2.0V$ ,  $V_{OH(min)} = 3.1V$ , 若输入端  $A$  的电平为  $0.4V$ , 输入端  $B$  的电平为  $1.9V$  时, 逻辑门的输出为 3.1~3.3V。  
0 未定义

5、与传统的 TTL 电路相比, CMOS 逻辑器件具有静态功耗极低的优点。但未用的输入端不允许 悬空, 否则输出会出现逻辑紊乱。

### 三、试卷

### 2019-2020 学年第二学期期末考试 A 卷

一、填空题(每空 1 分, 共 20 分)

1、 $(43.375)_D = (\underline{\hspace{2cm}})_H$

2、逻辑函数  $F(A,B,C,D) = \prod M(1,3,5,7,13,15)$ , 其最简与-或式为 \_\_\_\_\_, 其对偶式为 \_\_\_\_\_。

3、在计算机系统中, \_\_\_\_\_ 逻辑门常用作数据总线结构的缓冲隔离。

4、已知 3.3V 供电的两输入 CMOS 与非门芯片的  $V_{IL(\max)} = 0.8V$ ,  $V_{OL(\max)} = 0.2V$ ,  $V_{IH(\min)} = 2.0V$ ,  $V_{OH(\min)} = 3.1V$ , 若输入端 A 的电平为 0.4V, 输入端 B 的电平为 1.9V 时, 逻辑门的输出为 \_\_\_\_\_。

5、与传统的 TTL 电路相比, CMOS 逻辑器件具有静态功耗极低的优点。但未用的输入端不允许 **悬空**, 否则输出会出现逻辑紊乱。

### 三、试卷

6、7位ASCII码“A”对应的十进制数值为65，当采用偶校验进行串行传输检错时，需增加的校验位 $P= \underline{\hspace{2cm}}^0$ 。  
 $(65)_D = (1000001)_B$

7、判断逻辑函数 $L_3(A,B,C,D) = \sum_m(0, 2, 4, 6, 8, 10, 12, 14)$        （是、否）可能产生竞争冒险。

8、为了扩展实现4-16线二进制译码器，至少需要      个同样带有使能端的2-4线二进制译码器。

9、下图1中的`always`块实现的逻辑功能是      。

```
reg q;
always@(En or d)
begin
  if(En) q=d;
end
```

图1

10、Verilog中 $6'h25$ 表达的无符号数值所对应的8421BCD码为      <sub>8421BCD</sub>。

### 三、试卷

6、7位ASCII码“A”对应的十进制数值为65，当采用偶校验进行串行传输检错时，需增加的校验位 $P= \underline{\hspace{2cm}}$ 。

7、判断逻辑函数 $L_3(A,B,C,D) = \sum_m(0, 2, 4, 6, 8, 10, 12, 14)$  是 (是、否) 可能产生竞争冒险。

8、为了扩展实现4-16线二进制译码器。

9、下图1中的 $always$ 块实现的逻

CD	00	01	11	10
AB	1	0	0	1
00	1	0	0	1
01	1	0	0	1
11	1	0	0	1
10	1	0	0	1

$$L = \bar{C}\bar{D} + C\bar{D}$$

$$\text{当 } \bar{D}=1 \text{ 时 } L = \bar{C} + C$$

10、Verilog中 $6'h25$ 表达的无符号数值所对应的8421BCD码为8421BCD。

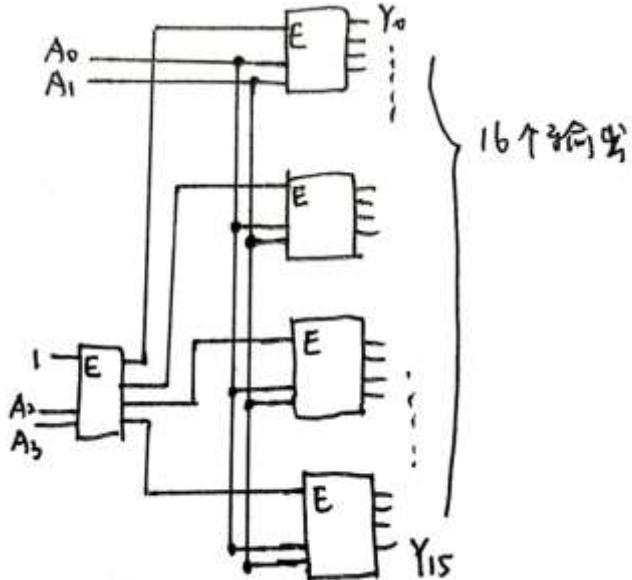
### 三、试卷

6、7位ASCII码“A”对应的十进制数值为65，当采用偶校验进行串行传输检错时，需增加的校验位 $P= \underline{\hspace{2cm}}$ 。

7、判断逻辑函数 $L_3(A,B,C,D) = \sum_m(0, 2, 4, 6, 8, 10, 12, 14)$  是（是、否）可能产生竞争冒险。

8、为了扩展实现4-16线二进制译码器，至少需要5个同样带有使能端的2-4线二进制译码器。

9、下图1中的 $always$ 块实



10、Verilog中 $6'h25$ 表达的无付亏数值所对应的8421BCD码为8421BCD。

### 三、试卷

6、7位ASCII码“A”对应的十进制数值为65，当采用偶校验进行串行传输检错时，需增加的校验位 $P= \underline{\hspace{2cm}}$ 。

7、判断逻辑函数 $L_3(A,B,C,D) = \sum_m(0, 2, 4, 6, 8, 10, 12, 14)$        （是、否）可能产生竞争冒险。

8、为了扩展实现4-16线二进制译码器，至少需要      个同样带有使能端的2-4线二进制译码器。

9、下图1中的 $always$ 块实现的逻辑功能是      。

```
reg q;
always@(En or d)
begin
    if(En) q=d;
end
```

图1

10、Verilog中 $6'h25$ 表达的无符号数值所对应的8421BCD码为      8421BCD。

### 三、试卷

6、7位ASCII码“A”对应的十进制数值为65，当采用偶校验进行串行传输检错时，需增加的校验位 $P=_____$ 。

7、判断逻辑函数 $L_3(A,B,C,D) = \sum_m(0, 2, 4, 6, 8, 10, 12, 14)$  \_\_\_\_\_ (是、否) 可能产生竞争冒险。

8、为了扩展实现4-16线二进制译码器，至少需要\_\_\_\_\_个同样带有使能端的2-4线二进制译码器。

9、下图1中的 $always$ 块实现的逻辑功能是\_\_\_\_\_。

```
reg q;
always@(En or d)
begin
  if(En) q=d;
end
```

图1

$$6'h25 = 2*16 + 5*1 = (37)_D = (0011\ 0111)_{8421BCD}$$

10、Verilog中 $6'h25$ 表达的无符号数值所对应的8421BCD码为\_\_\_\_\_<sub>8421BCD</sub>。

### 三、试卷

11、在时序电路设计过程对状态机进行编码时，若采用 4 位二进制数构成的格雷码表示状态，则最多可提供\_\_\_\_\_个状态。  $2^4=16$

12、将 $50MHz$ 石英晶体振荡器脉冲输出变为 $1Hz$ 的时钟信号，至少需用\_\_\_\_\_个触发器组成分频器。

13、某重复频率为 $50KHz$ 的数字波形，占空比为 $40\%$ ，其脉冲宽度为\_\_\_\_\_  $\mu s$ 。

14、一个 $1M \times 1$ 位的 $DRAM$ ，采用地址分时送入的方法，芯片应具有\_\_\_\_\_ 根地址线。



### 三、试卷

## 2、计数器

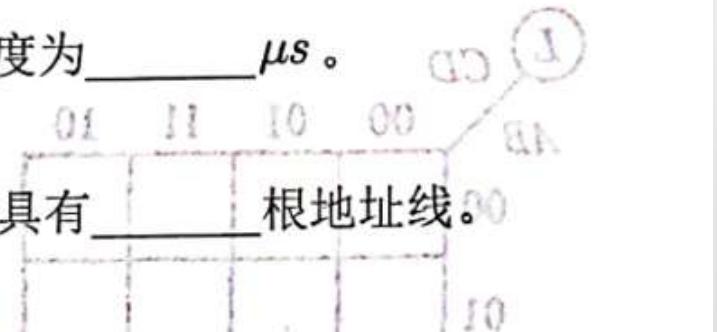
11、在时序电路  
多可提供\_\_\_\_\_

最基本的原则：一个触发器可以实现二分频 状态，则最

12、将 $50MHz$ 石英晶体振荡器脉冲输出变为 $1Hz$ 的时钟信号，至少需用\_\_\_\_\_个触发器组成分频器。  
 $2^{25} < 50M < 2^{26}$

13、某重复频率为 $50KHz$ 的数字波形，占空比为 $40\%$ ，其脉冲宽度为\_\_\_\_\_ $\mu s$ 。

14、一个 $1M \times 1$ 位的 $DRAM$ ，采用地址分时送入的方法，芯片应具有\_\_\_\_\_根地址线。



### 三、试卷

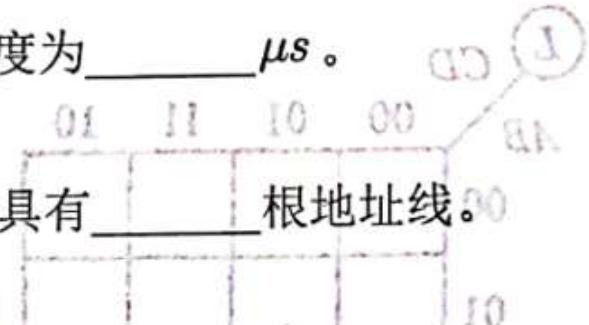
11、在时序电路设计过程对状态机进行编码时，若采用 4 位二进制数构成的格雷码表示状态，则最多可提供\_\_\_\_\_个状态。

12、将 $50MHz$  石英晶体振荡器脉冲输出变为 $1Hz$  的时钟信号，至少需用\_\_\_\_\_个触发器组成分频器。

13、某重复频率为 $50KHz$  的数字波形，占空比为 $40\%$ ，其脉冲宽度为\_\_\_\_\_  $\mu s$ 。

$$1/50 \times 40\% = 0.008ms = 8\mu s$$

14、一个 $1M \times 1$  位的  $DRAM$ ，采用地址分时送入的方法，芯片应具有\_\_\_\_\_ 根地址线。



### 三、试卷

#### 二、零碎考点——第七章 半导体储存器

11、在时  
多可提供

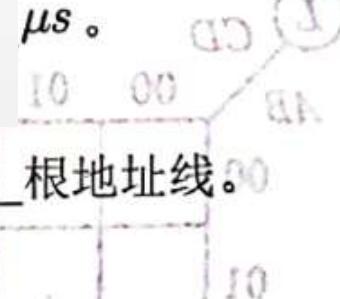
12、将<sup>50</sup>  
器。

13、某重

14、一个 $1M \times 1$ 位的DRAM，采用地址分时送入的方法，芯片应具有\_\_\_\_\_根地址线。

高码表示状态，则最

(不含不)。此  
一个触发器组成分频  
 $=((1,0,0,1))$



### 三、试卷

- 16、数字IC的时钟输入端通常会设置\_\_\_\_\_，以便将上升/下降沿存在畸变的周期性波形整形成较为理想的矩形波。
- 17、可编程逻辑器件CPLD基于\_\_\_\_\_实现组合逻辑函数，可编程逻辑器件FPGA基于\_\_\_\_\_实现组合逻辑函数。
- 18、线性数字温度传感器的采集温度范围为 $0 - 100^{\circ}C$ ，要求其至少分辨 $0.1^{\circ}C$ ，所选ADC的分辨率为\_\_\_\_\_位。

### 三、试卷

16、数字IC的时钟输入端通常会设置\_\_\_\_\_，以便将上升/下降沿存在畸变的周期性波形整形成较为理想的矩形波。

17、可编程逻辑器件CPLD基于\_\_\_\_\_实现组合逻辑函数，可编程逻辑器件FPGA基于\_\_\_\_\_实现组合逻辑函数。

线性 率为_____	CPLD	FPGA
编程机理	<u>E<sup>2</sup>PROM/快闪存储器</u>	<u>SRAM(外部用PROM保 存编程数据)</u>
逻辑单元	<u>可编程“与-或”阵列</u>	<u>查找表(LUT)</u>

### 三、试卷

16、数字IC的时钟输入端通常会设置\_\_\_\_\_，以便将上升/下降沿存在畸变的周期性波形整形成较为理想的矩形波。

17、可编程逻辑器件CPLD基于\_\_\_\_\_实现组合逻辑函数，可编程逻辑器件FPGA基于\_\_\_\_\_实现组合逻辑函数。

3、分辨率：n位A/D能区分的最小电压区 =  $\frac{\text{最大电压}}{2^n}$

18、线性数字温度传感器的采集温度范围为 $0 - 100^{\circ}C$ ，要求其至少分辨 $0.1^{\circ}C$ ，所选ADC的分辨率为\_\_\_\_\_位。

$$2^9 < 100/0.1 < 2^{10}$$

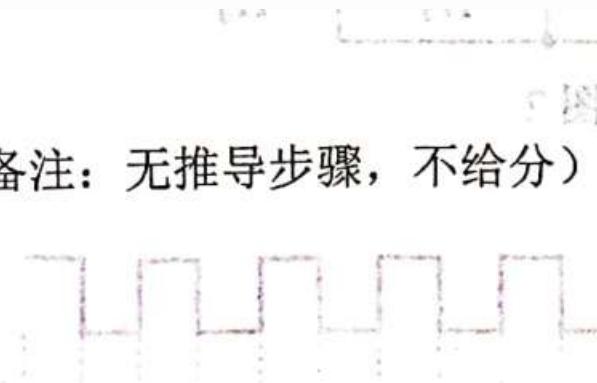
### 三、试卷

#### 二、化简题(共 10 分)

1、用代数法求逻辑函数 $L$ 的“最简与或式”(备注: 无推导步骤, 不给分)

$$L = (A, B, C) = \bar{B} + ABC + \bar{AC} \cdot \bar{AB}$$

$$\begin{aligned} L &= \bar{B} + ABC + \bar{AC} \cdot \bar{AB} \\ &= \bar{B} + ABC + (\bar{A} + \bar{C}) \cdot (\bar{A} + \bar{B}) \\ &= \underbrace{\bar{B} + AC}_{\text{---}} + \underbrace{\bar{A}}_{\text{---}} + \underbrace{\bar{A}\bar{B}}_{\text{---}} + \underbrace{\bar{A}\bar{C}}_{\text{---}} + \underbrace{\bar{B}\bar{C}}_{\text{---}} \\ &= \bar{B} + AC + \bar{A} \\ &= \bar{B} + \underbrace{\bar{A} + C}_{\text{---}} \end{aligned}$$



◎逻辑代数:

易忘的几个公式:  $A + BC = (A + B)(A + C)$

$$A + \bar{A}B = A + B$$

$$AB + \bar{A}C + BC = AB + \bar{A}C$$

### 三、试卷

2、用卡诺图化简，求逻辑函数 $L$ 的“最简与或式”（备注： $A$ 是最有效位， $D$ 是最低位。不画圈，不给分）

$$L(A,B,C,D) = \sum m(0, 2, 4, 8, 10, 12)$$

		CD	00	01	11	10
		AB	00	01	11	10
L	CD	00	1	0	0	1
		01	1	0	0	0
L	CD	11	1	0	0	0
		10	1	0	0	1

$$L = \overline{C}\overline{D} + \overline{B}\overline{D}$$

# 三、试卷

## 三、画波形图 (6分)

试画出图2所示电路的输出( $Q_0, Q_1, Q_2$ 及 $\bar{Q}_3$ )波形，假定所有触发器上电时都为低电平。

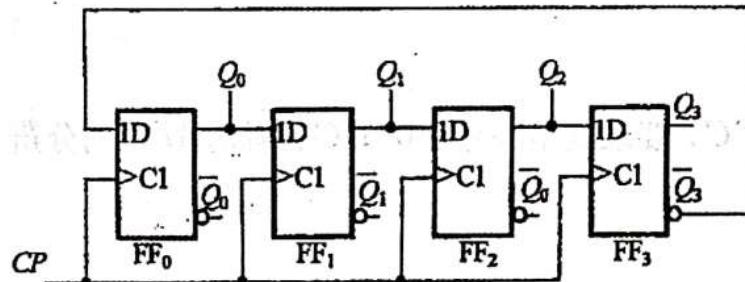
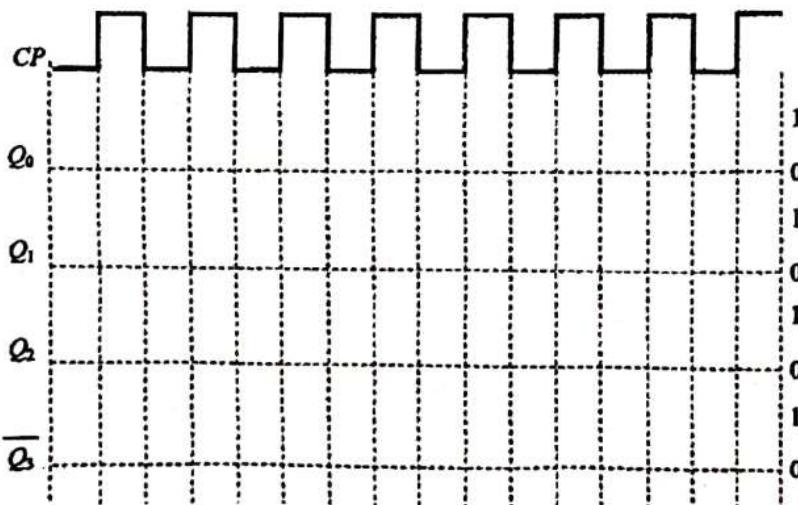
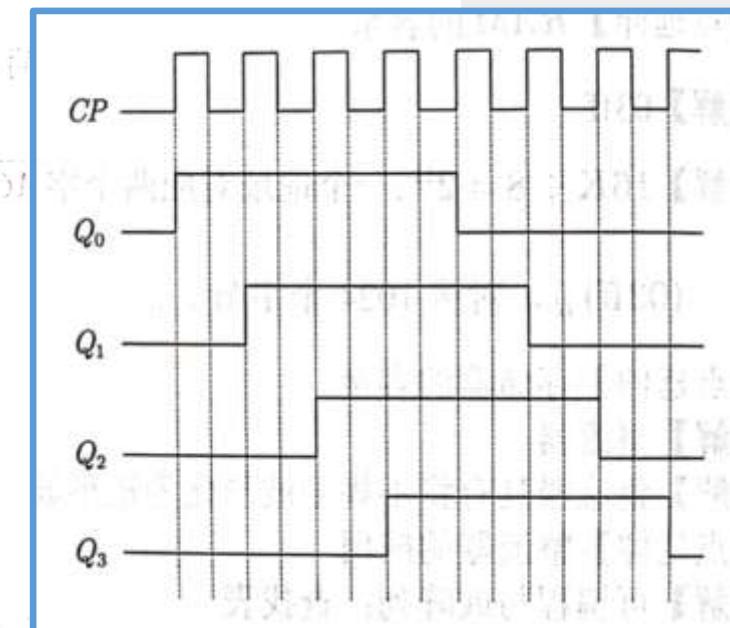


图2



$$\begin{cases} D_0 = \bar{Q}_3 \\ Q_0^{n+1} = D_0 = \bar{Q}_3 \end{cases} \quad \begin{cases} D_1 = Q_0 \\ Q_1^{n+1} = D_1 = Q_0 \end{cases} \quad \begin{cases} D_2 = Q_1 \\ Q_2^{n+1} = D_2 = Q_1 \end{cases} \quad \begin{cases} D_3 = Q_2 \\ Q_3^{n+1} = D_3 = Q_2 \end{cases}$$



### 三、试卷

(共 10 分)

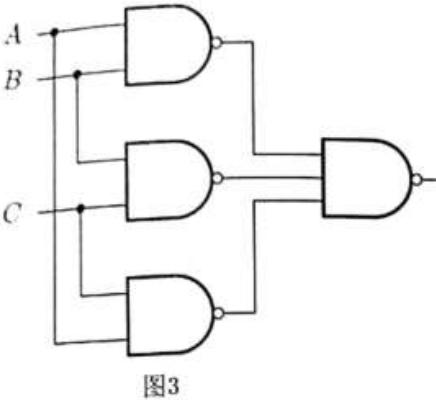


图3

$$L = \overline{AB} \cdot \overline{BC} \cdot \overline{AC} = AB + BC + AC$$

(1) 写出  $L$  的逻辑表达式, 要求为最简与或表达式

(2) 列出  $L$  的真值表

输入			输出
A	B	C	L

A	B	C	L
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

(3) 描述该电路的逻辑功能

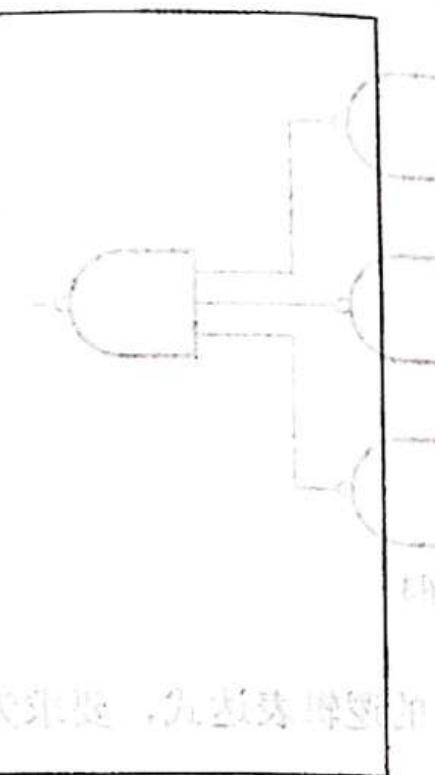
功能: 当输入中有  $< 2$  个 1 时,  $L=0$ ; 当输入中有  $\geq 2$  个 1 时,  $L=1$

### 三、试卷

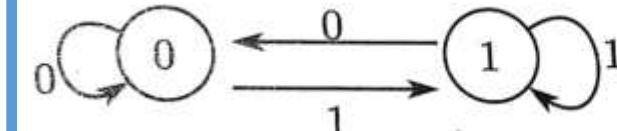
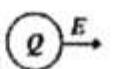
五、试分析下述Verilog描述的电路功能（共 16 分）

```
module xFF(output reg Q, input E, input R, input C);
    always @(posedge C or negedge R)
        if(~R) Q = 0;
        else if(E) Q = 1;
        else Q = 0;
    endmodule

module TOP(output Y, output[2:0] Q, input R, input C);
    wire[2:0] E;
    assign Y = Q[2] & Q[1] & ~Q[0];
    assign E[2] = ~Q[1] | Q[0];
    assign E[1] = Q[1] & ~Q[0] | Q[2] & Q[0];
    assign E[0] = ~Q[1] & ~Q[0] | ~Q[2] & ~Q[0];
    xFF ff0(Q[0], E[0], R, C);
    xFF ff1(Q[1], E[1], R, C);
    xFF ff2(Q[2], E[2], R, C);
endmodule
```



(1) 画出  $xFF$  模块的状态图，并简述其功能。



功能：D 触发器

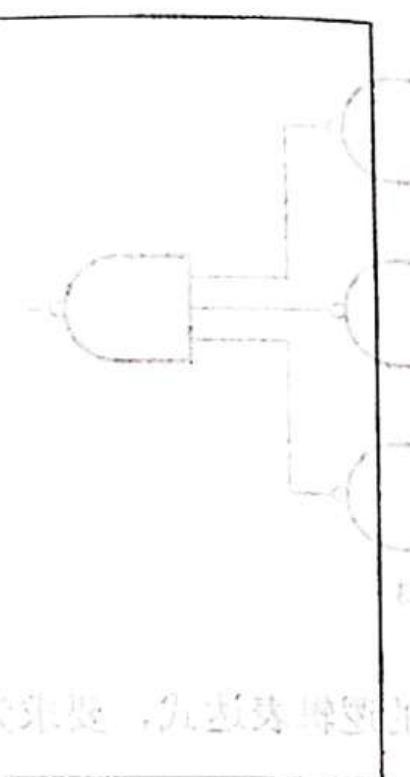
0

1

### 三、试卷

五、试分析下述Verilog描述的电路功能（共 16 分）

```
module xFF(output reg Q, input E, input R, input C);
    always @(posedge C or negedge R)
        if(~R) Q = 0;
        else if(E) Q = 1;
        else Q = 0;
    endmodule
module TOP(output Y, output[2:0] Q, input R, input C);
    wire[2:0] E;
    assign Y = Q[2] & Q[1] & ~Q[0];
    assign E[2] = ~Q[1] | Q[0];
    assign E[1] = Q[1] & ~Q[0] | Q[2] & Q[0];
    assign E[0] = ~Q[1] & ~Q[0] | ~Q[2] & ~Q[0];
    xFF ff0(Q[0], E[0], R, C);
    xFF ff1(Q[1], E[1], R, C);
    xFF ff2(Q[2], E[2], R, C);
endmodule
```



(2) 写出 $TOP$  电路的输出方程组和激励方程组

输出方程组: 
$$Y = Q_2 Q_1 \bar{Q}_0$$

激励方程组: 
$$E_0 = \bar{Q}_1 \bar{Q}_0 + \bar{Q}_2 \bar{Q}_0 \quad E_1 = Q_1 \bar{Q}_0 + Q_2 Q_0 \quad E_2 = \bar{Q}_1 + Q_0$$

### 三、试卷

五、试分析下述Verilog描述的电路功能（共 16 分）

(2) 写出 *TOP* 电路的输出方程组和激励方程组

输出方程组: 
$$Y = Q_2 Q_1 \bar{Q}_0$$

激励方程组: 
$$E_0 = \bar{Q}_1 \bar{Q}_0 + \bar{Q}_2 \bar{Q}_0$$
      
$$E_1 = Q_1 \bar{Q}_0 + Q_2 Q_0$$
      
$$E_2 = \bar{Q}_1 + Q_0$$

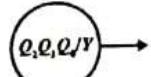
*E, input R, input C);  
lge R)*

*)] Q, input R, input C);*

<i>Q<sub>2</sub><sup>n</sup></i>	<i>Q<sub>1</sub><sup>n</sup></i>	<i>Q<sub>0</sub><sup>n</sup></i>	<i>Q<sub>2</sub><sup>n+1</sup></i>	<i>Q<sub>1</sub><sup>n+1</sup></i>	<i>Q<sub>0</sub><sup>n+1</sup></i>	<i>Y</i>
0	0	0	1	0	1	0
0	0	1	1	0	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	1	0	1
1	1	1	1	1	0	1

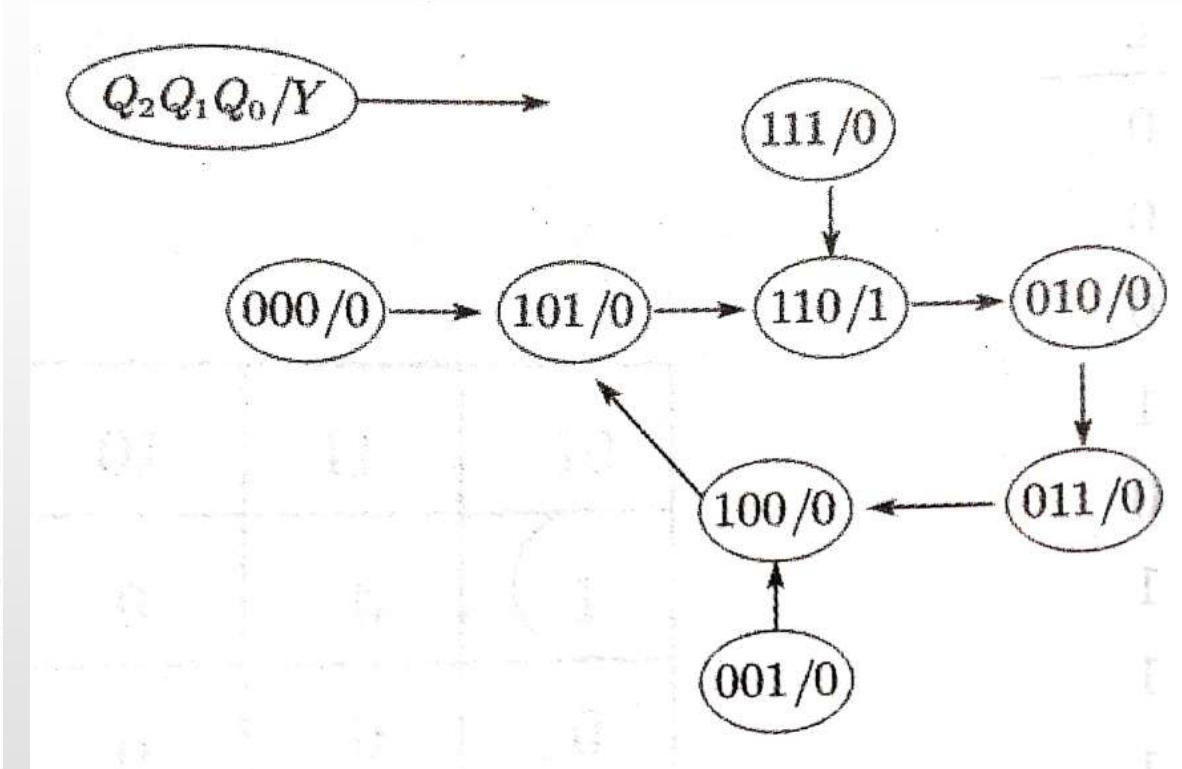
(3) 填写 *TOP* 电路的状态表，画出状态图，并简述其功能。

<i>Q<sub>2</sub><sup>n</sup>Q<sub>1</sub><sup>n</sup>Q<sub>0</sub><sup>n</sup></i>	<i>Q<sub>2</sub><sup>n+1</sup>Q<sub>1</sub><sup>n+1</sup>Q<sub>0</sub><sup>n+1</sup></i>	<i>Y</i>
000		
001		
010		
011		
100		
101		
110		
111		



### 三、试卷

$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Y$
0	0	0	1	0	1	0
0	0	1	1	0	0	0
0	1	0	0	1	1	0
0	1	1	1	0	0	0
1	0	0	1	0	1	0
1	0	1	1	1	0	0
1	1	0	0	1	0	1
1	1	1	1	1	0	



### 三、试卷

六、采用JK触发器，实现如图4所示状态转换图的同步时序电路。(24分)

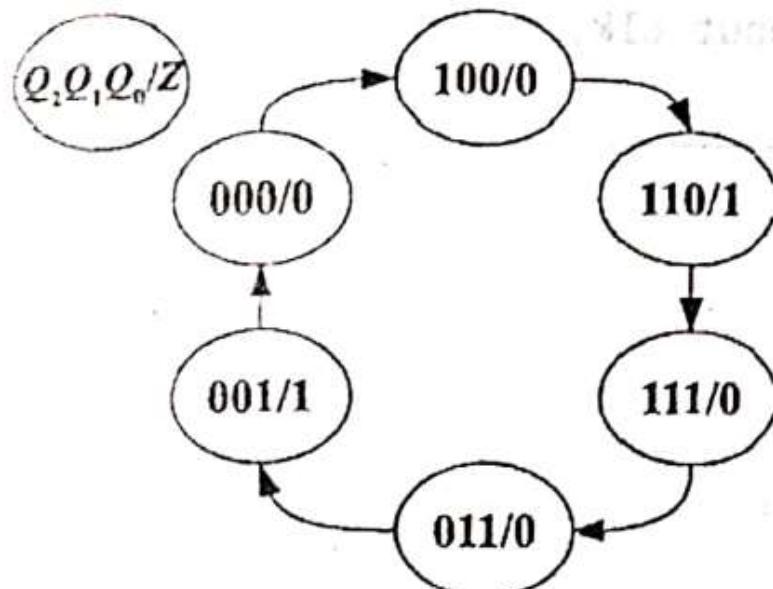


图4

(1) 根据状态转换图，补充完成状态转换及激励信号真值表

$Q_2^n$	$Q_1^n$	$Q_0^n$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Z$
0	0	0							1	0	0	0
1	0	0							1	1	0	0
1	1	0							1	1	1	1
1	1	1							0	1	1	0
0	1	1							0	0	1	0
0	0	1							0	0	0	1

$$JK : Q^{n+1} = J \overline{Q^n} + \overline{K} Q^n$$

$$1 = J_2 \cdot \overline{0} + \overline{K}_2 \cdot 0 = J_2$$

$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$
1	×	0	×	0	×
×	0	1	×	0	×
×	0	×	0	1	×
×	1	×	0	×	0
0	×	×	1	×	0
0	×	0	×	×	1

### 三、试卷

六、采用JK触发器，实现如图4所示状态转换图的同步时序电路。(24分)

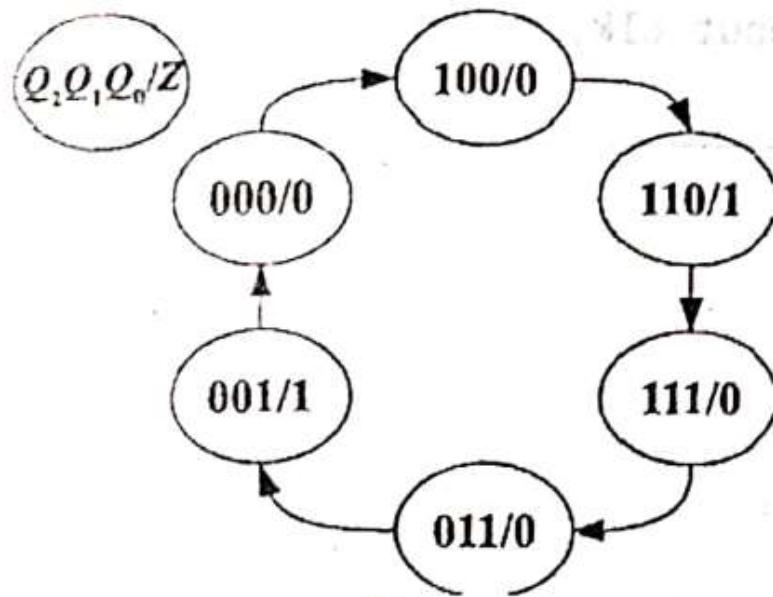


图4

(2) 写出3个JK触发器激励信号和Z输出信号的最简与或式

$$J_2 = \underline{\hspace{2cm}}; K_2 = \underline{\hspace{2cm}}$$

$$J_2 = \overline{Q_0} \quad K_2 = Q_0 \quad J_1 = Q_2 \quad K_1 = \overline{Q_2}$$

$$J_1 = \underline{\hspace{2cm}}; K_1 = \underline{\hspace{2cm}}$$

$$J_0 = \underline{\hspace{2cm}}; K_0 = \underline{\hspace{2cm}}$$

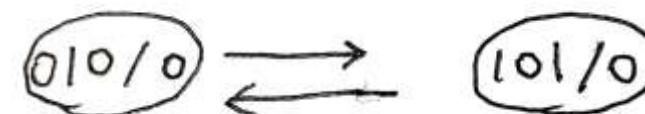
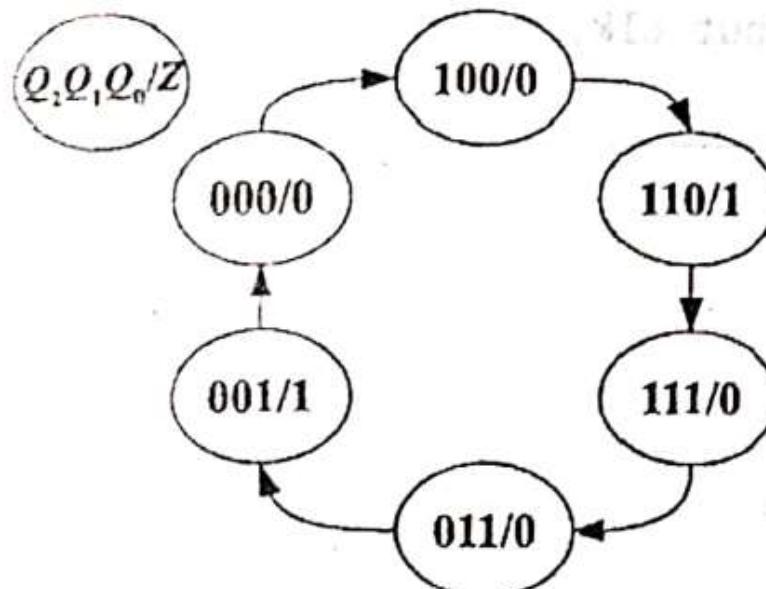
$$J_0 = Q_1 \quad K_0 = \overline{Q_1}$$

$$Z = Q_2 Q_1 \overline{Q_0} + \overline{Q_2} \overline{Q_1} Q_0$$

$$Z = \underline{\hspace{2cm}}$$

### 三、试卷

六、采用JK触发器，实现如图4所示状态转换图的同步时序电路。(24分)



(3) 该电路\_\_\_\_\_ (有/无) 自启动功能, 其中, Z信号功能是\_\_\_\_\_, 其占空比是\_\_\_\_\_。

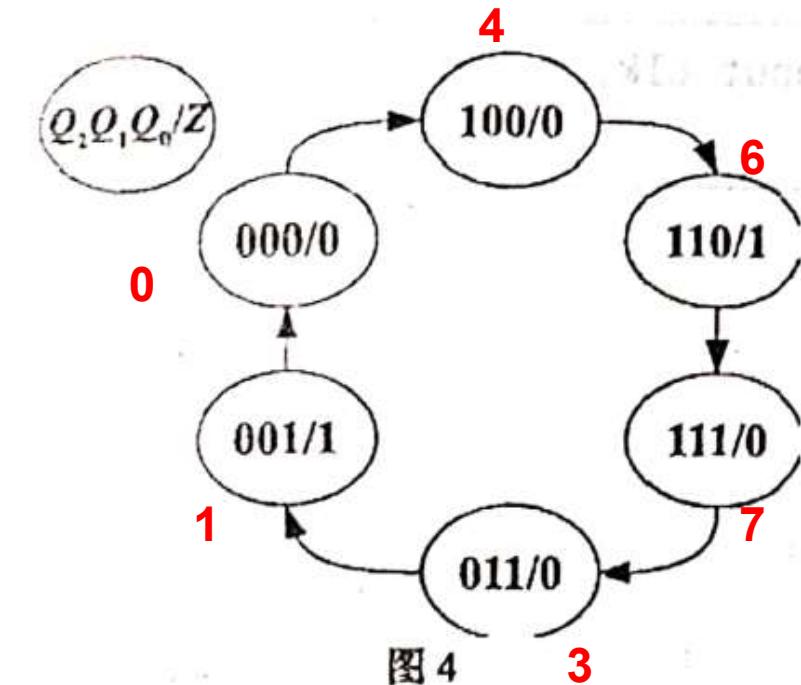
$Q_0$ 信号功能是\_\_\_\_\_。



$Q_2^n$	$Q_1^n$	$Q_0^n$	$J_2$	$K_2$	$J_1$	$K_1$	$J_0$	$K_0$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	Z
0	0	0							1	0	0	0
1	0	0							1	1	0	0
1	1	0							1	1	1	1
1	1	1							0	1	1	0
0	1	1							0	0	1	0
0	0	1							0	0	0	1

### 三、试卷

六、采用JK触发器，实现如图4所示状态转换图的同步时序电路。(24分)



(4) 根据上述电路功能，补充以下具有异步复位功能的Verilog描述

```
module uut(output Z, output reg[2:0] Q, input clk, rst);
    assign Z = Q[2]&Q[1]&~Q[0]|~Q[2]&~Q[1]&Q[0];
    always @(posedge clk, negedge rst)
        if(!rst)
            Q <= 3'd0;
        else
            case(Q)
                3'd0: Q <= 3'd4;
                3'd1: Q <= 3'd0;

```

$$Z = Q_2 Q_1 \bar{Q}_0 + \bar{Q}_2 \bar{Q}_1 Q_0$$

```
                3'd3: Q <= 3'd1;
                3'd4: Q <= 3'd6;
                3'd6: Q <= 3'd7;
                3'd7: Q <= 3'd3;
            default: Q <= 3'd0;
        endcase
    endmodule
```

# 三、试卷

七、(10分)由D/A转换器、计数器和ROM组成的波形产生电路如图5所示,图中ROM的数据表如表1所示。试填写完成计数器的状态转换表,及对应D/A转换器的输入和输出电压值。

$$(D/A \text{ 转换器输出与输入关系式为 } v_O = -\frac{V_{REF}}{2^n} \cdot \frac{R_f}{R} \left[ \sum_{i=0}^{n-1} (D_i \cdot 2^i) \right])$$

表 1 ROM 的数据表

$A_3$	$A_2$	$A_1$	$A_0$	$O_3$	$O_3$	$O_2$	$O_1$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	1	1
0	1	1	0	1	0	0	0
0	1	1	1	0	1	1	1
1	0	0	0	0	0	0	1
1	0	0	1	0	0	1	0
1	0	1	0	0	0	1	1
1	0	1	1	0	1	0	0
1	1	0	0	0	0	1	1
1	1	0	1	0	1	1	0
1	1	1	0	0	1	1	1
1	1	1	1	1	0	0	0

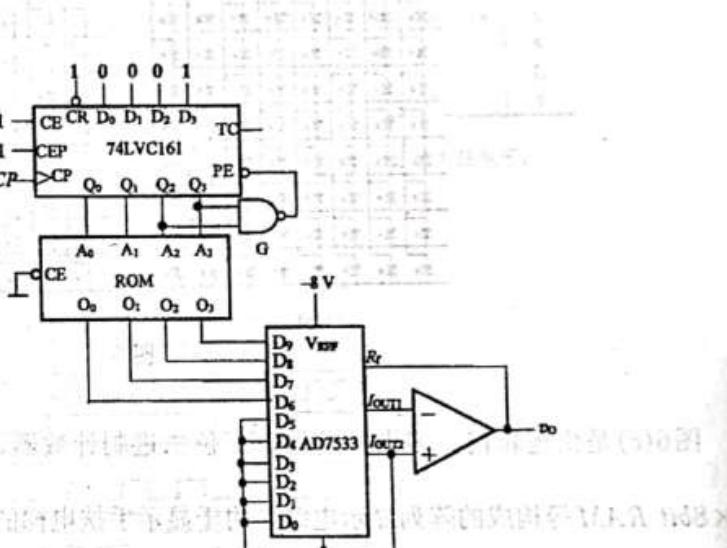
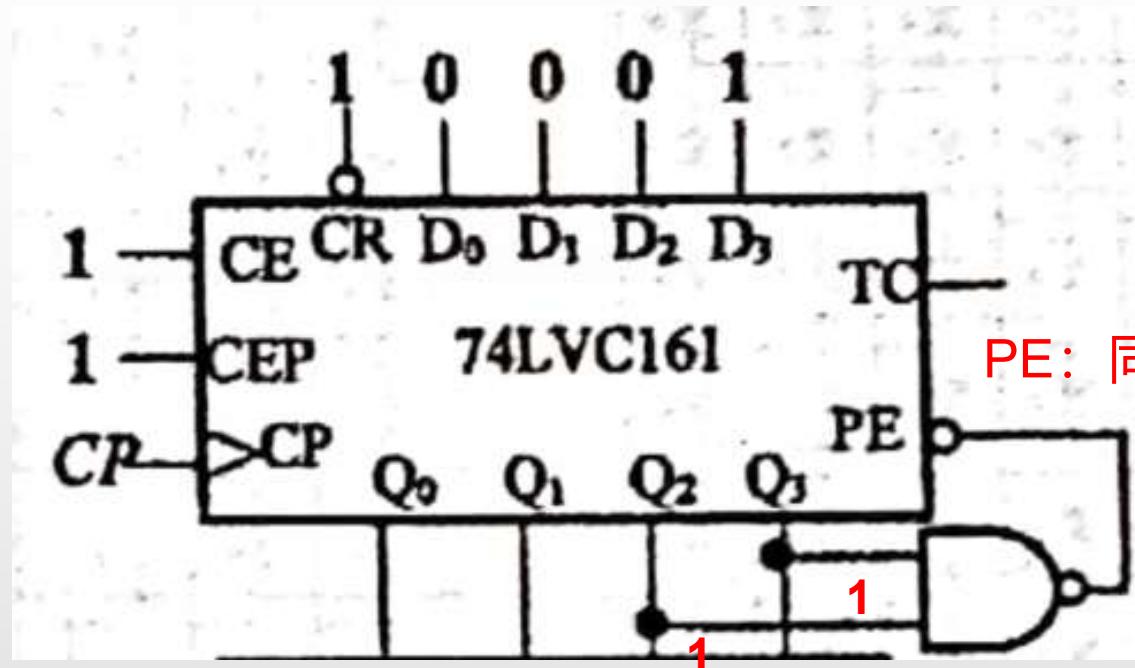


圖 5

#### 计数器状态表及 DAC 输入和输出值

### 三、试卷



PE: 同步置数端, 低电平有效

$\rightarrow 1000 \rightarrow 1001 \rightarrow 1010 \rightarrow 1011 \rightarrow 1100 \rightarrow$

三、试卷

#### 计数器状态表及 DAC 输入和输出值

$Q_3$	$Q_2$	$Q_1$	$Q_0$	$D_9$	$D_8$	$D_7$	$D_6$	$D_5 / V$
1	0	0	0	0	0	0	1	.
1	0	0	1	0	0	1	0	.
1	0	1	0	0	0	1	1	.
1	0	1	1	0	1	0	0	.
1	1	0	0	0	0	1	1	.

表1 ROM 的数据表

$A_3$	$A_2$	$A_1$	$A_0$	$O_3$	$O_3$	$O_2$	$O_1$
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	1	1
0	1	1	0	1	0	0	0
0	1	1	1	0	1	1	1
1	0	0	0	0	0	0	1
1	0	0	1	0	0	1	0
1	0	1	0	0	0	1	1
1	0	1	1	0	1	0	0
1	1	0	0	0	0	1	1
1	1	0	1	0	1	1	0
1	1	1	0	0	1	1	1
1	1	1	1	1	0	0	0

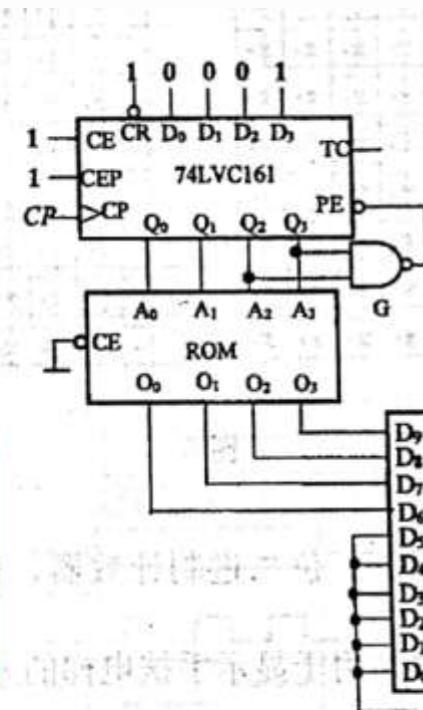
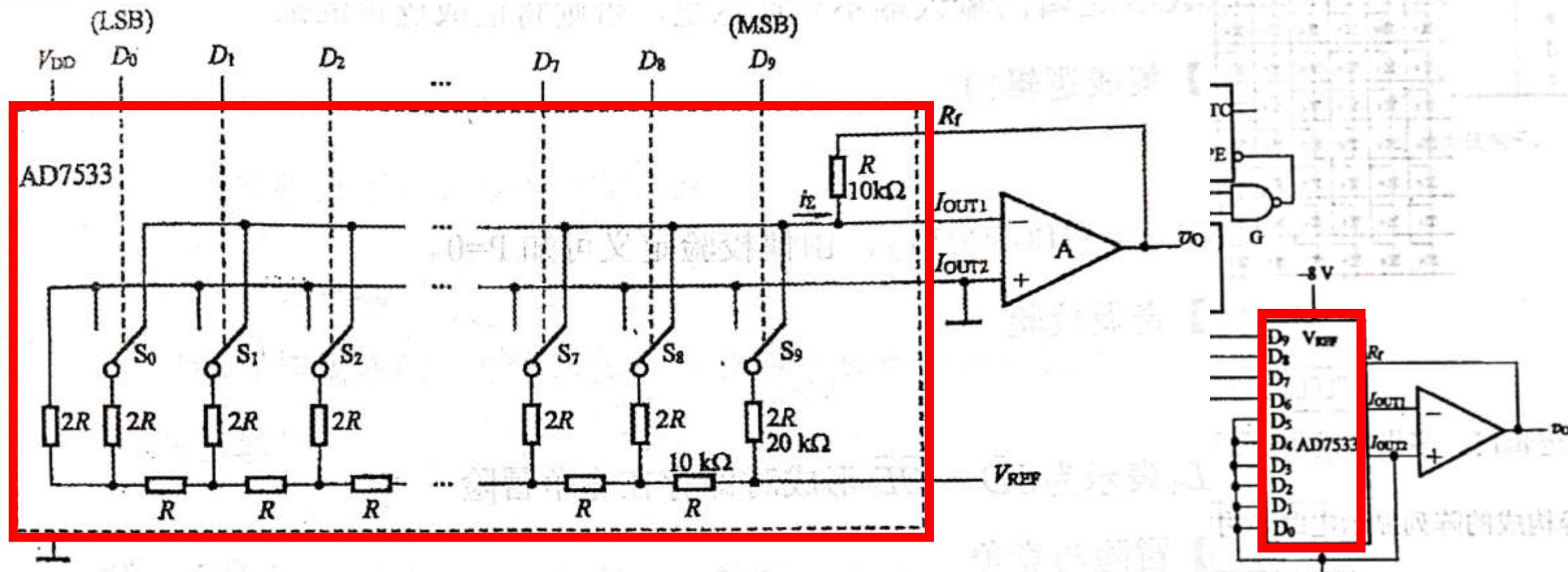


圖 5

三、试卷

$$v_O = - \frac{V_{REF}}{2^n} \cdot \frac{R_f}{R} \left[ \sum_{i=0}^{n-1} (D_i \cdot 2^i) \right]$$



ADI 公司的 AD7533 CMOS 电流输出型 10 位 D/A 转换器内部框图

5

### 三、试卷

计数器状态表及 DAC 输入和输出值

$Q_3$	$Q_2$	$Q_1$	$Q_0$	$D_9$	$D_8$	$D_7$	$D_6$	$v_o / V$
1	0	0	0	0	0	0	$1 \cdot 2^6$	0.5
1	0	0	1	0	0	1	$0 \cdot 2^7$	1
1	0	1	0	0	0	1	$1 \cdot 2^7 + 2^6$	1.5
1	0	1	1	0	1	0	$0 \cdot 2^8$	2
1	1	0	0	0	0	1	$1 \cdot 2^7 + 2^6$	1.5

$$v_o = -\frac{V_{REF}}{2^n} \cdot \frac{R_f}{R} \left[ \sum_{i=0}^{n-1} (D_i \cdot 2^i) \right] = -\frac{-8}{2^{10}} \cdot \frac{10}{10} \cdot (\text{数值}) = \frac{\text{数值}}{2^7}$$

### 三、试卷

#### 八、综合题 (6分)

8×8 LED阵列的内部结构如6(a)所示。由于其结构限制，无法同时在不同行（或列）上显示不同的内容（例如图6(b)中的箭头），需要使用动态扫描显示的方式，利用人眼视觉暂留效应进行显示。

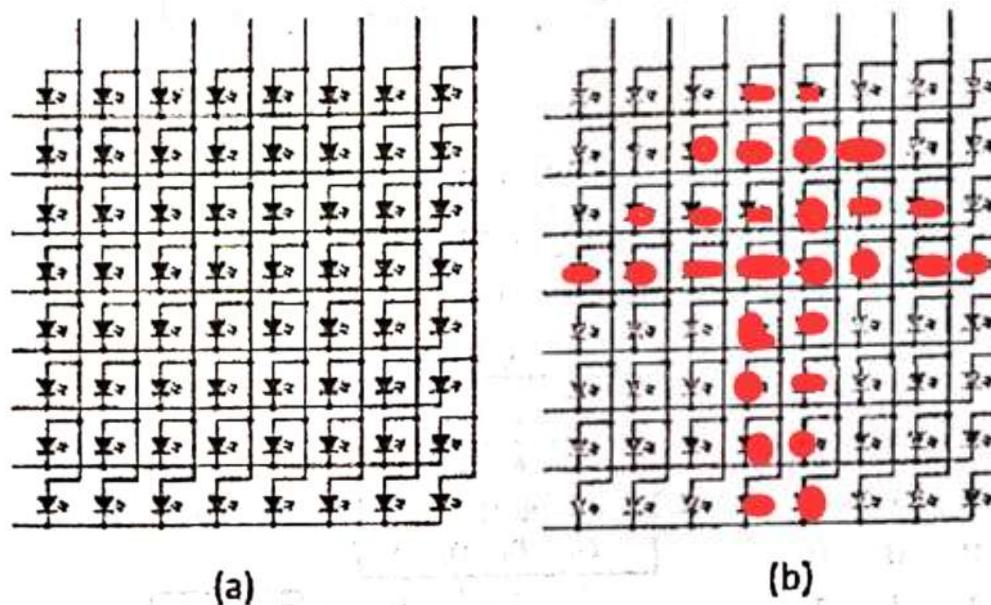


图 6

### 三、试卷

图6(c)是由逻辑门、多谐振荡器、3位二进制计数器、低电平输出有效的3-8线译码器、  
8×8bit RAM等构成的阵列显示电路，用于显示手扶电梯的方向箭头。

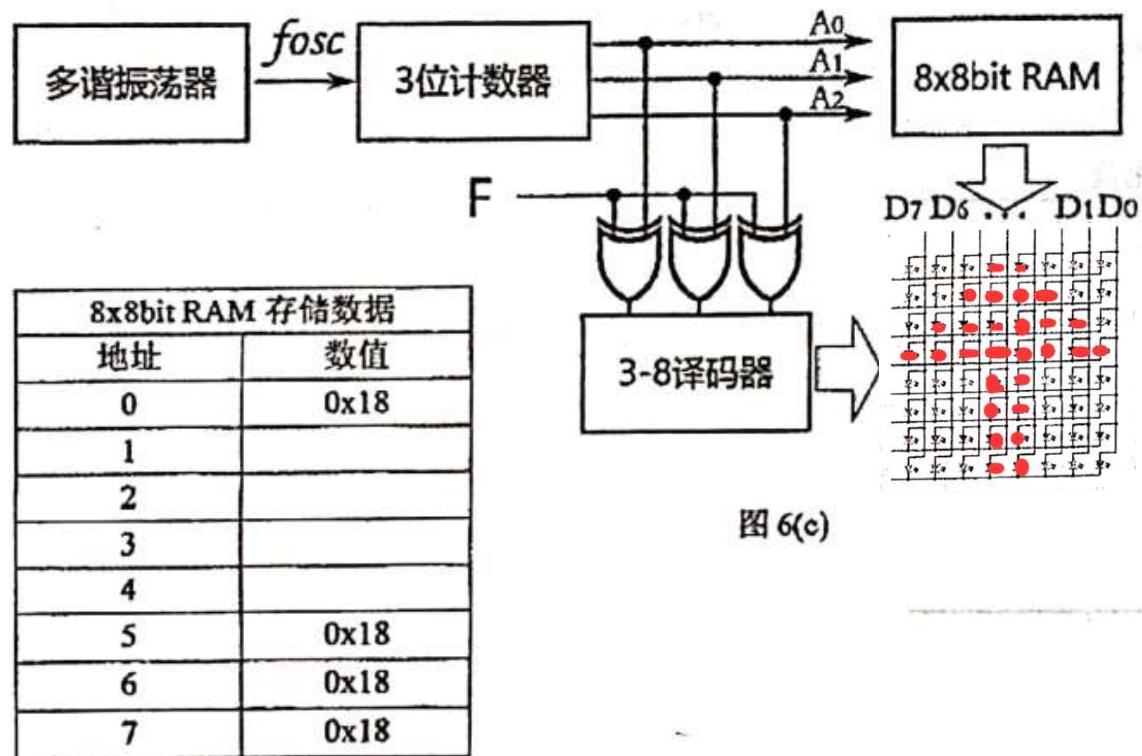


图 6(c)

试分析该电路系统，并回答下列问题：

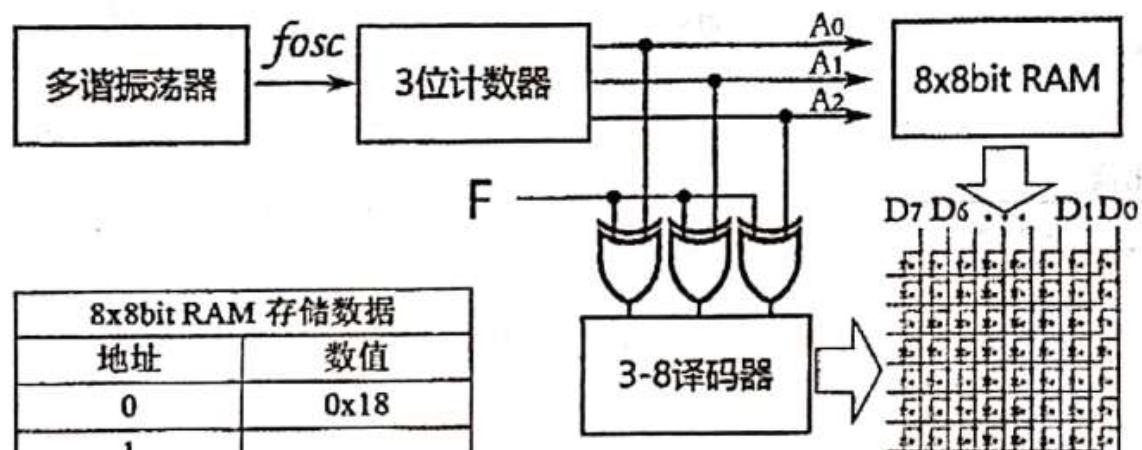
- (1) 根据存储器已存储的内容，补充完善其他存储单元的数值（十六进制）填入表中；
- (2) 为保证显示效果，LED阵列的刷新频率设定为50Hz，则多谐振荡器的输出频率应当为 $f_{osc} =$  \_\_\_\_\_ Hz。

0 0 0 1 1 0 0 0	0x18
0 0 1 1 1 1 0 0	0x3c
0 1 1 1 1 1 1 0	0x7e
1 1 1 1 1 1 1 1	0xff
0 0 0 1 1 0 0 0	0x18
0 0 0 1 1 0 0 0	0x18
0 0 0 1 1 0 0 0	0x18
0 0 0 1 1 0 0 0	0x18

- (3) 请分析控制线F的作用，其主要作用是\_\_\_\_\_。

### 三、试卷

图6(c)是由逻辑门、多谐振荡器、3位二进制计数器、低电平输出有效的3-8线译码器、  
8×8bit RAM等构成的阵列显示电路，用于显示手扶电梯的方向箭头。



8x8bit RAM 存储数据	
地址	数值
0	0x18
1	
2	
3	
4	
5	0x18
6	0x18
7	0x18

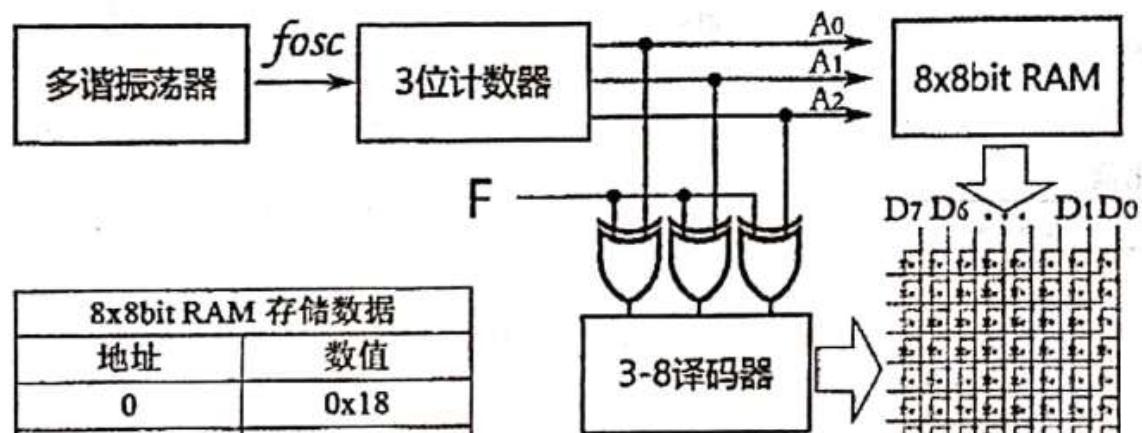
图 6(c)

试分析该电路系统，并回答下列问题：

- (1) 根据存储器已存储的内容，补充完善其他存储单元的数值（十六进制）填入表中；
- (2) 为保证显示效果，LED阵列的刷新频率设定为50Hz，则多谐振荡器的输出频率应当为 $f_{osc} = \text{_____ Hz}$ 。  
 $T=1/50$        $t=T/8$        $f_{osc}=8f=400Hz$
- (3) 请分析控制线F的作用，其主要作用是\_\_\_\_\_。

### 三、试卷

图6(c)是由逻辑门、多谐振荡器、3位二进制计数器、低电平输出有效的3-8线译码器、  
8×8bit RAM等构成的阵列显示电路，用于显示手扶电梯的方向箭头。



8x8bit RAM 存储数据	
地址	数值
0	0x18
1	
2	
3	
4	
5	0x18
6	0x18
7	0x18

图 6(c)

试分析该电路系统，并回答下列问题：

- (1) 根据存储器已存储的内容，补充完善其他存储单元的数值（十六进制）填入表中；
- (2) 为保证显示效果，LED阵列的刷新频率设定为50Hz，则多谐振荡器的输出频率应当为 $f_{osc} = \text{_____ Hz}$ 。
- (3) 请分析控制线F的作用，其主要作用是\_\_\_\_\_。

0 0 0 1 1 0 0 0	0 0 0 1 1 0 0 0
0 0 1 1 1 1 0 0	0 0 0 1 1 0 0 0
0 1 1 1 1 1 1 0	0 0 0 1 1 0 0 0
1 1 1 1 1 1 1 1	0 0 0 1 1 0 0 0
0 0 0 1 1 0 0 0	1 1 1 1 1 1 1 1
0 0 0 1 1 0 0 0	0 1 1 1 1 1 1 0
0 0 0 1 1 0 0 0	0 0 1 1 1 1 0 0
0 0 0 1 1 0 0 0	0 0 0 1 1 0 0 0

**考试一定要细心+耐心！**

**祝大家取得满意的成绩！**