

华中科技大学
人工智能与自动化学院

集成逻辑门的功能测试与应用

彭杨哲

U201914634

2021 年 5 月 20 日

1 实验目的

- 了解 TTL,MOS 门电路的主要特性参数以及门电路的引脚排列
- 掌握门电路逻辑功能的测试方法
- 掌握门电路延迟时间的测量方法, 电压传输特性的测试方法
- 熟悉数字万用表, 示波器等常用电子仪器的使用方法

2 实验元器件

集成电路	74HC00	2 片
电阻	200 Ω	3 只

Table 1: 实验元器件

3 实验原理

3.1 集成逻辑门的分裂

传统上数字集成电路可以分为 TTL,ECL,CMOS 三类,TTL 电路的编号一般以 54/74 开头, 常用的 CMOS 器件主要有 4000,74HC,74HCT 等系列 (74LS00 为 TTL 器件,74HC00 为 CMOS 器件)

3.2 输入电平值的调整

对于 CMOS IC 而言, 输入端不能悬空, 因为 CMOS 输入阻抗很高, 如果悬空, 则容易吸收外界噪声干扰而产生误动作. 因此, 可以在输入端串接电阻, 如图1所示 对于图中 (a), 为逻辑零输入, 电阻 R_1 的选择必须使输入端

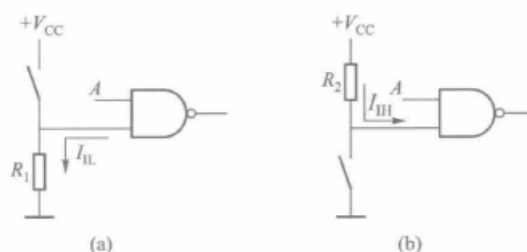


Figure 1: 输入逻辑电平的调整

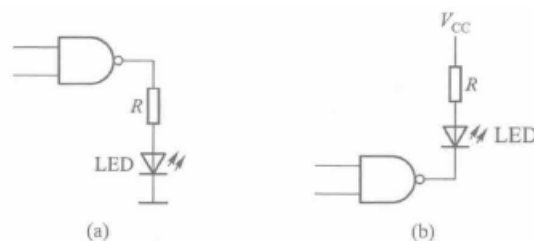


Figure 2: 输出逻辑电平的测试

保持在逻辑 0 状态, 即

$$I_{IL} \times R_1 \leq V_{IL}$$

, 对于图中 (b), 为逻辑一输入, 电阻 R_2 的选择必须使输入端保持在逻辑 1 状态, 即

$$V_{CC} - I_{IH} \times R_2 \geq V_{IH}$$

3.3 输出逻辑状态的测试

逻辑状态的输出可以直接用直流电压表测量, 再根据其电压值决定其逻辑状态为 0 或 1, 也可以在输出端连接发光二极管 (LED), 在根据 LED 的亮暗决定是逻辑 0 或 1, 常用电路如图2所示, 电路中串接了一限流电阻 R 以保护 LED 对于图中 (a), 当门电路的输出为高电平时, LED 发光, 则限流电阻 R 为

$$R = \frac{V_{OH} - V_F}{I_D}$$

对于图中 (b), 当门电路的输出为低电平时, LED 发光, 故有

$$R = \frac{V_{CC} - V_F - V_{OL}}{I_D}$$

以上两式中, V_F 为 LED 的正向压降 (1.6-2.4V, 与 LED 的颜色有关), I_D 为 LED 的电流

3.4 集电极开路门的特性

普通逻辑门的输出端不能连接在一起, 而为了实现**线与**, 可以采用漏极开路 (OD)(或者集电极开路 (OC)) 门来解决

使用 OD 门时, 因其输出端是悬空的, 必须在漏极和电源 V_{DD} 之间外接一个上拉电阻 R_p . 一方面, 如果负载具有电容性, R_p 的值愈小, 电容的充

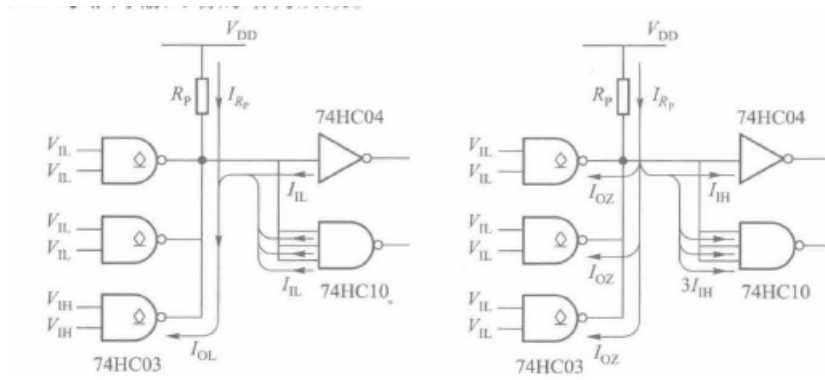


Figure 3: 计算 OD 门上拉电阻 R_p 的工作情况

电时间常数亦愈小, 因而, 开关速度愈快, 但功耗也愈大; 另一方面, 多个 OD 门的输出端线与在一起, 当只有一个门导通, 输出为低电平, 其他门均截止时, 负载电流将全部流向导通的 OD 门, 此时上拉电阻 R_p 具有限制电流的作用, 其取值不能太小, 应保证 I_{OL} 不超过额定值 $I_{OL(max)}$

$$R_{P(min)} = \frac{V_{DD} - V_{OL(max)}}{I_{OL(max)} - I_{IL(total)}}$$

$I_{IL(total)}$ 为负载门低电平输入电流 I_{IL} 总和, $I_{IL(total)} = nI_{IL}$, 注意 n 的取值, 对于负载为 CMOS 门电路, n 为并联的输入端数目

$$R_{P(max)} = \frac{V_{DD} - V_{OH(min)}}{I_{OZ(total)} + I_{IH(total)}}$$

$I_{OZ(total)}$ 为全部驱动门输出高电平时的漏电流总和, $I_{IH(total)} = nI_{IH}$, n 为负载门并联的输入端数目

实际上, R_p 的值选在 $R_{P(max)}$ 和 $R_{P(min)}$ 之间, 若要求电路速度快, 选用 R_p 的值接近 $R_{P(min)}$ 的标准值. 若要求电路功耗小, 选用 R_p 的值接近于 $R_{P(max)}$ 的标准值

4 实验内容

4.1 测量与非门输出高低电平

分别测量图4中五种情况下 Y 的电压值, 其结果说明了什么?

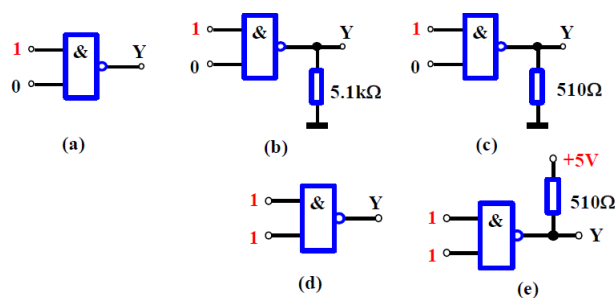


Figure 4: 测量输出高低电平

4.2 测量门传输延迟时间

如图5所示, 搭建测量电路, 使用 500Hz 正方波 (使用信号源的同步输出口), 利用示波器的光标进行测量. 得到 t_{pLH} 和 t_{pHL} , 则

$$t_{pd} = \frac{t_{pLH} + t_{pHL}}{2n}$$

其中 t_{pd} 为传输延迟时间, n 为门的个数

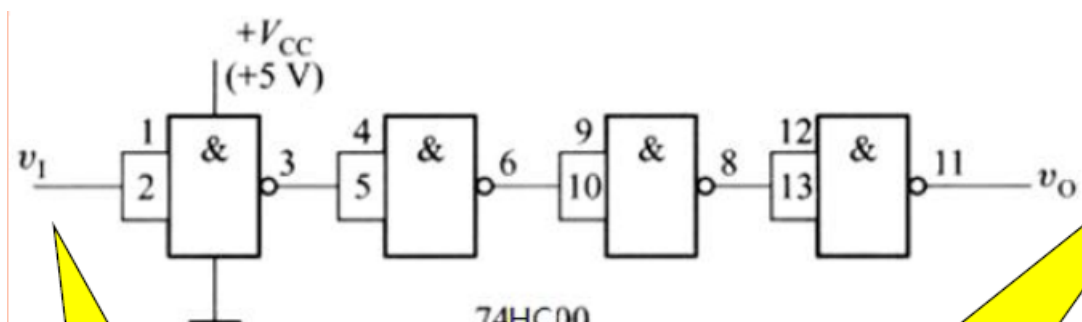


Figure 5: 测量门传输延迟时间

4.3 设计并组装一位二进制大小比较器

只利用两片 74HC00 芯片, 设计并组装一个能判断一位二进制数 A 和 B 大小的大小比较器, 测试其功能

实验报告中要有设计过程, 画出逻辑电路图, 要求进行静态测试 (输出接发光二极管显示, 记录结果), 动态测试 (A 为 1kHz 正方波, B=1, 记录输出波形)

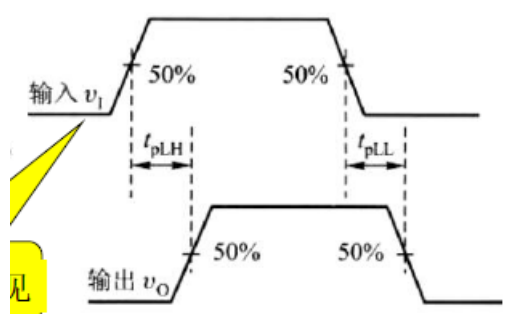


Figure 6: 门传输延迟波形图

5 实验结果及分析

5.1 测量与非门输出高低电平

实验结果

74HC00	空载	下拉电阻 (拉电流) 5.1kΩ	下拉电阻 (拉电流) 510Ω	上拉负载 (灌电流) 510Ω
V_{OH}	5.097V	4.100V	3.699V	无
V_{OL}	0	无	无	293.6mV

Table 2: 与非门输出高低电平实验结果

实验结果分析结论

从实验结果可看出, 对于与非门的高电平输出, 空载时输出电压最高, 随着下拉电阻阻值的减小, 输出电压在下降, 可以看出下拉电阻对门电路的高电平输出电平存在较大影响. 且结果与理论情况相符, 可见结果有效

5.2 测量门传输延迟时间

实验结果

测量过程如图7所示

可以测得 $t_{pLH} = 38.4ns$, $t_{pHL} = 31.2ns$, 所以可以算得

$$t_{pd} = \frac{38.4 + 31.2}{2 \times 4} = 8.7ns$$

误差分析及结论

由芯片手册知, 74HC00 的延迟时间为 7ns, 而实测为 8.7ns, 可见存在较大误差.

分析原因, 可知误差可能存在于以下几个方面:

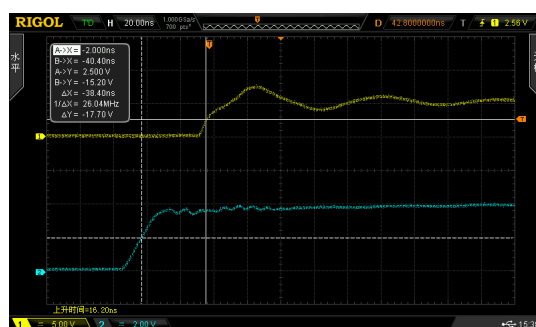


Figure 7: 测量门延迟时间

- 芯片并非出于理想工作环境下, 可能会影响延迟时间的测量
- 延迟时间的测量主要依靠肉眼判断波形的 50% 纵坐标对应的横坐标值, 因为人眼估计不准确的原因, 会存在较大的测量误差.
- 从测量过程可以看出, 波形并不十分的规整, 且与梯形差别较大, 此处也会引入一定的误差

5.3 设计并组装一位二进制大小比较器

由一位二进制大小比较器的功能可以写出其真值表, 并由此可以得出其逻辑表达式为

$$F(A < B) = \bar{A}B, F(A > B) = A\bar{B}, F(A = B) = AB + \bar{A}\bar{B}$$

而因为设计要求为只使用两片 74HC00 芯片, 因此只能使用 8 块与非门进行设计, 所以需要对其逻辑表达式进行变形, 变形为只含有与非门的形式, 可得变形过程为

$$F(A < B) = \bar{A}B = \overline{\overline{\bar{A}B}}$$

$$F(A > B) = A\bar{B} = \overline{\overline{A\bar{B}}}$$

$$F(A = B) = AB + \bar{A}\bar{B} = \overline{\overline{(A + \bar{B})(\bar{A} + B)}} = \overline{\overline{\bar{A}B} \times \overline{\bar{A}B}}$$

所以, 可以设计出图8所示电路图, 依据图中所示连接实物线路并进行测试

静态测试

当进行静态测试时, 将输出接发光二极管进行显示, 可得结果如表3所示

动态测试

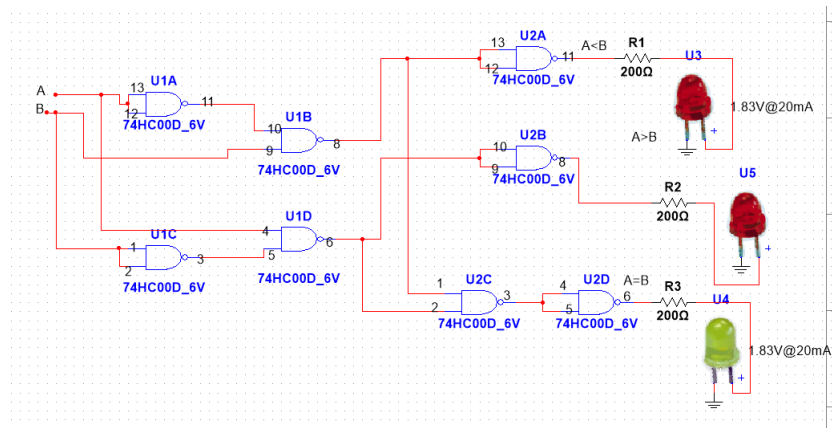


Figure 8: 设计电路图

A	B	$L_1(A > B)$	$L_2(A < B)$	$L_3(A = B)$
0	0	0	0	1
0	1	0	1	0
1	0	1	0	0
1	1	0	0	1

Table 3: 大小比较器功能表

对本电路进行动态测试, 输入 A 为 1kHz 正方波, B=1, 记录输出波形如图9所示

6 思考题

1. 当异或门的一个输入端接高电平时, 它相当于什么门?

答: 相当于一个非门

2. 用一片 CD4011 可以构成几个非门? 几个二输入的与门?

答: 可以构成 4 个非门, 2 个与门

3. 两个普通与非门的输出端并联会产生什么后果?

答: 若直接并联在一起, 可能导致器件的损毁

4. 如何将与非门作为非门使用

答: 将与非门的两个输入端相并联, 然后将输入与任意一端相连

5. CMOS 或非门 (或门) 不用的输入端应如何处理

答: 应与其他输入端并联或接地

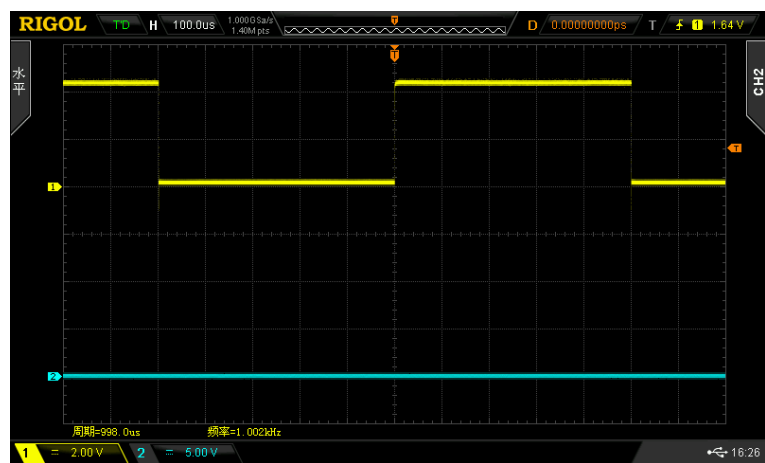
7 小结

通过此次实验, 我了解了 TTL,MOS 门电路的主要特性参数的重要性, 掌握了门电路逻辑功能的测试方法, 真切感受到了下拉电阻对输出电平的影响, 也对门电路延迟时间亲自进行了测量, 对示波器的使用变得更加熟练

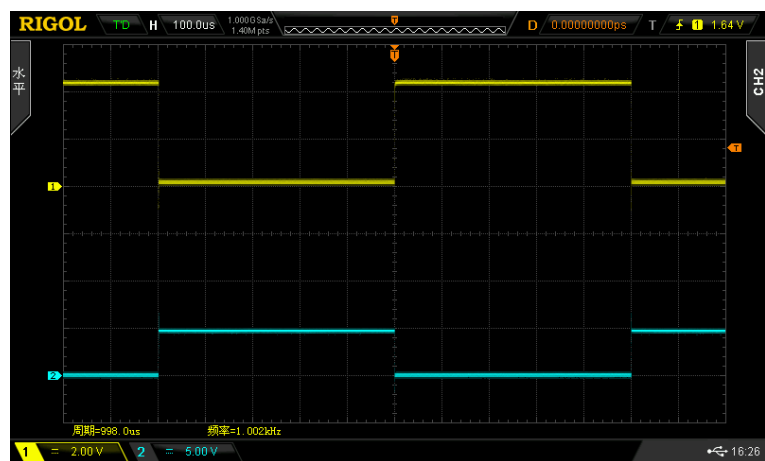
8 实验中出现的问题, 分析及解决方案

在本次实验过程中, 我收集了一些常见的问题, 小结如下:

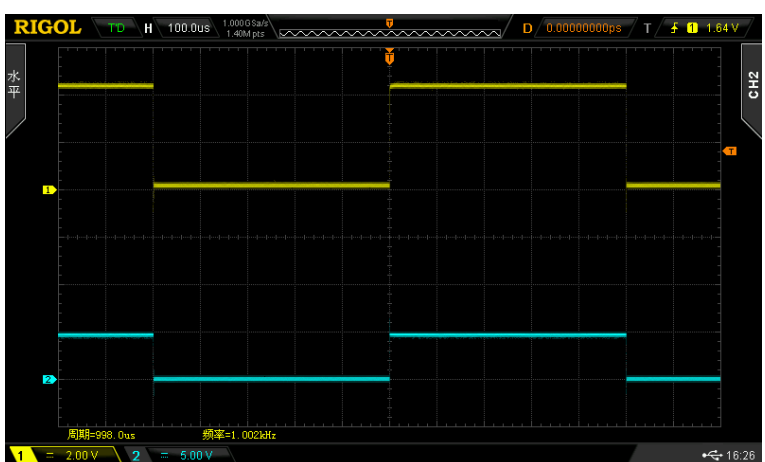
- 在测量与非门输出高低电平时, 电路一定要组装正确, 而且在连接下拉电阻时, 电阻不要跨接在 CMOS 管的管脚上, 否则可能也会导致输出存在问题
- 在测量门传输延迟时间时, 注意信号源的输出要选择同步输出, 否则也会导致错误
- 在组装一位二进制大小比较器时, 输出端一定要在连接 LED 灯时一定要连接保护电阻, 防止 LED 灯被烧坏
- 在连接一位二进制大小比较器时, 若输出与预期不符, 可以利用信号寻迹法, 循着信号的走向进行排查, 可以很快的找到问题所在



(a) A 大于 B



(b) A 小于 B



(c) A 等于 B

Figure 9: 动态测试结果