

华中科技大学  
人工智能与自动化学院

## 篮球 24 秒电路设计与实现

彭杨哲

U201914634

2021 年 11 月 17 日

## 1 实验目的

1. 掌握用集成计数器递减计数方式设计定时电路的方法。
2. 掌握定时电路的安装与调试技术。
3. 进一步熟悉用示波器测试计数器输出波形方法。

## 2 实验元器件

CC40192(或 74HC192)	5 片
CC4511	2 片
共阴极七段显示器	2 片
74HC00	2 片
NE555	1 片
发光二极管	1 个
电阻电容	若干

Table 1: 实验元器件

## 3 实验原理

### 3.1 总体方案

定时电路是数字系统中的基本单元电路，它主要由计数器和振荡器组成。。

图1所示是篮球 24s 定时器的总体方案框图，它由时钟脉冲产生电路，计数译码显示电路和控制电路三部分组成。电路的工作原理是 由时钟脉冲产生电路产生标准的 1Hz 计时信号，用可预置初值的二十四进制递减计数器对 1Hz 的时钟信号进行计数，每 1s 计数器减 1，显示器上显示剩余的时间，当减到 0 时，定时时间到，报警电路工作，输出报警信号。对于定时器的启动、暂停/连续计时等功能可由控制电路来完成。根据图1所示的框图，先完成 24s 定时器的总体方案框图的设计，然后再画出总体电路。

### 3.2 二十四进制递减计数器设计

计数器选用中规模集成电路 CC40192 进行设计较为简便，CC40192 是十进制可编程同步加/减计数器，它采用 8421BCD 码二十进制编码，并具有直接清零、置数、加/减计数功能，CC40192 的引脚排列图如图2所示，其功能表见图3。

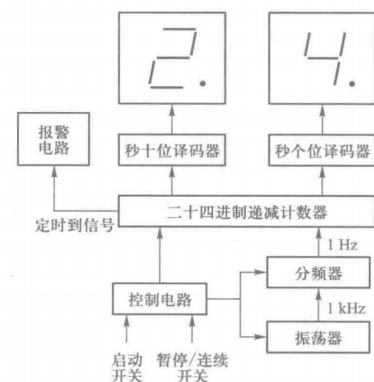


Figure 1: 篮球竞赛 24s 定时器总体方案框图

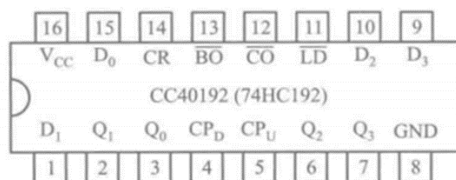


Figure 2: 同步加/减计数器引脚图

图4所示是 CC40192 的时序波形图。计数器进行加计数时，其计数脉冲从  $CP_U$  输入；进行减计数时，计数脉冲从  $CP_D$  输入。另外图中的 CR 是异步清零端（高电平有效）， $D_3 - D_0$  是并行数据输入端，是异步并行置数控制端（低电平有效），是加计数进位输出端，当加计数到最大计数值时，发出一个低电平信号（平时为高电平）；为减计数借位输出端，当减计数到零时，发出一个低电平信号（平时为高电平），和负脉冲宽度等于时钟脉冲低电平宽度。图5所示的电路是选用 CC40192 设计的可预置计数初值的递减计数器，二十四进制递减计数器的预置数为  $N = (00100100)_{8421BCD} = (24)_D$ 。电路采用串行进位方式级联，其计数原理是：当  $\overline{LD} = 1$ ， $CR = 0$ ，且  $CP_U = 1$  时，在  $CP_D$  时钟脉冲上升沿的作用下，计数器在预置数 24 的基础进行递减计数。每当个位计数器减计数到 0 时，其  $\overline{BO}_1 = 0$ ，发出一个负脉冲作十位计数器减计数的时钟信号，使十位计数器减 1 计数。当高、低位计数器处于全 0，同时在  $CP_D = 0$  期间，高位计数器  $\overline{BO}_2 = 0$ ，使得  $\overline{LD}_2 = \overline{LD}_1 = 0$ ，计数器重新进行异步置数，之后高位计数器  $\overline{BO}_2 = 1$ ，计数器在  $CP_D$  时钟脉冲作用下，进入下一轮减计数。

$CP_U$	$CP_D$	$\overline{LD}$	$CR$	操作
×	×	0	0	异步置数
↑	1	1	0	加计数
1	↑	1	0	减计数
×	×	×	1	异步清零

Figure 3: CC40192 的功能表

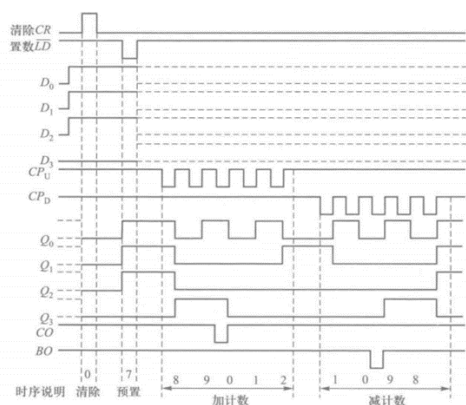


Figure 4: CC40192 的时序波形图

### 3.3 控制电路设计

在设计控制电路时，应正确处理各个信号之间的时序关系，控制电路要完成以下三个功能

1. 当启动开关闭合时，计数器完成置数功能，译码显示电路显示 24 字样；当启动开关断开时，计数器开始计数。
2. 当暂停/连续开关拨在暂停位置上时，计数器停止计数，处于保持状态；当暂停/连续开关拨在连续时，计数器继续累计计数。
3. 外部操作开关都应采取去抖动措施，以防止机械抖动造成电路工作不稳定。

根据上面的功能要求，设计的控制电路如图6所示。其中，图6 (a) 是置数控制电路， $\overline{LD}$  接 CC40192 的预置数控制端，当开关 S 合上时， $\overline{LD} = 0$ ，对 CC40192 进行置数；当  $S_1$  断开时， $\overline{LD} = 1$ ，CC40192 处于计数工作状态，从而实现功能 1 的要求。图6 (b) 是时钟脉冲信号 CP 的控制电路，控制 CP 的放行与禁止。当定时时间未到时，CC40192 的借位输出信号  $\overline{BO}_2 = 1$ ，则 CP 信号受“暂停/连续”开关  $S_2$  的控制，当  $S_2$  处于“暂停”位置时，门  $G_3$  输出 0，门  $G_2$  关闭，封锁 CP 信号，计数器暂停计数；当  $S_2$  处于“连

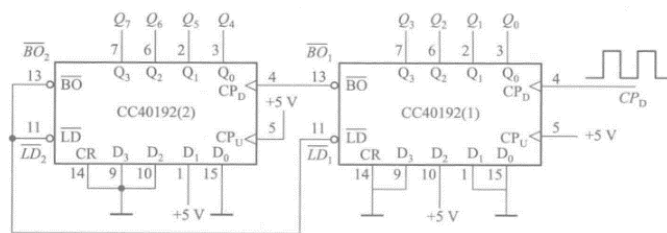


Figure 5: 8421BCD 码二十四进制递减计数器

续”位置时，门  $G_3$  输出 1，门  $G_2$  打开，放行 CP 信号，计数器在 CP 作用下，继续累计计数。当定时时间到时， $\overline{BO}_2 = 0$ ，门  $G_2$  关闭，封锁 CP 信号，计数器保持零状态不变。从而实现了功能 2,3 的要求。注意， $\overline{BO}_2$  是脉冲信号，在  $CP_D$  为低电平时， $\overline{BO}_2$  输出的低电平将保持不变。

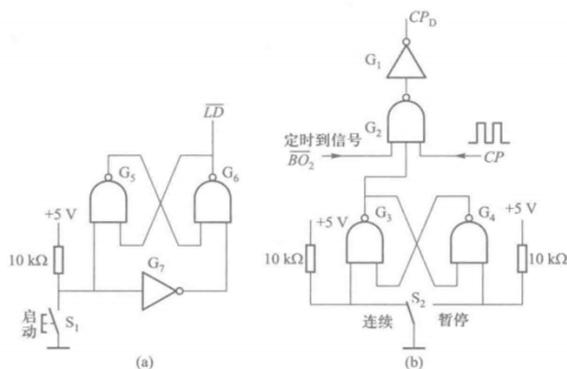


Figure 6: 控制电路

秒脉冲发生器是定时标准，但本设计对此信号要求并不太高，可采用集成电路 NE555 或由逻辑门组成的多谐振荡器构成。译码显示电路用 CD4511 和共阴极七段 LED 显示器组成。

### 3.4 总体电路

综合电路各部分，可以得到总体电路图如图7所示

## 4 实验内容

篮球竞赛 24s 定时器设计。

1. 定时时间为 24 秒钟，按递减方式计时，每隔 1 秒钟，定时器减 1，以数字的形式显示时间；

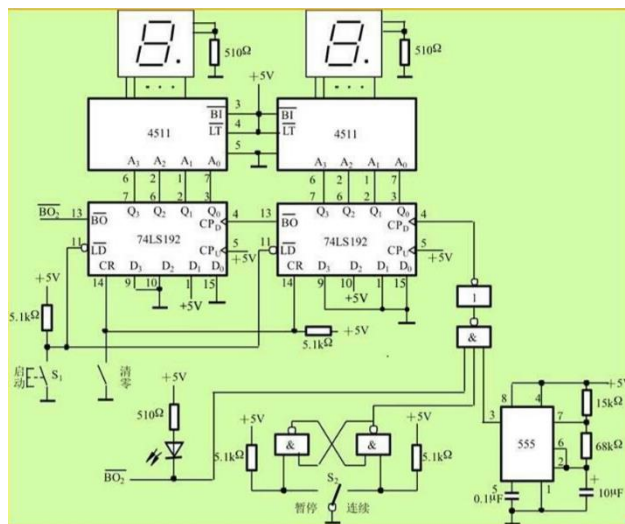


Figure 7: 总体实验电路图

2. 设置两个外部控制开关（控制功能如图8所示），控制定时器的直接复位，启动计时、暂停/连续计时；
3. 当定时器递减计时到 0（即定时时间到）时，定时器保持 0 不变，同时发出报警信号；
4. 输入时钟脉冲的频率为 10hz。（分频电路得到 1hz）

复位/启动 nRST	暂停/连续 nPAUSE	定时器完成的功能
0	X	定时器复位，置初值24
1	1	定时器开始计时
1	0	定时器暂停计时

Figure 8: 外部控制功能

## 5 实验结果

实验最终连线如图9所示，实验现象为数码管按照递减方式计时，从 24 逐渐减至零，后指示灯亮起且数码管保持零不变。

对控制电路功能进行测试，可知其满足了电路设计需要，具备了直接复位，计时启动，计时暂停功能

由此可见，组装的电路满足了设计需要

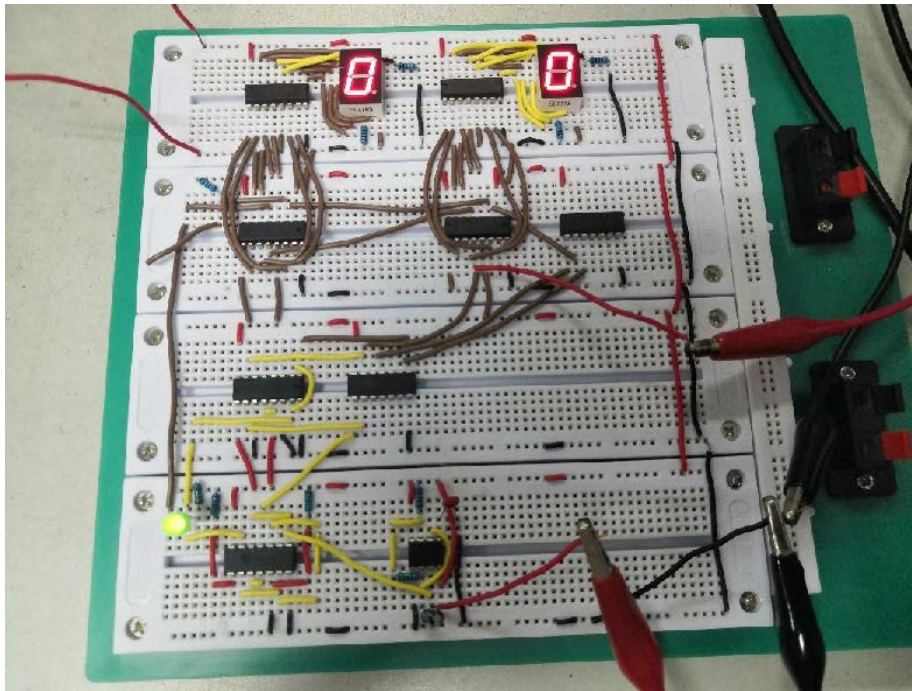


Figure 9: 实验电路连线

## 6 思考题

- 图10中所示电路是某同学设计的报警用控制电路, 他希望该电路在满足一定的条件时能进行声光报警, 即报警时, LED 发光, 同时喇叭发出 1Hz 的声响, 要求 1. 改正图中存在的错误, 并指明错误原因 2. 原理图改正后, 当 A,B,C 三个信号需要满足什么条件时, 才能使电路完成声, 光同时报警的功能?

答:

- 1. 在 LED 管与 5V 电流源之间加入一个  $1k\Omega$  的电阻, 以防止通过 LED 管的电流过大; 2. 在 G1,G2 管与 G3 管的线与处加入一个与门, 因为 G1,G2 均不是 OD 门, 且也未加保护电阻, 直接使用线与存在风险
- 当 A,B,C 均为 1 时, 才能使电路完成声光同时报警的功能

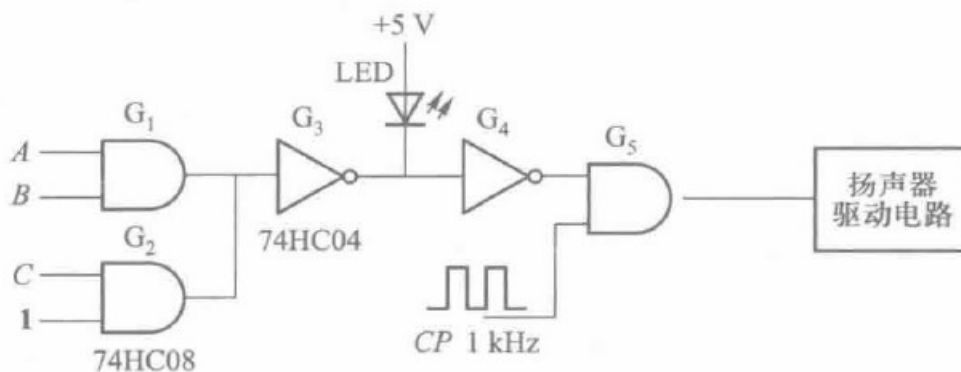


Figure 10: 报警用控制电路原理图

## 7 小结

通过本次实验, 我对于集成计数器的使用方法熟悉了许多, 对于定时电路的安装与调试技术更加熟练, 也深刻认识到了在复杂电路设计中使用数字电路进行设计与使用模拟电路进行设计的区别, 想必会对我今后的电路设计与理解数字电路带来很大的益处.

## 8 实验中出现的問題, 分析及解决方案

在本次实验过程中, 我收集了一些常見的問題, 小结如下:

- 对于某一芯片组成的电路进行调试时, 可以先按照其功能表进行一下调试, 如对于计数器芯片, 就可以先测试其置数功能是否正确, 然后再按照整体电路的需要测试其计数功能是否正确
- 对于复杂电路的组装, 应该采取分模块组装调试的方法, 即连完一个模块的电路就对该模块进行调试, 测试其功能是否正确, 以免最终整体电路过于复杂而难以进行调试
- 复杂电路设计时, 要注意芯片的整体布局, 芯片的布局不同, 连线的难度也不同, 需要注意