

北京大学 - 智能硬件体系结构

2024年秋季 作业2

1、ISA设计 (25分)

1) 请简要阐述RISC和CISC各自的3点优劣势; (5分) 假设计算机中指令内存空间预算有限, 应该用哪种指令集比较合适? 请结合微架构设计简单阐明原因; (5分) 假设一段程序算法大部分为复杂计算函数(非加减乘除的非线性函数, 硬件中可能有一些专用计算电路对应这些复杂函数), 应该用哪种指令集比较合适? 请结合微架构设计简单阐明原因。(5分)

2) 程序计数器(PC)的比特位数可能取决于哪些因素? 请简要解释; (5分) 课程中介绍了7种基础的指令地址方式(Addressing Mode), 假设算法中存在大量整型数组的赋值LOOP操作, 应该用哪种地址方式比较合适? 请简要阐明几点原因。(5分)

2、数据依赖图 (25分)

LD 0(R1), F2	F2 = Mem[R1+0]
MULTD F0, F2, F4	F4 = F0+F2
ADDD F2, F4, F6	F6 = F2+F4
LD 8(R1), F4	F4 = Mem[R1+8]
MULTD F0, F4, F10	F10 = F0+F4
ADDD F2, F2, F2	F2 = F2+F2
ADDD F0, F2, F2	F2 = F2+F0
SD 8(R1), F2	F2 = Mem[R1+8]
ADDDI F0, #16, F0	F0 = F0+16
DIVDI F10, #3, F12	F12 = F10+3
BNEQ F6, F12, A	if(F6==F12) jump to A

请画出上述代码的数据依赖关系图, 并标明数据依赖类型(RAW、WAW、WAR)。(数据依赖图可参考网站上课件Lecture 5的第54页)

3、Pipeline时序分析 (50分)

Loop:	LD 0(R2), R1 ;	R1=MEM[R2+0]
	DADDI R1, R1, #1 ;	R1=R1+1

SD 0(R2), R1 ;	MEM[R2+0]=R1
DADDI R2, R2, #4 ;	R2=R2+4
DSUB R4, R3, R2 ;	R4=R3-R2
BNEZ R4, Loop ;	if(R4!=0) goto Loop

上述代码中，最后一条Branch指令触发跳跃的概率为99.9%。

1) 基于课程中介绍的5级流水线架构，在以下表格中完成上述指令代码的时序表（按需要扩展长度和宽度）。流水线架构中**不存在**任何转发机制（Forwarding），寄存器堆栈（Register File）可以在同一周期同时进行读操作、写操作。若同一周期内读写地址相同，读操作可读取当前写操作的最新值。假设Branch指令的预测为没有触发跳跃，且Branch指令提前到在Instruction Decode（ID）阶段即可完成判断。（25分）

Inst	1	2	...
LD	IF	ID	...
DADDI		IF	...
...	

2) 假设5级流水线中可以存在检测-转发（Detect and Forwarding）机制，流水线停顿（Stall）发生在ID阶段，按上表格式重新画出时序表，同时用箭头标明Forwarding的起始位置和方向。（25分）