

北京大学 - 智能硬件体系结构

2024年秋季 作业1

1、CMOS逻辑电路 (25分)

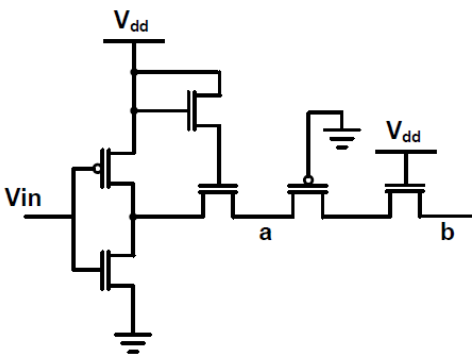
1) 最少需要多少个两输入的NAND逻辑门可以构建一个两输入的MUX模块? (3分)

(MUX模块包含三个输入A、B、SEL, 一个输出OUT: 当输入SEL = 0, 则输出OUT = A; 当输入SEL = 1, 则输出OUT = B。如果能够使用两输入NAND逻辑门实现MUX, 请画出最少门数的MUX电路图; 如不能, 请说明理由。)

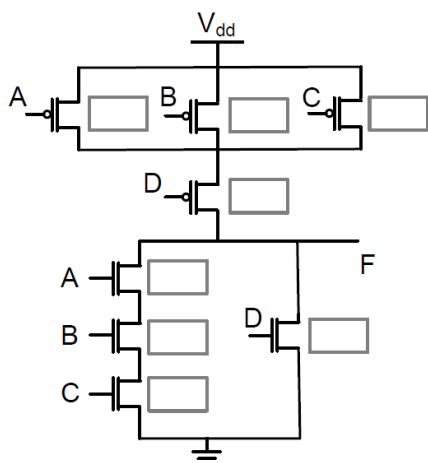
2) 请画出包含PUN和PDN的AOI逻辑门电路 ($OUT = \overline{A * B + C}$) (+为OR, *为AND, 上划线为INV), 并计算相对于输入C的逻辑功效 (Logical Effort, g)。(3分)

(AOI逻辑门是一个独立的逻辑门电路, 并不是由独立的AND、OR、INV等组成。)

3) 假设以下电路中, $V_{dd} = 1V$, NMOS阈值电压 $V_{th,N} = 0.3V$, PMOS阈值电压 $V_{th,P} = -0.3V$: 1) $V_{in} = 0$ 时, V_a 和 V_b 分别是多少? 2) $V_{in} = 1$ 时, V_a 和 V_b 分别是多少? (4分)



4) 对以下静态逻辑电路的尺寸赋值, 使其最坏情况 (worst-case) 拉高和拉低的能力等效于 PMOS:NMOS = 2:1 的经典反向器 (同尺寸下 PMOS 等效电阻为 NMOS 的 2 倍), 并写出该电路的输出逻辑 F。(4 分)



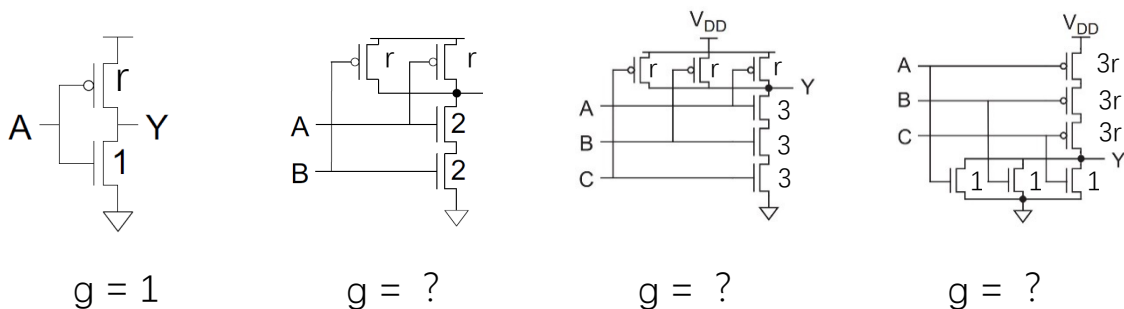
5) 逻辑门输入顺序重排：针对上述问题 4) 中的电路，分析 A、B、C、D 不同输入顺序导致 $F = 1 \rightarrow 0$ 的延迟情况。假设：尺寸为 1 的 NMOS 或 PMOS 晶体管其寄生电容为 C ，输出 F 上的总电容 C_F 、AB 之间电容 C_{AB} 、BC 之间电容 C_{BC} 均为相应节点所连晶体管的尺寸总和乘以 C ；尺寸为 1 的 NMOS 晶体管等效电阻 = 尺寸为 2 的 PMOS 晶体管 = R 。(5 分)

6) 利用 DCVS 静态逻辑实现 $\overline{(A + B * (C \text{ XOR } D))} + E$ ，其中 + 为 OR、* 为 AND、上划线为 INV，画出晶体管级电路图；在 $A = C = E = 0$ 、 $B = 1$ 的情况下，画出 $D = 0 \rightarrow 1$ 和 $D = 1 \rightarrow 0$ 两种输入变化下的等效电路图（仅留下导通支路），并分析输出翻转的必要条件。(6 分)

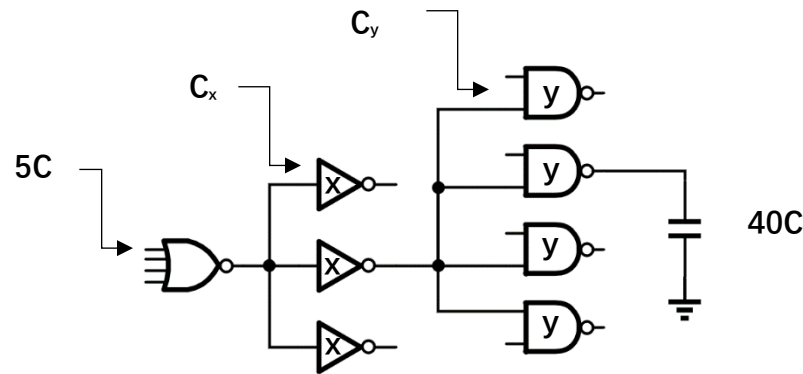
2、电路延迟与时序分析 (35 分)

1) 假设某芯片制程工艺下，下图左侧 $r:1$ 尺寸为上下拉能力等同的参考反向器。(10 分)

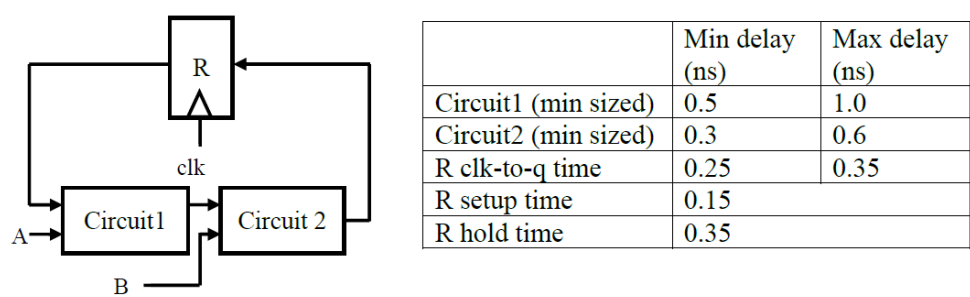
1a) 计算下列逻辑门电路的 Logical Effort g



1b) 假设 $r = 3$ ，第一级逻辑门输入电容为 $5C$ ，链路负载为 $40C$ ，计算该链路的最短延迟 D 和相应的 C_x 、 C_y 。



2) Circuit1 和 Circuit2 是两个由静态逻辑门电路组成的组合逻辑，R 是上升沿触发的锁存器，Circuit1、Circuit2 和 R 的参数如表中所示。其中，组合逻辑的 Min delay 和 Max delay 均为最小晶体管尺寸所得,当 Circuit1 或 Circuit2 中晶体管尺寸增大时,相应的 Min delay 和 Max delay 将同比例线性减小。例如，当 Circuit2 晶体管尺寸增大 2 倍，则 Min delay = 0.15ns，Max delay = 0.3ns。（10 分）



2a) 假设 Circuit2 保持最小晶体管尺寸，Circuit1 晶体管尺寸需要增大多少倍（对应最小尺寸的倍数）才能使上述电路无错误的运行在 800MHz 的时钟？

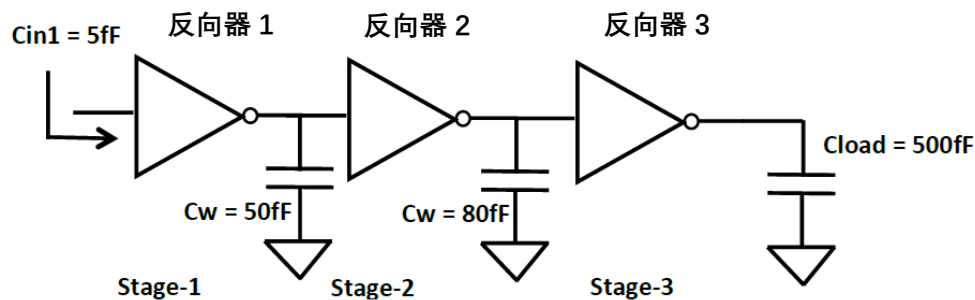
2b) 假设 Circuit1 和 Circuit2 可以自由选择晶体管尺寸倍数（对应最小尺寸的倍数），该电路最高可运行的时钟是多少 Hz？

3) 假设你加入了一家芯片设计公司，客户希望你设计一款高速处理器。当前你的设计中有一条延迟为 100ns 的逻辑电路链（导致运行时钟只能在 10MHz），你希望利用上升沿触发锁存器将这条

延迟链进行多级流水线化处理以提高芯片运行的时钟。你发现可供使用的标准单元库中锁存器参数如下： $t_{c-q} = 150\text{ps}$, $t_{\text{setup}} = 100\text{ps}$, $t_{\text{hold}} = 60\text{ps}$ 。

另一方面，随着流水线级数的增加，时钟的不稳定性（只考虑 clock skew）会随着以下公式增加： $t_{\text{skew}} = 70\text{ps} \times N^2$, $N =$ 延迟链中加入的锁存器数量。在保证逻辑电路输出结果正确的前提下，计算最大运行时钟频率及其相应的 N 取值。（5 分）

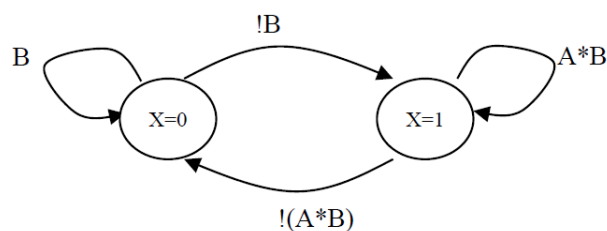
4) 分析以下电路：输入电容为 $C_{\text{in}} = 5\text{fF}$ 的最小尺寸反向器通过两级额外的反向器链驱动一个 500fF 的负载，假设该最小尺寸反向器延迟为 $t_{p0} = 20\text{ps}$ （该延迟仅考虑了反向器寄生电容，未考虑输出负载）。（10 分）



4a) 考虑线电容 $C_{w1} = 50\text{fF}$, $C_{w2} = 80\text{fF}$, 计算该链路的最小延迟，并求出反向器 2 和反向器 3 的相应输入电容值。

4b) 你发现在电路标准单元库中并没有 3a) 计算结果得出的输入电容值所对应的反向器，而只有输入电容值为 30fF 、 40fF 、 100fF 、 130fF 、 180fF 、 210fF 的反向器，请在这些选项选出 2 种反向器并重新计算该链路的最小延迟。

3、状态机和复杂电路单元 (25 分)



1) 采用两输入的 AND、OR、XOR、反向器、锁存器这 5 种电路模块，完成上述状态机电路的设计。(输入仅为 A、B、Clock，输出仅为 X，*符号为 AND,! 符号为 INV) (5 分)

2) 在课堂中，我们学习了 Radix-2 的 16 比特 Kogge-Stone 加法器及其 PG 生成逻辑。(10 分)

2a) 请设计 Radix-4 的 PG 生成逻辑电路。

2b) 请利用 Radix-4 的 PG 生成逻辑构建一个 16 比特 Kogge-Stone 加法器。

3) 乘法器设计：利用 Radix-4 Booth 编码，阐明 8bit 补码整型数-30 x 26 的步骤（其中-30 为被乘数、26 为乘数）。A 为当前部分和累加结果、Q 为乘数。(10 分)

3a) 将-30 和 26 转化为二进制 bit 串；

3b) 按照以下格式完成部分和累加的迭代步骤。

Step i	A = ?	Q = ?	Q-1 = ?	步骤解释
--------	-------	-------	---------	------

4、开放式问题 – 更加复杂的计算单元 (15 分)

在课堂中，我们学习了如何设计加法器和乘法器等简单计算电路。对于更复杂的逻辑功能，计算单元的设计变得尤为重要。假设某芯片公司需要设计输入 X 为 8 比特整型数（补码 INT8）、输出 Y 为 16 比特浮点数（FP16 包含 1bit 符号位、5bit 指数位、10bit 尾数位）的复杂计算单元。针对以下两个问题，阐明如何利用数字逻辑电路进行计算单元设计，并利用 Python、C/C++或其他代码进行硬件行为的比特级模拟仿真与验证，研究所设计的复杂计算单元输出结果与电脑软件参考输出的误差，并简单探讨减小计算误差的方法及其可能造成的硬件面积、计算延迟代价。

4a) 如何利用数字逻辑电路计算正弦函数 $Y = \sin(X)$?

4b) 如何利用数字逻辑电路计算平方根函数 $Y = \sqrt{X}$?