

北京大学 - 智能硬件体系结构

2024年秋季 作业4

1、缓存微架构 (20分)

考虑以下访存模式：A, B, C, B, A。假设A、B和C是分别位于不同缓存块 (different cache block) 的地址。此外，假设A、B和C是以均匀随机的方式生成的，并且使用LRU（最近最少使用）替换机制。若两个缓存块 (cache block) 同时为无效 (invalid)，则任何给定的访存块都有相等的机会放置在任意的Cache Way中。请提供简单的一两句说明。

如果出现以下情况，第二次访问“A”命中 (Hit) 的概率是多少？

- 1) 缓存有2行，并且是fully-associative的。 [5分]
- 2) 缓存有4行，并且是fully-associative的。 [5分]
- 3) 缓存有8行，并且是direct-mapped的。 [5分]
- 4) 缓存有4行，并且是2-way set associative的。 [5分]

2、虚拟缓存与分页 (20分)

给定一个虚拟索引、物理标记 (virtually-indexed, physically-tagged) 的缓存，该缓存是4路 (4-way set associative) 并且具有16字节的块 (16-byte blocks)：

- 1) 如果页面大小 (page size) 为4KB，缓存的最大总容量是多少？ [5分]
- 2) 在上述情况下，它最多可以有多少个集合 (number of sets)？ [5分]
- 3) 如果缓存仍然是4路相联，但块大小是64字节，1) 和2) 的问题如何变化？ [10分]

3、缓存一致性 (60分)

假设有3个处理器核及其附属缓存采用MESI缓存一致性协议，所有3个处理器核都有一个2行直接映射的缓存 (2-line direct-mapped cache)，每行由16字节组成 (16-byte cache line)。缓存开始时所有行都标

记为无效。请完成以下几个表中内容，其中访存状态表1包括：

- Hit/Miss：处理器缓存是命中还是未命中（如果数据不在缓存中或数据状态无法避免总线操作，则为未命中Miss）
- 总线操作：处理器核执行的总线操作（如果存有请写明；若不存在请写不存在）。
- 操作后的状态：指明本地处理器缓存行在读/写后的状态。
- Miss类型：对于仅未命中的情况，指明未命中是由于强制（Compulsory）、容量（Capacity）、冲突（Conflict）或是缓存一致性（Coherence）。其中，缓存一致性未命中是指：如果不是由于另一个处理器核的操作，本该会命中的情况。

注意，总线操作可能包含多个子操作，子操作按顺序写明。所有缓存开始为空。

表1、访存状态表

处理器核序号	访存地址	读/写	Hit/Miss	总线操作	操作后状态	Miss类型
1	0x120	Read				
1	0x120	Write				
1	0x100	Read				
1	0x120	Write				
2	0x120	Read				
2	0x110	Write				
1	0x110	Read				
3	0x100	Write				
1	0x100	Read				
1	0x120	Read				
3	0x130	Read				
3	0x100	Read				
1	0x100	Write				

请填写处理器核缓存最终状态表：

	处理器核 1	
	Tag	State
Set 0		
Set 1		

	处理器核 2	
	Tag	State
Set 0		
Set 1		

	处理器核 3	
	Tag	State
Set 0		
Set 1		