

1、缓存微架构（20 分）

- 1) 概率为 0：缓存仅保留最后两次访问，A 刚被 C 驱逐。
- 2) 概率为 1：缓存保留了最后四次访问，A 是其中之一。
- 3) 概率为 $(7/8)^2 = 49/64$ ：B 和 C 必须去 A 所在位置以外的地方。
- 4) 概率为 $1 - (1/2)^2 = 3/4$ ：B 和 C 必须映射到与 A 相同的 set 才能驱逐 A，因此 miss 的几率是 1/2。

2、虚拟缓存与分页（20 分）

1) 16 字节的 cache block 意味着 block offset 有 4 位，4KB 的页面意味着 page offset 有 12 位。因此，我们可以有最多 $12 - 4 = 8$ 位用于虚拟索引缓存。由于是 4-way set-associative，每个索引可以有 $4 \times 16 = 64$ 字节。通过 2^8 个索引，这样我们最大总大小为 $2^8 \times 64 = 16KB$ 。

2) 如上所述，计算得到这是 $2^8 = 256$ 个 set。

3) 将块大小增加 4 倍将从索引中去掉 2 位，这意味着 set 的数量将减少到 64，总大小不会改变。

3、缓存一致性（60 分）

Processor	Address	Read/Write	Hit/Miss	Bus transaction(s)	HIT/HITM	State after Transaction	“4C” miss type (if any)
1	0x120	Read	Miss	BRL	--	E	Compulsory
1	0x120	Write	Hit	--	--	M	--
1	0x100	Read	Miss	BRL/BWL	--	E	Compulsory
1	0x120	Write	Miss	BRIL	--	M	Conflict
2	0x120	Read	Miss	BRL	HITM	S	Compulsory
2	0x110	Write	Miss	BRIL	--	M	Compulsory
1	0x110	Read	Miss	BRL	HITM	S	Compulsory
3	0x100	Write	Miss	BRIL	--	M	Compulsory
1	0x100	Read	Miss	BRL	HITM	S	Capacity
1	0x120	Read	Miss	BRL	HIT	S	Capacity
3	0x130	Read	Miss	BRL	--	E	Compulsory
3	0x100	Read	Hit	--	--	S	--
1	0x100	Write	Miss	BRIL	HIT	M	Conflict

Final state:

Proc 1			Proc 2			Proc 3		
Tag State			Tag State			Tag State		
Set 0	0x100	M	Set 0	0x120	S	Set 0	0x100	I
Set 1	0x110	S	Set 1	0x110	S	Set 1	0x130	E