

# N1's

Um processador com bus de endereços de 20 bits e bus de dados de 16 bits pode acessar  $2^{21}$  bytes.

**Falso**

Placa mãe e placa de vídeo são exemplos de componentes de uma CPU.

**Falso**

Em um processador monociclo todas as instruções têm a mesma duração.

**Verdade**

Todas as instruções do processador NEANDER seguem as etapas de busca, decodificação e execução, com exceção da instrução HLT.

**Falso**

No processador NEANDER representa-se o número -2 pelo hexadecimal FE.

**Verdade**

Um programa de 2000 instruções que apresenta CPI médio igual a 10 leva 1ms para ser finalizado se o processador tem clock de 20MHz.

**Verdade**

No processador MIPS pipeline a instrução Add \$4, \$5, \$1 não utiliza o bloco MEM. Por isso ela dura 4 ciclos de clock.

**Falso**

Se as posições de memória a partir do endereço 80h forem inicializadas com o valor 01, após executarmos o trecho de código abaixo no processador NEANDER, o valor do acumulador será 03.

```
0 20 80 LDA 80
```

```
2 30 81 ADD 81
```

```
4 30 82 ADD 82
```

**Verdade**

É possível aumentar a frequência de operação de um processador atuando em uma destas duas dimensões: Organização e Tecnologia de fabricação.

**Verdade**

Para o processador MIPS pipeline mostrado na figura abaixo e considerando-se os atrasos: memórias = 2ns, ULA = 1ns e registradores = 1ns, pode-se afirmar que a máxima frequência de operação é 500MHz.  $1n = 10^{-9}$ .

**Verdade?**

Considerando um processador MIPS pipeline COM forwarding, o código abaixo é executado em 7 ciclos.

```
ADD $2, $1, $4
```

```
LW $1, 10 ($2)
```

```
SUB $4, $6, $1
```

**Falso**

Uma dependência de controle em um processador pipeline ocorre quando 2 instruções consecutivas na memória não são consecutivas no fluxo de execução.

**Verdade**

O CPI médio de um processador pipeline é maior ou igual a 1.

**Verdade**

Em um processador multiciclo todas as instruções têm a mesma duração.

**Falso**

Deseja-se criar um novo processador com melhor desempenho onde todos os programas que funcionavam em outro processador anterior funcionem no novo (e vice-versa), sem a necessidade de re-compilar os programas. Pode-se conseguir isso utilizando uma tecnologia com transistores mais rápidos ou propondo uma organização diferente.

**Verdade**

Para um processador monociclo onde todas instruções seguem o fluxo mostrado na figura abaixo e considerando-se os atrasos: memórias = 5ns, ULA = 4s e registradores = 3ns, pode-se afirmar que a máxima frequência de operação é 200MHz. Seja IF - busca de instruções; Reg - leitura em registradores; Mem - leitura/escrita em memória de dados; WB - gravação em registradores;  $1n = 10^{-9}$ .

**Falso**

No processador MIPS, a cada instrução o PC é incrementado de 4. Isso é feito para manter a compatibilidade entre as versões multiciclo e monociclo.

**Falso**

A unidade ponto flutuante de um processador faz parte da sua ULA.

**Verdade**

O sistema de predição de desvio é crucial nos processadores RISC modernos por causa de suas instruções simples e de complexidade reduzida.

**Falso**

O registrador RI, do processador NEANDER, é um de seus elementos de estado que não é visível pelo programador..

**Verdade**

A instrução SW \$3, 10 (\$4), do processador MIPS, armazena o conteúdo do registrador \$3 no endereço dado pela soma do conteúdo do registrador \$4 com o valor 10.

**Verdade**

No processador MIPS multiciclo, a instrução SUB \$4, \$6, \$3 será executada em 4 ciclos de clock. Da mesma forma, na versão pipeline do MIPS.

**Falso**

Segundo Von Neumann, uma CPU é composta de unidades de controle e caminho de dados (datapath).

**Verdade**

Em um processador monociclo todas as instruções têm a mesma duração.

**Verdade**

No processador NEANDER representa-se o número -1 pelo hexadecimal FE.

**Falso**

A unidade ponto flutuante de um processador faz parte da sua ULA.

**Verdade**

Para um processador MIPS monociclo onde todas instruções seguem o fluxo mostrado na figura abaixo e considerando-se os atrasos: memórias = 5ns, ULA = 4s e registradores = 3ns, pode-se afirmar que a máxima frequência de operação é 50MHz.  $1n = 10^{-9}$ .

**Verdade**

O processador NEANDER possui 02 (dois) registradores de status (flags): Z - Zero e N - Negativo.

**Verdade**

Considerando um processador MIPS pipeline COM forwarding, o código abaixo é executado em 7 ciclos.

SUB \$5, \$1, \$2

IW \$1, 0 (\$5)

ADD \$2, \$6, \$1

?

A arquitetura Harvard é uma solução que evita hazard de controle em processadores pipeline.

**Falso**

O CPI (Ciclos Por Instrução) médio de um processador MIPS pipeline pode chegar a ser igual a 1 se não houver dependência de dados e nem desvios no código executado.

**Verdade**

# N2's

O CPI (Ciclos Por Instrução) médio de um processador MIPS pipeline pode chegar a ser igual a 1 se não houver dependência de dados e nem desvios no código executado.

**Verdade**

O trecho de código MIPS abaixo apresenta duas dependências verdadeiras e duas anti-dependências.

ADD \$1, \$2, \$5

ADD \$4, \$2, 1

LW \$5, 10 (\$2)

SUB \$2, \$5, 1

**Falso**

A arquitetura Harvard é uma solução que evita conflitos de memória em processadores pipeline

**Verdade.**

As dependências de dados do tipo falsa (dependência de saída e anti-dependência) não afetam o desempenho de um processador do tipo superscalar que possua um número limitado de registradores.

**Verdade.**

O aumento na frequência de operação de um processador sempre leva a um aumento no desempenho. Basta pra isso que o conjunto de instruções seja mantido inalterado.

**Falso**

Nos processadores VLIW o escalonamento de instruções é feito durante a compilação do código.

**Verdade**

Na hierarquia de memória, conforme a distância da CPU aumenta, o tamanho e o tempo de acesso das memórias deve diminuir.

**Falso**

O princípio da localidade temporal diz que se um item (dado ou instrução) é referenciado (acessado) os itens em endereços próximos a ele tendem a ser referenciados em breve.

**Falso**

É dada uma cache com mapeamento direto. Se a quantidade de linhas for dobrada sem modificar a capacidade de dados da cache, nem as demais especificações do sistema de memória, é correto afirmar que o tamanho do índice aumenta 1 bit e o tamanho da tag fica inalterado.

**Verdade**

Sendo a memória principal de 2Gbyte e uma cache mapeamento direto com capacidade de 256Kbytes e organizada em linha de 8 bytes, serão necessários 10 bits de TAG por linha. Considere  $1\text{Gb} = 2^{30}$ .

**Falso**

Quanto ao desempenho, as técnicas superescalar e VLIW/EPIC são idênticas.

**Verdade**

No gerenciamento de memória virtual se utiliza mapeamento completamente associativo das páginas com a busca na tabela de páginas sendo feita em software (pelo processador).

**Verdade**

Caches com linhas menores apresentam menor tempo de substituição, por isso exploram melhor a localidade temporal dos programas.

**Falso**

Em um processador multiciclo todas as instruções têm a mesma duração.

**Falso**

A instrução Lw \$3, 10 (\$4), do processador MIPS, armazena o conteúdo do registrador \$3 no endereço dado pela soma do conteúdo do registrador \$4 com o valor 10.

**Falso**

As dependências de dados do tipo falsa (dependência de saída e anti-dependência) não afetam o desempenho de processadores do tipo pipeline, somente as dependências verdadeiras.

**Verdade**

O trecho de código abaixo apresenta duas dependências verdadeiras e duas anti-dependências

ADD \$1, \$2, \$5

ADD \$4, \$1, 1

LW \$5, 10 (\$2)

SUB \$2, \$5, 1

**Falso**

Renomeação de registradores é uma técnica de software usada para melhorar o desempenho de processadores superescalares em caso de dependências de dados falsas.

**Falso**

Nos processadores VLIW o escalonamento de instruções é feito em tempo de execução por um hardware especializado.

**Falso**

No processador NEANDER representa-se o número -1 pelo hexadecimal FF.

**Verdade**

Na hierarquia de memória, conforme a distância da CPU aumenta, o tamanho e o tempo de acesso das memórias aumentam.

**Verdade**

O mecanismo de escrita write-through é mais adequado que o write-back quando a memória no nível hierárquico mais baixo é muito mais lenta que o nível acima.

**Falso**

A TLB (Translation Lookaside Buffer) funciona como uma cache da tabela de tradução de páginas.

**Verdade**

Caches com linhas menores apresentam menor tempo de substituição, por isso exploram melhor a localidade temporal dos programas.

**Falso**

Um processador com bus de endereços de 22 bits e bus de dados de 16 bits pode acessar  $2^{22}$  bytes.

**Verdade**

O CPI de um processador monociclo é sempre igual a 1.

**Verdade**

No gerenciamento de uma cache com mapeamento associativo é necessário a intervenção do processador para fazer a substituição em caso de cache miss.

**Falso**

O mapeamento completamente associativo tem como vantagem sobre o mapeamento associativo por conjunto sua menor taxa de falhas.

**Falso**

Na hierarquia de memória, conforme a distância da CPU aumenta, o tamanho e o tempo de acesso das memórias aumentam.

**Verdade**

Deseja-se criar um novo processador com melhor (maior) desempenho onde todos os programas que funcionavam em outro processador anterior funcionem no novo (e vice-versa), sem a necessidade de re-compilar os programas. Pode-se conseguir isso utilizando uma tecnologia com transistores mais rápidos ou propondo uma arquitetura diferente.

**Falso**

No processador MIPS a cada instrução o PC é incrementado de 4. Isso é feito porque as suas instruções são palavras de 32 bits.

**Verdade**

No processador NEANDER, a instrução ADD 13, soma 13 ao valor do acumulador e guarda o resultado no próprio acumulador.

**Falso**

O trecho de código abaixo apresenta duas dependências verdadeiras e uma dependência de saída.

ADD \$1, \$2, \$5

SW \$3, 10 (\$1)

SUB \$3, \$4, \$1

**Falso**

A técnica de renomeação de registradores, usada em processadores superescalares, ajuda a melhorar o desempenho em caso de dependência falsa de dados.

**Verdade**

Quanto ao desempenho, os processadores de despacho múltiplo dinâmico e estático são idênticos (podem oferecer a mesma coisa).

**Verdade**

A instrução Lw \$3, 10 (\$4), do processador MIPS, armazena o conteúdo do registrador \$3 no endereço dado pela soma do conteúdo do registrador \$4 com o valor 10.

**Falso**

O mecanismo de escrita write-back é mais adequado que o write-through quando a memória no nível hierárquico mais baixo é muito mais lenta que o nível acima.

**Verdade**

A TLB (Translation Lookaside Buffer) está localizada na cache L1 e funciona como uma cache da tabela de tradução de páginas.

**Verdade**

As arquiteturas RISC, com suas instruções simples e pequenas, procuram obter um código compacto após a compilação, de modo a não consumir memória em excesso.

**Verdade**