



南京邮电大学
Nanjing University of Posts and Telecommunications

电工电子实验报告

课程名称： 电工电子基础实验 A

实验项目： 数字电路实验概述和译码器及应用

学 院： 自动化，人工智能学院

班 级： B210416

学 号： B21080526

姓 名： 单家俊

指导教师： 唐珂

学 期： 2022-2023 学年第 二 学期

译码器及应用

一、 实验目的

- 1、 学习数字电路的设计、仿真、装配和测试的完整过程，采用可编程器件原理图输入设计。
- 2、 学习可编程器件与 ISE 软件的使用。
- 3、 掌握常用译码器的工作原理与逻辑功能。

二、 主要仪器设备及软件

硬件：实验箱、导线若干、计算机

软件：ISE 软件

三、 实验原理（或设计过程）

实验电可编程逻辑器件 英文全称为：programmable logic device 即 PLD。PLD 是做为一种通用集成电路产生的，他的逻辑功能按照用户对器件编程来确定。一般的 PLD 的集成度很高，足以满足设计一般的数字系统的需要。

逻辑器件可分为两大类 - 固定逻辑器件和可编程逻辑器件。一如其名，固定逻辑器件中的电路是永久性的，它们完成一种或一组功能 - 一旦制造完成，就无法改变。另一方面，可编程逻辑器件（PLD）是能够为客户提供范围广泛的多种逻辑能力、特性、速度和电压特性的标准成品部件 - 而且此类器件可在任何时间改变，从而完成许多种不同的功能。

可编程逻辑器件的两种主要类型是现场可编程门阵列（FPGA）和复杂可编程逻辑器件（CPLD）。在这两类可编程逻辑器件中，FPGA 提供了最高的逻辑密度、最丰富的特性和最高的性能。最新的 FPGA 器件，如 Xilinx Virtex 系列中的部分器件，可提供八百万“系统门”（相对逻辑密度）。这些先进的器件还提供诸如 内建的硬连线处理器（如 IBM Power PC）、大容量存储器、时钟管理系统等特性，并支持多种最新的超快速器件至器件（device-to-device）信号技术。FPGA 被 应用于范围广泛的应用中，从数据处理和存储，以及到仪器仪表、电信和数字信号处理等。

$F = \sum (m_0, m_4, m_5)$

A \ BC	00	01	11	10
0	1			
1	1	1		

$\therefore F = \bar{B}\bar{C} + A\bar{B}$

A	B	C	F
0	0	0	1
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	0
1	1	1	0

$\therefore F = D_0 + D_4 + D_5$

\therefore 将 D_0, D_4, D_5 三个输出端用或器件连接

The circuit diagram shows a 3-to-8 decoder with inputs C, B, A and output F. The output F is the OR of D0, D4, and D5.

四、 实验电路图

\therefore 将 D_0, D_4, D_5 三个输出端用或器件连接

\therefore

The circuit diagram shows a 3-to-8 decoder with inputs C, B, A and output F. The output F is the OR of D0, D4, and D5.

五、 实验数据分析和实验结果

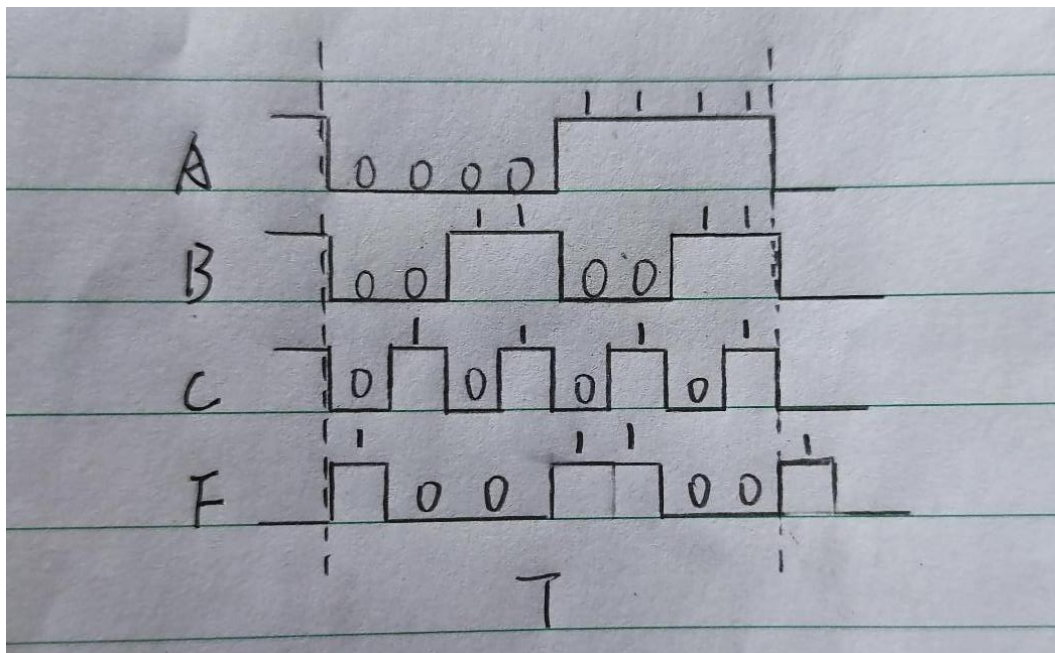
实验步骤：

打开软件 ISE，新建工程，并输入工程的名字，TOP-LEVEL 顶层文件的输入方式选择 schematic。选择芯片 XCS50，和试验箱的名字一致。点击确定后，建立空的工程文件，点击该芯片的名字，添加源文件。左边选择 schematic，原理图输入，右边输入文件的名字，点击下一步。点击 Finish 后，添加了一个空的源文件。

点击 add symbol，选择 decoder 下面的 D3_8E。添加完器件后选择连线，add wire。连线并添加管脚。源文件设计好后，双击 synthesis-XST 进行编译，编译成功后出现绿色对勾。编译成功后，先进行仿真，选择左上角的 simulation 进入仿真。选中 decode38.sch 双击 simulate behavioral model。仿真器 lism 自动打开，由于没有添加激励信号，全是红色线条。添加输入激励信号，检测仿真结果是否符合真值表。

在 I/Oports 里面，那个 site 地方分配管脚，测试管脚查看试验箱。在 user constraints 里面，双击“综合”后管脚分配。I/O Std 选择 LVCMOS33，，site 里面选择对应的管脚，设置完成后保存。回到主工程，多了个 ucf 文件，双击打开，里面有引脚的分配信息。双击 implement，让软件进行综合布线。成功后显示为绿色对勾，然后再双击 generate program file，生成编程文件。点击 configure target device，进行器件编程烧录。双击 boundary scan，扫描器件。空白处点击 initiate chain，初始化 jtag。找到器件后，选择编程文件，后缀 bit 格式。指定目录下的 bit 文件，点击确定。点击右边的 program FPGA Only。编程成功，然后连线测试。

实验结果：



实验结果：实验使用 D3_8E 实现函数 $F = \sum(m_0, m_4, m_5)$ ，即 A、B、C 分别取

0,0,0 或 1,0,0 或 1,0,1 时，输出端小灯亮；其余情况下小灯不亮。

六、 实验小结

在本次实验中，我们首次使用 ISE14.7 软件完成了组合逻辑设计、输入 与 仿真，实验使用 D3_8E 芯片实现了函数 $F=\sum(m_0, m_4, m_5)$ 的功能。通过本次实验，我学习了二进制译码器的逻辑功能及各种应用，对数字逻辑电路有了更深入的了解，实现了本次实验的设计任务。此后，我还将学习更多不同种类芯片的使用方法与实现功能，使我的组合逻辑设计水平有进一步提高附录。

七、 附录

