



南京邮电大学
Nanjing University of Posts and Telecommunications

电工电子实验报告

课程名称: 电工电子基础实验 A

实验名称: 集成触发器及应用

计数与分频电路

学 院: 自动化学院、人工智能学院

班 级: B210416

学 号: B21080526

姓 名: 单家俊

指导教师: 任青颖

学 期: 2022-2023 学年第 二 学期

电工电子实验教学中心

集成触发器及应用、计数与分频电路

(正文部分采用五号宋体)

一、 实验目的

- 1、掌握集成触发器和计数器的逻辑功能
- 2、熟悉用触发器构成计数器和任意进制计数器的设计方法
- 3、掌握集成触发器的基本应用
- 4、掌握数字电路多个输出波形相位关系的正确测试方法
- 5、了解非均匀周期信号波形的测试方法

二、 主要仪器设备及软件

硬件：Xilinx (XC3S50ANTQG144)

软件：ISE Design Suit 14.7 (Xilinx 公司)

三、 实验原理 (或设计过程)

计数器：

◆计数器是数字系统中一种用得最多的时序逻辑部件，他的基本功能是记录输入脉冲的个数，可用于分频、定时、产生顺序脉冲和序列码以及数值运算等。

◆计数器分类：按照工作方式可以分为异步和同步计数器；按照进位制可以分为二进制和十进制；按照计数方式可分为加法和可逆计数器。

触发器：

触发器是组成时序逻辑电路的基本单元，集成触发器主要有三大类：锁存触发器、D 触发器和 JK 触发器。

(1) D 锁定触发器

D 锁定触发器有四锁定触发器 74LS75。

表 7.14		74LS75 功能表	
锁 存	输 入 端	输 出 端	
CP	D	Q	
1	0	0	
1	1	1	
0	∅	不变	

锁定触发器具有以下三个特点：

①锁定触发器不会出现不定状态，输入信号只需要一个，使用方便。

②锁定触发器在 CP=“0”时，状态不因输入信号变化而变化。

③锁定触发器是电平触发的触发器，在时钟脉冲作用期间 (CP=“1”)，D 端的状态不允许变化。也就是说，锁定触发器没有克服空翻，只能作为寄存器而不能作为计数器、移位寄存器。

(2) 维持阻塞 D 触发器

维持阻塞 D 触发器克服了空翻现象，因而维持阻塞 D 触发器可以作为计数器和移位寄存器。

表 7.15

74LS74 功能表

CP	D	R	S	Q_{n+1}
\uparrow	0	1	1	0
\uparrow	1	1	1	1
\emptyset	\emptyset	0	1	0
\emptyset	\emptyset	1	0	1
\emptyset	\emptyset	0	0	不定
0, 1, \downarrow	\emptyset	1	1	不变

(3) JK 触发器

①主从 JK 触发器

主从 JK 触发器有 74LS72 单 JK 触发器和 74LS112 双 JK 触发器。

表 7.16

74LS72 和 74LS112 功能表

输 入 端			时 钟 脉 冲	输 出 端
Q_n	J	K	CP	Q_{n+1}
0	0	0	0 \rightarrow 1	0
			1 \rightarrow 0	0
0	0	1	0 \rightarrow 1	0
			1 \rightarrow 0	0
0	1	0	0 \rightarrow 1	0
			1 \rightarrow 0	1
0	1	1	0 \rightarrow 1	0
			1 \rightarrow 0	1
1	0	0	0 \rightarrow 1	1
			1 \rightarrow 0	1
1	0	1	0 \rightarrow 1	1
			1 \rightarrow 0	0
1	1	0	0 \rightarrow 1	1
			1 \rightarrow 0	1
1	1	1	0 \rightarrow 1	1
			1 \rightarrow 0	0

②边沿 JK 触发器

边沿 JK 触发器不仅可以克服空翻现象，而且仅在时钟脉冲的上升沿或下降沿对输入激励信号响应，这样可以很大程度上提高抗干扰能力。

四、 实验电路图

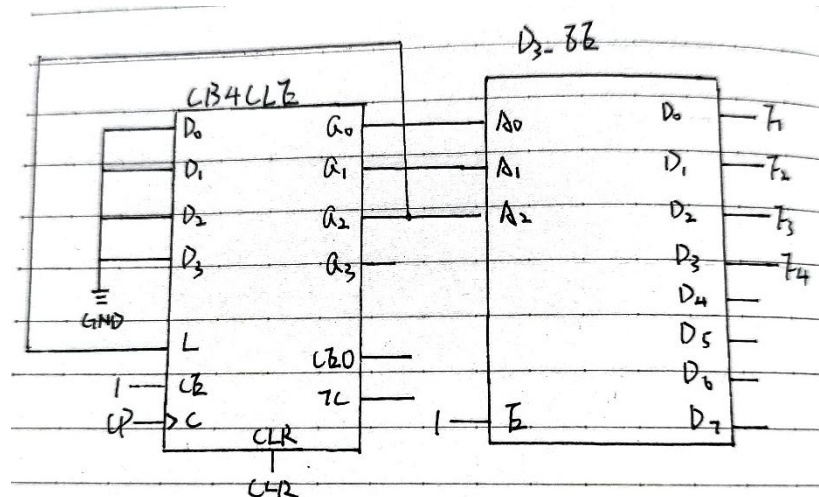


图 节拍分配电路

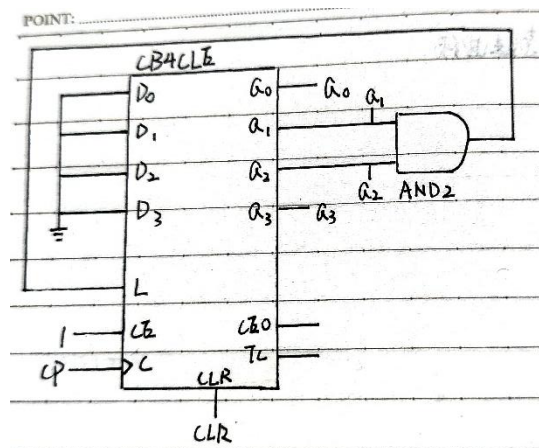


图 M=7 计数器

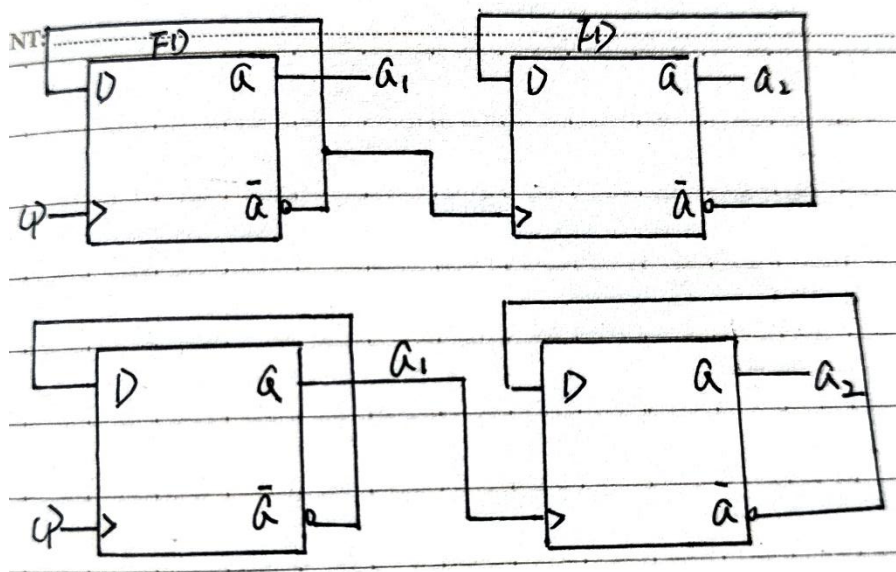


图 二进制加法计数器与二进制减法计数器

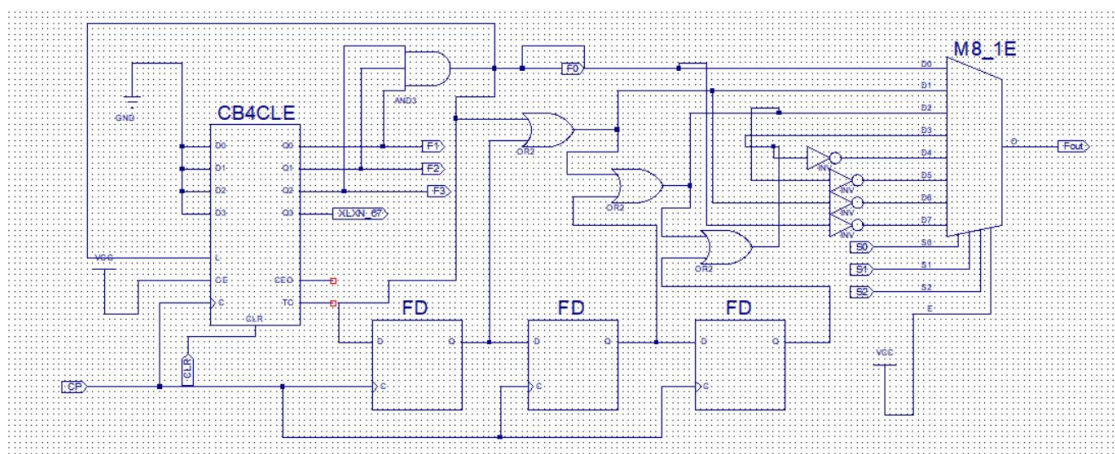


图 占空可控比电路

五、实验内容和实验结果

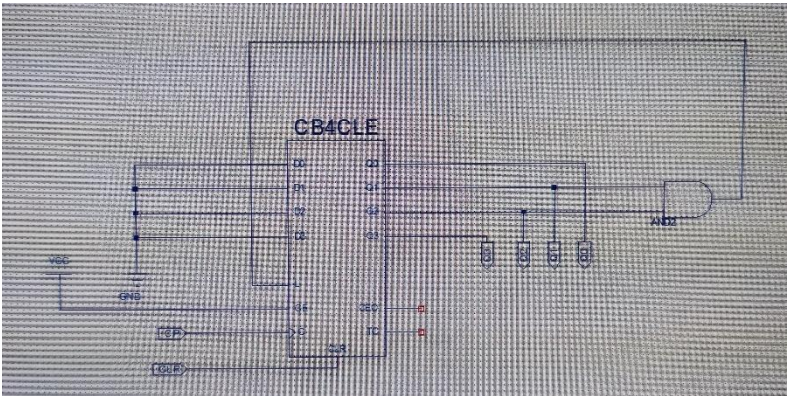
实验一：M=7 的计数器

设计过程：

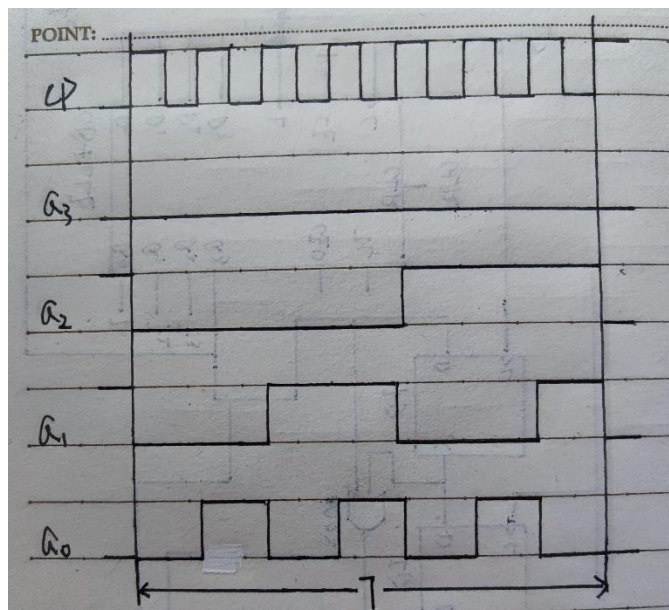
符号含义：CP 为时钟信号 CLR 为清零信号 Q0-Q3 分为计数器输出端。
状态转移表：

Q3Q2Q1Q0	L
0000	0
0001	0
0010	0
0011	0
0100	0
0101	0
0110	1

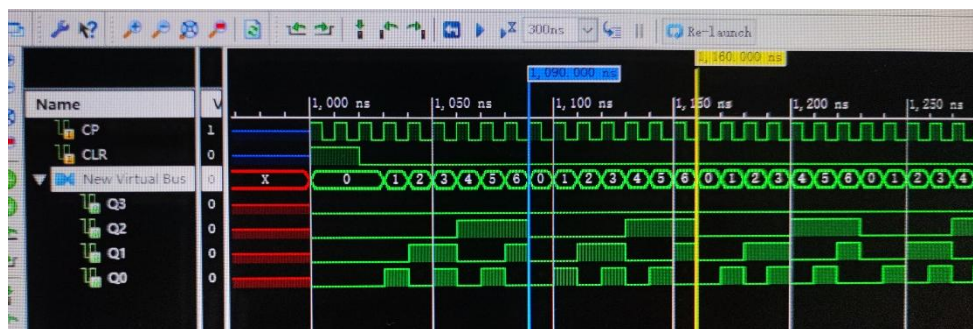
电路图：



预测波形图：



仿真波形:



ucf 文件:

```

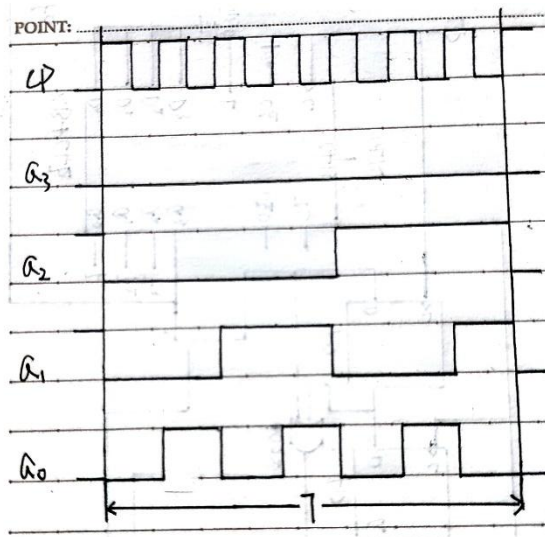
1
2  * PlanAhead Generated physical constraints
3
4  NET "CLR" LOC = P93;
5  NET "CP" LOC = B128;
6  NET "A3" LOC = B76;
7  NET "A2" LOC = B77;
8  NET "A1" LOC = B78;
9  NET "A0" LOC = B75;
10
11 * PlanAhead Generated IO LUT constraints
12
13 LUT1: IOB3A000000 = 00000000;
14 LUT1: IOB3A000000 = 00000000;
15 LUT1: IOB3A000000 = 00000000;
16 LUT1: IOB3A000000 = 00000000;
17 LUT1: IOB3A000000 = 00000000;
18 LUT1: IOB3A000000 = 00000000;
19

```

示波器波形:



手绘波形图:



实验二：节拍分配电路

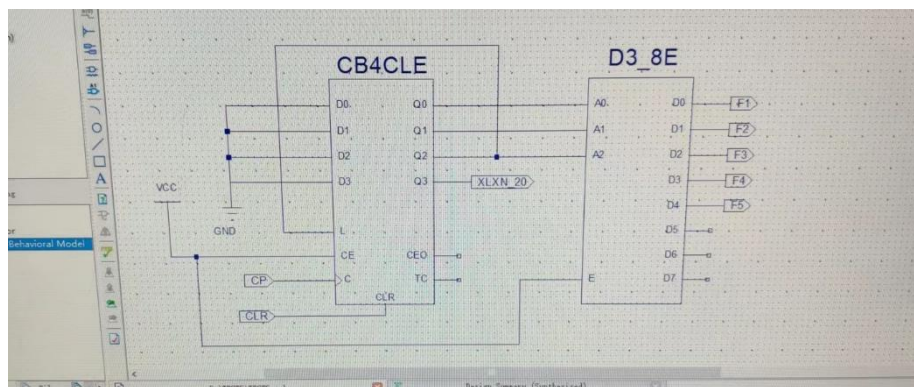
设计过程：

符号含义：CP 为时钟信号 CLR 为清零信号 F1-F5 分为 5 个节拍输出端。

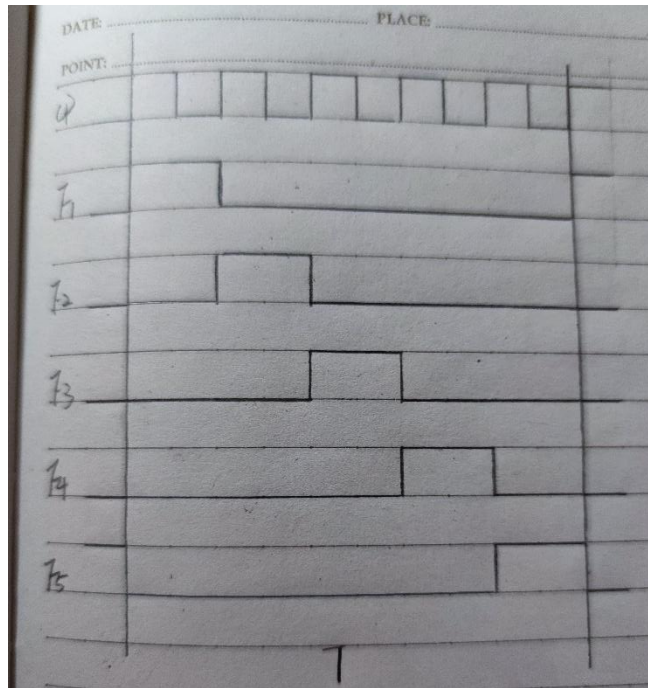
状态转移表：

Q3Q2Q1Q0	L
0000	0
0001	0
0010	0
0011	0
0100	1

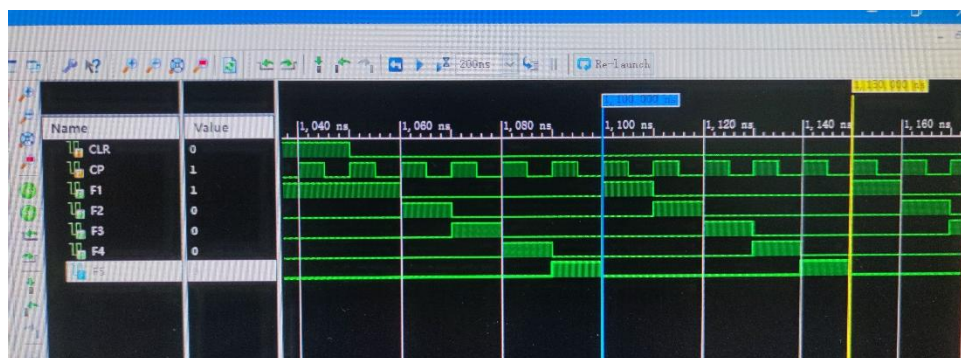
电路图：



预测波形图：



仿真波形：



ucf 文件：

```

1
2 # PlanAhead Generated physical constraints
3
4 NET "CLR" LOC = P93;
5 NET "CP" LOC = P124;
6 NET "F1" LOC = P76;
7 NET "F2" LOC = P77;
8 NET "F3" LOC = P78;
9 NET "F4" LOC = P79;
10 NET "F5" LOC = P90;
11
12 # PlanAhead Generated IO constraints
13
14 NET "CLR" IOSTANDARD = LVCMOS33;
15 NET "CP" IOSTANDARD = LVCMOS33;
16 NET "F1" IOSTANDARD = LVCMOS33;
17 NET "F2" IOSTANDARD = LVCMOS33;
18 NET "F3" IOSTANDARD = LVCMOS33;
19 NET "F4" IOSTANDARD = LVCMOS33;
20 NET "F5" IOSTANDARD = LVCMOS33;
21

```

实验三：二进制加法计数器与二进制减法计数器

设计过程：

符号含义：CP 为时钟信号 Q2Q1 分为计数器输出端。

电路图：

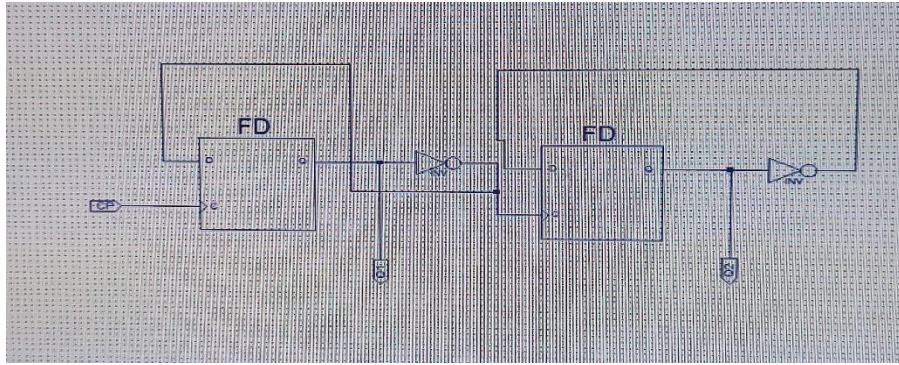


图 二进制加法计数器

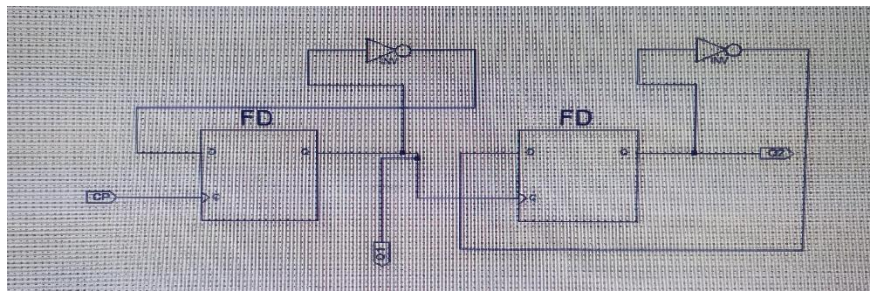


图 二进制减法计数器

预测波形图：

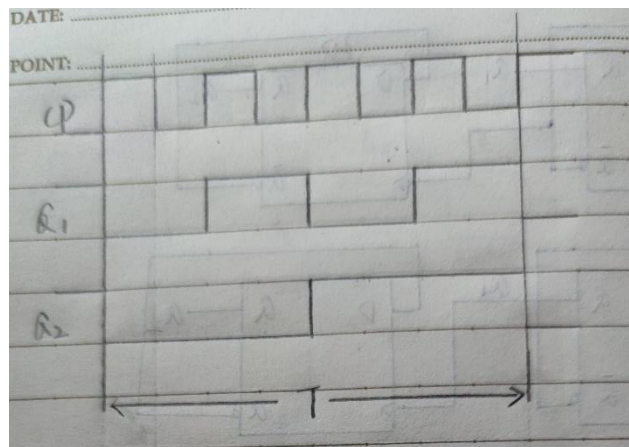


图 二进制加法计数器

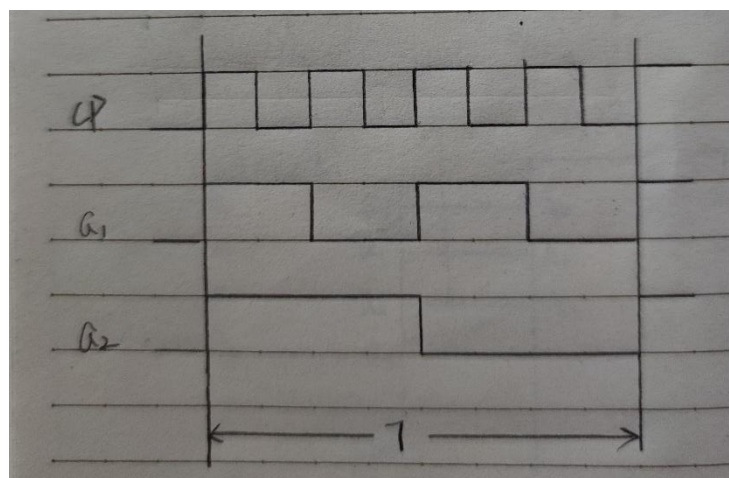


图 二进制减法计数器

仿真波形：

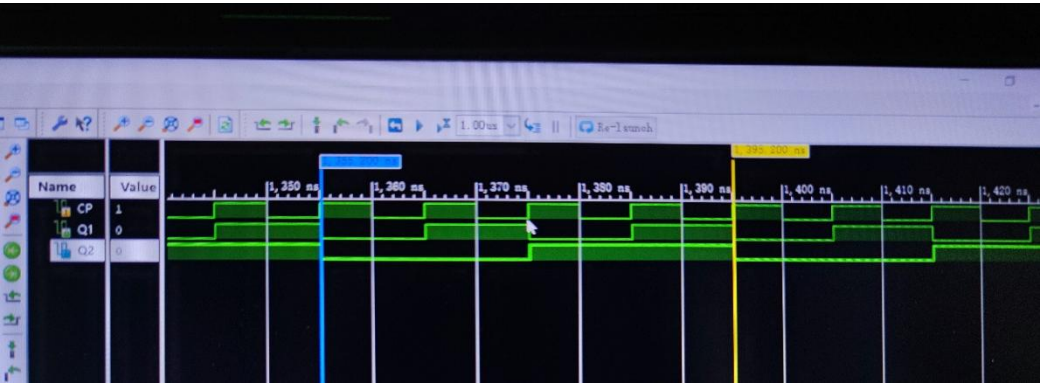


图 二进制加法计数器

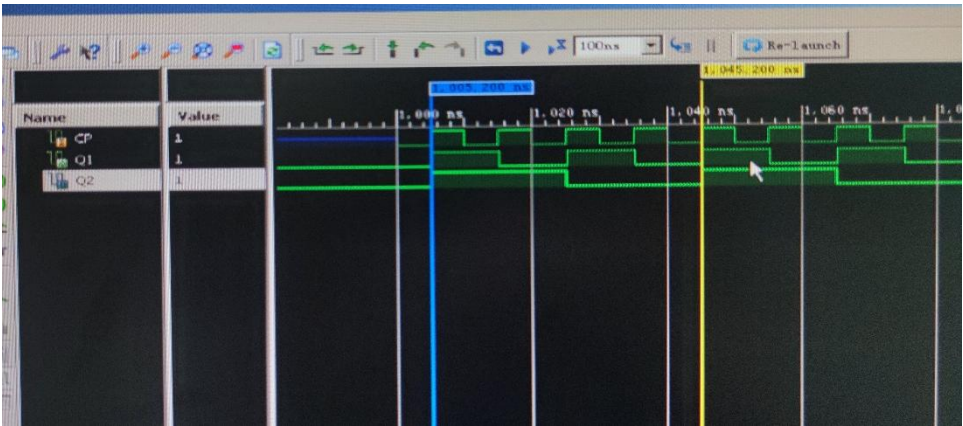


图 二进制减法计数器

ucf 文件：

```
1 # PlanAhead Generated physical constraints
2
3
4 NET "CP" LOC = P124;
5 NET "Q1" LOC = P76;
6 NET "Q2" LOC = P77;
7
8 * PlanAhead Generated IO constraints
9
10 NET "CP" IOSTANDARD = LVCMOS33;
11 NET "Q1" IOSTANDARD = LVCMOS33;
12 NET "Q2" IOSTANDARD = LVCMOS33;
13
```

手绘波形图：

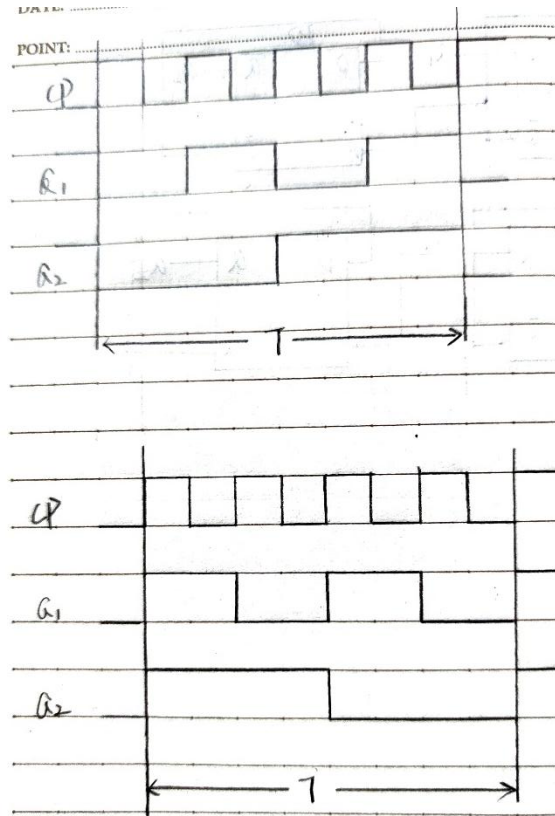


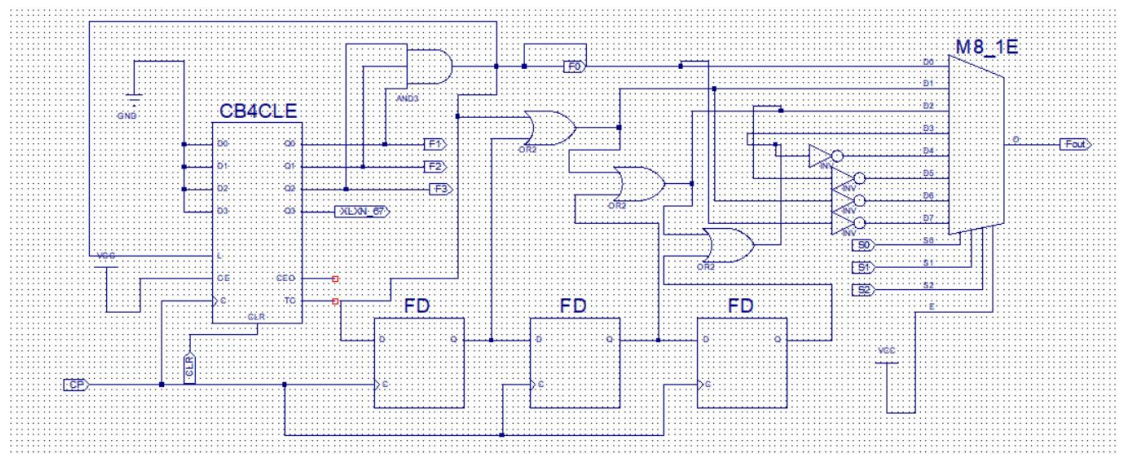
图 加法计数器（上） 减法计数器（下）

实验四：占空可控比电路

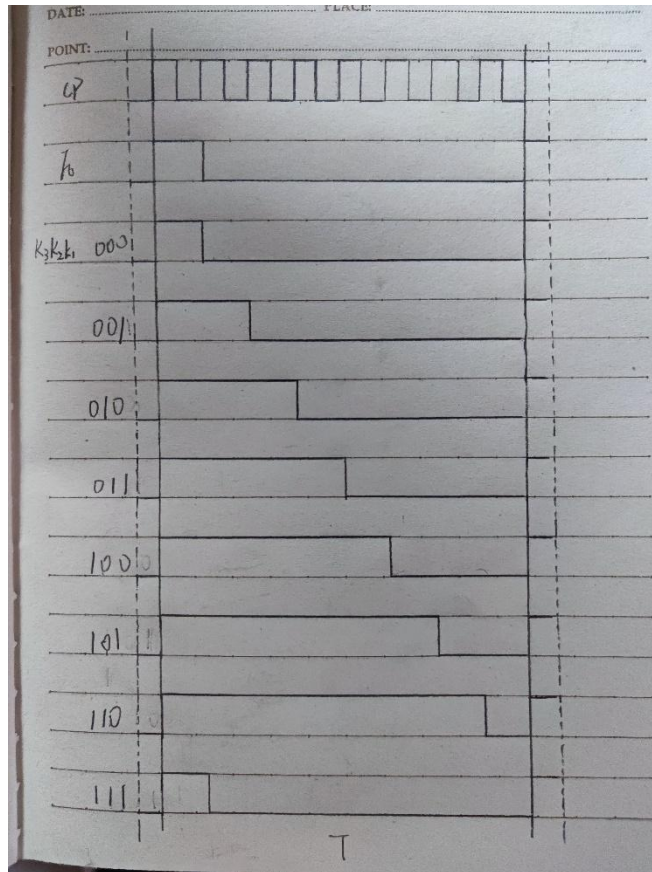
设计过程：

符号含义：CP 为时钟信号 CLR 为清零信号 K3K2K1 为三个控制信号 Fout 为输出信号。

电路图：



预测波形图：



仿真波形:



ucf 文件:

```

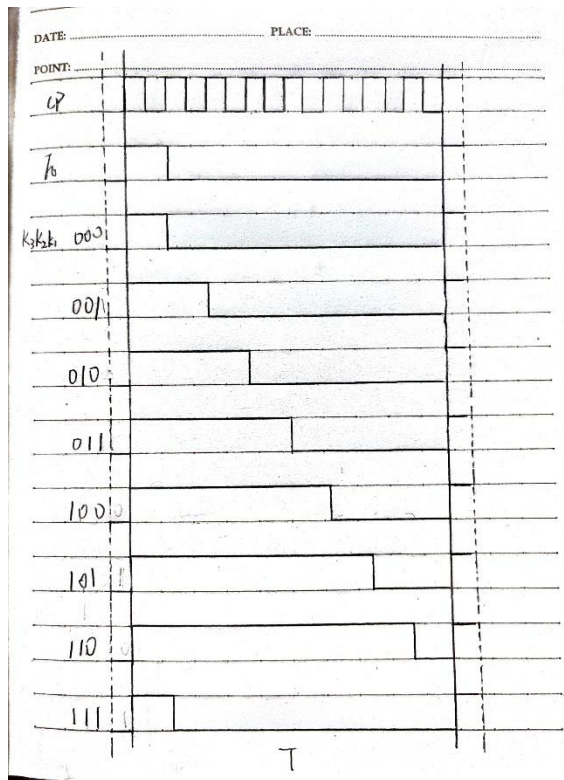
1 |
2 # PlanAhead Generated physical constraints
3
4 NET "CP" LOC = P124;
5 NET "CLR" LOC = P76;
6 NET "K3" LOC = P79;
7 NET "K2" LOC = P78;
8 NET "F0" LOC = P77;
9 NET "F0" LOC = P90;
10 NET "FOU12" LOC = P91;
11
12 # PlanAhead Generated IO constraints
13
14 NET "CLR" IOSTANDARD = LVCMOS33;
15 NET "CP" IOSTANDARD = LVCMOS33;
16 NET "F0" IOSTANDARD = LVCMOS33;
17 NET "FOU12" IOSTANDARD = LVCMOS33;
18 NET "K2" IOSTANDARD = LVCMOS33;
19 NET "K3" IOSTANDARD = LVCMOS33;
20 NET "F0" IOSTANDARD = LVCMOS33;
21 NET "F0" IOSTANDARD = LVCMOS33;
22

```

示波器波形:



手绘波形图：



六、 结果分析

对于实验一，由波形图可知，Q₀Q₁Q₂Q₃ 从 0000 变化到 0110，然后循环，复合 M=7 的计数器，结果正确。

对于实验二，由波形图可知，F₁-F₅ 轮流输出 1，结果正确。

对于实验三，Q₂Q₁ 从 00 变化到 11，符合二进制加法计数器，Q₂Q₁ 从 11 变化到 00，复合二进制减法计数器。

对于实验三，控制开关 K₃K₂K₁ 从 000 变化到 110 的过程中，占空比由 12.5% 以此上升到 87.5%，结果正确。

七、 实验小结

此次实验，我掌握了计数器的使用，会设计出不同模长的计数器。了解了分频的概念，能够利用计数器实现任意分频的电路。此外，我学会了触发器的运用，能够使用这些器件模拟仿真出一些与实际问题相关的设计。