

## Tek Kutuplu Transitörler (Unipolar Transistors)

**Eklem Alan Etkili Transistörler  
(Junction Field Effect Transistor)  
(JFET)**

**N – Kanal JFET  
P – Kanal JFET**

**Metal oksit Yarıiletken FET  
(Metal Oxide Semiconductor FET)  
(MOSFET)**

**Kanal tüketimli MOSFET  
(depletion, D-MOSFET)  
Kanal üretimli MOSFET  
(enhancement, E-MOSFET)**

**V-MOSFET**  
Güç MOSFET’idir.  
Kanal V-şeklinde,  
dolayısıyla kanal  
uzunluğu küçülür ve  
iletkenlik artar. Bu da  
yüksek güç imkanı verir.

**Complementary MOSFET**  
CMOSFET; p ve n-kanal  
MOSFET’ler birbirini  
tamamlayacak şekilde aynı  
substrate üzerine inşa edilir.  
Kompütür mantık kapılarında  
kullanılır. Yüksek giriş  
empedansı, hızlı anahtarlama  
ve düşük güç sarfıyatı vardır.

# Alan Etkili Transistörler (Field-Effect Transistors (FET))

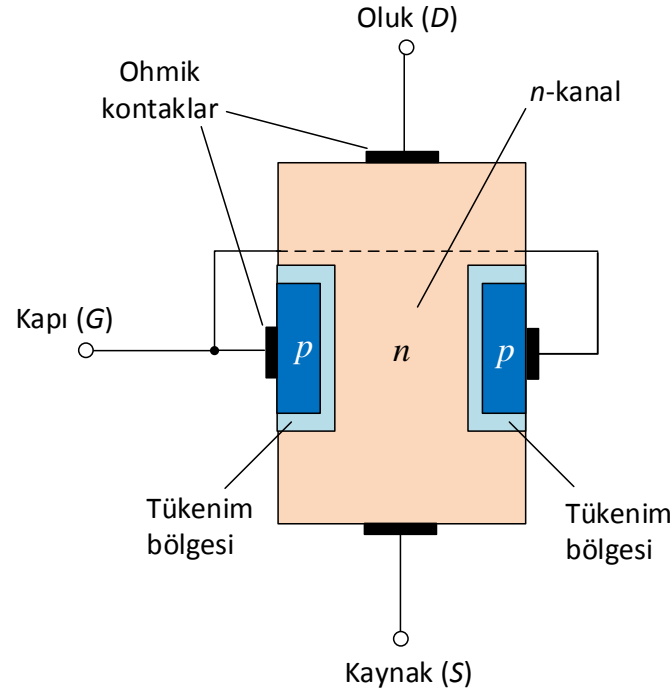
Alan etkili transistörler, hem elektron hem de hol akımını kullanan BJT'nin aksine, tek tip yük taşıyıcı (ya hol ya da elektron) ile işlem yaptıklarından tek kutuplu cihazlardır. FET'lerin iki ana tipi, eklem alan-etkili transistör (junction FET, JFET) ve metal oksit alan-etkili transistördür (metal oxide semiconductor FET, MOSFET). Günümüzde MOSFET transistör, dijital kompütürler için entegre devre yapısı ve tasarımında kullanılan en önemli cihazlardan biri olmuştur.

BJT'lerin akım kontrollü cihazlar olduğunu hatırlayınız. BJT'lerin aksine FET'ler voltaj kontrollü cihazlardır. FET'lerin en önemli özelliği çok yüksek giriş empedansına sahip omalardır.

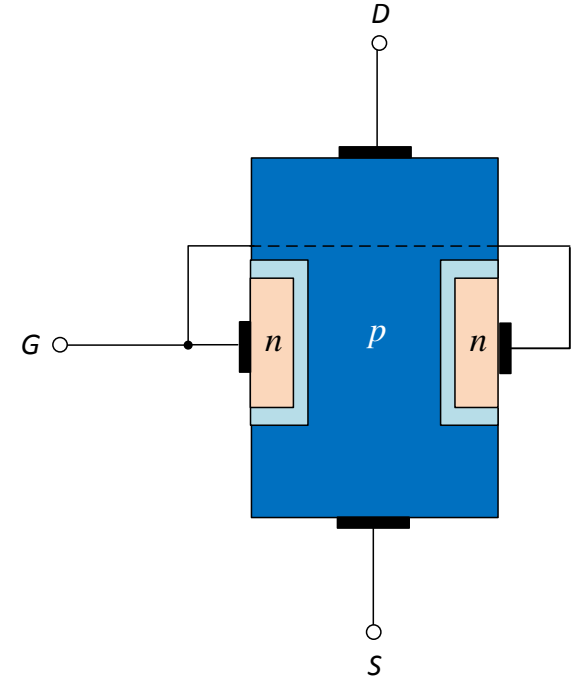
## JFET

JFET, bir kanalda akımı kontrol etmek için ters beslenmiş  $pn$  eklemi ile çalışan bir FET tipidir. Yapılarına bağlı olarak  $n$ -kanal ve  $p$ -kanal olmak üzere iki kategoriye ayrılırlar.

Şekil 1 (a) da  $n$ -kanal bir JFET'in temel yapısı gösterilmektedir.  $n$ -kanalın her iki ucuna tel bağlantılar yapılmıştır. Yukarı uç oluk (drain), aşağı uç kaynak (source) bağlantılarıdır. Bu bağlantılar ohmik kontak oluşturan metaller üzerinden bir terminale yapılır. Bir kanal oluşturmak için  $n$ -tipi malzemeye iki  $p$ -tipi bölge nüfuz ettirilir. Her iki  $p$ -tipi bölge kapı (gate) ucuna bağlıdır. Basitlik olsun diye sonraki şekillerde kapı ucu sadece  $p$ -bölgesinin birine bağlı gösterilecektir. Şekil 1 (b) de de  $p$ -kanal JFET gösterilmiştir. Beslemesiz şartlar altında, JFET iki tane  $pn$  eklemine sahiptir, dolayısıyla her iki eklemde bir tükenim (depletion) bölgesi vardır. Bu bir diyodun beslemesiz  $pn$  eklemine benzer.



Şekil 1 (a)  $n$ -kanal

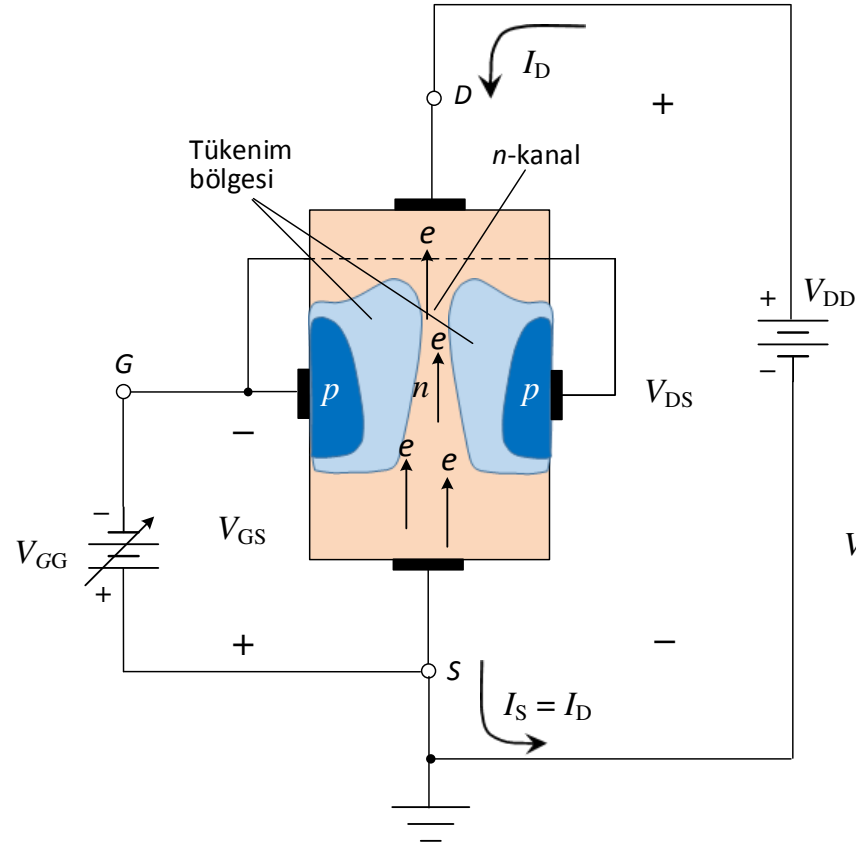


(b)  $p$ -kanal

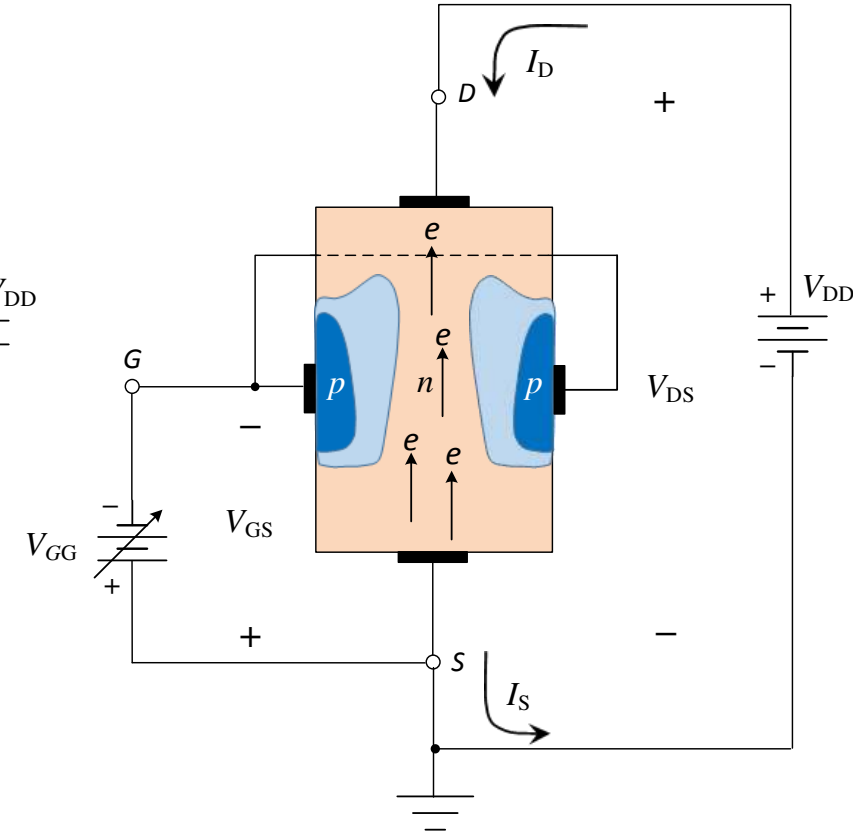
# Alan Etkili Transistörler

## JFET'in Temel Çalışma Şekli

Yandaki şekiller, JFET'in çalışmasını göstermek için n-kanal cihaza uygulanan dc bias voltajlarını ve bunların kanaldaki etkilerini göstermektedir.  $V_{DD}$  oluk-kaynak voltajını üretir ve oluktan-kaynağa olan akımı sağlar. **JFET daima ters-beslenmiş kapı-kaynak pn eklemi ile çalışır.** Kapı-kaynak ekleminin negatif kapı voltajı ile ters beslenmesi pn eklemi boyunca bir tükenim bölgesi üretir, ve bu bölge n-kanal içerisine doğru genişler, böylece kanal genişliğinin sınırlandırılmasıyla kanalın direnci artar.



Şekil 2 a)  $V_{GG}$  ters besleme voltajı arttırıldıkça kanal daralır ve kanal direnci artar, dolayısıyla da  $I_D$  de azalır.

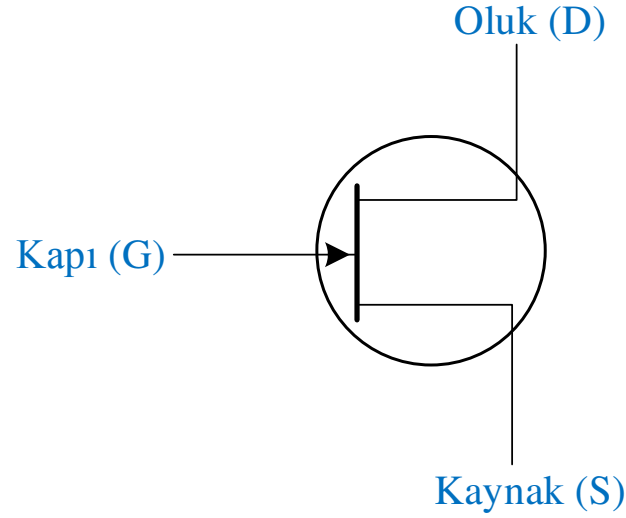


b)  $V_{GG}$  ters besleme voltajı azaltıldıkça kanal genişler ve kanal direnci azalır, dolayısıyla da  $I_D$  de artar.

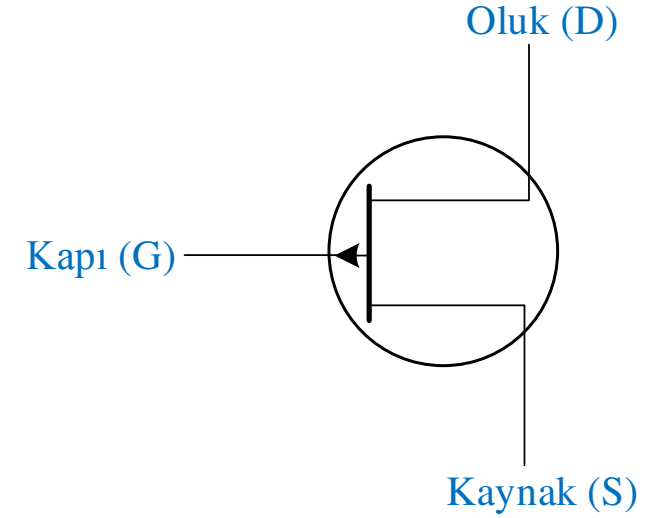
Kapı voltajı değiştirilerek, kanal genişliği ve böylece kanal direnci kontrol edilebilir, dolayısıyla da oluk akımı  $I_D$  nin miktarı kontrol edilebilir. Bu durumlar yukarıdaki şekillerde gösterilmiştir. Şekilde açık mavi alanlar ters besleme ile üretilen tükenim bölgelerini temsil ederler. Kapı ve oluk arasındaki ters besleme voltajı, kapı ve kaynak arasındaki voltajdan daha büyük olduğundan tükenim bölgeleri kanalın oluk ucuna doğru genişler.

# JFET Sembolleri

Kapı noktaları üstündeki oklar  $n$ -kanal için içe ve  $p$ -kanal için dışa doğrudur. Mesela, eğer pn eklemi ileri beslenseydi,  $n$ -kanal için  $I_G$  nin akış yönünü temsil edecekti.  $p$ -kanal için ise tersi durum olacaktı.



Şekil 3 a)  $n$ -kanal



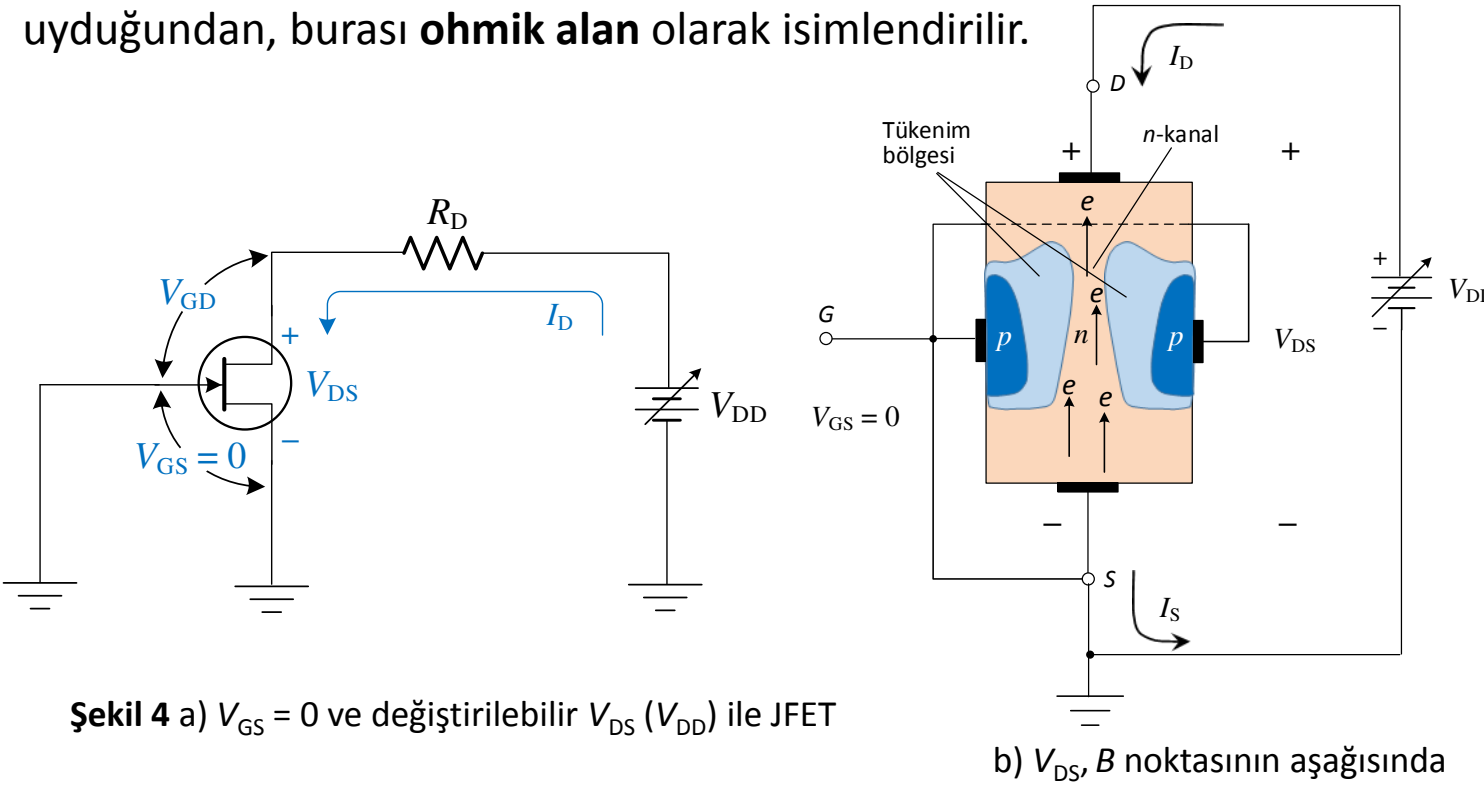
b)  $p$ -kanal

**Transistörün bir ac voltajda, akımda ve güçte herhangi bir artışa sebep olması, uygulanan dc voltaj kaynaklarından enerji transfer etmesinin bir sonucudur.**

# JFET Karakteristikleri ve Parametreleri

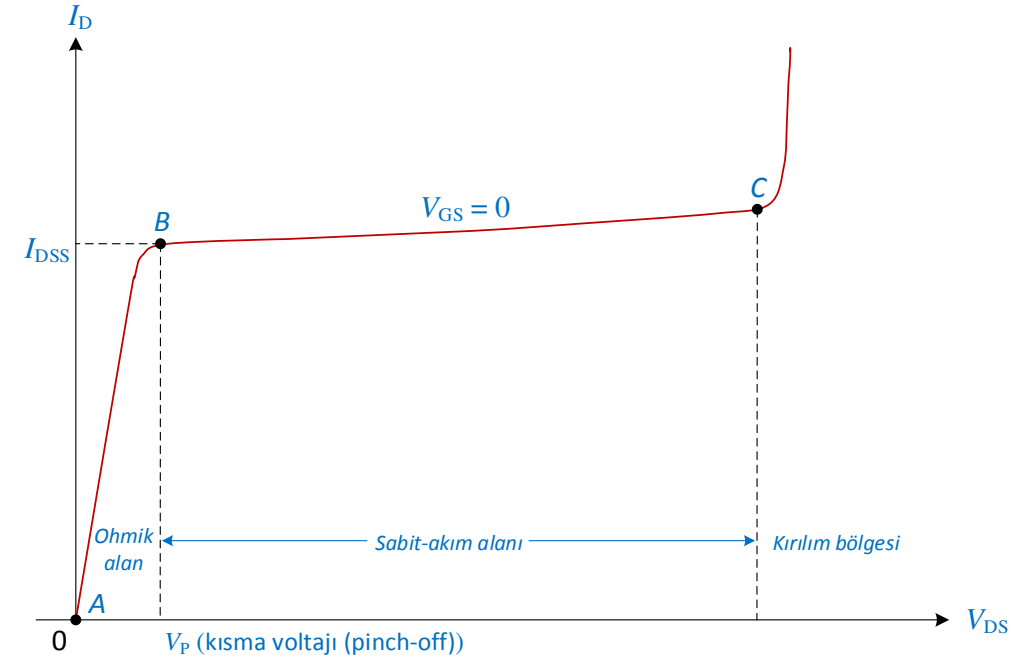
JFET'in voltaj kontrollü, sabit akım cihazı olarak nasıl işlem yaptığını göreceğiz. JFET transfer karakteristiğinin yanı sıra ayrıca kesilim (cutoff) ve kısma (pinch-off) parametrelerini öğreneceğiz.

Şekilde gösterildiği gibi kapı-kaynak voltajının sıfır olduğu ( $V_{GS} = 0$ ) durumu gözönüne alalım. Bu durum, şekil 4 (a) da gösterildiği gibi, kapıdan kaynağa kısa devre yapılarak elde edilir, bunun için her ikisi de topraklanır. Bu durumda her iki pn eklemi ters beslenmiş olur, dolayısıyla kaynak akımı  $I_G = 0$  olur ve  $I_S = I_D$  dir.  $V_{DD}$  (dolayısıyla  $V_{DS}$ ) 0'dan itibaren arttırıldığında orantılı olarak  $I_D$  de artacaktır. Bu davranış, şekil 4 (c) deki grafiğin A ve B noktaları arasında gösterilmektedir. Bu alanda kanal direnci temel olarak sabittir, çünkü tükenim bölgesi önemli etki yapacak kadar büyük değildir, burada  $V_{DS}$  ile  $I_D$  arasındaki ilişki Ohm kuralına uyduğundan, burası **ohmik alan** olarak isimlendirilir.



Şekil 4 a)  $V_{GS} = 0$  ve değiştirilebilir  $V_{DS}$  ( $V_{DD}$ ) ile JFET

b)  $V_{DS}$ , B noktasının aşağısında

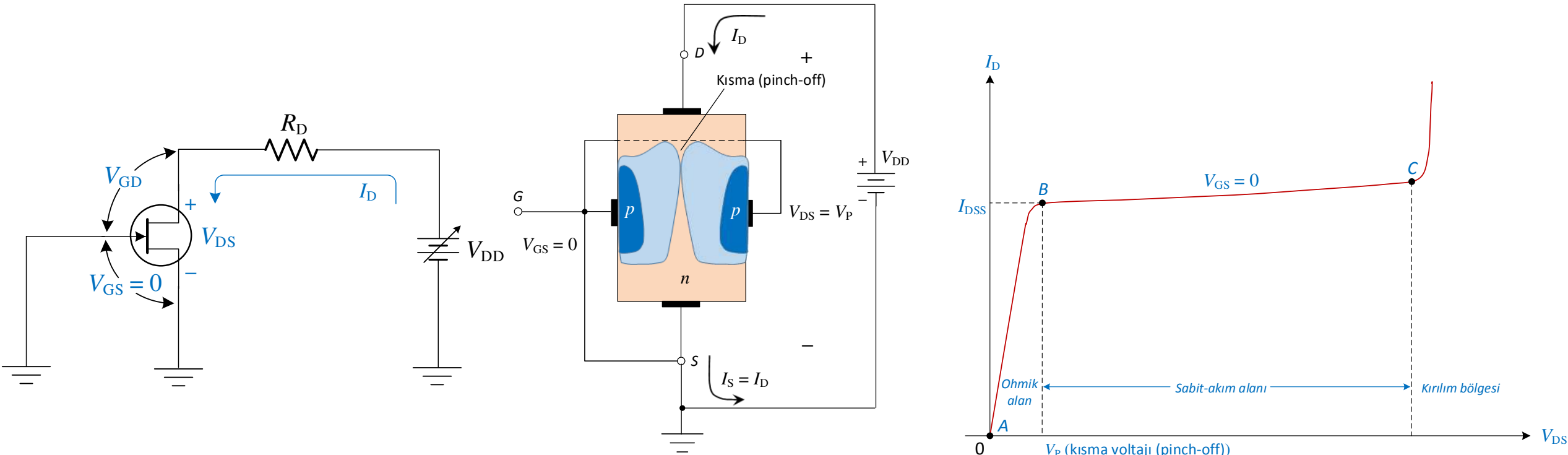


c) Oluk (drain) karakteristiği

Şekil 4 (c) de B noktasında eğri düzleşmeye başlar ve  $I_D$  temel olarak sabit olur.  $V_{DS}$ , B noktasından C'ye arttırıldığında kapıdan-oluğa ters besleme voltajı ( $V_{GD}$ ),  $V_{DS}$  deki artışı dengelemek için yeterli büyüklükte tükenim bölgesi üretir, böylece  $I_D$  bağıl olarak sabit kalır.

# Kısma (pinch-off) Voltajı

$V_{GS} = 0$  için,  $I_D$  nin sabit olmaya başladığı noktadaki (Şekil 4 (c) de eğri üstünde B noktası)  $V_{DS}$  değerine,  $V_p$  kısma (pinch-off) voltajı denir. Bir JFET için  $V_p$  sabit bir değere sahiptir.  $V_{DS}$  arttırılırken  $V_p$  değerine yaklaştığında, tükenim (depletion) bölgeleri genişleyecek, dolayısıyla kanal genişliğinde dikkate değer daralmaya sebep olacaktır. Bu durum iletkenlik yolunun azalmasıyla dirençte artışa sebep olacaktır. Bu, şekil 4 (c) deki eğriye B noktasına çok yakın kısımda, eğimin azalması şeklinde yansıyacaktır. Şekil 4(c) de, tam B noktasında kısma gerçekleşecektir. Kanalda kısma durumu şekil 4 (b) de gösterilmiştir. Bu kısma noktasında tükenim bölgeleri birbirine iyice yaklaşacak, sadece yüksek akım yoğunluklu çok küçük bir kanal kalacaktır. Şekil 4(c) den görebileceğiniz gibi, kısma voltajının yukarısında  $V_{DS}$  de devam eden artış hemen hemen sabit bir oluk (drain) akımı üretir. Oluk akımının bu değeri  $I_{DSS}$  dir (kapının kısa devre yapılmasıyla, olukdan-kaynağa olan akım (Drain to source current with gate shorted)) ve daima JFET veri sayfalarında verilir. Ayrıca  $I_{DSS}$ ,  $V_{GS} = 0$  şartı için ifade edilen maksimum oluk akımıdır. B ve C arasındaki bu bölge **sabit-akım, doyum ya da doğrusal yükseltme bölgesi** olarak atfedilir. Şekil 4 (c) de gösterildiği gibi, C noktasından sonra  $V_{DS}$  deki daha fazla artış  $I_D$  nin çok hızlı yükselmesine sebep olur, dolayısıyla **kırılma (breakdown)** oluşur. Kırılma cihazda geridöndürülemez bir hasarı netice verebilir. Bu yüzden JFET daima kırılımın aşağısında ve **sabit akım alanının** içerisinde çalıştırılır (grafik üstünde B ve C noktaları arasında).



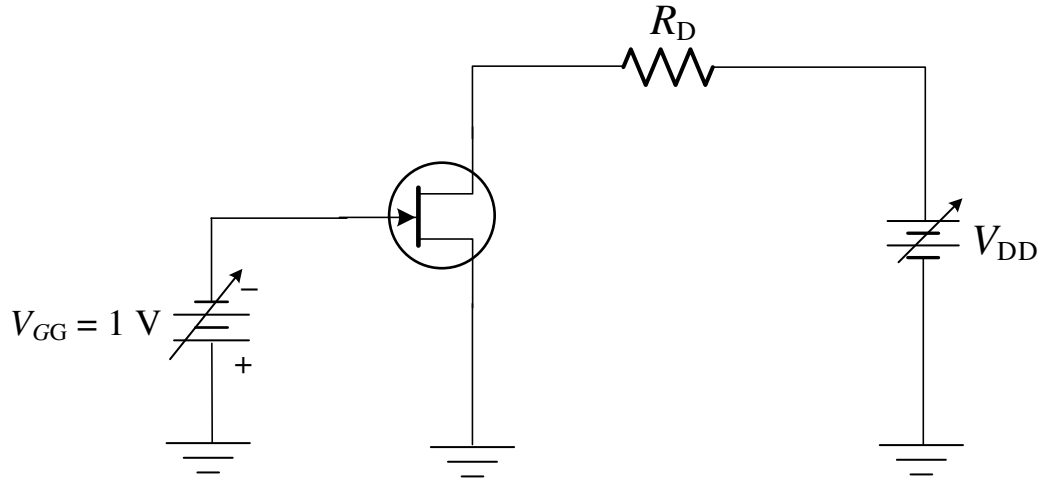
Şekil 4 a)  $V_{GS} = 0$  ve değiştirilebilir  $V_{DS}$  ( $V_{DD}$ ) ile JFET

b) ( $V_{GS} = 0$  ve  $V_{DS} = V_p$ ) Kısma (pinch-off)

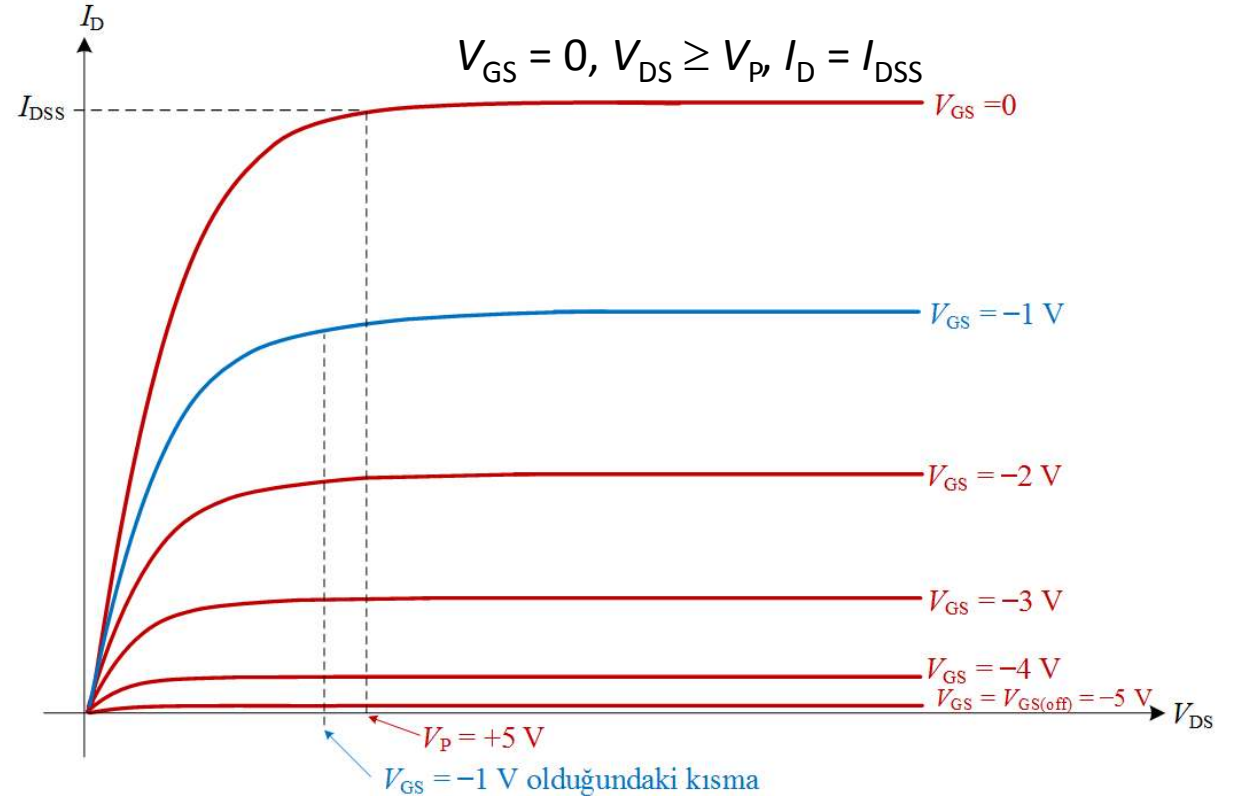
c) Oluk (drain) karakteristiği

## $V_{GS}$ $I_D$ 'yi Kontrol eder

Şekil 5 (a) da gösterildiği gibi, kapıdan kaynağa bir  $V_{GG}$  besleme voltajı bağlayalım.  $V_{GG}$ 'yi değiştirerek  $V_{GS}$  daha negatif değerlere arttırılırsa, şekil 5 (b) de gösterildiği gibi, bir oluk karakteristik eğri ailesi üretilir.  $V_{GS}$  nin büyüklüğü daha negatif değerlere arttırıldığında, kanalın darlaşması yüzünden,  $I_D$  nin azaldığına dikkat ediniz. Ayrıca,  $V_{GS}$  deki her bir artış için JFET,  $V_p$  den daha küçük  $V_{DS}$  değerlerinde **kısmaya** (pinch-off) (burada sabit akım başlar) ulaşır. **Bu durum negatif  $V_{GS}$  voltajının pn eklemlerini ters beslemesiyle oluşan tükenim bölgelerinden kaynaklanır.  $V_{DS}$  tarafından oluşturulan tükenim genişlemesi  $V_{GS}$  nin oluşturduğu genişleme üzerinden devam eder. Dolayısıyla tükenim bölgelerini kısma noktasına genişletmek için uygulanması gereken  $V_{DS}$  voltajı daha küçük olur.**  $V_{GS} = V_{GS(off)}$  olana kadar  $I_D$  azalmaya devam eder. (Negatif olarak)  $V_{GS} \geq V_{GS(off)}$  olduğunda  $I_D \cong 0$  olur. Böylece oluk (drain) akımı,  $V_{GS}$  tarafından kontrol edilmiş olur. Esasında  $V_{DS} > V_p$  olur olmaz JFET, bir akım kaynağı karakteristiğine sahip olur.



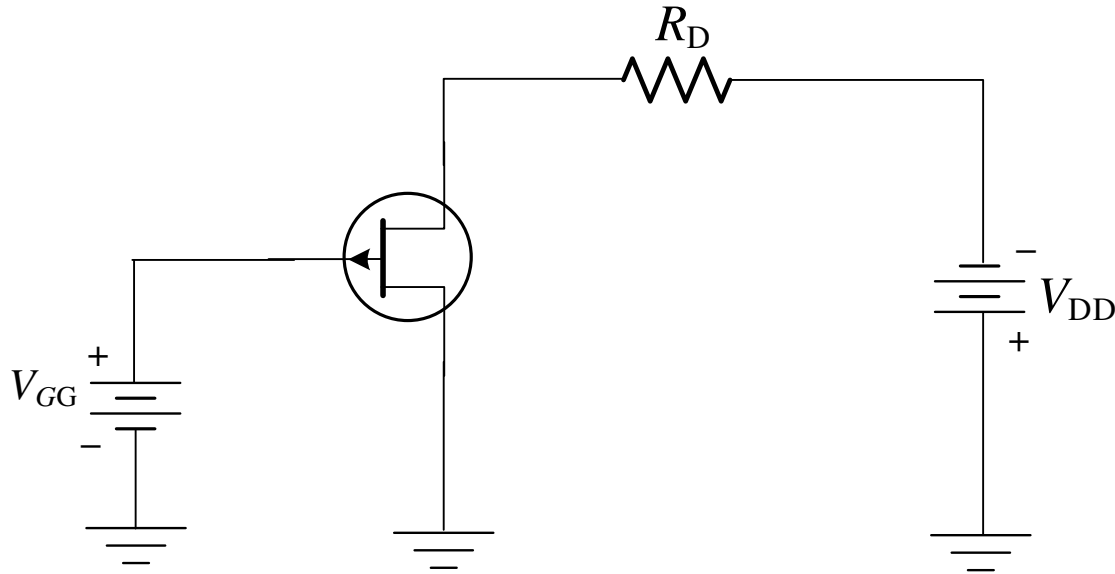
Şekil 5 a)  $V_{GS} = -1$  de beslenmiş JFET



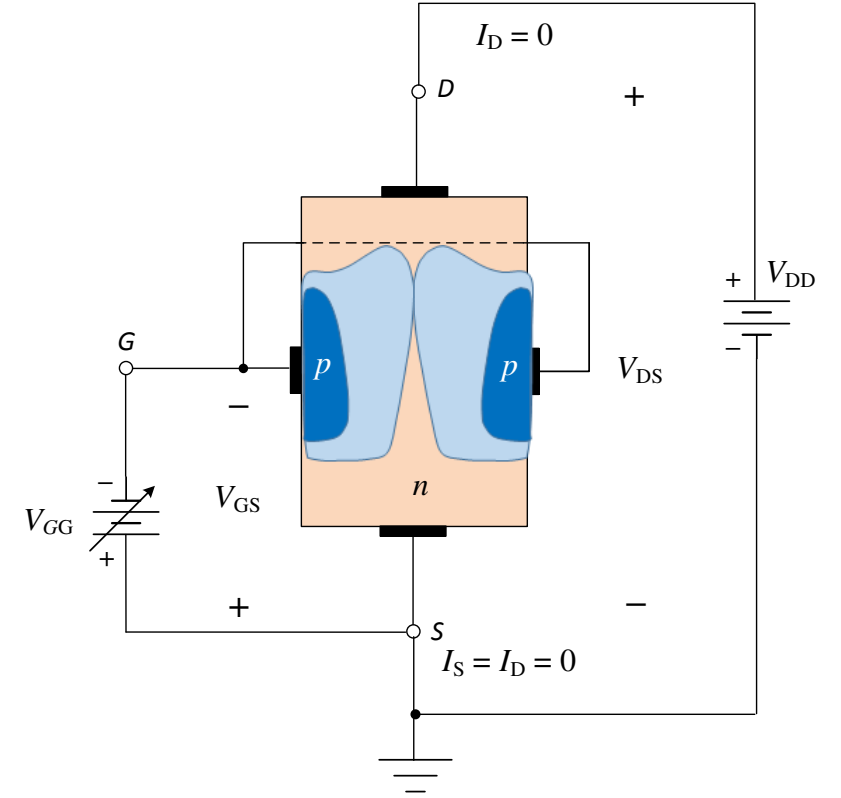
b) Oluk (drain) karakteristik eğri ailesi

## Kesilim (cutoff) Voltajı

$I_D$ 'yi yaklaşık olarak sıfır yapan  $V_{GS}$  değerine **kesilim (cutoff)** voltajı,  $V_{GS(off)}$  denir. JFET  $V_{GS} = 0$  ve  $V_{GS(off)}$  arasında işlem yapmalıdır. Kapı-kaynak voltajlarının bu aralığı için,  $I_D$ , maksimum bir  $I_{DSS}$  değerinden yaklaşık sıfıra kadar değişecektir. Görmekte olduğunuz gibi, n-kanal JFET için, daha negatif  $V_{GS}$ , sabit akım alanında daha küçük  $I_D$  ye sebep olur.  $V_{GS}$  yeterince büyük negatif bir değere sahip olunca,  $I_D$  sıfıra indirgenmiş olur. Şekil 6 da gösterildiği gibi, bu kesilim etkisine, tükenim bölgesinin sınırlarının kanalı tamamen kapatan bir noktaya genişlemesiyle sebep olunur.  $V_{GS(off)}$ , n-kanal JFET için negatif, p-kanal JFET için pozitifdir.



**Şekil 7** p-kanal JFET'in beslenmesi.  $V_{GG}$  nin pozitif ve  $V_{DD}$  nin negatif olması dışında p-kanal JFET'in çalışma işlemi n-kanalınkıyla aynıdır.



**Şekil 6** Kesilimde JFET



## Kesilim (cutoff) ve Kısmanın (Pinch-off) Kıyaslanması

Görmüş olduğunuz gibi, kesilim ve kısma voltajları arasında fark da vardır, bağlantı da vardır.  $V_p$ , drain akımının sabit olmaya başladığı noktadaki  $V_{DS}$  voltajıdır ve daima  $V_{GS} = 0$  da ölçülür. Bununla birlikte kısma (pinch-off),  $V_{GS}$  sıfırdan farklı olduğunda,  $V_p$  den daha küçük  $V_{DS}$  değerlerinde de oluşur. Dolayısıyla  $V_p$  bir sabit olmasına rağmen,  $I_D$  nin sabit olmaya başladığı noktadaki  $V_{DS}$  değeri,  $V_{GS}$  ile değişmektedir.  $V_{GS(off)}$  ve  $V_p$  eşit büyüklükte ve zıt işaretlidir, yani  $V_{GS(off)} = -V_p$  dir. Veri sayfalarında ya  $V_p$  ya da  $V_{GS(off)}$  verilir.

**Örnek:** Şekil 8 deki JFET için  $V_{GS(off)} = -4$  V ve  $I_{DSS} = 12$  mA dir. Cihazı sabit akım çalışma alanına götürmek için gerekli minimum  $V_{DD}$  değerini belirleyiniz.

**Çözüm:**  $V_{GS(off)} = -4$  V olduğundan  $V_p = 4$  V'tur. Bu JFET için sabit akım alanında minimum  $V_{DS}$  değeri 4 V'tur.

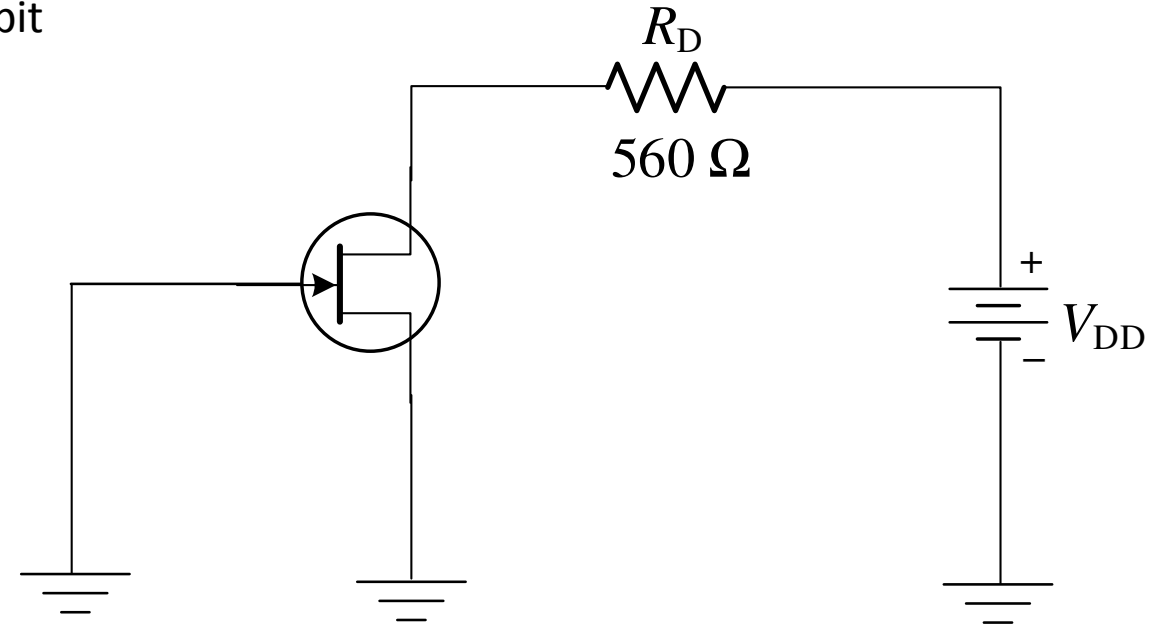
$V_{DS} = V_p = 4$  V'tur.  $V_{GS} = 0$  olan sabit akım alanında  $I_D = I_{DSS} = 12$  mA dir. Drain direnci üzerindeki voltaj düşmesi

$$V_{RD} = I_D R_D = (12 \text{ mA})(560 \Omega) = 6.72 \text{ V}$$

Drain halkasına Kirchhoff voltaj yasası uygulanırsa

$$V_{DD} = V_{DS} + V_{RD} = 4 \text{ V} + 6.72 \text{ V} = 10.7 \text{ V'tur.}$$

Bu,  $V_{DS} = V_p$  yapmak için ve cihazı sabit akım alanına koymak için gerekli  $V_{DD}$  değeridir.



Şekil 8

# JFET Transfer Karakteristiđi

$V_{GS}$  nin sıfırdan  $V_{GS(off)}$  'a kadar olan deđerleri oluk akımını kontrol ettiđini öğrenmiřtik.  $V_{GS}$ ,  $I_D$  yi kontrol ettiđinden bu iki büyüklük arasındaki ilişki çok önemlidir. řekil 9,  $V_{GS}$  ve  $I_D$  arasındaki ilişkiyi grafiksel olarak gösteren genel bir transfer karakteristik eğrisidir.

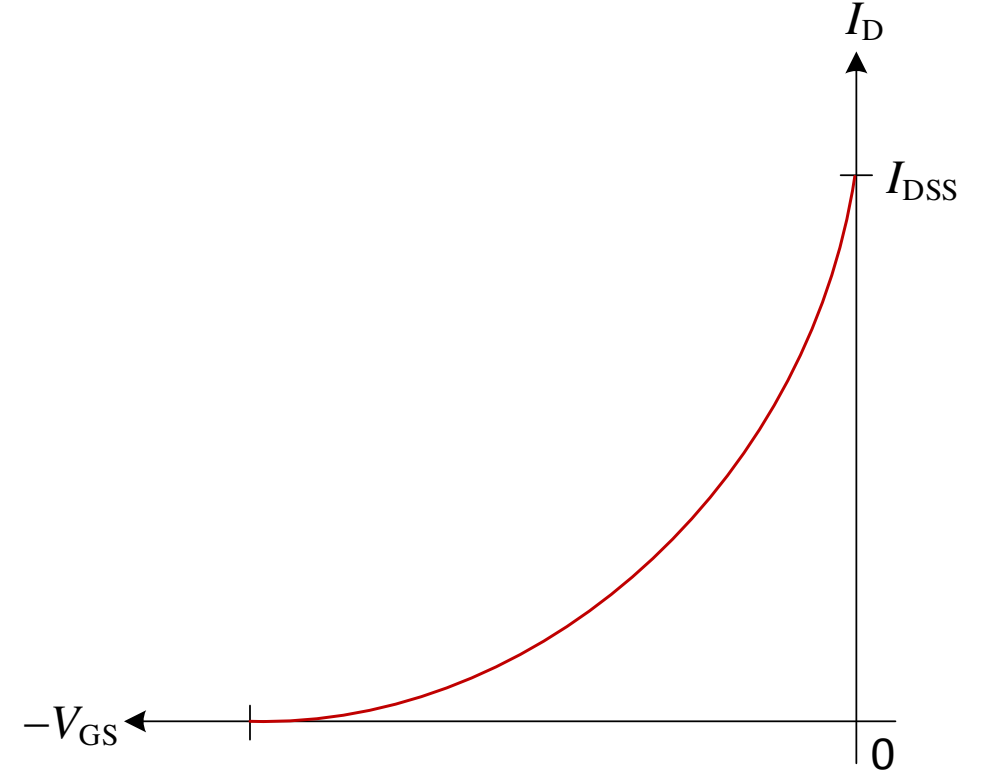
Eđrinin alt ucu,  $V_{GS}$  eksenini üstünde  $V_{GS(off)}$  a eşit olan bir noktadadır ve eđrinin üst ucu ise,  $I_D$  eksenini üstünde  $I_{DSS}$  ye eşit olan bir noktadadır. řüphesiz bu eđri JFET'in alıřma limitlerini gösterir:

$$V_{GS} = V_{GS(off)} \text{ olduđunda } I_D = 0 \text{ dır.}$$

ve

$$V_{GS} = 0 \text{ olduđunda ise } I_D = I_{DSS} \text{ dir.}$$

řekil 10 da gösterildiđi gibi, drain eđri ailesinin kısma noktalarından alınan  $V_{GS}$  deđerleri için  $I_D$  deđerlerini çizerek, transfer karakteristik eğrisi elde edilebilir. Transfer karakteristik eğrisinin üstündeki her bir nokta, oluk eđrilerinin üstünde  $V_{GS}$  ve  $I_D$  nin belirli deđerlerine karşılık gelir. Örneđin,  $V_{GS} = -2 \text{ V}$  olduđunda  $I_D = 4.32 \text{ mA}$  dir. Ayrıca bu JFET için  $V_{GS(off)} = -5 \text{ V}$  ve  $I_{DSS} = 12 \text{ mA}$  dir.



**řekil 9**  $n$ -kanal JFET için transfer karakteristik eğrisi.

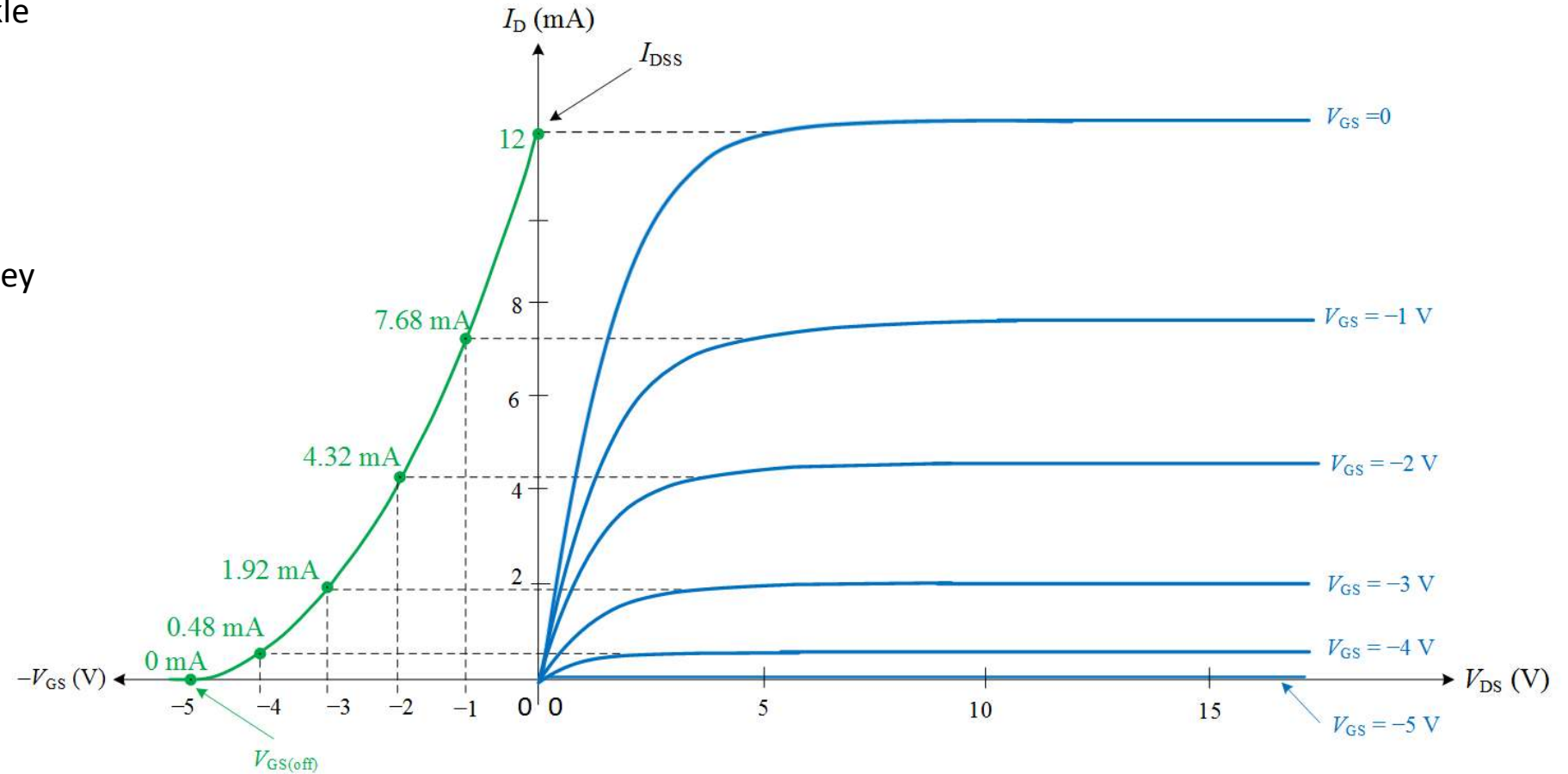
# JFET Transfer Karakteristiđi

Bir BJT transistör için çıkış akımı  $I_C$  ile giriş akımı  $I_B$  arasında  $I_C = \beta I_B$  şeklinde doğrusal bir ilişki varken, maalesef bir JFET transistörün giriş ve çıkış büyüklükleri arasında doğrusal bir ilişki yoktur.

Bir JFET için  $V_{GS}$  ve  $I_D$  arasındaki ilişki transfer karakteristik eğrisi olarak aşağıdaki gibi ifade edilir.

$$I_D = I_{DSS} \left( 1 - \frac{V_{GS}}{V_{GS(off)}} \right)^2$$

Bu denklem ile,  $V_{GS(off)}$  ve  $I_D$  bilinirse, herhangi bir  $V_{GS}$  için  $I_D$  belirlenebilir. Belirli bir JFET için bu değerler genellikle veri sayfalarından temin edilebilir. Denklemdeki kareli terimden dolayı oluşan parabolik bağıllık *kare yasası* olarak bilinir. Bu yüzden sık sık JFET ve MOSFETler *kare-yasa cihazları* olarak atfedilirler. Ayrıca bu denkleme Shockley denklemi de denir. İlk transistörü keşfeden grubun içinden biri ve transistör ve FET'in gelişiminde kullanılan "alan-etki" teorisinin formülatörü olması hasebiyle William Bradford Shockley (1910–1989) hatırasına bu *Shockley denklemi* ismi kullanılıyor.



Şekil 10 JFET oluk karakteristik eğrilerinden  $n$ -kanal JFET transfer karakteristik eğrisinin oluşturulması

**Örnek:** Bir 2N5459 JFET için şekil 11 deki veri sayfasında tipik olarak için  $I_{DSS} = 9 \text{ mA}$  ve  $V_{GS(off)} = -8 \text{ V}$  (maksimum) olarak verilmektedir. Bu değerleri kullanarak  $V_{GS} = 0 \text{ V}$ ,  $-1 \text{ V}$ , ve  $-4 \text{ V}$  için oluk akımını belirleyiniz.

**Çözüm:**  $V_{GS} = 0 \text{ V}$  için,

$$I_D = I_{DSS} = 9 \text{ mA}$$

$V_{GS} = -1 \text{ V}$  için, denklemi kullanırız.

$$\begin{aligned} I_D &= I_{DSS} \left( 1 - \frac{V_{GS}}{V_{GS(off)}} \right)^2 = 9 \text{ mA} \left( 1 - \frac{-1}{-8} \right)^2 \\ &= (9 \text{ mA}) (1 - 0.125)^2 = (9 \text{ mA}) (0.766) = 6.89 \text{ mA} \end{aligned}$$

$V_{GS} = -4 \text{ V}$  için,

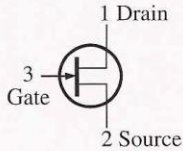
$$I_D = 9 \text{ mA} \left( 1 - \frac{-4}{-8} \right)^2 = (9 \text{ mA}) (1 - 0.5)^2 = (9 \text{ mA}) (0.25) = 2.25 \text{ mA}$$

**Maximum Ratings**

Rating	Symbol	Value	Unit
Drain-Source voltage	$V_{DS}$	25	V dc
Drain-Gate voltage	$V_{DG}$	25	V dc
Reverse gate-source voltage	$V_{GSR}$	-25	V dc
Gate current	$I_G$	10	mA dc
Total device dissipation @ $T_A = 25^\circ\text{C}$ Derate above $25^\circ\text{C}$	$P_D$	310 2.82	mW mW/ $^\circ\text{C}$
Junction temperature	$T_J$	125	$^\circ\text{C}$
Storage channel temperature range	$T_{stg}$	-65 to +150	$^\circ\text{C}$

**2N5457  
thru  
2N5459**

Case 29-04, Style 5  
TO-92 (TO-226AA)



**JFETs**  
**General-Purpose**  
**N channel — Depletion**

**Electrical Characteristics** ( $T_A = 25^\circ\text{C}$  unless otherwise noted.)

Characteristic	Symbol	Min	Typ	Max	Unit
----------------	--------	-----	-----	-----	------

**OFF Characteristics**

Gate-Source breakdown voltage ( $I_G = -10\ \mu\text{A}$ dc, $V_{DS} = 0$ )		$V_{(BR)GSS}$	-25	—	—	V dc
Gate reverse current ( $V_{GS} = -15\ \text{V}$ dc, $V_{DS} = 0$ ) ( $V_{GS} = -15\ \text{V}$ dc, $V_{DS} = 0$ , $T_A = 100^\circ\text{C}$ )		$I_{GSS}$	— —	— —	-1.0 -200	nA dc
Gate-Source cutoff voltage ( $V_{DS} = 15\ \text{V}$ dc, $I_D = 10\ \text{nA}$ dc)	2N5457 2N5458 2N5459	$V_{GS(off)}$	-0.5 -1.0 -2.0	— — —	-6.0 -7.0 -8.0	V dc
Gate-Source voltage ( $V_{DS} = 15\ \text{V}$ dc, $I_D = 100\ \mu\text{A}$ dc) ( $V_{DS} = 15\ \text{V}$ dc, $I_D = 200\ \mu\text{A}$ dc) ( $V_{DS} = 15\ \text{V}$ dc, $I_D = 400\ \mu\text{A}$ dc)	2N5457 2N5458 2N5459	$V_{GS}$	— — —	-2.5 -3.5 -4.5	— — —	V dc

**ON Characteristics**

Zero-Gate-Voltage drain current  ( $V_{DS} = 15\ \text{V}$ dc, $V_{GS} = 0$ )	2N5457 2N5458 2N5459	$I_{DSS}$	1.0 2.0 4.0	3.0 6.0 9.0	5.0 9.0 16	mA dc
---	----------------------------	-----------	-------------------	-------------------	------------------	-------

**Small-signal Characteristics**

Forward transfer admittance common source ( $V_{DS} = 15\ \text{V}$ dc, $V_{GS} = 0$ , $f = 1.0\ \text{kHz}$ )	2N5457 2N5458 2N5459	$ y_{fs} $	1000 1500 2000	— — —	5000 5500 6000	$\mu\text{mhos}$ or $\mu\text{S}$
Output admittance common source ( $V_{DS} = 15\ \text{V}$ dc, $V_{GS} = 0$ , $f = 1.0\ \text{kHz}$ )		$ y_{os} $	—	10	50	$\mu\text{mhos}$ or $\mu\text{S}$
Input capacitance ( $V_{DS} = 15\ \text{V}$ dc, $V_{GS} = 0$ , $f = 1.0\ \text{MHz}$ )		$C_{iss}$	—	4.5	7.0	pF
Reverse transfer capacitance ( $V_{DS} = 15\ \text{V}$ dc, $V_{GS} = 0$ , $f = 1.0\ \text{MHz}$ )		$C_{rss}$	—	1.5	3.0	pF

**Şekil 11** JFET kısmi veri sayfası

# JFET İleri Geçiş İletkenliği (forward transfer conductance)

İleri geçiş iletkenliği,  $g_m$  sabit oluk-kaynak voltajında, kapı-kaynak voltajındaki bir değişim ( $\Delta V_{GS}$ ) için oluk akımında meydana gelen değişimin ( $\Delta I_D$ ) ölçüsüdür. FET yükselticilerde voltaj kazancını belirlemek için önemli bir faktördür. Bir oran olarak ifade edilir ve birimi Siemens (S) dir.

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}}$$

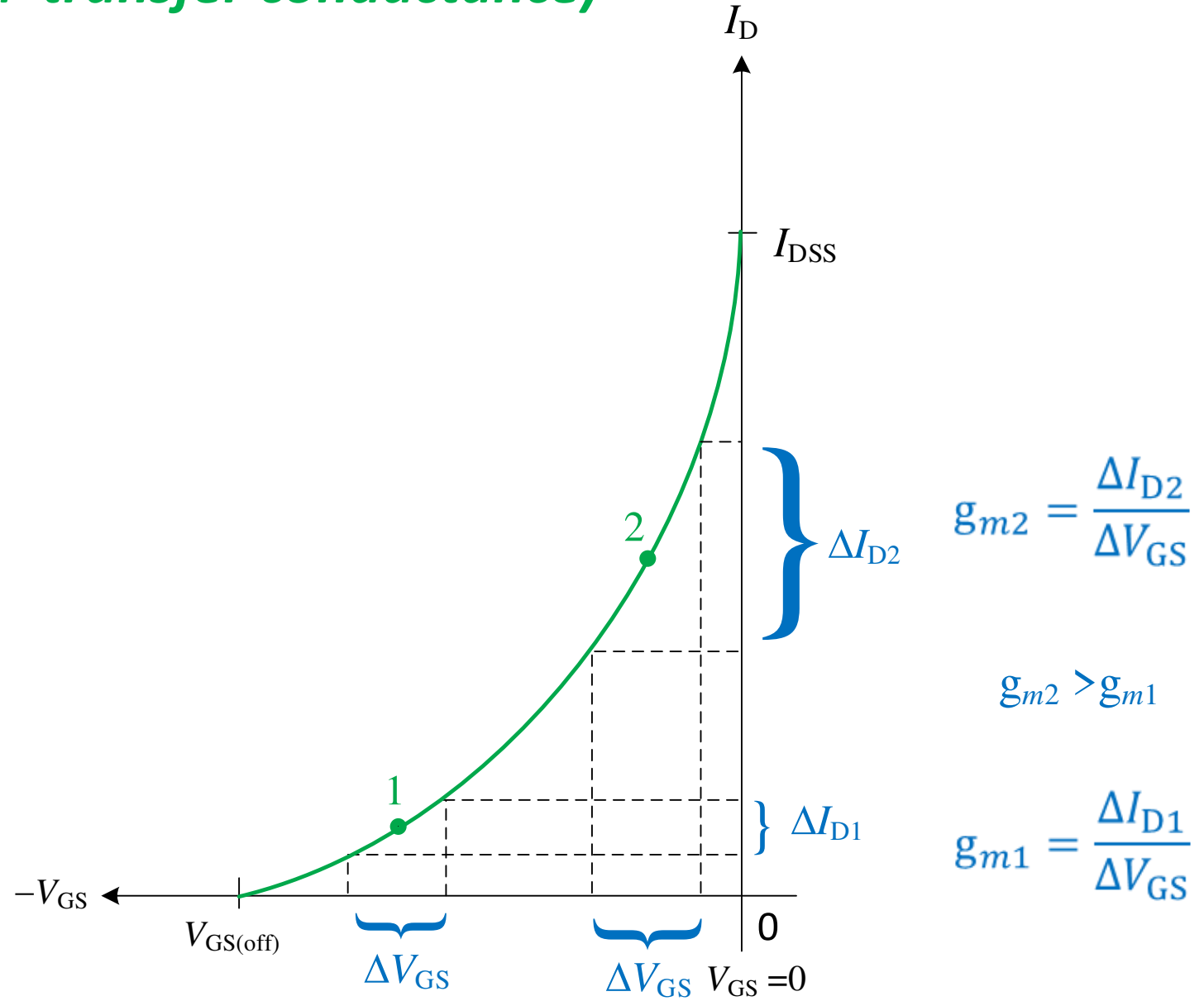
JFET'in transfer karakteristik eğrisi doğrusal olmadığından  $g_m$ ,  $V_{GS}$  değişiminin eğri üstünde oluşturduğu aralığa bağlı olarak değişir. Şekil 12 de gösterildiği gibi, eğrinin tepe noktası ( $V_{GS} = 0$  yakını) yakınındaki  $g_m$  değeri dip noktası ( $V_{GS(off)}$  yakını) yakınındakinden daha büyüktür.

Aşağıdaki formülü kullanarak transfer karakteristik eğrisi üstündeki herhangi bir noktada  $g_m$ 'in yaklaşık bir değeri hesaplanabilir.

$$g_m = g_{m0} \left( 1 - \frac{V_{GS}}{V_{GS(off)}} \right)$$

Burada  $g_{m0}$  ( $y_{fs}$ ),  $V_{GS} = 0$  da ölçülen  $g_m$  değeridir, veri sayfalarında verilir. Örneğin 2N5457 JFET için veri sayfasında  $V_{DS} = 15$  V'ta  $g_{m0}$ 'in minimum değeri 1000 S olarak ifade edilir. Eğer  $g_{m0}$  elde edilemezse,  $I_{DSS}$  ve  $V_{GS(off)}$  değerlerini kullanarak aşağıdaki formülden hesaplanabilir.

$$g_{m0} = \frac{2I_{DSS}}{|V_{GS(off)}|}$$



Şekil 12  $g_m$ , besleme noktasına ( $V_{GS}$ ) bağlı olarak değişir.

## Giriş Direnci ve Kapasitansı

Bildiğiniz gibi, JFET ters beslenmiş kapı-kaynak eklemi ile çalışır, bu da kapıdan gözüken giriş direncini çok büyük yapar. Bu yüksek giriş direnci BJT üzerine JFET'in bir avantajıdır. (Bir bipolar eklem transistörün ileri-beslenmiş baz-emitör eklemi ile çalıştığını hatırlayınız.). JFET veri sayfaları belirli bir kapı-kaynak voltajındaki  $I_{GSS}$  kapı ters akımı için bir değer vererek, giriş direncini ifade ederler. Sonra  $R_{GiR} = \left| \frac{V_{GS}}{I_{GSS}} \right|$  formülü kullanılarak giriş direnci belirlenebilir.

Örneğin 2N5457 için, veri sayfası 25 °C de  $V_{GS} = -15$  V için  $I_{GSS}$  yi maksimum olarak  $-10$  nA olarak verir.  $I_{GSS}$  sıcaklıkla artar, dolayısıyla giriş direnci azalır.

Giriş kapasitansı  $C_{iss}$ , JFET'in ters-beslenmiş  $pn$  eklemi ile işlem yapmasından kaynaklanır. Ters-beslenmiş  $pn$  ekleminin bir kapasitör gibi davrandığını ve kapasitans değerinin de ters voltaj miktarına bağlı olduğunu hatırlayınız. Örneğin 2N5457,  $V_{GS} = 0$  V için 7 pF'lık maksimum  $C_{iss}$  değerine sahiptir.

## Oluk-Kaynak Direnci

**Sabit akım alanında**, kısma (pinchoff) noktasının yukarısında  $V_{DS}$  deki büyük bir değişme,  $I_D$  de sadece çok küçük bir değişme üretir. Bu değişimlerin oranı cihazın  $r'_{ds}$  oluk-kaynak direncidir. Veri sayfalarında sıklıkla bu parametre  $g_{os}$  çıkış iletkenliği veya  $y_{os}$  çıkış geçirgenliği (admittance) olarak ifade edilir.  $r'_{ds} = \frac{\Delta V_{DS}}{\Delta I_D}$

Şekil 4 te eğrinin doyum noktasının solundaki ( $V_{DS} < V_p$ ) alan **ohmik alan olup** voltaj kontrollü direnç bölgesidir. Bu bölgede JFET değişken bir rezistör olarak kullanılabilir, bu bölgenin direnci uygulanan kapı kaynak voltajı ile kontrol edilir. Şekil 5 te, doyum noktalarının aşağısında, her bir eğrinin eğimi, dolayısıyla oluk ve kaynak arasındaki cihazın direnci, uygulanan  $V_{GS}$  voltajının bir fonksiyonudur.  $V_{GS}$  daha fazla negatif oldukça her bir eğrinin eğimi daha da yataylaşır, dolayısıyla bu da artan bir direnç seviyesine karşılık gelir. Aşağıdaki denklem uygulanan  $V_{GS}$  voltajına bağlı olarak bu direnç seviyesine iyi bir yaklaşım sağlar.

$$r_d = \frac{r_0}{(1 - V_{GS}/V_{GS(off)})^2}$$

Burada  $r_0$ ,  $V_{GS} = 0$  V'taki dirençtir.  $r_d$  de  $V_{GS}$  nin belirli bir seviyesindeki dirençtir.



# Metal-oksit Yarıiletken Alan Etkili Transistörler

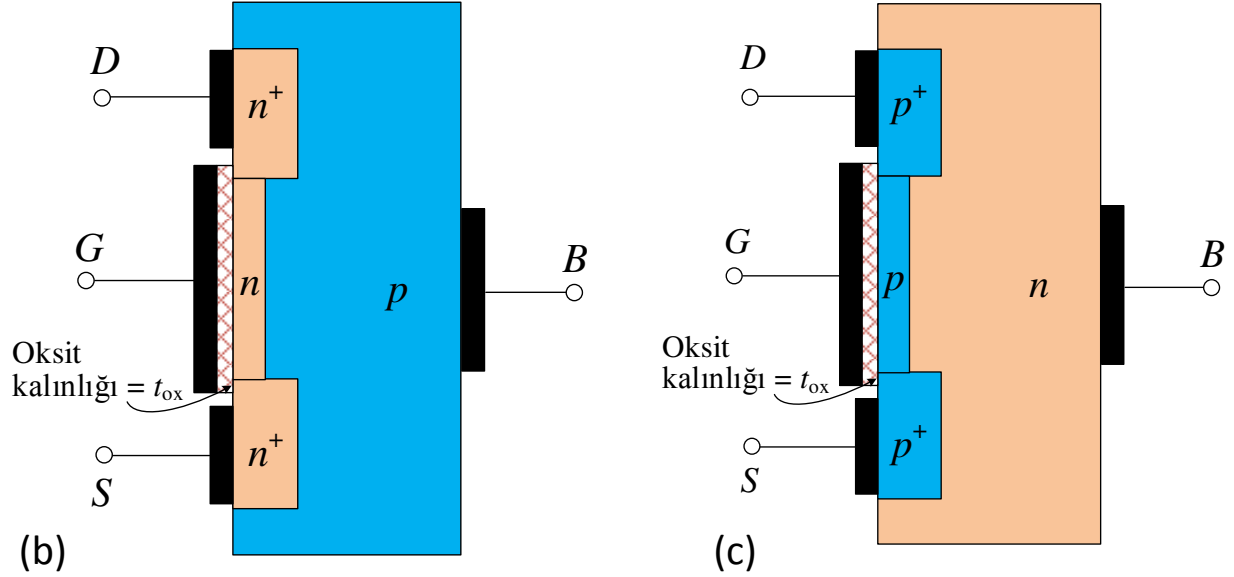
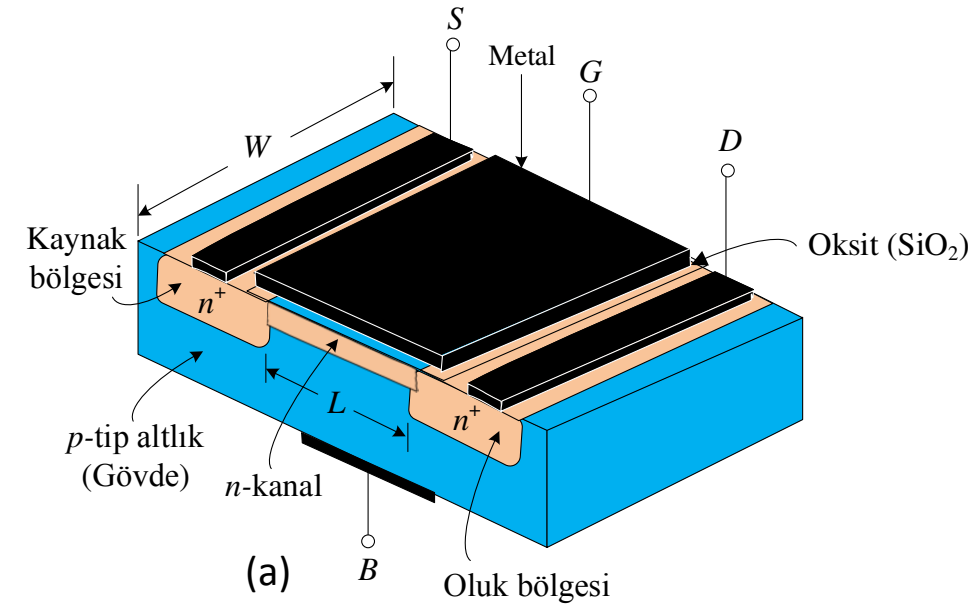
## (Metal-oxide-semiconductor Field Effect Transistors (MOSFET))

Alan etkili transistörün diğer katagorisi de MOSFET'tir. MOSFET'in yapısı, kapı kısmında  $pn$  eklemi olmadığından, JFET'ten farklıdır. Eklem yerine, MOSFET'in kapı (gate) kısmı bir silikon dioksit ( $\text{SiO}_2$ ) tabaka tarafından kanaldan yalıtılır (son derece küçük bir akım,  $10^{-15}$  A). Yalıtılmış kapı sebebiyle bu cihazlar bazen IGFET (Insulated-Gate FET) diye de isimlendirilir. MOSFET'in iki temel tipi vardır:

**Tükenim (depletion (D)) ve üretim (enhancement (E))**

### Tükenim MOSFET (D-MOSFET)

D-MOSFET'in temel yapısı Şekil 13 te gösterilir.  $n$ -kanal ve  $p$ -kanal olmak üzere iki çeşidi vardır. Çalışma işlemini tarif etmek için  $n$ -kanal cihazı kullanacağız. Voltaj polaritelerinin zıt olması dışında,  $p$ -kanal işlemi  $n$ -kanalinkiyle aynıdır. Transistör hafif katkılı bir  $p$ -tipi altlık üzerinde üretilir. Bu altlık, cihaz için fiziksel destek sağlayan, tek-kristal silikon bir levhadır (entegre devre durumunda tüm devre için). Altlıkta (substrate), biri  $n^+$  **kaynak** (source ( $S$ )) diğeri de  $n^+$  **oluk** (drain ( $D$ )) olmak üzere iki tane ağır katkılı (doped)  $n$ -tipi bölge oluşturulur. Kaynak ve oluk arası dar bir  $n$ -kanal ile bağlanır. Yine bu altlık yüzeyinde mükemmel bir elektrik yalıtkanı olan, ( $t_{ox}$ ) kalınlıklı çok ince silikon dioksit tabakası büyütülür. Bu oksit tabakası kaynak ve oluk bölgeleri arasındaki alanı kaplar. **Kapı** ( $G$ ) elektrodu oluşturmak için oksit tabaka üzerine metal kaplanır. Metal kontaklar oluk bölgesine, kaynak bölgesine ve **gövde** (body ( $B$ )) olarak bilinen altlığa da yapılır.

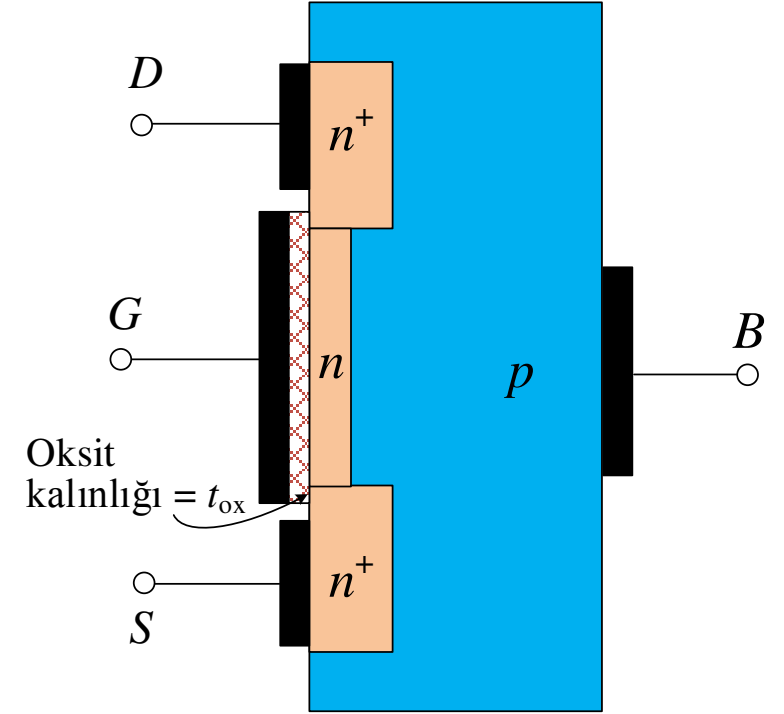


**Şekil 13**  $n$ -kanal (NMOS) D-MOSFET'in fiziksel yapısı. (a) Derinlikli görünüm. b) Kesit görünüm. (c)  $p$ -kanal. Tipik olarak  $L = 1.3 \mu\text{m}$  ile  $1 \mu\text{m}$  aralığı,  $W = 0.1 \mu\text{m}$  ile  $100 \mu\text{m}$  aralığına sahiptir. Oksit tabakanın kalınlığı ( $t_{ox}$ ) 1 ile 10 nm aralığındadır.



$\text{SiO}_2$ , *dielektrik* olarak atfedilen bir yalıtkan tipidir, bir dış elektrik alana maruz bırakıldığında dielektrik içinde zıt (di- önekiyle gösterildiği gibi) elektrik alanlar oluşur. Bu yalıtkan tabaka yüzünden çok yüksek giriş empedansı oluşur, dc beslemeli konfigürasyonlar için kapı akımı  $I_G$  temel olarak 0 A'dır.

Dikkat edilirse, *p*-tipi altlık, kaynak ve oluk bölgeleri ile pn eklemleri oluşturur. Normal çalışma işleminde bütün zamanlarda bu iki eklem ters-besleme altında tutulur. Oluk kaynağa göre pozitif voltajda olacağından, kaynak terminali altlığa (gövde) bağlanarak bu iki eklem kesilimde tutulabilir, böylece cihazın çalışmasına altlığın (substrate) etkisi kaldırılmış olacaktır (Entegre devre durumunda farklı bir yöntem uygulanır, çünkü NMOS ve PMOS aynı altlık üzerine inşa edilir, dolayısıyla onların besleme polariteleri zıttır). Metal-oksit yarıiletken FET ismi de görüldüğü gibi fiziksel yapıdan türetilmiştir. MOSFET'in simetrik bir cihaz olduğuna dikkat ediniz. Yani oluk ve kaynak değiş-tokuş yapılabilir, bu cihaz karakteristiğini değiştirmez.



*n*-kanal tükenim tipi MOSFET (NMOS)

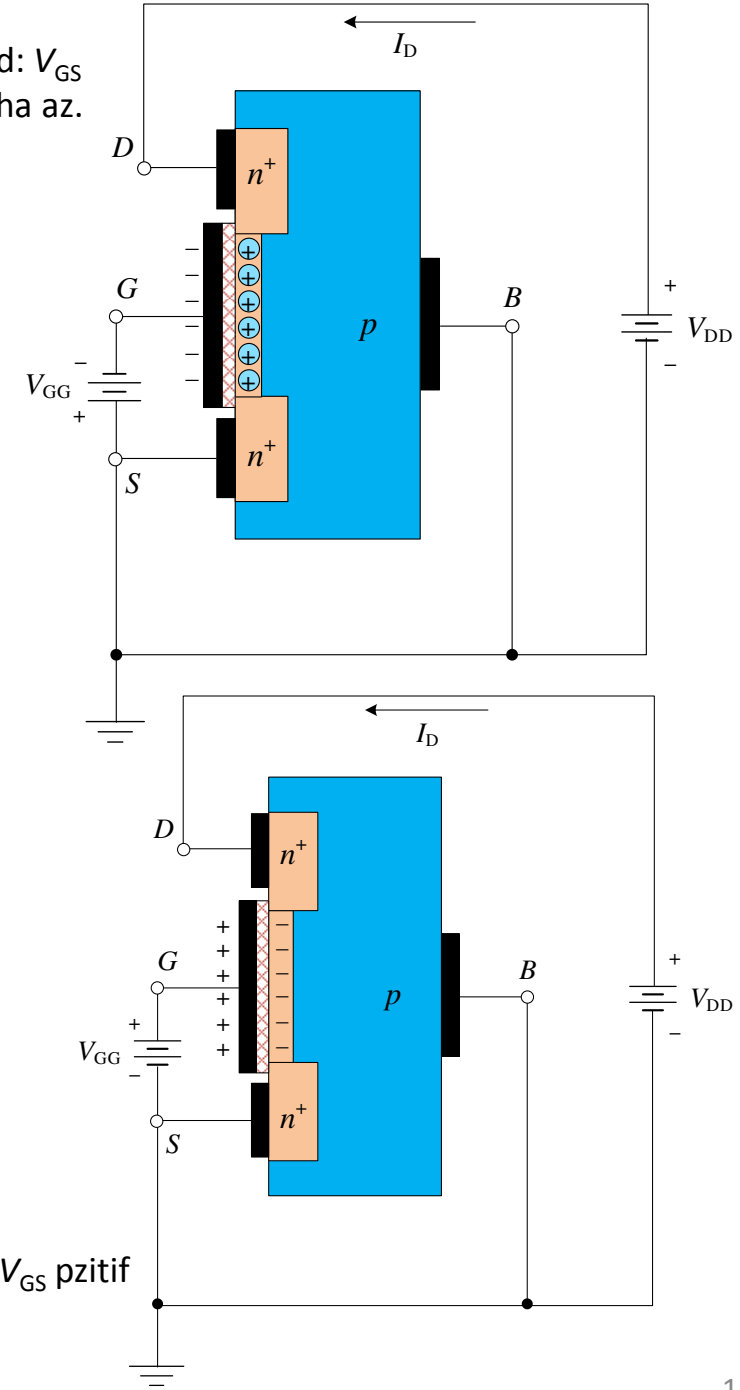
## D-MOSFET'in Çalışma işlemi

D-MOSFET, tükenim mod ya da üretim modun her ikisinde de işlem yapabilir. Kapı kanaldan yalıtıldığından bir pozitif yada negatif kapı voltajı uygulanabilir. Bir negatif kapı-kaynak voltajı uygulandığında,  $n$ -kanal D-MOSFET tükenim (depletion) modunda işlem yapar ve bir pozitif kapı-kaynak voltajı uygulandığında ise üretim (enhancement) modunda işlem yapar. Bu cihazlar genellikle tükenim modunda çalıştırılırlar.

**Tükenim Mod** Silikon dioksit yalıtkan tabaka dielektrik olduğundan, dışardan uygulanan elektrik alana ters yönde iç elektrik alan üretecek şekilde polarize olur. Negatif kapı voltajı ile kapı üstündeki negatif yükler iletkenlik elektronlarını kanaldan iterler, geride yerlerinde pozitif iyonlar bırakırlar. Bu yüzden  $n$ -kanalın elektronlarının bir kısmı tüketilir, böylece kanal iletkenliği azalır. Kapıda daha büyük negatif voltaj  $n$ -kanal elektronlarının daha fazla tüketilmesi demektir. Yeterince negatif bir kapı-kaynak voltajında ( $V_{GS(off)}$ ), kanal iyice tüketilir ve oluk akımı sıfır olur. Bu tükenim mod şekil 14 (a) da gösterilmiştir. N-kanal D-MOSFET'in  $V_{GS}$ 'ye göre iletkenlik davranışı  $n$ -kanal JFET'inkine benzerdir. D-MOSFET, JFET'ten farklı olarak, sıfırın üzerindeki  $V_{GS}$  voltajlarında da iletim yapar.

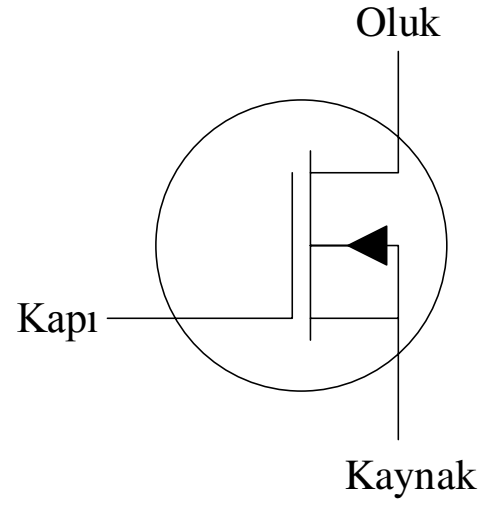
**Üretim Mod** Bir pozitif kapı voltajı ile, kanala daha fazla iletkenlik elektronları çekilir, bu da kanal iletkenliğini artırır. Bu durum şekil 14 (b) de gösterilmiştir.

Şekil 14 (a) Tükenim Mod:  $V_{GS}$  negatif ve  $V_{GS(off)}$  dan daha az.

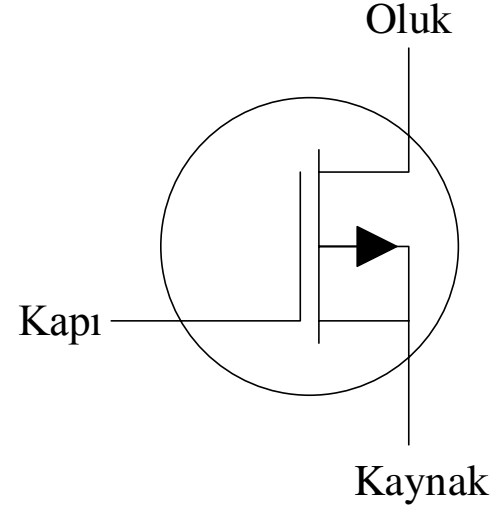


(b) Üretim Mod:  $V_{GS}$  pozitif

*D-MOSFET sembolleri* Okla gösterilen altlık (substrate) normal olarak içten kaynağa bağlanır. Bazen de ayrıca altlığa bağlı bir pin vardır.



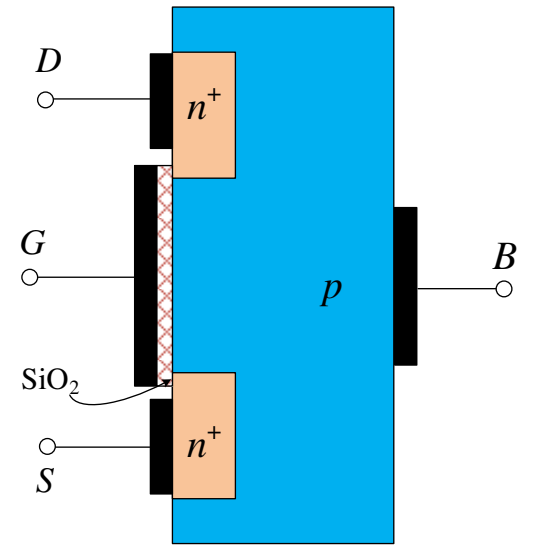
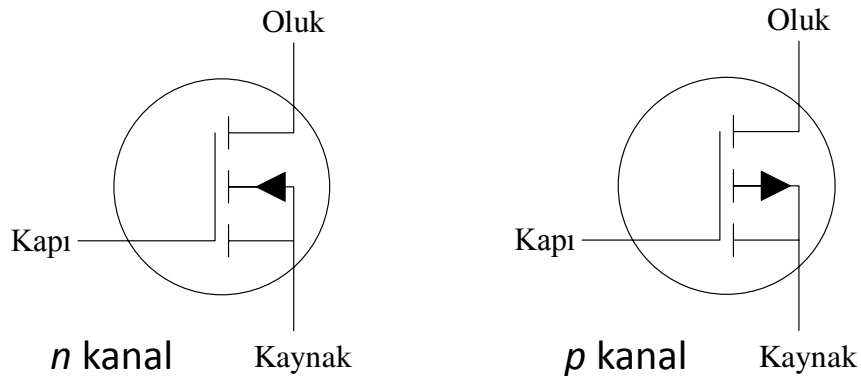
$n$  kanal



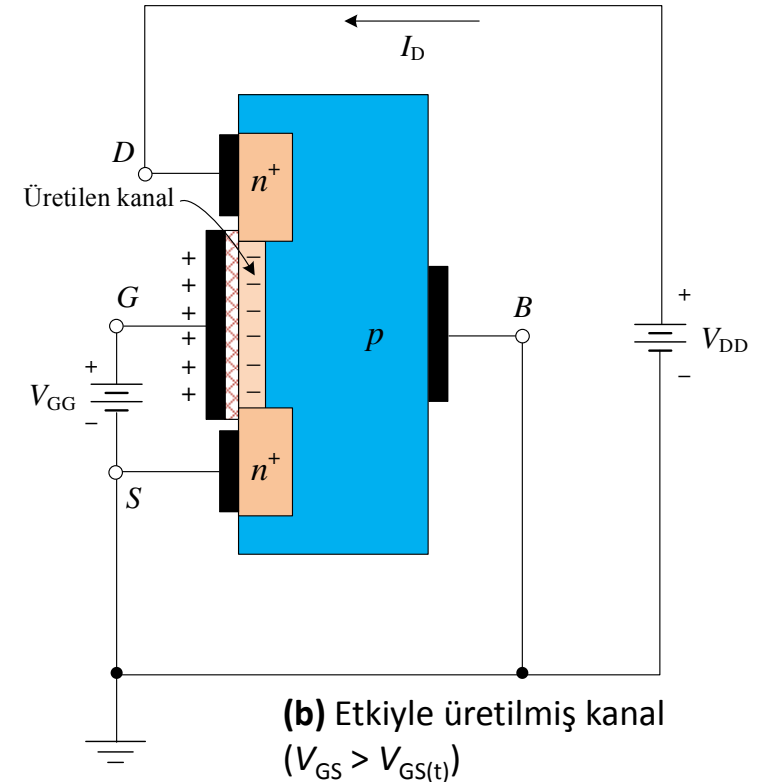
$p$  kanal

**Kanal Üretimli MOSFET (E-MOSFET)** E-MOSFET sadece üretim modunda işlem yapar ve tükenim moduna sahip değildir. Yapısal kanala sahip olmadığından, yapısı D-MOSFET'ten farklıdır. Şekil 15 (a) ya dikkat edilirse, altlık tamamen  $\text{SiO}_2$  tabakasına kadar uzanmaktadır.  $n$ -kanal bir cihaz için, eşik (treshhold) değerinin yukarısında pozitif bir kapı voltajı, etkiyle bir kanal üretir. Bu kanal, şekil 15 (b) de gösterildiği gibi, altlık bölgesinde  $\text{SiO}_2$  tabakasına yakın oluşan ince bir negatif yük tabakasıdır. Kapı-kaynak voltajı arttırılarak ve böylece kanal alanına daha fazla elektron çekilerek, kanalın iletkenliği yükseltilir. Eşik ( $V_{GS(t)}$ ) değerinin aşağısında herhangi bir kapı voltajı için, kanal yoktur. Kapiya sıfır volt uygulandığında, oluk ve kaynak arasında arka arkaya seri bağlı iki diyot mevcut olur. Diyotların biri  $n^+$  oluk bölgesi ve  $p$ -tipi altlık arasındaki  $pn$  eklemi tarafından oluşturulur, diğeri de  $p$ -tipi altlık ve  $n^+$  kaynak bölgesi arasındaki  $pn$  eklemi tarafından oluşturulur. Bu arka arkaya diyotlar, bir  $V_{DS}$  voltajı uygulandığında, oluktan kaynağa olan akım iletimini önler. Gerçekte oluk ve kaynak arası çok yüksek bir dirence sahiptir ( $10^{12} \Omega$  mertebesinde)

**E-MOSFET sembolleri** Okla gösterilen altlık (substrate) normal olarak içten kaynağa bağlanır. Kesikli çizgiler fiziksel bir kanalın yokluğunu sembolize eder. Bazı cihazlar ayrı bir altlık bağlantısına sahiptir.



**Şekil 15 (a)** Temel yapı



**(b)** Etkiyle üretilmiş kanal  
( $V_{GS} > V_{GS(t)}$ )

# D-MOSFET Transfer Karakteristiđi

Daha önce öđrendiđimiz gibi, D-MOSFET pozitif voltaj veya negatif voltajla işlem yapabilir. Bu hem *n*-kanal hem de *p*-kanal MOSFET için, şekil 16 da genel transfer karakteristik eğrileri ile gösterilmektedir. Eğriler üstünde  $V_{GS} = 0$  olduđu noktadaki akım  $I_{DSS}$ 'ye karşılık gelir.  $I_D = 0$  olduđu noktadaki voltajda  $V_{GS(off)}$  a karşılık gelir. JFET'İN ki gibi  $V_{GS(off)} = -V_p$  dir. JFET için kullanılan kare yasası denklemi D-MOSFET eğrisi için de uygulanabilir.

$$I_D = I_{DSS} \left( 1 - \frac{V_{GS}}{V_{GS(off)}} \right)^2 \text{ (sabit oluk akımı bölgesinde)}$$

**Örnek:** Bir D-MOSFET için  $I_{DSS} = 10 \text{ mA}$  ve  $V_{GS(off)} = -8 \text{ V}$  tur.

- (a) Bu *n*-kanal mı veya *p*-kanal mı?
- (b)  $V_{GS} = -3 \text{ V}$ 'ta  $I_D$  yi hesaplayınız.
- (c)  $V_{GS} = +3 \text{ V}$ 'ta  $I_D$  yi hesaplayınız.

**Çözüm:**

(a) Cihaz negatif  $V_{GS(off)}$  a sahip, bu yüzden *n*-kanal bir MOSFET'tir.

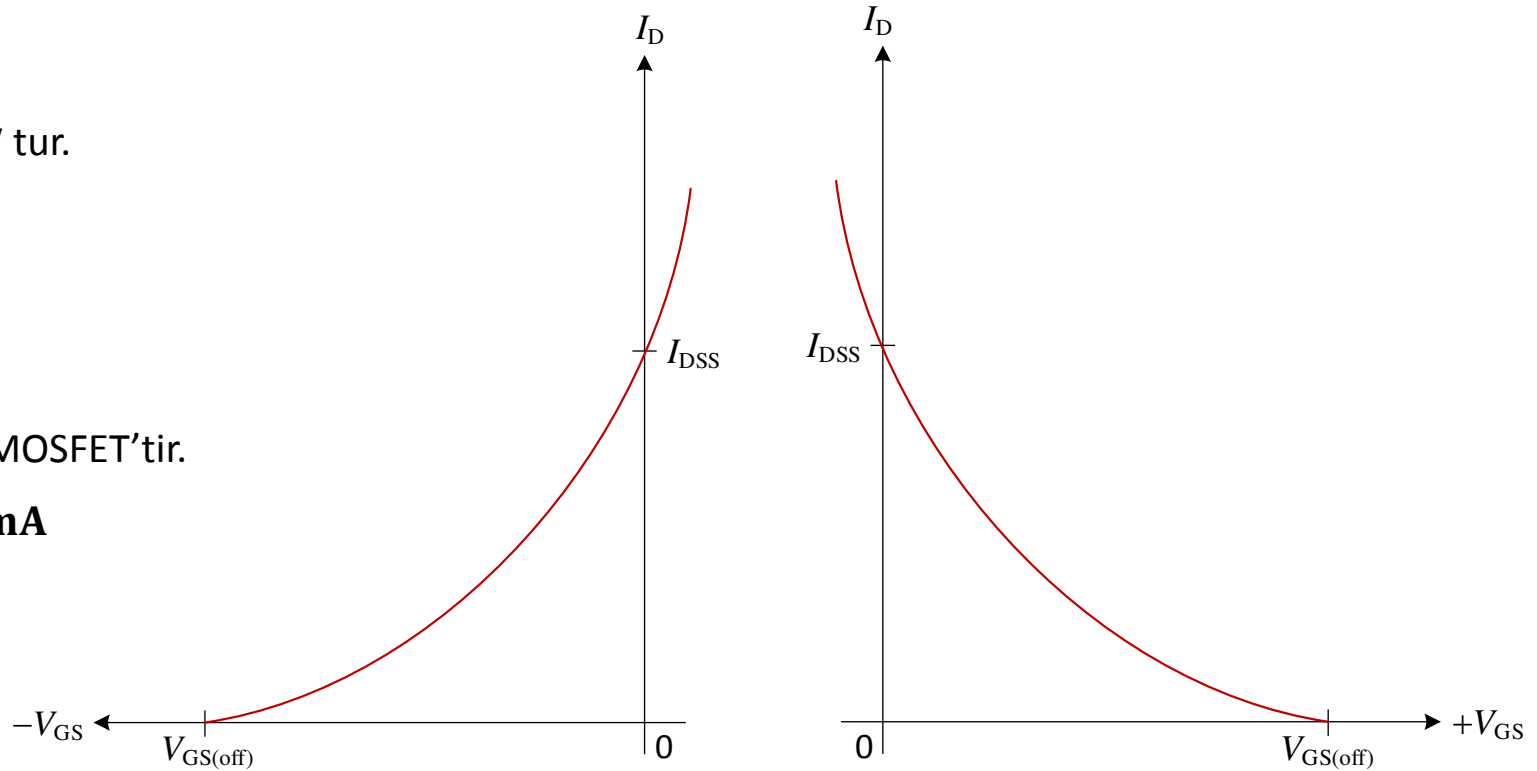
(b)  $I_D = I_{DSS} \left( 1 - \frac{V_{GS}}{V_{GS(off)}} \right)^2 = 10 \text{ mA} \left( 1 - \frac{-3}{-8} \right)^2 = 3.91 \text{ mA}$

(c)  $I_D = 10 \text{ mA} \left( 1 - \frac{+3}{-8} \right)^2 = 18.9 \text{ mA}$

**Soru:** Bir D-MOSFET için  $I_{DSS} = 18 \text{ mA}$  ve

$V_{GS(off)} = +10 \text{ V}$  tur.

- (a) Bu *n*-kanal mı veya *p*-kanal mı?
- (b)  $V_{GS} = +4 \text{ V}$ 'ta  $I_D$  yi hesaplayınız.
- (c)  $V_{GS} = -4 \text{ V}$ 'ta  $I_D$  yi hesaplayınız.



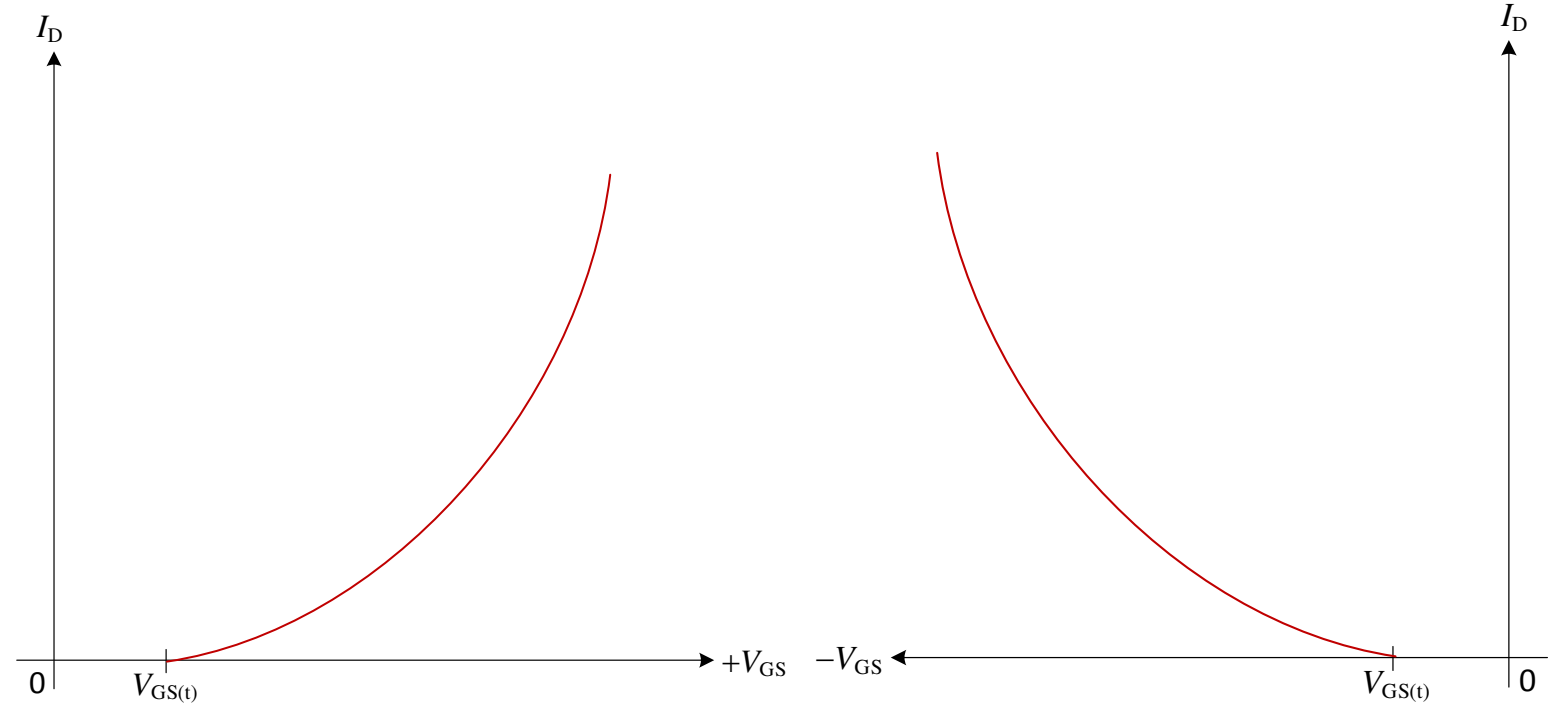
Şekil 16 (a) *n*-kanal

(b) *p*-kanal

## E-MOSFET Transfer Karakteristiđi

E-MOSFET sadece kanal üretim modunda çalışır. Bu yüzden  $n$ -kanal E-MOSFET pozitif bir kapı-kaynak voltajı gerektirir ve  $p$ -kanal E-MOSFET de negatif kapı-kaynak voltajı gerektirir. E-MOSFET'in her iki tipi için genel transfer karakteristik eğrileri şekil 17 de gösterilmektedir. Gördüğünüz gibi,  $V_{GS} = 0$  da oluk akımı yoktur. Bu yüzden D-MOSFET ve JFET'in aksine, E-MOSFET anlamlı bir  $I_{DSS}$  parametresine sahip değildir.

Dikkat ederseniz,  $V_{GS}$  kapı-kaynak voltajı, eşik voltajı (treshhold voltage) diye isimlendirilen belirli bir  $V_{GS(t)}$  değerine ulaşana kadar oluk akımı ideal olarak yoktur.  $V_{GS(t)}$  cihaz fabrikasyonu sırasında ayarlanır ve tipik değerleri 0.3 V ile 1 V aralığındadır.  $n$ -kanal için  $V_{GS(t)}$  pozitifdir.



Şekil 17 (a)  $n$ -kanal

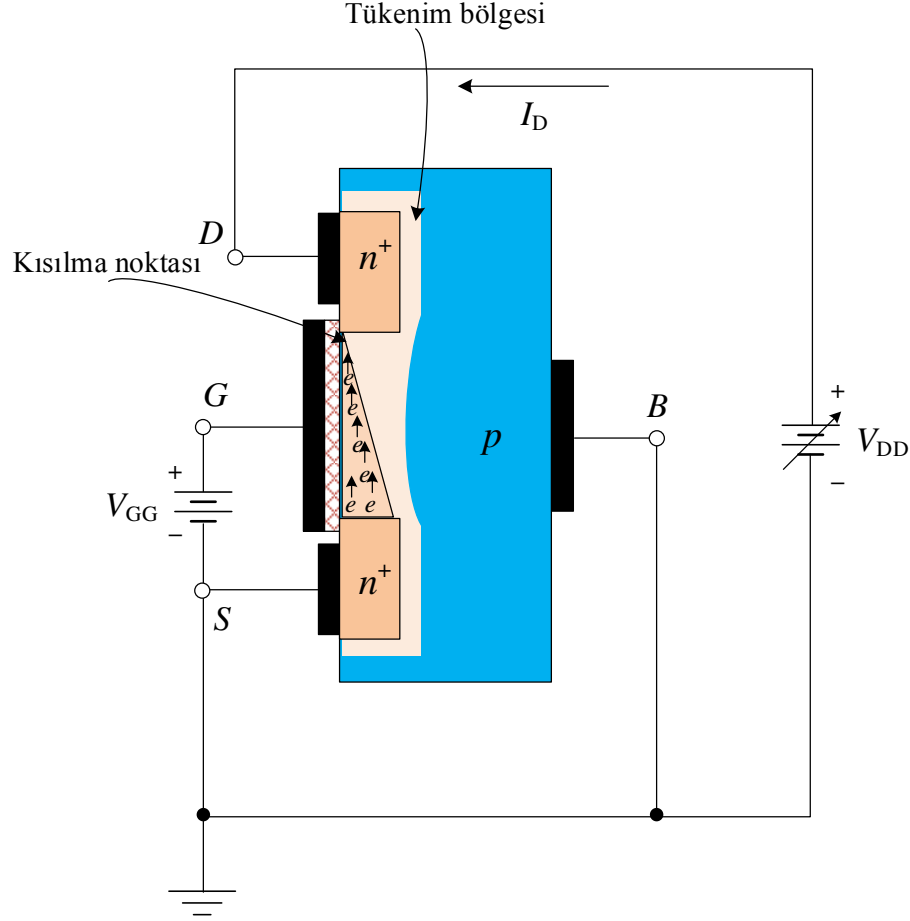
(b)  $p$ -kanal

E-MOSFET'in parabolik transfer karakteristik eğrisine uyan denklem D-MOSFET ve JFET'in kinden farklıdır. Çünkü eğri yatay eksen üstünde  $V_{GS(off)}$  dan ziyade  $V_{GS(t)}$  de başlar ve asla dikey eksenini kesmez.  $V_{GS} > V_{GS(t)}$  seviyeleri için, yani oluk karakteristik eğrileri üstünde sabit oluk akımı alanında (doyum bölgesi) E-MOSFET transfer karakteristik eğrisine uyan denklem aşağıdaki gibidir.

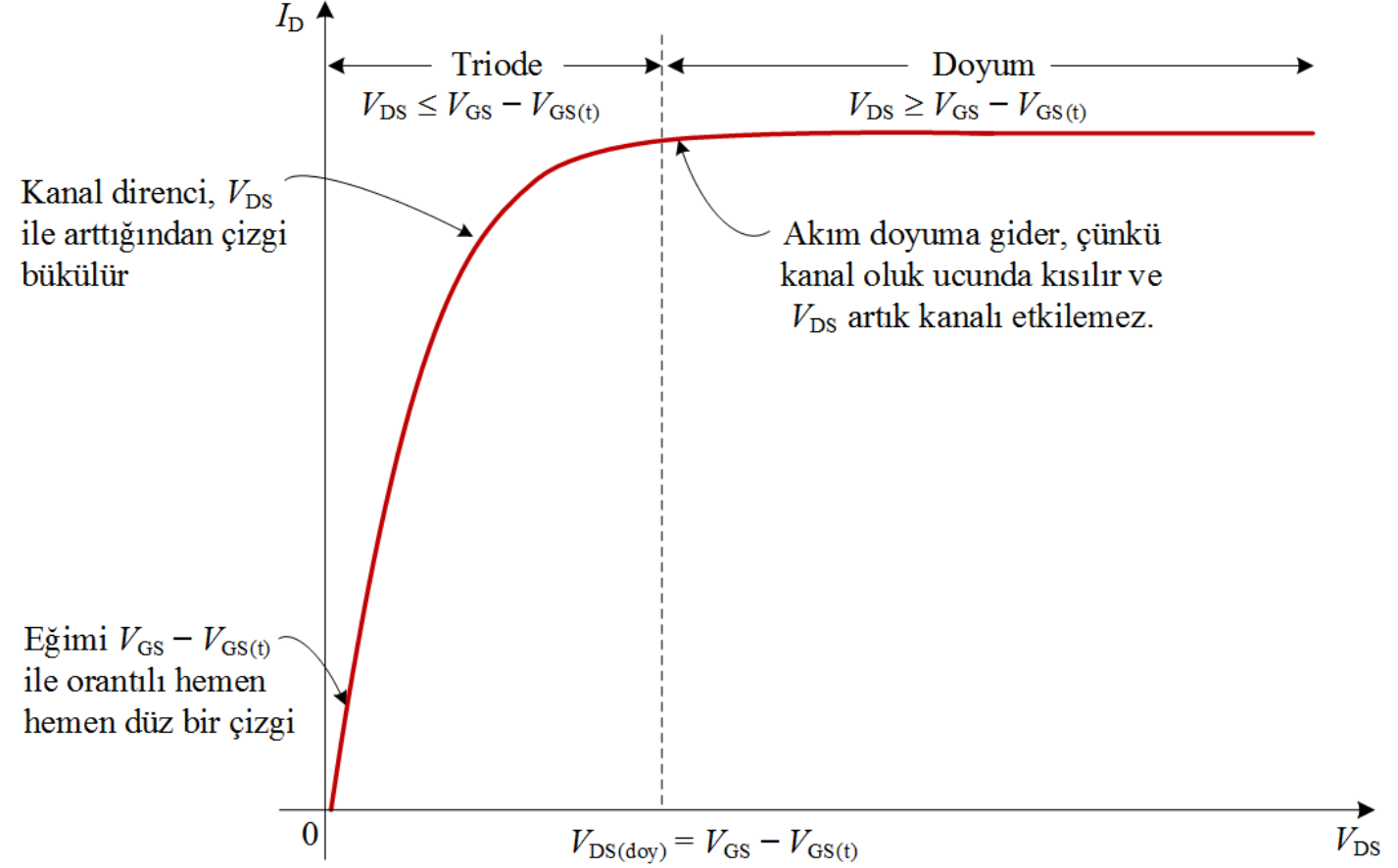
$$I_D = K(V_{GS} - V_{GS(t)})^2$$

$K$  sabiti MOSFET'in fiziksel ve malzeme özelliklerine bağlıdır ve bu sabit,  $V_{GS}$ 'nin belirli bir değerinde,  $I_D(on)$  diye isimlendirilen belirli bir  $I_D$  değerini veri sayfasından alıp yukarıdaki denklemde yerine koyup hesaplanabilir. Her bir  $V_{GS}$  için, oluk kaynak voltajının doyum değeri (yani  $I_D$  nin sabitlenmeye başladığı noktadaki  $V_{DS}$  değeri),  $V_{DS(doy)} = V_{GS} - V_{GS(t)}$  dir.

# E-MOSFET'in Oluk Karakteristiği



**Şekil 18 (a)** Sabit bir  $V_{GS}$  değeri için artan  $V_{DS}$  değeri ile tükenim bölgesinin ve kanalda kısmanın oluşması.

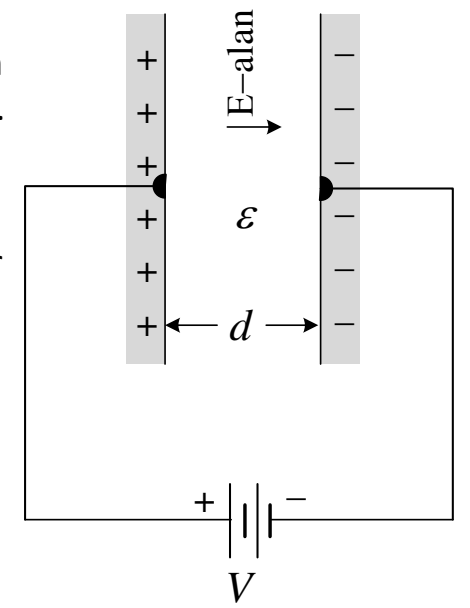


**(b)**  $V_{GS} - V_{GS(t)}$  ile çalışan bir  $n$ -kanal üretim tipi MOSFET için oluk-kaynak voltajı  $V_{DS}$  ye karşı oluk akımı  $I_D$  nin değişimi.

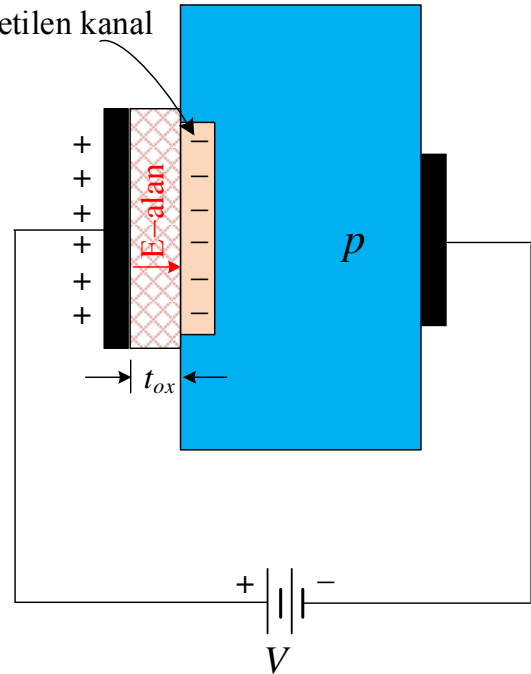
## MOSFET'in Kapasitans ve Fiziksel Bağılılıkları

MOS yapının fiziği, şekil 19 (a) daki gibi, paralel plakalı bir kapasitör yardımıyla gösterilebilir. Şekil 19 (b),  $p$ -tipi yarıiletken altlıklı bir MOS kapasitörünü gösterir. MOSFET'in kapı ve kanal bölgesi bir paralel plakalı kapasitör oluşturur, oksit tabaka kapasitör dielektriği olarak davranır. Pozitif kapı voltajı kapasitörün sol plakasında (kapı elektrotu) pozitif yük birikmesine sebep olur. Sağ plakada da buna karşılık negatif yük oluşur. Bu negatif yükler etkiyle üretilmiş kanaldaki elektronlar tarafından oluşturulur. Böylece yatay yönde bir elektrik alan gelişir. Bu alan kanaldaki yük miktarını kontrol eden alandır, dolayısıyla kanal iletkenliğini o belirler. Diğer deyişle bir  $V_{DS}$  voltajı uygulandığında kanal içerisinde akacak akımı belirleyen alandır. "Alan etkili transistör" ismi bundan kaynaklanır. Bu paralel plakalı kapasitörün uçları arasındaki voltaj, yani oksitin uçları arasındaki voltaj, bir kanal oluşması için  $V_{GS(t)}$  yi aşmalıdır.  $V_{GS(t)}$  üzerinden  $V_{GS}$  voltaj fazlalığı kanal içerisindeki yükü belirleyen büyüklüktür. Voltaj fazlalığı ( $V_{GS} - V_{GS(t)}$ ) dir. Doyum bölgesinde voltaj fazlalığı,  $V_{DS(doy)} (= V_{DS})$  a eşittir (Şekil 20).  $C_{ox}$  birim kapı alanı başına paralel-plakalı kapasitörün kapasitansı (oksit kapasitansı olarak isimlendirilir) ( $F/m^2$  biriminde),  $W$  kanal genişliği ve  $L$  kanal uzunluğu olmak üzere, Toplam kapasitans  $C = C_{ox}(WL)$ , burada  $C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}$ , burada  $\epsilon_{ox}$  silikon dioksitin dielektrik geçirgenliğidir. Burada paralel plakalı kapasitör için  $C = \epsilon_{ox} \frac{A}{t_{ox}}$  yazılır ve dolayısıyla  $\frac{C}{A} = \frac{\epsilon_{ox}}{t_{ox}} = C_{ox}$  olur. Burada (kapı elektrotu alanı)  $A = WL$  dir.

**Şekil 19 (a)** Elektrik alan ve iletkenin yüklerini gösteren paralel plakalı bir kapasitör. Kapasitans,  $C = \epsilon \frac{A}{d}$   
 $A$ : iletkenin alanı,  $\epsilon$ : Dielektrik sabiti,  $d$ : Plakalar arası uzaklık.



**(b)** Elektronların toplandığı kanal tabakası ile oluşan MOS kapasitör.



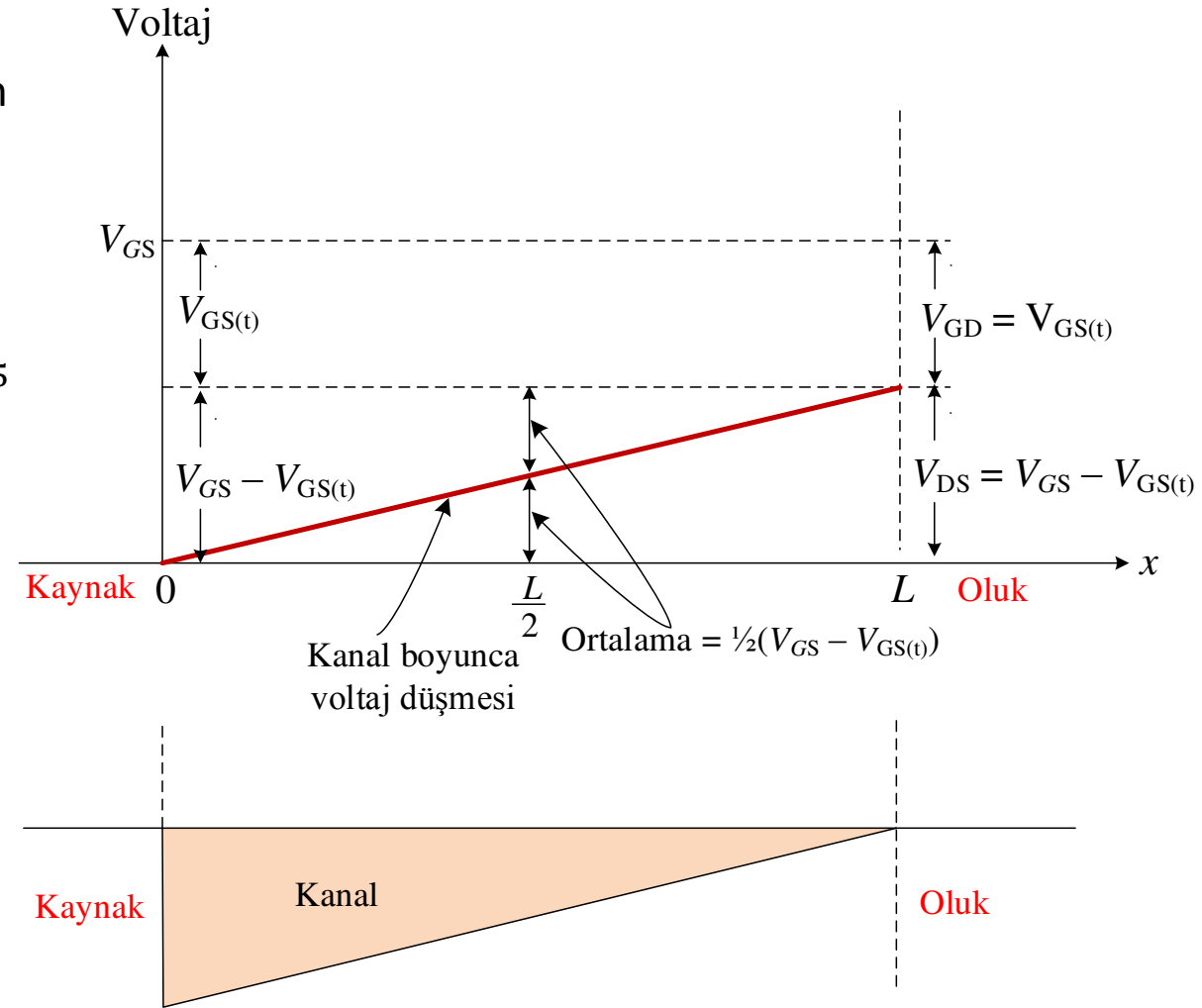


$\varepsilon_{ox} = \varepsilon_r \varepsilon_0 = 3.9 \times 8.854 \times 10^{-12} = 3.45 \times 10^{-11} \text{ F/m}$ , burada  $\varepsilon_r$ , bağıl dielektrik sabitidir, silikon dioksit için 3.9 dur. Oksit kalınlığı  $t_{ox}$  MOSFET'in fabrikasyonunda kullanılan işlem teknolojisi ile belirlenmektedir. Örneğin  $t_{ox} = 4 \text{ nm}$ 'li bir işlem için

$$C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} = \frac{3.45 \times 10^{-11}}{4 \times 10^{-9}} = 8.6 \times 10^{-3} \text{ F/m}^2$$

dir.  $W = 0.72 \mu\text{m}$  ve  $L = 0.18 \mu\text{m}$  ye sahip teknoloji ile üretilen MOSFET için kapı ve kanal arasındaki toplam kapasitans,  $C = C_{ox}(WL) = 8.6 \times 10^{-3} \times 0.72 \times 10^{-6} \times 0.18 \times 10^{-6} = 1.1 \times 10^{-15} = 1.1 \text{ fF}$

$I_D$  doyuma ulaştığında, yani kanal kısılma anında kanal bölgesindeki yük, ortalama  $\frac{V_{GS} - V_{GS(t)}}{2}$  voltajı ile orantılı olur. Bu durum şekil 20 de gösterilmiştir. **Kanalın kısılması kanalın bloke olması anlamına gelmez. Kısılmış kanal içerisinde akım akmaya devam eder ve kanalın oluk ucuna ulaşan elektronlar tükenim bölgesi (şekilde gösterilmemiş) içinden hızlandırılır ve oluk terminaline geçerler.  $V_{DS(doy)}$  un yukarısında  $V_{DS}$  deki herhangi bir artış tükenim bölgesinin uçları arasında bir voltaj düşmesi olarak gözükür. Böylece hem kanal içindeki akım hem de kanalın uçları arasındaki voltaj düşmesi doyumda sabit kalır. Kanalda kısılma olmadan önceki çalışma bölgesinin ismi **triode bölgesidir** (Şekil 18 (b)). Bu isim, çalışması FET'lerinkine benzediğinden, vakuum tüb cihazları günlerinden gelmektedir.**



**Şekil 20**  $V_{DS}$  doyum değeri  $V_{DS(doy)}$ 'a artırıldığında MOSFET'in çalışma işlemi.

Doyum bölgesinde  $V_{DS} = (V_{GS} - V_{GS(t)}) = V_{DS(doy)}$  dır. Dolayısıyla, kanaldaki elektron yükünün büyüklüğü aşağıdaki gibi ifade edilebilir.  $Q = C_{ox}(WL) \left( \frac{V_{GS} - V_{GS(t)}}{2} \right)$ , ( $Q = CV$  den)

Kanalda bir akım oluşturmak için uygulanan  $V_{DS}$  voltajı, kanal uzunluğu boyunca aşağıda verilen bir elektrik alan oluşturur. Bu elektrik alanın etkisiyle kanal boyunca elektronlar oluğa doğru sürüklenir. Birim kanal uzunluğu başına yük miktarı aşağıdaki gibi yazılabilir.

$$\frac{Q}{\text{Birim kanal uzunluğu (L)}} = C_{ox}W \left( \frac{V_{GS} - V_{GS(t)}}{2} \right)$$

Kanal uzunluğunun uçları arasındaki elektrik alan,  $|E| = \frac{V_{DS}}{L}$  ve elektronun sürüklenme hızı  $v_d = \mu_n |E| = \mu_n \frac{V_{DS}}{L}$  olur, burada  $\mu_n$ ,  $n$ -tipi kanalın mobilitesidir, birimi  $m^2/V.s$  dir.  $I_D$  nin değeri, kanal uzunluğu başına yük değeri ile sürüklenme hızının çarpımından bulunur.

$$I_D = \mu_n C_{ox} \frac{W}{L} \left( \frac{V_{GS} - V_{GS(t)}}{2} \right) V_{DS}$$

$$I_D = \mu_n C_{ox} \frac{W}{L} \left( \frac{V_{GS} - V_{GS(t)}}{2} \right) (V_{GS} - V_{GS(t)})$$

$$I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{GS(t)})^2$$

olur. Burada  $K = \frac{1}{2} \mu_n C_{ox} \frac{W}{L}$ , MOSFET'in malzeme ve fiziksel özelliklerine bağlı bir sabittir, birimi  $A/V^2$  dir.  $\mu_n C_{ox}$ , MOSFET'in fabrikasyonunda kullanılan işlem teknolojisi ile belirlenmektedir. Kanal genişliği ( $W$ ) ile doğru orantılı, kanal uzunluğu ( $L$ ) ile ters orantılıdır. Kanal uzunluğunun bir minimumu vardır, teknolojik ilerlemelerle sürekli küçültülmektedir. 2009 da ticari olarak elde edilebilir MOS teknolojisi bir 45 nm işlemiydi. Bunun anlamı minimum kanal uzunluğu 45 nm idi. Oksit kalınlığı  $t_{ox}$  de sürekli indirgenmektedir. 0.13  $\mu m$  teknolojisi için  $t_{ox}$  2.7 nm iken modern 45nm teknolojisi için  $t_{ox}$  1.4 nm dir. Bu parametreler MOSFET'i oldukça fiziksel duyarlı yapar.

**Örnek:** Bir 2N7008 E-MOSFET için veri sayfasında  $V_{GS} = 10V$  ta (minumum)  $I_{D(on)} = 500 \text{ mA}$  dir ve  $V_{GS(t)} = 1 \text{ V}$  tur.  $V_{GS} = 5 \text{ V}$  için  $I_D$  yi hesaplayınız.

Çözüm:

$$K = \frac{I_{D(on)}}{(V_{GS} - V_{GS(t)})^2} = \frac{500 \text{ mA}}{(10 \text{ V} - 1 \text{ V})^2} = \frac{500 \text{ mA}}{81 \text{ V}^2} = 6.17 \text{ mA/V}^2$$

$$V_{GS} = 5 \text{ V} \text{ için } I_D = K(V_{GS} - V_{GS(t)})^2 = (6.17 \text{ mA/V}^2)(5 \text{ V} - 1 \text{ V})^2 = \mathbf{98.7 \text{ mA}}$$

**Soru:** Bir E-MOSFET için veri sayfasında  $V_{GS} = 8V$  ta (minumum)  $I_{D(on)} = 100 \text{ mA}$  dir ve  $V_{GS(t)} = 4 \text{ V}$  tur.  $V_{GS} = 6 \text{ V}$  için  $I_D$  yi hesaplayınız.

### Tutma ve Taşıma tedbirleri

Bütün MOS cihazlar elektrostatik boşalmayla hasara maruz kalabilir. Bir MOSFET'in kapısı kanaldan yalıtıldığından giriş direnci son derece yüksektir (ideal olarak sonsuzdur). Tipik JFET'ler için kapı ters akımı nA mertebesinde iken, tipik bir MOSFET için kapı sızıntı akımı pA mertebesinde dir. Yalıtılmış kapı yapısından dolayı giriş kapasitansı vardır. Giriş kapasitansı, çok yüksek giriş direnci ile birleştiğinden aşırı statik yük birikmesi olabilir. Bu da cihaza hasarla sonuçlanabilir. Bunu önlemek için iletken köpükte depolanıp taşınmalıdır. Testte ve montajda bütün aletler ve tezgah topraklanmalıdır. Tutmadan önce kapı kaynak arası kısa devre yapılarak da statik yükten korunmalıdır.

**Örnek:**  $L_{\min} = 0.4 \mu\text{m}$ ,  $t_{ox} = 8 \text{ nm}$ ,  $\mu_n = 450 \text{ cm}^2/\text{V.s}$  ve  $V_{GS(t)} = 0.7 \text{ V}$  değerlerine sahip bir işlem teknolojisi için:

(a)  $C_{ox}$ 'i hesaplayınız.

(b)  $W/L = 8\mu\text{m}/0.8\mu\text{m}$  olan bir MOSFET için,  $I_D = 100 \mu\text{A}$  olan bir doğru akımla doyum bölgesinde çalışması için ihtiyaç duyulan  $V_{GS} - V_{GS(t)}$ ,  $V_{GS}$  ve  $V_{DS(\min)}$  değerlerini hesaplayınız.

(c) (b) deki cihazın, çok küçük  $V_{DS}$  değerinde  $1000 \Omega$ 'luk bir rezistör olarak işlem yapması için gerekli olan  $V_{GS} - V_{GS(t)}$ ,  $V_{GS}$  değerlerini bulunuz.

**Çözüm:**

$$(a) C_{ox} = \frac{\epsilon_{ox}}{t_{ox}} = \frac{3.45 \times 10^{-11}}{8 \times 10^{-9}} = 4.32 \times 10^{-3} \text{ F/m}^2$$

$$(b) I_D = \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{GS(t)})^2 = \frac{1}{2} 450 \times 4.32 \times 10^{-3} \frac{8}{0.8} (V_{GS} - V_{GS(t)})^2 = 100$$

$V_{GS} - V_{GS(t)} = 0.32 \text{ V}$  olur. Buradan  $V_{GS} = V_{GS(t)} + 0.32 = 0.7 + 0.32 = 1.2 \text{ V}$  olur.

$V_{DS(\min)} = V_{GS} - V_{GS(t)} = 0.32 \text{ V}$  dir.

Şekil 18 de görüldüğü gibi, çok küçük  $V_{DS}$ 'ler için triode bölgesinde kanal direnci eğimli doğru şeklindedir. Bu durumda bu doğrunun eğimi kanalın iletkenliğine eşittir, yani  $g_{DS} = \frac{I_D}{V_{DS}} = \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{GS(t)})$  dir. Dolayısıyla bu bölgede kanal

direnci,  $r_{DS} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{GS(t)})}$  dir.

$$(c) r_{DS} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{GS(t)})} = \frac{1}{450 \times 4.32 \times 10^{-3} \frac{8}{0.8} (V_{GS} - V_{GS(t)})} = 1000,$$

Buradan  $V_{GS} - V_{GS(t)} = 0.52 \text{ V}$  olur ve  $V_{GS} = V_{GS(t)} + 0.52 = 1.22 \text{ V}$  olur.

# Maksimum Oranlar

Transistörün çalışması üstüne sınırlama getiren maksimum oran değerleri FET’de de vardır. Bunlar üretim sırasında belirlenir ve veri sayfalarında verilir. Tipik olarak bu değerler  $V_{DS}$  voltajı,  $V_{DG}$  voltajı,  $V_{GS}$  voltajı,  $I_D$  akımı,  $I_G$  ve güç tüketimidir. Normalde  $I_G = 0$  dır, fakat bir kapı akımına zorlanırsa 10 mA’i ( $I_{GF}$ ) aşmamalıdır.

Maksimum güç tüketimi 25 °C de verilir, fakat  $V_{DS}$  ve  $I_D$  nin çarpımını aşmamalıdır. Dolayısıyla hem  $V_{DS}$  hem de  $I_D$  aynı anda maksimum olamaz. Çünkü üretim sırasında belirlenen hem  $V_{DS}$  nin hem de  $I_D$  nin bir maksimum değeri vardır. Eğer  $V_{DS}$  maksimum ise,

$$I_D = \frac{P_{D(maks)}}{V_{DS}}$$

dir. Eğer  $I_D$  maksimum ise,

$$V_{DS} = \frac{P_{D(maks)}}{I_D}$$

dir. Çünkü her bir transistörün tüketebileceği bir maksimum güç ( $P_{D(maks)}$ ) değeri vardır.

Birde maksimum **gücün azalması** (Derating  $P_{D(maks)}$ ) vardır.  $P_{D(maks)}$  genellikle 25 °C de verilir. 25 °C’nin yukarısında artan her bir °C başına güçteki azalma miktarına **güç azalma faktörü** denir. Örneğin değeri 2mW/°C olan bir güç azalma faktörü, her bir derece sıcaklık artışı için maksimum gücün 2 mW azalacağı anlamına gelir.

# Kaynaklar

1. Electronic Devices- Thomas L. Floyd
2. Electronic Devices and Circuit Theory- Robert Boylestad and Louis Nashelsky
3. Microelectronic circuits, Sedra/Smith
4. Semiconductor Physics and Devices: Basic Principles, Donald A. Neamen
5. Fenciler için Temel Elektronik- James J. Brophy, Çeviri, Ankara üniversitesi, Mehmet Zengin
6. Fenciler ve Mühendisler için Elektronik- R. Ralph Benedict, çeviri, Ondokuz Mayıs Üni., Fevzi Köksal
7. Temel Elektrik Mühendisliği, çeviri, Ankara Üni, Kerim KIYMAÇ
8. Physics Of Semiconductor Devices, J. P. Colinge, C. A. Colinge