



LOJİK DEVRE LABORATUVARI DENEY FÖYÜ

YILDIZ TEKNİK ÜNİVERSİTESİ BİLGİSAYAR MÜHENDİSLİĞİ



İÇİNDEKİLER

Lojik Devre Laboratuvarı Deney Föyü İçeriği.....	2
Laboratuvar Çalışma Düzeni	2
Genel Bilgiler.....	2
Kurallar	3
Temel Bilgiler	4
Deney İçerikleri	6
0. Deney	6
1. Deney	6
2. Deney	6
3. Deney	6
4. Deney	6
Malzeme Listesi	7
Datasheet Bilgileri	8

Lojik Devre Laboratuvarı Deney Föyü İçeriği

Laboratuvar Çalışma Düzeni

Genel Bilgiler

- Grupların tarih ve saatleri laboratuvar sorumluları tarafından ilan edilecektir.
- Laboratuvardan kalmak dersten kalmayı gerektirmez.
- Deneyler bireysel olarak yapılacaktır. Hangi öğrenciye hangi sorunun geleceği rastgele belirlenecektir.
- Deney süresi bir saattir.
- Digital isimli simülasyon programı ortamında deneyleri gerçekleştirebilecek donanıma sahip olmanız beklenmektedir.
- Öğrencilerin, laboratuvara gelmeden önce,
 - ✓ Entegre tanıtım videolarını ve diğer videoları incelemiş olmaları,
 - ✓ Laboratuvara uygulaması için gerekli ön çalışmayı yapmış olmaları,
 - ✓ Föyde yazılı olan malzeme listesindeki malzemeleri satın almış olmaları,
 - ✓ Deneyde kullanılacak entegrelerin “datasheet”leri araştırarak, nasıl çalıştıklarını öğrenmeleri gerekmektedir.

Kurallar

- Deneyler, öğrenciye pratik ve teorik bilgilerin verilmesinin yanında çalışma disiplini elde etmesi için de önemlidir.
- Kişiler kendi aralarında konuşamaz, birbirlerinden yardım isteyemez.
- Öğrenci çalıştığı ortamı temiz bırakmak zorundadır.
- Öğrenci malzemesi eksik olarak deneye gelemez.
- Deney notları, o hafta deneylerin bitiminden sonra laboratuvar sorumluları tarafından ilan edilir.
- Bu kurallar öğrenciye çalışma disiplini sağlamak içindir. Bu hangi mesleği seçerseniz seçin sizin için deneylerin içeriğinden daha önemli bir konudur.

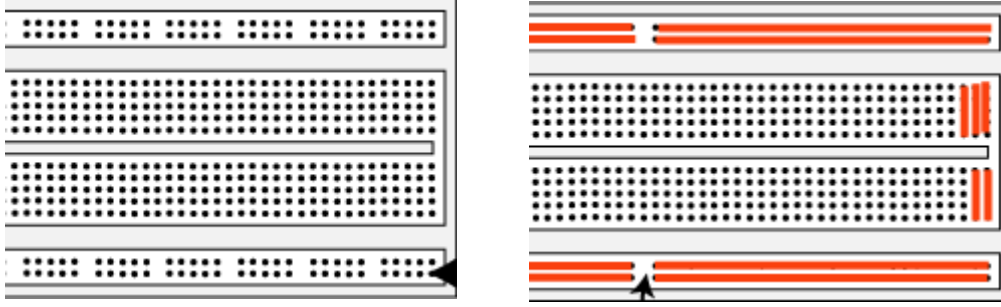
Temel Bilgiler

Lojik devreler anlatım videolarına aşağıdaki linkten erişilebilir:
<https://www.youtube.com/user/ytudonanim>

Öğrenci her deneyden önce o deney için kullanılacak entegrenin tanıtım videosunu izlemelidir.

İhtiyaç duyabileceğiniz yazılı anlatımlar aşağıdadır.

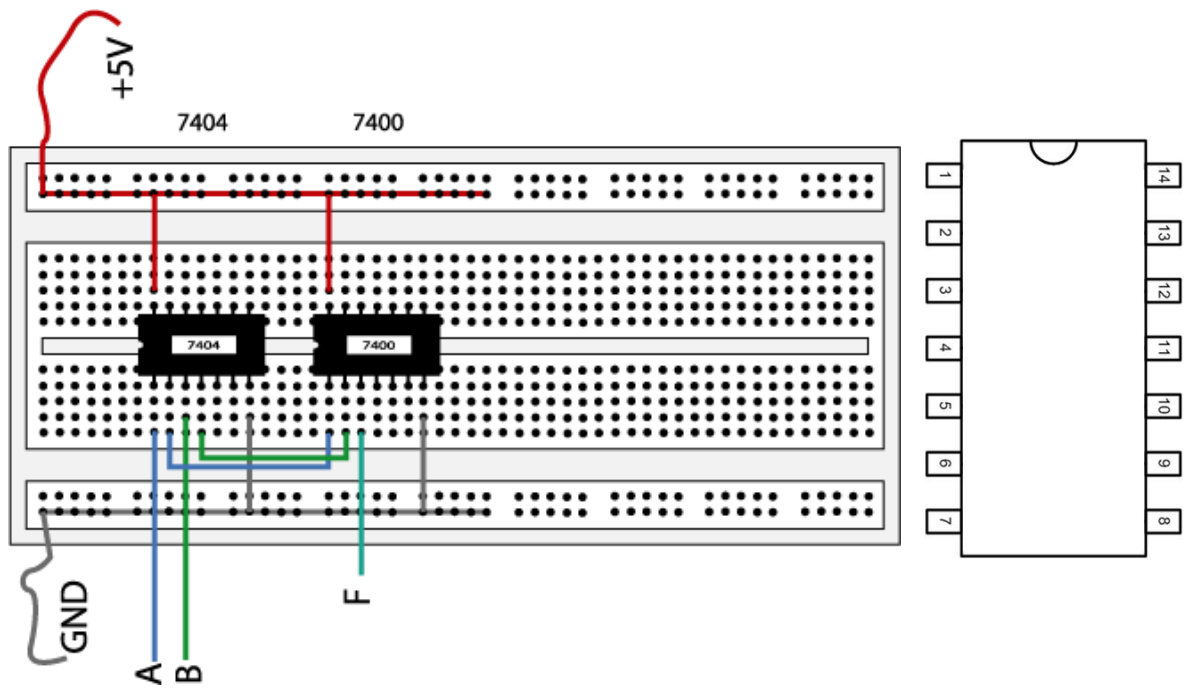
Deneylerde devreler delikli çalışma panolarında (breadboard) gerçekleştirilecektir. Breadboard'a ilişkin görünüm ve içten kısa devre olan düğümler aşağıdaki şekil ile özetlenmiştir. Dış taraftaki 2'li yolların devrede 5V ve GND dağıtımı için kullanılması uygundur. İç kısımdaki 5'li terminal düğümler ise lojik entegrelerin yerleştirilmesi için uygundur.



Örneğin $F=(A'.B')$ fonksiyonunu ele alacak olursak F fonksiyonu 2 NOT ve 1 NAND kapısı ile gerçekleştirilebilir. Devreye ilişkin girişler için 8'li lojik anahtarlardan istenen ikisi kullanılabilir. Çıkış için ise yine gösterge LED'lerden istenen kullanılabilir.

Deney seti üzerindeki sabit 5V ve GND düğümlerinden ilgili gerilimler breadboard üzerine teller ile taşınarak istenen devre aşağıdaki şekilde kurulmalıdır. Dikkat edilecek nokta lojik entegrelerin her bir bacağına farklı bir düğüme denk getirilmesidir.

Entegre bacak numaralandırılması entegre üzerindeki çentiğin solu 1 olacak şekilde saat yönünün tersine artan düzende yapılır. Deney sırasında devreye eklenen her bir kapı için çıktı kontrolü yapılarak (kapı çıkışı LED'e bağlanarak) ilerlenmesi hatasız devre kurulum açısından önemlidir ayrıca hatalı sonuç oluşmuşsa önceki kapılara doğru gelerek adım adım hata ayıklaması yapılmalıdır.



Deney İçerikleri

0. Deney

Digital isimli simülasyon programı ve board gibi temel elemanların kullanımına ilişkin genel bilgilendirmeler.

1. Deney

Doğruluk tablosu, lojik kapı dönüşümleri.

2. Deney

Karnaugh haritası, maxterm - minterm.

3. Deney

Mux ile lojik fonksiyon gerçekleştirme.

4. Deney



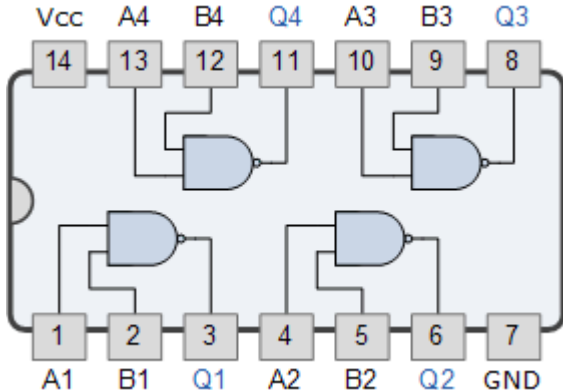
Durum diyagramlarının flip flop'lar ile gerçekleştirilmesi.

Malzeme Listesi

- 7400 *3 (4-2 in NAND)
- 7402 *3 (4-2 in NOR)
- 7404 *3 (6 inverter)
- 7410 *3 (3-3 in NAND)
- 7420 *3 (2-4 in NAND)
- 7427 *3 (3-3 in NOR)
- 7432 *3 (4-2 in OR)
- 7408 *3 (4-2 in AND)
- 7474 *3 (2 D flip flop)
- 7483 *3 (4-bit binary adder)
- 7486 *3 (4-2 in XOR)
- 74112 *3 (4 JK flip flop)
- 74139 *3 (2-2 4 decoder)
- 74153 *3 (2-4*1 mux)
- 74158 *3 (4-2*1 mux)
- 74163 *3 (4-bit counter)
- 74194 *3 (4-bit bidirectional shift register)
- Yan keski
- Penset
- En az 3 metre tek damar kablo (0.5mm kalınlığında) – (zil teli deney için uygun değildir)

Malzemeler Karaköy elektronikçiler çarşısı ya da Selanik pasajı, Perpa, Kadıköy Yazıcıoğlu iş hanı gibi çeşitli yerlerden temin edilebilir.

Datasheet Bilgileri

7400			
İki girişli 4 NAND kapısı - Quad 2-input NAND gate			
<div></div>			
Sembol	Doğruluk Tablosu		
<div><p>2 girişli NAND kapısı</p></div>	B	A	Q
	0	0	1
	0	1	1
	1	0	1
	1	1	0
Mantıksal İfade $Q = \overline{A \cdot B}$	Q, A VE B'nin DEĞİLİ'dir.		
Pin Diyagramı			
<div></div>			

7402

İki giriřli 4 NOR kapısı – Quad 2-input NOR gate



Sembol

Doğruluk Tablosu

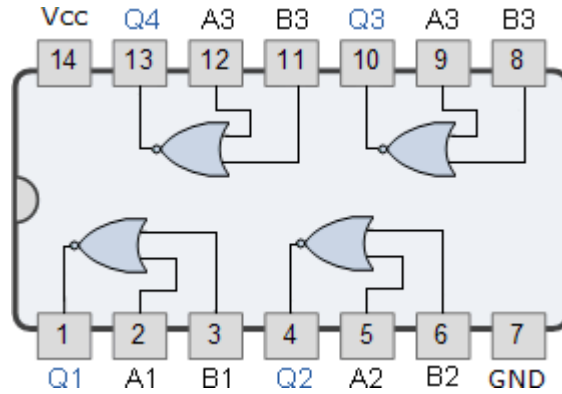


B	A	Q
0	0	1
0	1	0
1	0	0
1	1	0

Mantıksal İfade $Q = \overline{A+B}$

Q, A VEYA B'nin DEĞİLİ'dir.

Pin Diyagramı



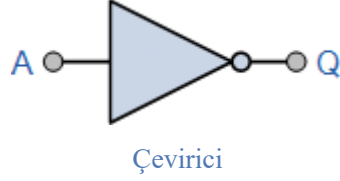
7404

Altı adet çevirici – Hex inverter



Sembol

Doğruluk Tablosu



A

Q

0

1

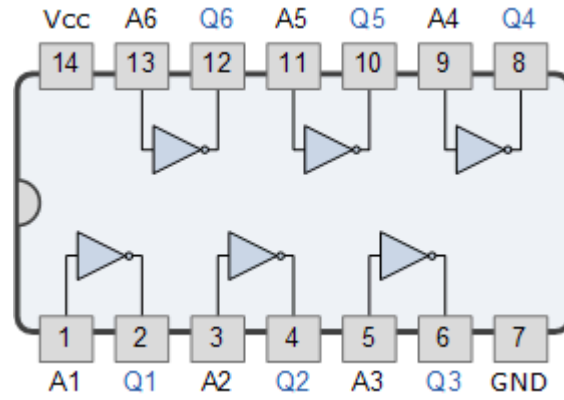
1

0

Mantıksal İfade $Q = \text{not } A \text{ or } \overline{A}$

Q, A'nın tersidir.

Pin Diyagramı

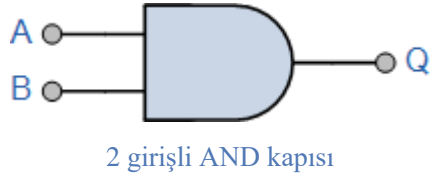


7408

İki girişli 4 AND kapısı - Quad 2-input AND gate



Sembol



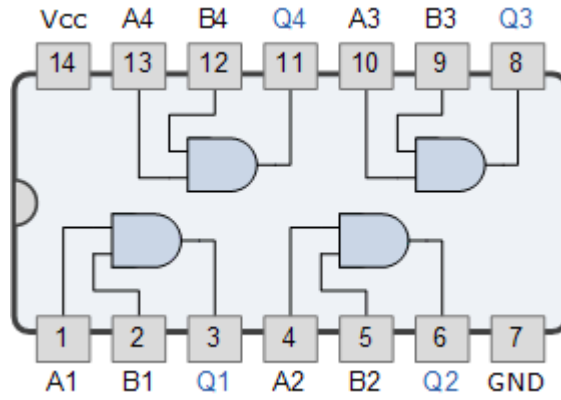
Doğruluk Tablosu

B	A	Q
0	0	0
0	1	0
1	0	0
1	1	1

Mantıksal İfade $Q = A.B$

Q, A VE B'ye eşittir.

Pin Diyagramı



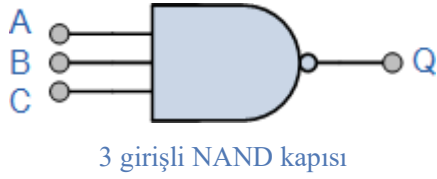
7410

Üç girişli 3 NAND kapısı - Triple 3-input NAND gate



Sembol

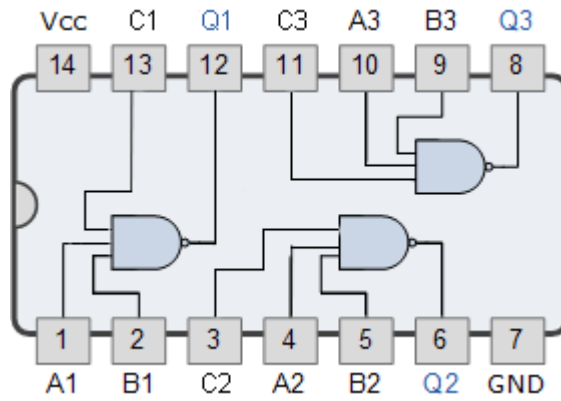
Doğruluk Tablosu



Mantıksal İfade $Q = \overline{A.B.C}$

Q, A VE B VE C'nin DEĞİL'idir.

Pin Diyagramı

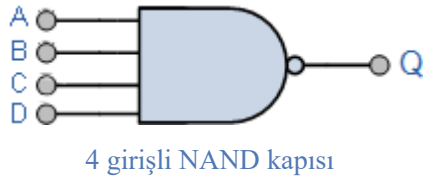


7420

Dört giriřli 2 NAND kapısı – Dual 4-input NAND gate



Sembol



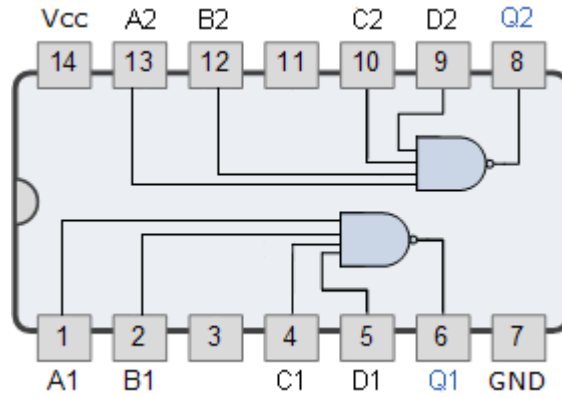
Doğruluk Tablosu

A	B	C	D	Q
X	X	X	0	1
X	X	0	X	1
X	0	X	X	1
0	X	X	X	1
1	1	1	1	0

Mantıksal İfade $Q = \overline{A.B.C.D}$

Q, A VE B VE C VE D'nin DEĞİL'idir.

Pin Diyagramı



7427

Üç girişli 3 NOR kapısı - Triple 3-input NOR gate



Sembol

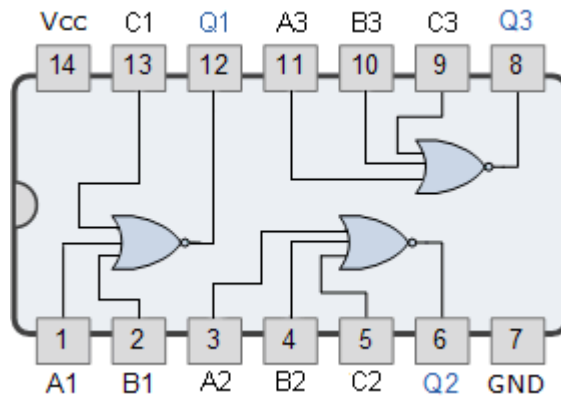
Doğruluk Tablosu



Mantıksal İfade $Q = \overline{A+B+C}$

Q, A VEYA B VEYA C'nin DEĞİL'idir.

Pin Diyagramı



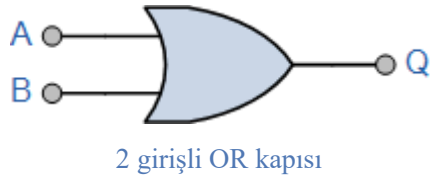
7432

İki girişli 4 OR kapısı - Quad 2-input OR gatee



Sembol

Doğruluk Tablosu

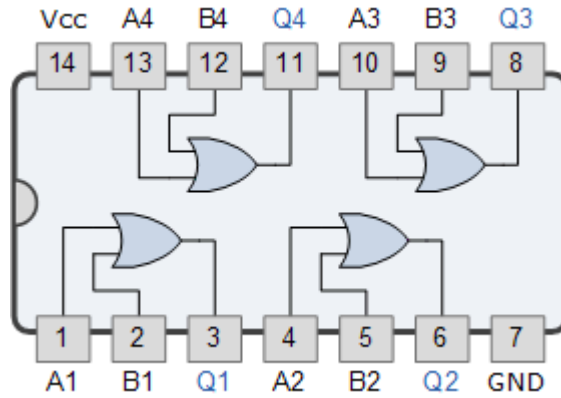


A	B	Q
0	0	0
0	1	1
1	0	1
1	1	1

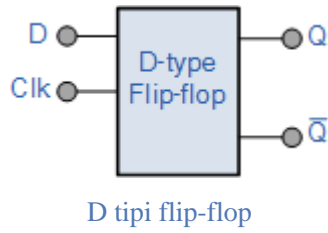
Mantıksal İfade $Q = A+B$

Q, A VEYA B'dir.

Pin Diyagramı

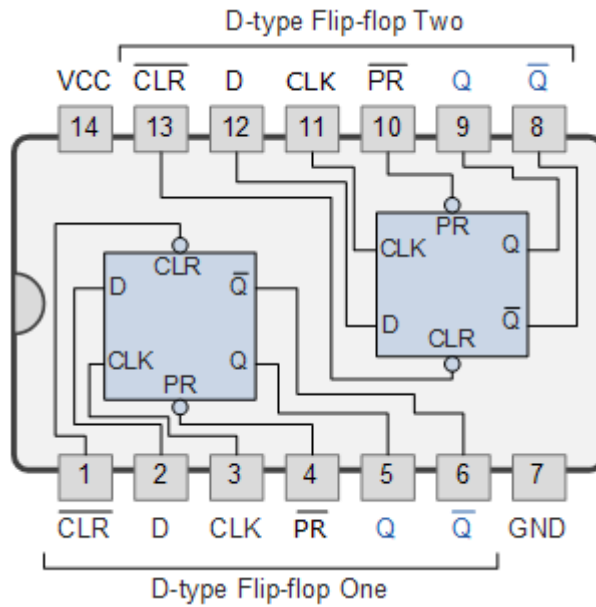


7474 D Tipi Flip-Flop



Sembol	Doğruluk Tablosu						
	\overline{PR}	\overline{CLR}	Clk	D	Q	\overline{Q}	Açıklama
	0	1	X	X	1	0	İlk değer olarak 1 oluşturulur.
	1	0	X	X	0	1	İlk değer olarak 0 oluşturulur.
	0	0	X	X	1	1	İlk değer için ayar modu.
	1	1	$\downarrow \gg 0$	X	$Q(t-1)$	$\overline{Q}(t-1)$	Bellekte değişim yok
	1	1	$\uparrow \gg 1$	0	0	1	Reset $Q \gg 0$
	1	1	$\uparrow \gg 1$	1	1	0	Set $Q \gg 1$

Pin Diyagramı

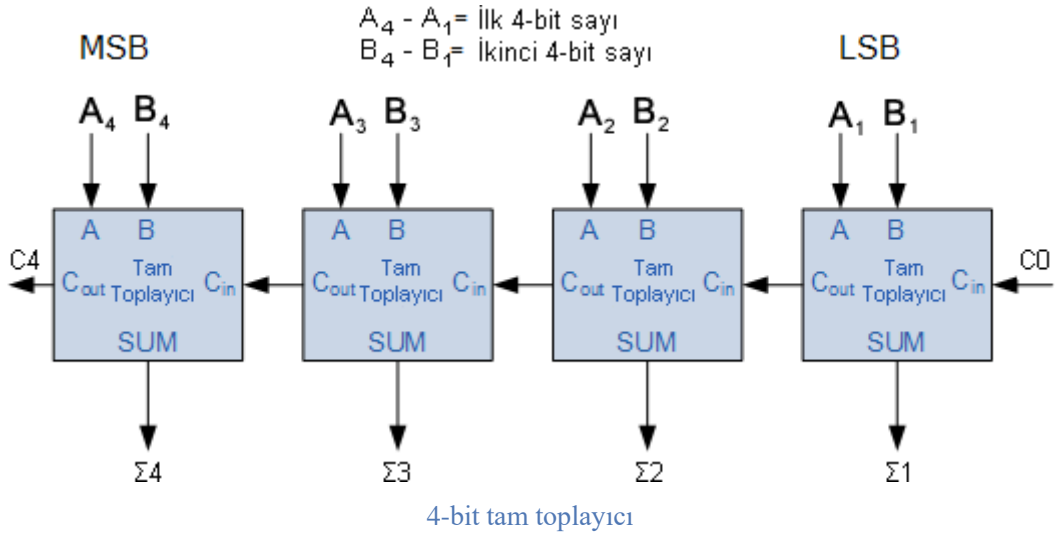


7483

4-bit binary tam toplayıcı – 4-bit binary full adder



Sembol



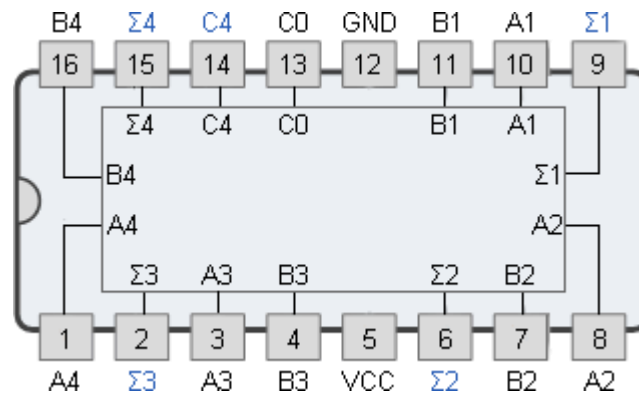
Doğruluk Tablosu

C0	A4	A3	A2	A1	B4	B3	B2	B1	C4	Σ4	Σ3	Σ2	Σ1
0	0	0	0	1	0	0	0	1	0	0	0	1	0
0	0	1	0	1	1	0	1	0	0	1	1	1	1
1	0	1	0	1	1	0	1	0	1	0	0	0	0
1	0	0	0	1	0	0	0	0	0	0	0	1	0

$$C0 + (A1 + B1) + 2(A2 + B2) + 4(A3 + B3) + 8(A4 + B4) = \Sigma1 + 2\Sigma2 + 4\Sigma3 + 8\Sigma4 + 16C4$$

(+) = toplama işlemidir.

Pin Diyagramı



7486

İki girişli 4 adet XOR(ÖZEL VEYA) kapısı – Quad 2-input XOR gate



Sembol



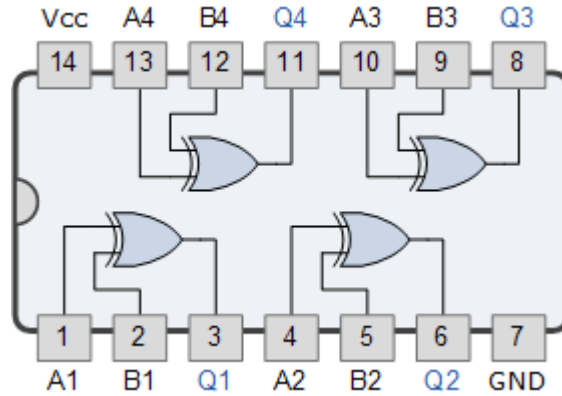
Doğruluk Tablosu

A	B	Q
0	0	0
0	1	1
1	0	1
1	1	0

Mantıksal İfade $Q = A \oplus B$

Q, A VEYA B ancak İKİSİ BİRDEN değil.

Pin Diyagramı

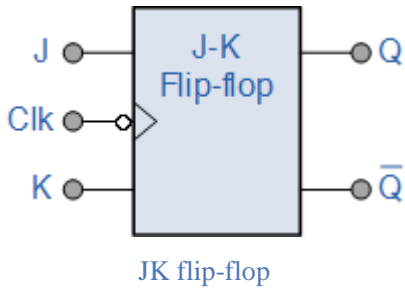


74112

JK Flip-Flop

J-K

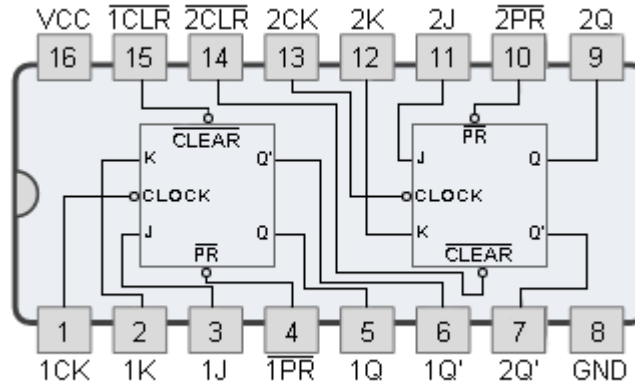
Sembol



Doğruluk Tablosu

$\overline{\text{CLR}}$	$\overline{\text{PR}}$	J	K	CLOCK	Q	\overline{Q}	Açıklama
0	1	X	X	X	0	1	Temizle
1	0	X	X	X	1	0	Önceden Ayarla
0	0	X	X	X	1	1	-
1	1	0	0	↓	$Q(t-1)$	$\overline{Q}(t-1)$	Değişim Yok
1	1	1	0	↓	1	0	-
1	1	0	1	↓	0	1	-
1	1	1	1	↓	$\overline{Q}(t-1)$	$Q(t-1)$	Geçiş
1	1	X	X	↑	$Q(t-1)$	$\overline{Q}(t-1)$	Değişim Yok

Pin Diyagramı

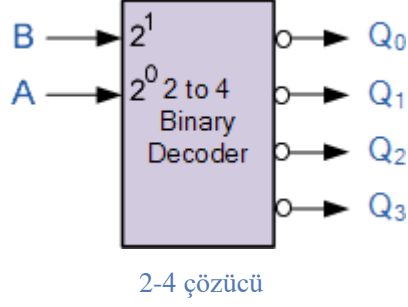


74139

İki 2-4 çözücü - Dual 2-to-4 decoder



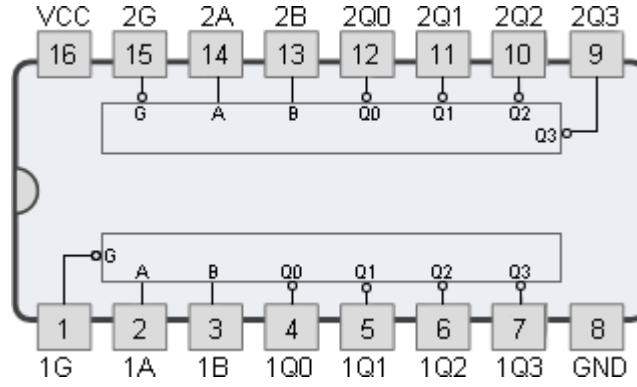
Sembol



Doğruluk Tablosu

B	A	Q0	Q1	Q2	Q3
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

Pin Diyagramı

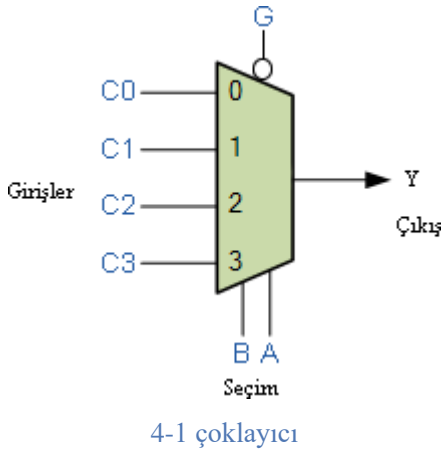


74153

İki 4-1 çoklayıcı - Dual 4-to-1 multiplexer

MUX

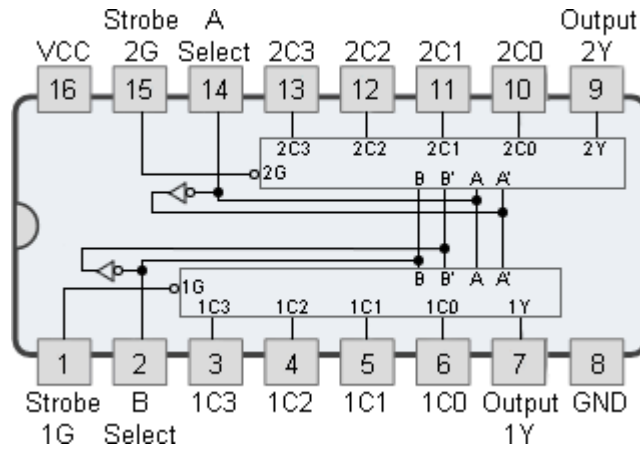
Sembol



Doğruluk Tablosu

A	B	C0	C1	C2	C3	G	Y
X	X	X	X	X	X	1	0
0	0	0	X	X	X	0	0
0	0	1	X	X	X	0	1
1	0	X	0	X	X	0	0
1	0	X	1	X	X	0	1
0	1	X	X	0	X	0	0
0	1	X	X	1	X	0	1
1	1	X	X	X	0	0	0
1	1	X	X	X	1	0	1

Pin Diyagramı

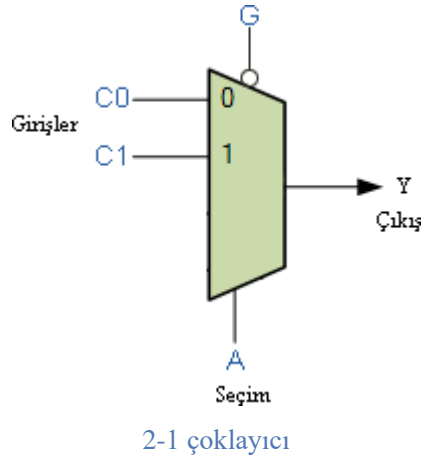


74158

Dört 2-1 çoklayıcı - Quad 2-to-1 multiplexer

MUX

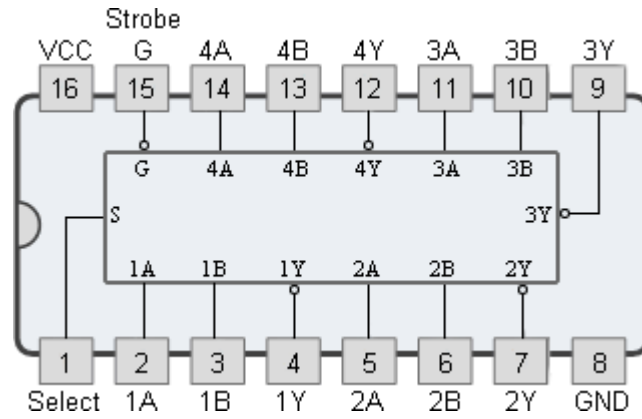
Sembol



Doğruluk Tablosu

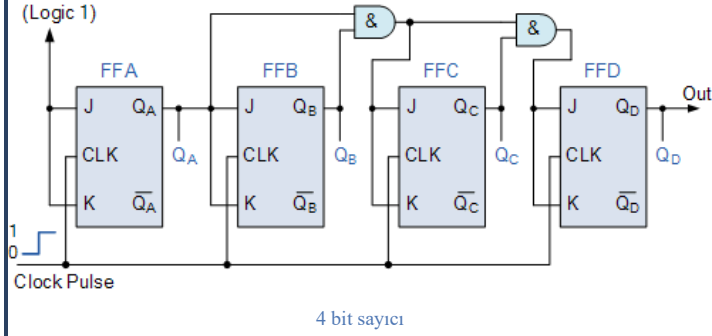
G'	S	A	B	Y'
1	X	X	X	1
0	0	0	X	1
0	0	1	X	0
0	1	X	0	1
0	1	X	1	0

Pin Diyagramı

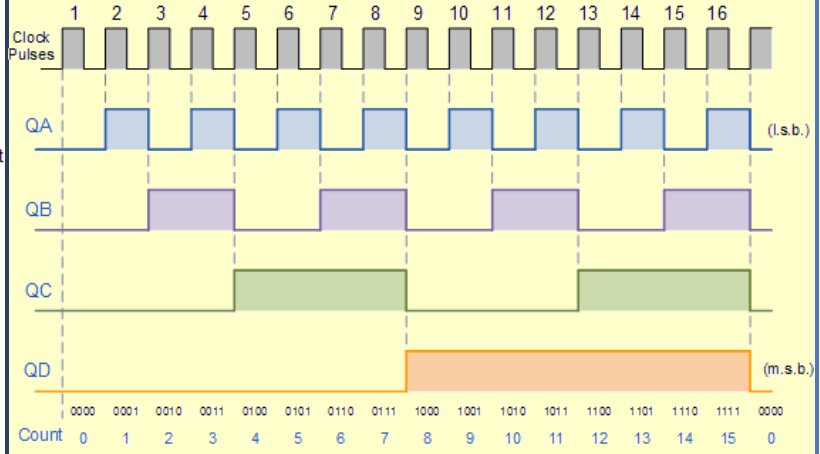


..2

Sembol



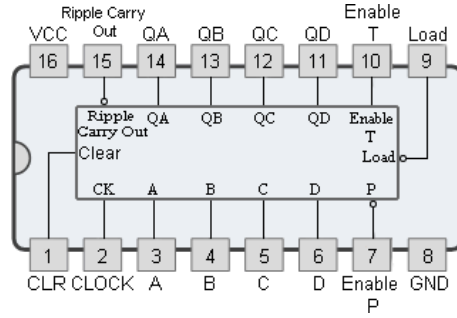
Dalga Formu Diyagramı



Doğruluk Tablosu

CLOCK	CLEAR	LOAD	Enable P	Enable T	D-A	QD	QC	QB	QA	Açıklama
↑	0	X	X	X	X	0	0	0	0	Sayacı sıfırla
↑	1	0	X	X	D-A	QD	QC	QB	QA	Sayaca girişi yükle
↑	1	1	1	1	X	0'dan 15'e kadar sayar				Sayacı artır

Pin Diyagramı

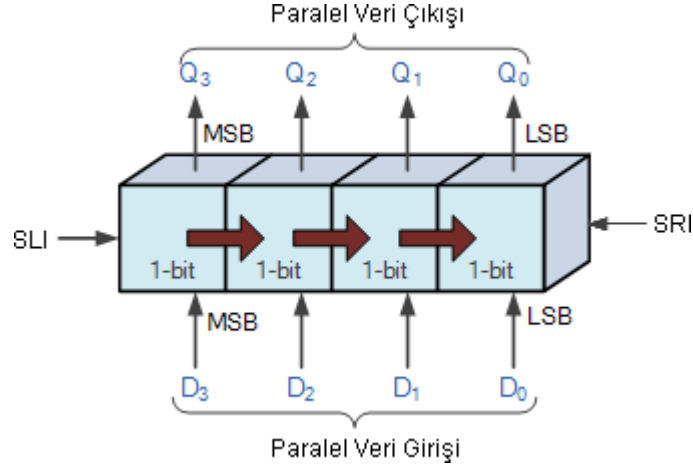


74194

4-bit paralel yüklemeli çift yönlü ötelemeli yazmaç 4-bit bidirectional shift register



Sembol



4-bit çift yönlü kaydırıcı

Fonksiyon Tablosu

clear	S1	S0	clock	SLI	SRI	A	B	C	D	QA	QB	QC	QD
0	X	X	X	X	X	X	X	X	X	0	0	0	0
1	X	X	0	X	X	X	X	X	X	QA0	QB0	QC0	QD0
1	1	1	↑	X	X	a	b	c	d	a	b	c	d
1	0	1	↑	X	1	X	X	X	X	1	QAn	QBn	QCn
1	0	1	↑	X	0	X	X	X	X	0	QAn	QBn	QCn
1	1	0	↑	1	X	X	X	X	X	QBn	QCn	QDn	1
1	1	0	↑	0	X	X	X	X	X	QBn	QCn	QDn	0
1	0	0	X	X	X	X	X	X	X	QA0	QB0	QC0	QD0

a, b, c, d = elle verilen durumlar. QA0,
QB0, QC0, QD0 = ilk durumlar.
QAn, QBn, QCn, QDn = önceki durumlar.

Pin Diyagramı