

Bis jetzt: Keine Rückkopplungen

Eingänge

Ausgänge



DAG
Directed Acyclic Graph

hier: sequentielle Schaltungen
mit Rückkopplung,
speichern Zustände



x_t	$f_{t+\Delta t}$	$f_{t+2\Delta t}$	$f_{t+3\Delta t}$
0	1	1	1
1	$\frac{1}{f_t}$	$\frac{1}{f_t}$	$\frac{1}{f_t}$

Impulsdiagramm:

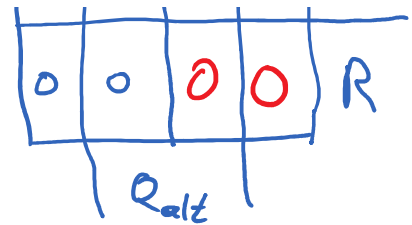


RS-Flip-Flop - S-Set, R-Reset

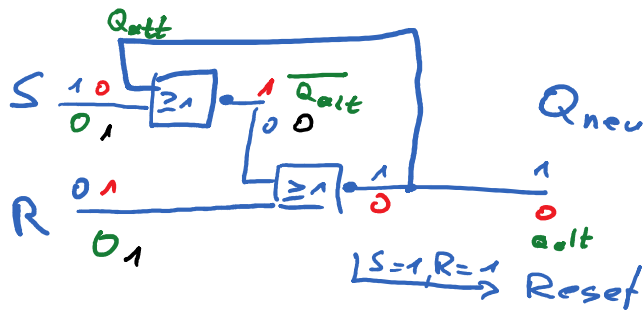
S	R	Q_{alt}	Q_{neu}
0	0	0	0 ✓
0	0	1	1 ✓
0	1	0	0 ✓
0	1	1	0 ✓
-	-	-	-

Q_{neu}	S			
0	1	1	1	
0	0	0	0	R

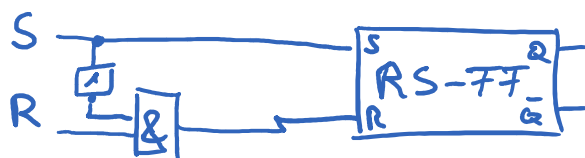
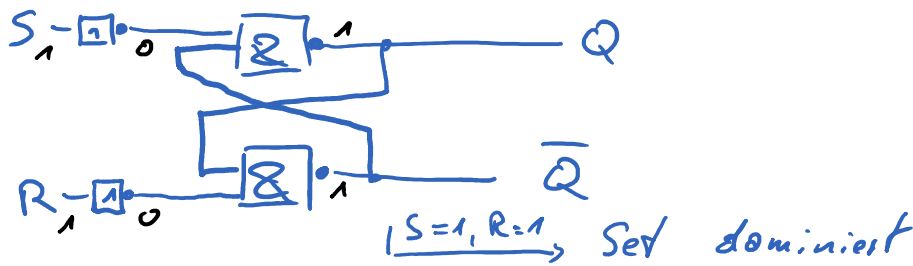
	0	1	0		0	1	0
	0	1	1		0	✓	
	1	0	0		1	✓	
	1	0	1		1	✓	
unerlaubte Zustände	1	1	0				
	1	1	1				



$$Q_{\text{neu}} = Q_{\text{alt}} \cdot \bar{R} + S \cdot \bar{R}$$



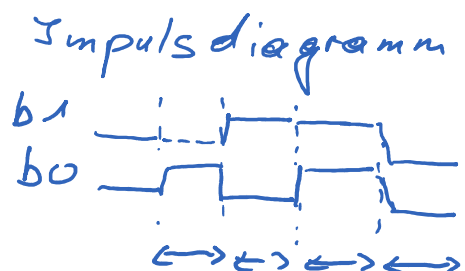
S	R	Qneu
0	0	Qalt
0	1	0
1	0	1
1	1	?



← Set dominiert

Bsp.: 2 Bit Zähler

	alt		neu	
	b1	b0	b1	b0
Clock	0	0	0	1
	0	1	1	0
	1	0	1	1
	1	1	0	0



b1neu	b0alt
0	1
1	0

$$b_{1\text{neu}} = b_{0\text{alt}}$$

b0neu	b1alt
1	1
0	0

$$b_{0\text{neu}} = \bar{b_{1\text{alt}}}$$

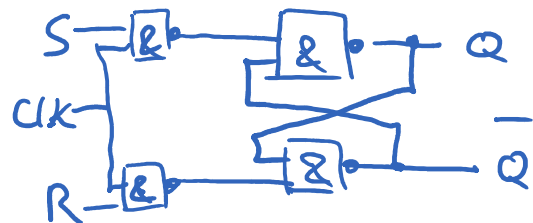
$$b_{\text{neu}} = b_{\text{alt}} \cdot \overline{b_{\text{alt}}} + \overline{b_{\text{alt}}} \cdot b_{\text{alt}}$$

$$b_{\text{neu}} = \overline{b_{\text{alt}}}$$

→ Führe Taktsignal ein CLK, C

CLK

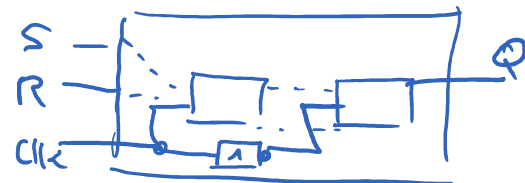
Q_{alt}
S
R
Q_{neu}



Löst das Einführen eines Takts das Problem?
Antwort: Nein, wenn Gatter so schnell sind, daß die Rückkopplung mehrfach durchlaufen wird, während Clock = 1.

Lösung: Verwende Clock und $\overline{\text{Clock}}$

Clock
 $\overline{\text{Clock}}$
Q



an diesen Positionen kann sich Q ändern