

Completar el cronograma correspondiente al siguiente sistema e indicar el contenido final de la memoria. Las entradas al sistema son: start, clk y rst; la salida del sistema es end; y el resto de señales son señales internas según tabla adjunta. Considerar que la memoria es síncrona tanto para lectura como para escritura, y que funciona en modo WRITE\_FIRST. Suponer también que el módulo counter es un contador módulo 8 ascendente en el que la señal cu habilita la cuenta y la señal clear indica la carga síncrona de un 0.

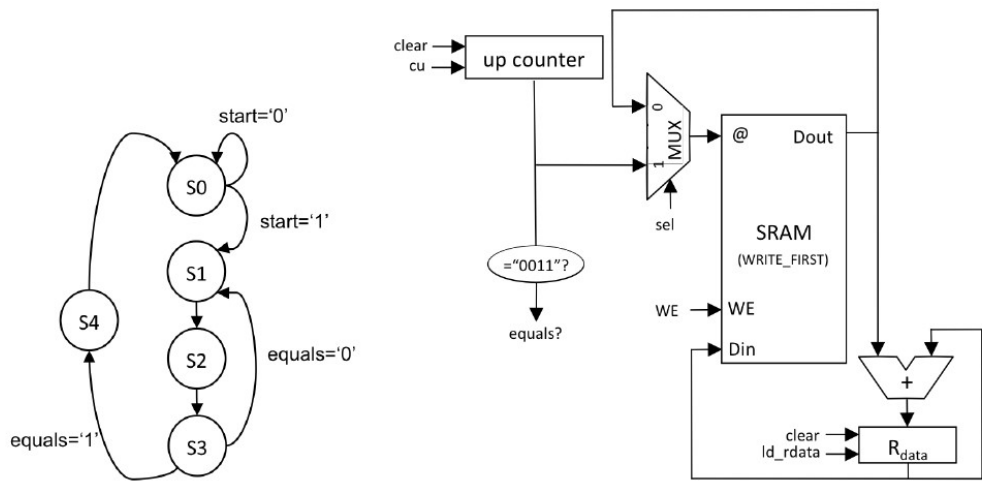


Tabla 2: Contenido de la SRAM

Dirección	Dato
0x00	0x0004
0x01	0x0005
0x02	0x0006
0x03	0xBEEF
0x04	0x1010
0x05	0x0202
0x06	0x3131

Tabla 1: Tabla de salidas

Estado	clear	cu	sel	ld_rdata	WE	end
S0	1	0	1	0	0	1
S1	0	0	1	0	0	0
S2	0	1	0	0	0	0
S3	0	0	1	1	0	0
S4	0	0	1	0	1	0