

Problema 1. Diseñar una red en árbol con una entrada de 16 bits y una salida de 2 bits. La salida $Z = 11$ cuando en la entrada haya 2 o más bits que sean 1. Cada celda procesará 4 bits y todas ellas deben ser iguales. Calcular el retardo.

Problema 2. Diseñar una red iterativa de n celdas que implementa la siguiente función:

$$f(x_{n-1} \cdots x_0) = \begin{cases} 1 & \text{si número de 1s} \geq 3 \\ 0 & \text{c.o.c} \end{cases}$$

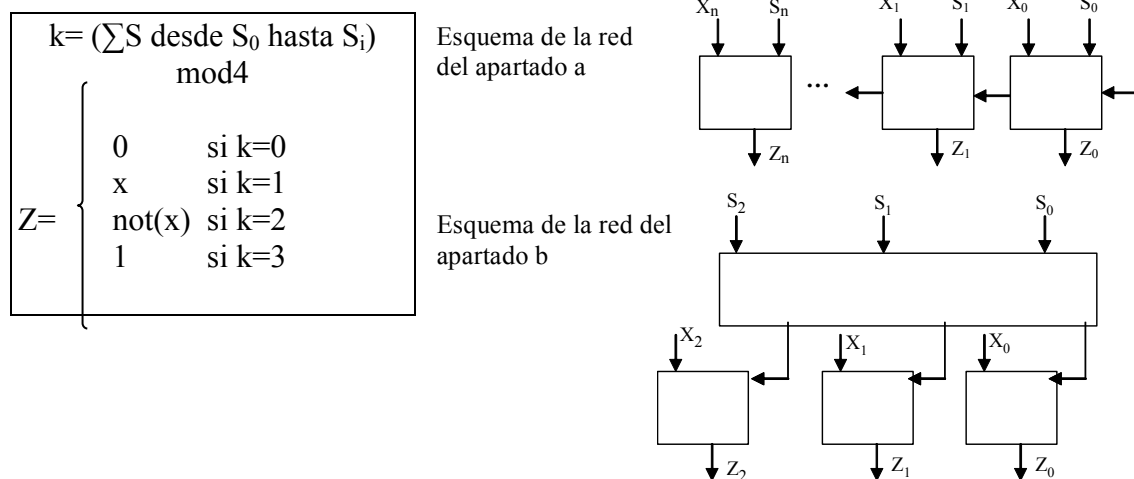
Problema 3. Diseñar una red iterativa para realizar el complemento a 2 de un número de 4 bits.

Problema 4. Repetir el problema anterior, pero con generación anticipada de señales.

Problema 5. Diseñar una red iterativa que mida la distancia entre dos 1's en el vector (x_{n-1}, \dots, x_0) . Se supone que el vector siempre tiene sólo dos 1, y la distancia siempre es menor o igual que siete.

Problema 6. Diseñar una red iterativa que implemente una función de conmutación de n variables $f(x_{n-1}, \dots, x_0)$ de tal forma que la función es igual a 1 bien si existe al menos una de las variables igual a 1, bien si el número de variables igual a 1 es múltiplo de 3. Cada celda de la red recibe como entrada externa una de las n variables.

Problema 7. Diseñar una red iterativa que recibe por un lado una secuencia de dígitos (S_{n-1}, \dots, S_0) y por otro una entrada X . La salida de la celda i se calcula en función del valor de la entrada X_i y del número de 1's que haya en la secuencia S_i-S_0 hasta ese momento siguiendo el siguiente patrón:

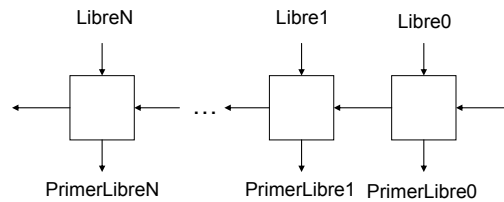


Se piden dos diseños distintos:

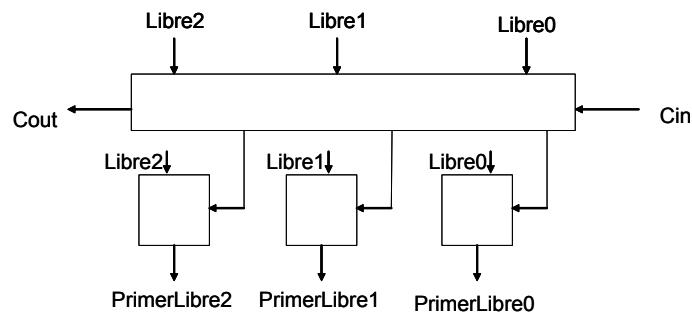
- Una red iterativa para un tamaño genérico n . La información deberá transmitirse de derecha a izquierda.
- Una red iterativa de sólo tres módulos con anticipación de operandos.

Problema 8. Diseñar una red iterativa que encuentre la primera posición libre en un banco de registros de tamaño n . Se piden dos diseños:

- a) Cada celda i recibe como entrada si el registro i está libre o ocupado junto con la entrada que le proporciona la celda anterior (ver la siguiente figura). La salida será uno si i es el primer registro libre y cero en caso contrario. Calcule el retardo de la red en función de n .



- b) Diseñe de nuevo esta red iterativa pero con anticipación de operandos tal y como se ve en la siguiente figura. En este caso la red sólo tiene tres celdas, pero se debe definir también la salida Cout para que se puedan construir redes mayores a partir de este diseño. Calcular el retardo máximo de este diseño.



Problema 9. Un sistema dispone de 8 líneas de entrada (x_7, \dots, x_0) y 3 de salida (y_2, y_1, y_0). La salida codifica en binario puro el número de veces que se repite alguna de las siguientes configuraciones: 010 ó 110. Diseñar una red iterativa que la implemente.

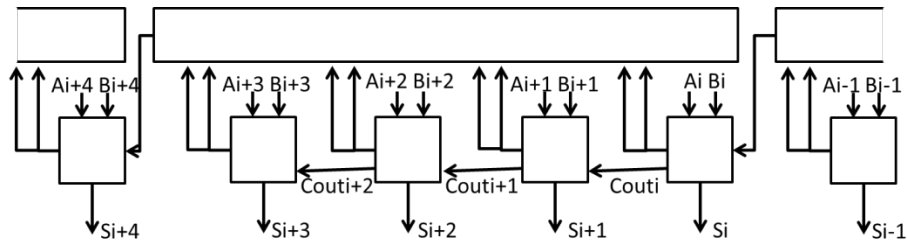
Problema 10.

- a) Diseñar, utilizando puertas lógicas, una red iterativa que dado un vector de entrada, x , de n bits genere una salida, z , de n bits de forma que cada uno de los bits de la salida indique si hay cuatro unos seguidos en el vector de entrada. Se permite solapamiento. La única restricción que se impone al diseño es que la señal interna sólo puede tener dos bits.
- b) Si se considera que cada puerta lógica de dos entradas tiene un retardo de 1 ns (y el retardo de las puertas NOT es despreciable), ¿Cuál será el retardo para la red del apartado anterior?

Problema 11.

- a) Diseñar e implementar, utilizando puertas lógicas de dos entradas, una red iterativa de n entradas que reconozca el patrón "101" con el lsb del patrón situado en las posiciones cero o múltiplo de tres (3, 6, 9, ...).
- b) Modificar el diseño de la celda del apartado anterior añadiendo sumadores de k bits para que la salida de la red calcule el número de veces que aparece el patrón del apartado a). Si $n = 300$, determinar el tamaño del vector de señales internas.
- c) Determinar el retardo de la red suponiendo $n = 300$ y que: cada puerta lógica de dos entradas tiene un retardo de 10 ps, el retardo de los inversores es despreciable, y el retardo de los sumadores es 30 ps.

Problema 12. Se ha implementado el siguiente sumador de 16 bits utilizando anticipación de arrastres sólo entre cada grupo de 4 bits, mientras que el acarreo dentro de cada grupo de 4 bits se hace por propagación de arrastres.



- Suponiendo que cada puerta tiene un retardo máximo de 0.5 ns, indicad el retardo máximo al obtener las siguientes señales: S_1 , S_3 , S_4 , S_{15} , $Cout_8$ y $Cout_{10}$.
- ¿Cuál sería el retardo de S_{15} si también se utilizase anticipación de arrastres entre los 4 módulos de 4 bits?