



# Práctica 1

- Utilización de la herramienta VIVADO con VHDL
- Diseño y simulación de circuitos sencillos

# Objetivo



- Esta práctica tiene dos apartados:
  - a) Simular e implementar un sumador de 4 bits
  - b) Simular e implementar un registro con carga paralela
- Para ambos apartados, la descripción de los circuitos en VHDL se encuentra a continuación y en el Campus Virtual los ficheros de simulación



# Práctica 1.A - Sumador

## ■ Descripción VHDL

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;
USE IEEE.STD_LOGIC_ARITH.ALL;
USE IEEE.STD_LOGIC_UNSIGNED.ALL;

entity sumador is
  Port (
    A : IN    std_logic_vector(3 downto 0);
    B : IN    std_logic_vector(3 downto 0);
    C : OUT   std_logic_vector(3 downto 0)
  );
end sumador;

architecture Behavioral of sumador is

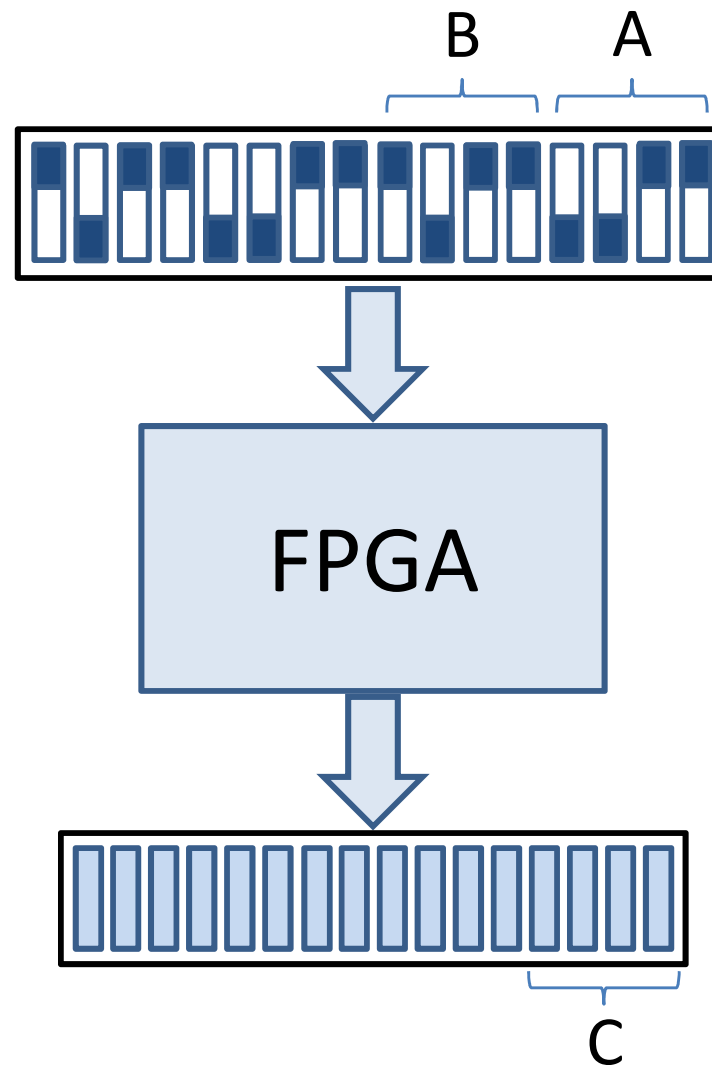
begin

  C <= A + B;

end Behavioral;
```

# Práctica 1.A - Sumador

- Implementación





# Práctica 1.B - Registro

## ■ Descripción VHDL

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

entity registro is
  Port (
    rst  : IN  std_logic;
    clk  : IN  std_logic;
    load : IN  std_logic;
    E     : IN  std_logic_vector(3 downto 0);
    S     : OUT std_logic_vector(3 downto 0)
  );
end registro;

architecture Behavioral of registro is

begin

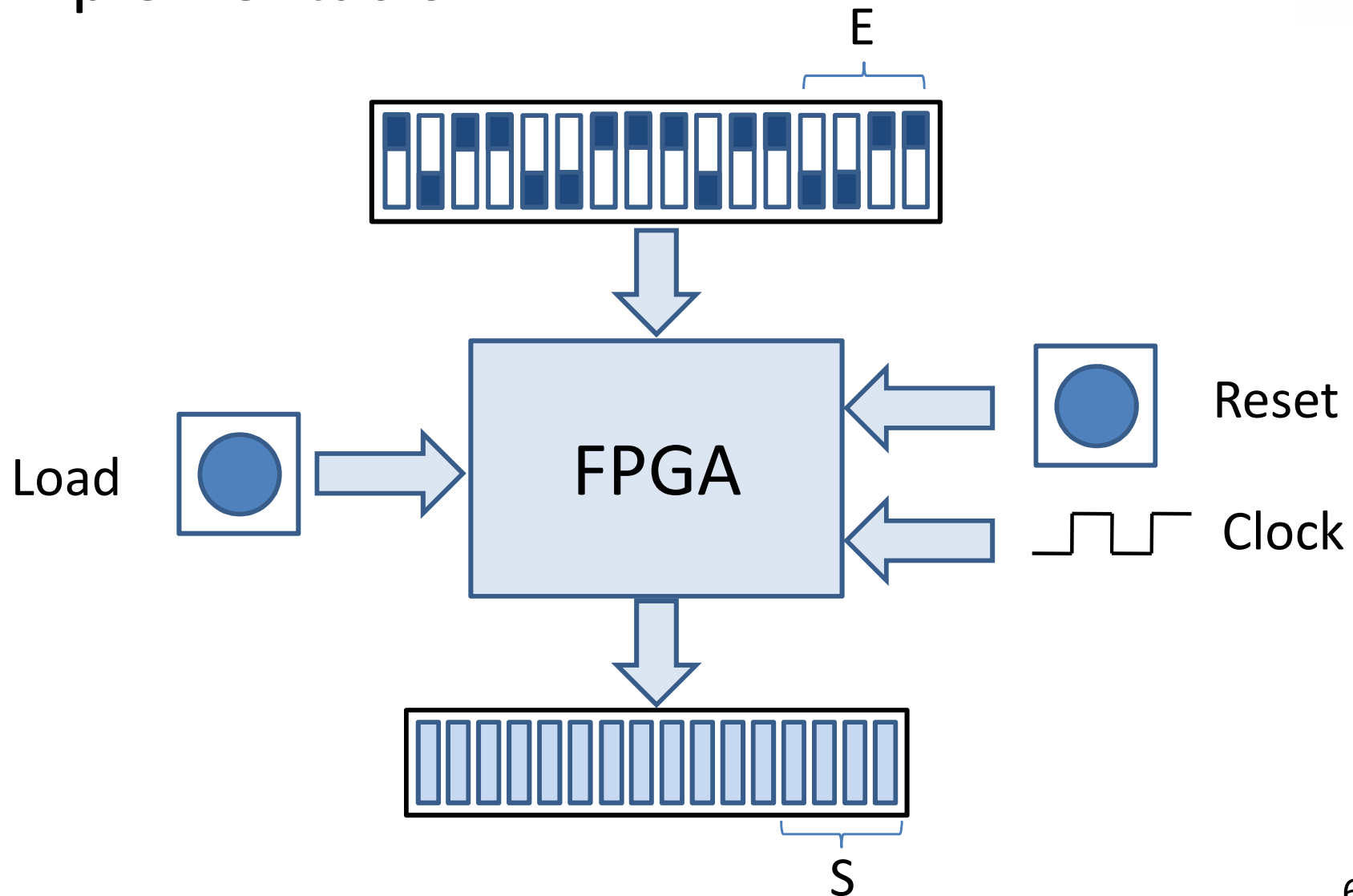
  process(clk)
  begin
    if (rising_edge(clk)) then
      if (rst = '1') then
        S <= "0000";
      elsif (load = '1') then
        S <= E;
      end if;
    end if;
  end process;

end Behavioral;
```

# Práctica 1.B - Registro



## ■ Implementación



# Calificación



- El estudiante debe acudir al laboratorio con la práctica estudiada e implementada desde casa
- El estudiante debe hacer funcionar la práctica 1 en el laboratorio en la FPGA y mostrarla al profesor
- La práctica 1 presenta una parte avanzada (+0.15 puntos)
- La práctica 1 no se recupera