



Práctica 1 (AVANZADA)

- Utilización de la herramienta VIVADO con VHDL
- Diseño y simulación de circuitos sencillos



Objetivo

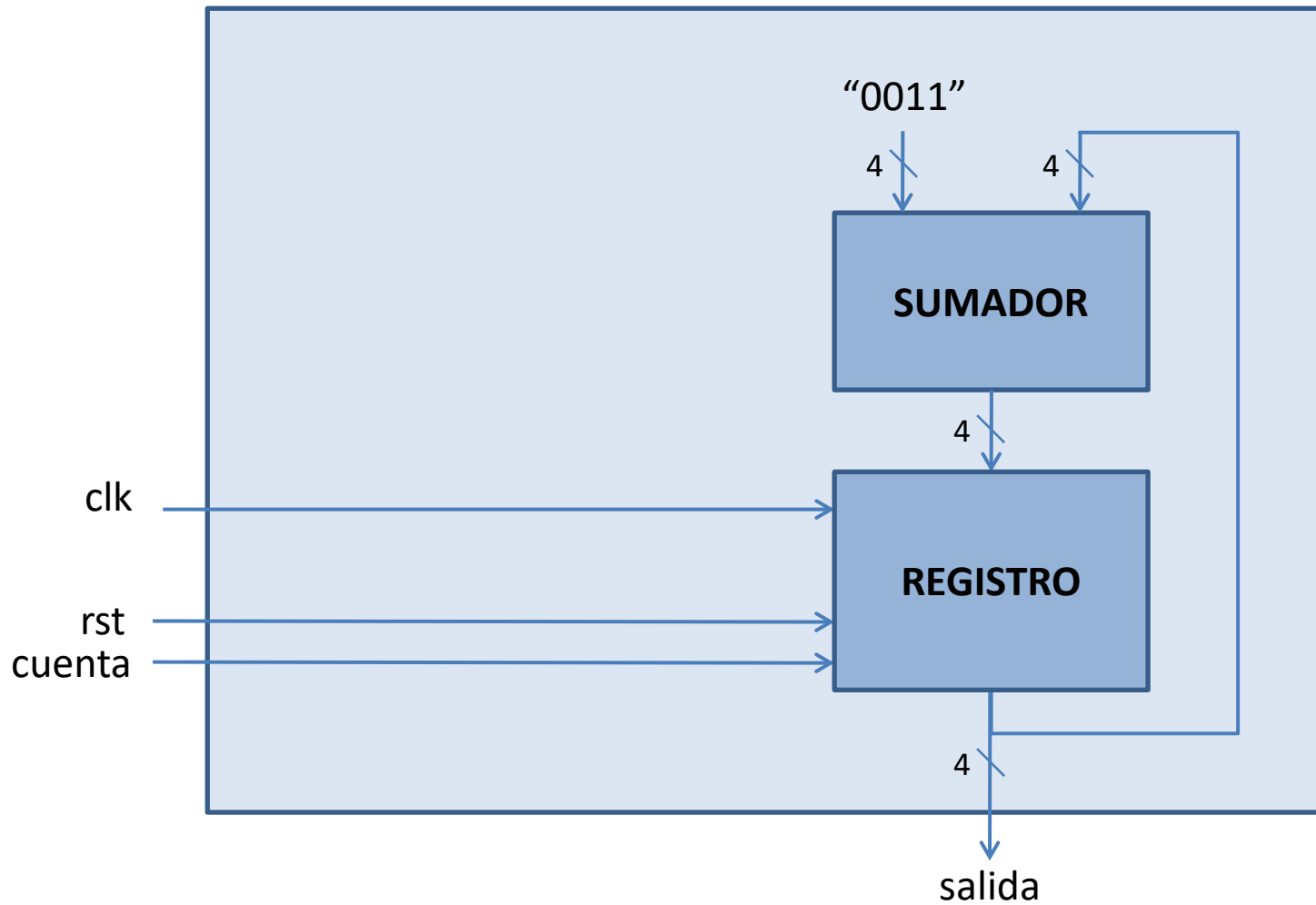
Diseño de un contador módulo 16 ascendente que cuente de 3 en 3, con reset asíncrono, de manera estructural

- Modificar el módulo **registro** para que tenga el reset asíncrono.
- Utilizando el **sumador** y el **registro** con reset asíncrono, desarrollar un **contador ascendente módulo 16** que cuente de 3 en 3, de manera estructural.

Diseño estructural



contadorMod16



Diseño estructural contadorMod16



- La entity del contador modulo 16 tiene que llamarse `contadorMod16` y sus puertos deben ser exactamente los que aparecen en la transparencia.

```
entity contadorMod16 is
  port (
    rst  : IN std_logic;
    clk  : IN std_logic;
    cuenta : IN std_logic;
    salida : OUT std_logic_vector(3 downto 0)
  );
end;
```

- Dentro de la arquitectura se instanciarán como componentes los módulos sumador y registro que ya tenéis hechos. Los *.vhd correspondientes deben añadirse como fuentes al diseño.
- Muy importante: modificar el reset del registro para que sea asíncrono
- Para simular utilizar el test bench `simulacion_contador.vhd` proporcionado en el campus virtual para esta parte avanzada.

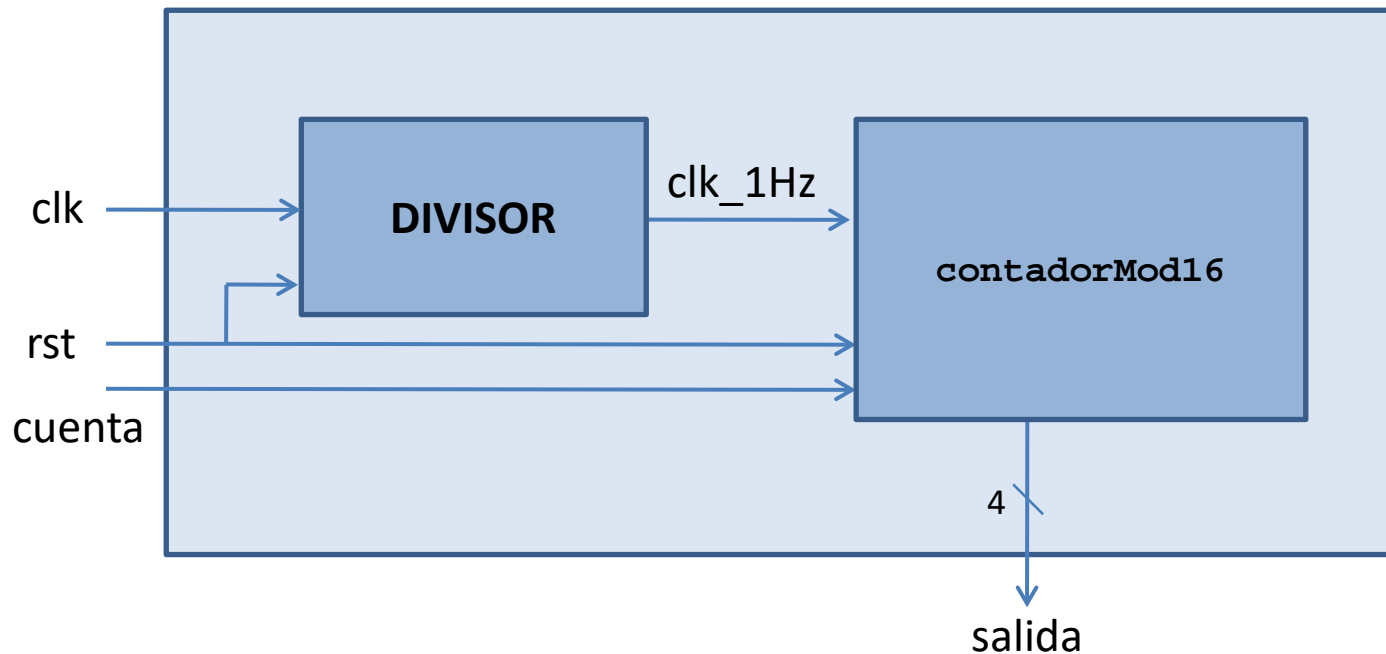
Volcado en placa

- Para implementar y volcar en placa hay que añadir, además de los *.vhd que ya tenemos (del sumador, del registro y del contadorMod16), la fuente `sintesis_contador.vhd` y el fichero de restricciones `Basys3_Master.xdc` que se proporcionan en el campus para esta parte avanzada.
- El módulo `sintesis_contador.vhd` divide la frecuencia de reloj de 100Mhz y genera otro reloj de 1Hz que es el que se conecta a vuestro contador, para que podáis ver en la placa cómo cuenta.
- Sólo tenéis que añadirlo como una fuente más y hacer que sea el top de vuestro diseño. Luego sintetizar, implementar y generar el *.bit para volcar en placa.

Diseño estructural contador para volcar en la FPGA



sintesis_contador.vhd





Calificación

- Los estudiantes que están en el laboratorio deben implementar la parte avanzada, volcarla en la FPGA y mostrarla al profesor. Deberán subir al campus un *.zip con el proyecto.
- Los estudiantes que están en casa deben simular la parte avanzada y obtener un pantallazo de la simulación. Deberán subir al campus un *.zip con el proyecto y el pantallazo.
- Si tiene el funcionamiento esperado (+0.15 puntos)