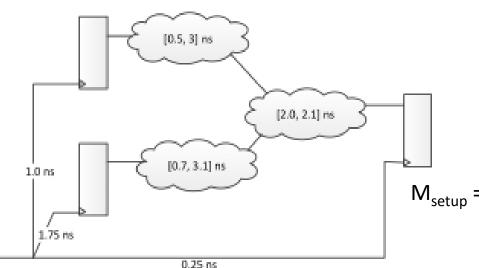
### Problema 1





Tclk\_q=0.4ns Tsetup=0.25ns Thold=0.1ns F=100MH => tck=10ns

$$M_{\text{setup}} = T_{\text{clk}} + \text{skew} - (t_{\text{clk-2-Q}} + t_{\text{comb}} + t_{\text{setup}})$$

Margen 1= 10 + (0.25-1) - (0.4+3+2.1+0.25) = 3.5ns Margen 2= 10 + (0.25-1.75) - (0.4+3.1+2.1+0.25) = 2.65ns No hay violaciones de setup

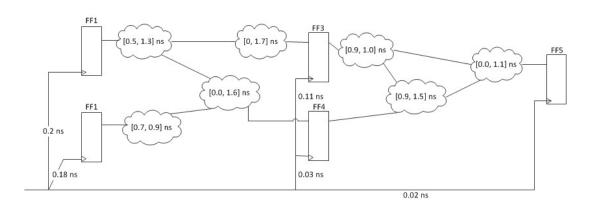
A 200MHz tck=5ns

Margen1=-1.5

Margen2= -2.35

Se pueden añadir búferes para aumentar el skew en 2.35ns. Se necesitan 6 bufferes

# Problema 2 (Examen febrero 2013)



Tclk\_q=0.12ns
Tsetup=0.1ns
Thold=0.05ns
F=250MH => tck=4ns

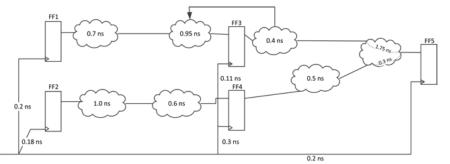
#### Hay que buscar y evaluar todos los caminos:

No hay violaciones de setup

Frecuencia máxima: Periodo 4-0.09= 3.91ns fmax=255.75Mz

Para trabajar a 500MHz (tciclo 2ns) hay que segmentar añadiendo registros

# Problema 3 (Examen de septiembre 2013)



Tclk\_q=0.12ns Tsetup=0.1ns Thold=0.05ns F=250MH => tck=4ns

Camino 1: FF1-FF3 Margen1=4+(0.11-0.2)-(0.12+0.7+0.95+0.1)=2.04ns

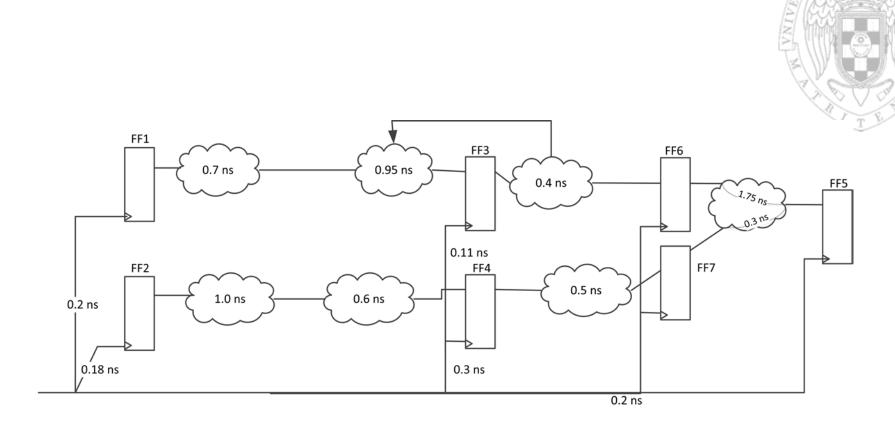
Camino 2: FF2-FF4 Margen2=2.30ns

Camino 3: FF3-FF3 Margen3=2.43ns

No hay violaciones de setup

Camino 4: FF3-FF5 Margen4=1,72ns Camino 5: FF4-FF5 Margen5=2.88ns

A 500 MHz tciclo =2ns todos los márgenes se reducen en 2ns, por lo tanto, el camino 4 Sería negativo (-0.28). Hay que segmentar ese camino añadiendo 2 registros a las entradas de la última nube





#### Los nuevos caminos son:

C4: FF3 a FF6.

C<sub>5</sub>: FF4 a FF7.

*C*6: FF6 a FF5.

*C*<sub>7</sub>: FF7 a FF5.

### Y los márgenes de setup:

#### **M**500MHz

$$4 = (2;00 + 0;22 ? 0;10) ? (0;11 + 0;12 + 0;40) = 1;49ns (13)$$

**M**500MHz

$$5 = (2;00 + 0;20 ? 0;10) ? (0;22 + 0;12 + 1;75) = 0;01ns (14)$$

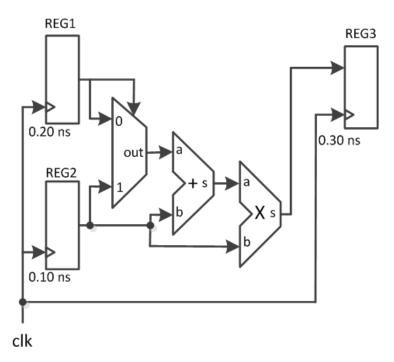
**M**500MHz

$$6 = (2;00 + 0;22 ? 0;10) ? (0;30 + 0;12 + 0;50) = 1;20ns (15)$$

**M**500MHz

$$7 = (2;00 + 0;20 ? 0;10) ? (0;22 + 0;12 + 0;30) = 1;46ns (16)$$

## Problema 4 (Examen de febrero 2013)



- 1) Hay que buscar y evaluar todos los caminos:
  - Camino 1: REG1-REG3 (entrada selección del MUX → ADD → MUL)
  - Camino 2: REG1-REG3 (entrada 0 del MUX → ADD → MUL)
  - Camino 3: REG2-REG3 (MUX → ADD → MUL)
  - Camino 4: REG2-REG3 (ADD → MUL)
  - Camino 5: REG2-REG3 (MUL)

### Cálculo de skew:

- Camino 1: skew =  $clk_{destino}$   $clk_{origen}$  = 0.3 0.2 = 0.1 ns
- Camino 2: skew = 0.1 ns (mismo que Camino 1)
- Caminos 3, 4 y 5: skew = 0.3 0.1 = 0.2 ns



- Camino 1:  $t_{comb} = 0.5 \text{ (MUX}_{sel \to out}) + 2.75 \text{ (ADD}_{a \to s}) + 2.75 \text{ (MUL}_{a \to s}) = 6 \text{ ns}$
- Camino 2:  $t_{comb} = 0.5 \text{ (MUX}_{0 \to out}) + 2.75 \text{ (ADD}_{a \to s}) + 2.75 \text{ (MUL}_{a \to s}) = 6 \text{ ns}$
- Camino 3:  $t_{comb} = 0.4 \text{ (MUX}_{1 \to out}) + 2.75 \text{ (ADD}_{a \to s}) + 2.75 \text{ (MUL}_{a \to s}) = 5.9 \text{ ns}$
- Camino 4:  $t_{comb} = 2.6 \text{ (ADD}_{b \to s}) + 2.75 \text{ (MUL}_{a \to s}) = 5.35 \text{ ns}$
- Camino 5:  $t_{comb}$  = 2.6 (MUL<sub>b→s</sub>) = 2.6 ns

### Márgenes de setup:

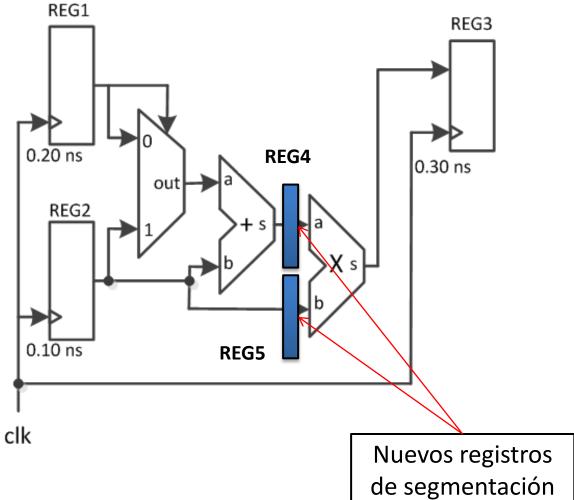
- $M_{\text{setup}} = T_{\text{clk}} + \text{skew} (t_{\text{clk-2-Q}} + t_{\text{comb}} + t_{\text{setup}})$
- T<sub>clk</sub> = 1/250 MHz = 4 ns
- Miramos el camino crítico (es decir, con el tiempo combinacional mayor). Es el principal sospechoso para no cumplir las restricciones temporales:
  - $M_{\text{setup C1}} = 4 + 0.1 (0.1 + 6 + 0.15) = -2.15 \text{ ns}$
  - Existe, al menos, un camino cuyo margen de setup es negativo. Por lo tanto, existe una violación de setup y el circuito no puede funcionar a 250 MHz



- 2) MUL<sub>a→s</sub> es variable. Dependiendo de su valor, los caminos cumplirán (o no) las restricciones temporales.
  - $M_{\text{setup\_C1}} = 4 + 0.1 (0.1 + (0.5 (MUX_{\text{sel} \rightarrow \text{out}}) + 2.75 (ADD_{a \rightarrow s}) + X (MUL_{a \rightarrow s})) + 0.15) =$
  - = 4 0.5 2.75 X 0.15 ns
  - $M_{\text{setup C1}} = 0.6 X \text{ ns}$
  - Para que C1 no presente una violación de setup,
     M<sub>setup C1</sub> > 0 ns.
  - Por tanto:  $0.6 X > 0 \rightarrow -X > 0.6 \rightarrow X < 0.6$  ns (antes ese retardo era 2.75 ns)
  - Similares razonamientos para C2 C4 devuelven una condición menos restrictiva para X, al ser su margen de setup mayor. Por tanto, X debe ser menor que 0.6 ns para que el circuito pueda funcionar a 250 MHz

3)  $MUL_{a \to s}$  vuelve a ser 2.75 ns. Debemos segmentar el circuito:

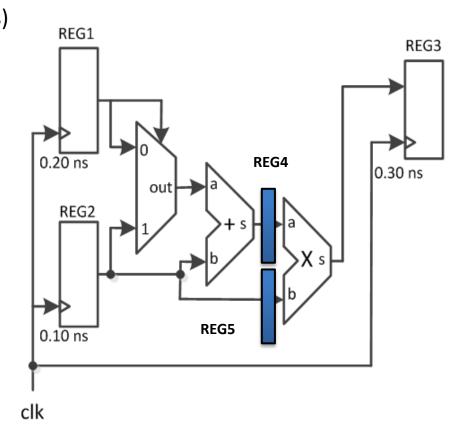




#### Nuevos caminos:

- C1 (1): REG1 REG4 (skew = 0.1 ns)
  C1 (2): REG4 REG3 (skew = 0 ns)
  C2 (1): REG1 REG4 (skew = 0.1 ns)
  C2 (2): REG4 REG3 (skew = 0 ns)
  C3 (1): REG2 REG4 (skew = 0.2 ns)
  C3 (2): REG4 REG3 (skew = 0 ns)
  C4 (1): REG2 REG4 (skew = 0.2 ns)
  C4 (2): REG4 REG3 (skew = 0 ns)
  C5 (1): REG2 REG5 (skew = 0 ns)
  C5 (2): REG5 REG3 (skew = 0 ns)
- Los caminos C1(2),C2(2), C3(2) y C3(4) sonel mismo

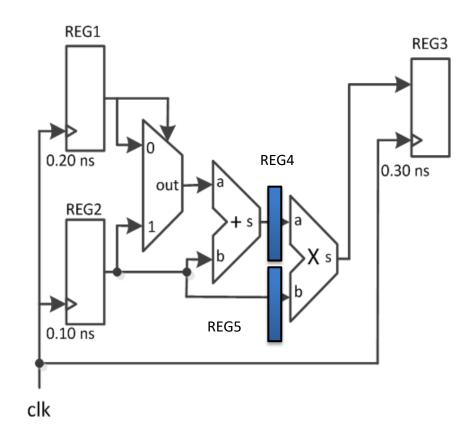




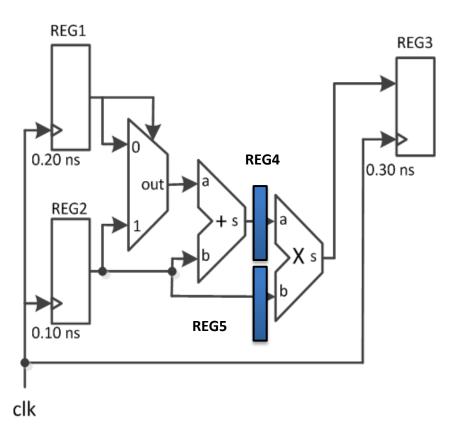
### Nuevos márgenes de setup:

- $M_{\text{setup C1 (1)}} = 4 + 0.1 (0.1 + 0.5 + 2.75 + 0.15) = 0.6 \text{ ns}$
- $M_{\text{setup\_C1 (2)}} = M_{\text{setup\_C2 (2)}} = M_{\text{setup\_C3 (2)}} = M_{\text{setup\_C4 (2)}} = 4 + 0 (0.1 + 2.75 + 0.15) = 1 \text{ ns}$
- $-M_{\text{setup C2 (1)}} = 4 + 0.1 (0.1 + 0.5 + 2.75 + 0.15) = 0.6 \text{ ns}$
- $M_{\text{setup\_C3 (1)}} = 4 + 0.2 (0.1 + 0.4 + 2.75 + 0.15) = 0.7 \text{ ns}$
- $M_{\text{setup\_C4 (1)}} = 4 + 0.2 (0.1 + 2.6 + 0.15) = 1.25 \text{ ns}$
- $M_{\text{setup\_C5 (1)}} = 4 + 0.2 (0.1 + 0 + 0.15) = 3.95 \text{ ns}$
- $M_{\text{setup C5 (2)}} = 4 + 0 (0.1 + 2.6 + 0.15) = 1.15 \text{ ns}$

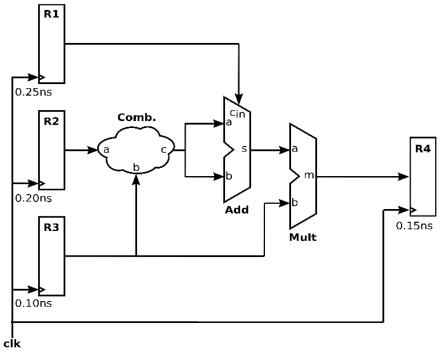


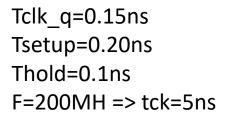


- Para comprobar el margen de hold, miramos el camino con retardo combinacional menor (C5 (1)). Es el principal sospechoso a no cumplir esta restricción temporal:
  - $M_{hold} = t_{clk-2-Q} + t_{comb} (skew + t_{hold})$
  - M<sub>hold C5 (1)</sub> = 0.1 + 0 (0.2 + 0.2) = -0.3 ns
- Este problema se puede arreglar añadiendo un buffer de, al menos, un retardo de 0.3 ns. El resto de caminos no presentan problemas de hold (sus retardos combinacionales son ≥ 0.6, lo que cancela el -0.3 ns de antes).



## **Ejercicio 5**





El camino crítico es el 2

Hay que buscar y evaluar todos los caminos:

Camino 1: R1-R4 Margen1=5+(0.15-0.25)-(0.15+0.5+2.5+0.2)=1.55ns Camino 2: R2-R4 Margen2=5+(0.15-0.20)-(0.15+1.5+1+2.5+0.2)=-0.4ns Camino 3: R3-R4 Margen3=5+(0.15-0.10)-(0.15+1.5+1.0+2.5+0.2)=-0.3ns

Tciclo=5+0.4=5.4ns fmax=198.41MH

Para funcionar a 200 MHz habría que añadir dos registros a la entrada del multiplicador

