

Tarea 4

Lenguaje de descripción de hardware (HDL)

Reglas generales

La tarea consiste en la realización de una estructura digital usando SystemVerilog para representar un circuito de 8 operaciones y un sistema secuencial, y luego probar su implementación usando un testbench. La tarea debe realizarse en la plataforma EDA Playground¹ en exactamente dos archivos, uno para el diseño de los módulos y uno para el o los testbench.

Enunciado

El circuito a diseñar se compone de dos secciones: una combinacional y una secuencial; las que deberá diseñar en conjunto para trabajar las entradas que reciba.

Sección Combinacional: Unidad Lógica-Aritmética

Debe diseñar y escribir la estructura de un circuito digital que represente una ALU de 8 operaciones, las que se mencionan en la tabla de abajo. El circuito completo debe tener dos entradas de 8 bits cada una, una entrada de 3 bits que represente el selector de operación, una entrada de 1 bit que represente el reloj, y una sola salida de 8 bits. Además debe escribir un testbench que pruebe el circuito completo utilizando las 8 operaciones.

Modo	Operación
000	Suma
001	Resta
010	Bitwise ² OR
011	Bitwise AND
100	Bitwise XOR
101	Bytewise OR
110	Bytewise AND
111	Bytewise XOR

Sección Secuencial: Autómata Finito

Debe diseñar y escribir la estructura de un circuito digital que represente un autómata finito de 8 estados, los que se mencionan en la tabla de abajo. El circuito debe trabajar en base a los resultados de la ALU desarrollada en la sección anterior, y mostrar el estado en que se encuentra usando una salida de 3 bits. El estado del sistema solo puede cambiar cuando la operación correcta genere la salida esperada. Asuma que el sistema comienza en el estado 000.

Estado	Operación	Transiciones	
000	Suma	Par → 001	Impar → 010
001	Resta	Par → 011	Impar → 101
010	Bitwise OR	Par → 100	Impar → 011
011	Bitwise AND	Negativo → 000	
100	Bitwise XOR	Negativo → 110	
101	Bytewise OR	Negativo → 110	
110	Bytewise AND	Positivo → 111	
111	Bytewise XOR	Positivo → 000	

Las transiciones toman en cuenta el estado al que se llegaría con el resultado obtenido en un mismo ciclo de la ALU. Si no se cumplen las condiciones para una transición, entonces se deberá mantener el estado anterior del sistema. Por ejemplo, si el estado actual es 000 y el resultado de una suma es 00011011 (27), la salida correcta para el estado sería 010, pues el número 00011011 es impar. Por otra parte, si el estado es 000 y la operación que realizó la ALU es una resta, entonces la salida correcta para el estado sería 000, pues no hubo un cambio de estado. El testbench del circuito debe incluir la salida de la sección secuencial del sistema.

¹ Disponible en <https://www.edaplayground.com/>

² Las operaciones *bitwise* actúan sobre cada bit por separado, mientras que las operaciones *bytewise* actúan sobre todos los bits simultáneamente. Por ejemplo, 010 OR 011 da como resultado 011 bitwise, pero 1 bytewise.

Formato de entrada y salida

La entrada de datos se hará mediante 4 conjuntos de bits. El primero corresponde al primer operando de 8 bits, el segundo corresponde al segundo operando de 8 bits, el tercero corresponde al modo de operación de 3 bits, y el último corresponde al reloj de 1 bit. Todos los cambios de estado se deben hacer en el flanco de subida del reloj.

La salida de datos se hará mediante 2 conjuntos de bits. El primero corresponde al resultado entregado por la ALU para la operación entre los operandos de 8 bits, y el segundo corresponde al estado del sistema de 3 bits. En el caso de las operaciones bitwise, el resultado debe repetirse en los 8 bits de resultado, es decir, 00000000 o 11111111.

Datos de ejemplo

Estado	Entrada	Salida
000	10101010 00001111 000	10111001 010
010	10101010 00001111 001	10011011 010
010	10101010 00001111 010	10101111 011
011	10101010 00001111 011	00001010 011
011	10101010 00001111 100	10100101 011
011	10101010 00001111 101	11111111 011
011	10101010 00001111 110	00000000 011
011	10101010 00001111 111	00000000 011

Nota: La columna de Estado no es una entrada, sino que está solo para mantener una referencia del estado actual del sistema. El circuito de la tarea debe manejar eso internamente.

Consideraciones

- La fecha de entrega para la tarea es el martes 7 de diciembre de 2021 a las 23:55 hrs.
- Se descontarán 25 puntos de la nota máxima por cada día o fracción de atraso en la entrega, hasta un máximo de 2 días (50 puntos). Cualquier atraso por sobre esto se evaluará con nota 0.
- La tarea debe realizarse individualmente. Ante cualquier sospecha de copia o trabajo colaborativo se informará a las autoridades correspondientes y se evaluará con nota 0.
- La tarea se debe entregar via Aula en un solo archivo comprimido en formato .zip de nombre T4_APELLIDO.zip que incluya los siguientes archivos:
 - Un solo archivo README.txt con el nombre y ROL USM del estudiante, además de cualquier aclaración que sea necesaria.
 - Dos archivos .sv, uno con los diseños del circuito y el otro con el o los testbench.
 - Un solo archivo .pdf con el informe completo del desarrollo de la tarea. Se recomienda utilizar L^AT_EX (en Overleaf³ por ejemplo) u otra variante de T_EX para redactar la tarea.
- El informe debe contener las siguientes secciones, cada una ordenada y con toda la información necesaria:
 - Portada, incluyendo el nombre y ROL USM del estudiante, además de un título descriptivo.
 - Resumen, donde describa brevemente el desarrollo y resultados de la tarea.
 - Introducción, dejando claro el objetivo de la tarea y cualquier algoritmo que utilice.
 - Desarrollo, explicando detalladamente la resolución de la tarea.
 - Resultados, con todos los valores que haya obtenido durante el desarrollo de la tarea. Incluya extractos de cualquier prueba que haga con su tarea.
 - Análisis, donde discuta los resultados de la sección anterior y cualquier complicación con la que se haya encontrado.
 - Conclusión, comentando el nivel de finalización de la tarea.

³ Disponible en <https://www.overleaf.com>



- La sección de diseño de la tarea pondera por 60 % de la nota, mientras que el informe pondera por 40 %. En caso de no entregarse una de las dos partes, se evaluará la tarea completa con nota 0.
- Para que el informe se considere válido (o entregado), al menos 3 partes de este deben ser desarrolladas correctamente.
- Todas las preguntas respecto a la tarea deben hacerse a través del foro de consultas en Aula. **No se responderán dudas durante las 48 horas previas a la entrega.**