

CP2200/1
单芯片以太网控制器
数 据 手 册

潘 琢 金 译

Rev 0.3 2006.06

版权所有

版 权 声 明

本手册中文版版权归译者和新华龙电子有限公司所有。研究和开发人员可以自由使用本手册。任何单位和个人未经版权所有者授权不得在任何形式的出版物中摘抄本手册内容。

原文中比较明显的错误已经在译文中更正。译者将在本手册英文版更新后及时更新中文版内容。译文中一定存在不少错误和不准确之处，望各位同仁不吝赐教，以便在新版本中更正。

译者联系方式：

沈阳航空工业学院 计算机学院 潘琢金

电话：024-86141552，13066535936

Email: panzhuojin@sina.com 或 panzhj@syiae.edu.cn

CP2200/1 单芯片以太网微控制器

以太网控制器

- 集成 IEEE 802.3 MAC 和 10 BASE-T PHY
- 完全兼容 100/1000 BASE-T 网络
- 全/半双工, 自适应
- 自动极性检测和纠正
- 碰撞自动重发
- 自动填充和 CRC 生成
- 支持广播和多播 MAC 寻址

并行主机接口 (30Mbps 传输速率)

- 8 位复用或非复用方式
- 复用方式下仅需 11 个 I/O 引脚
- Intel 或 Motorola 总线方式
- 接收数据包中断和网络唤醒中断

8KB FLASH 存储器

- 8192 字节 ISP 非易失性存储器
- 工厂预编程的唯一 48 位 MAC 地址
- 不需外部 EEPROM

其它特性

- LED 输出驱动器 (连接/活动)
- 专用的 2KB 发送缓冲 RAM 和 4KB 接收 FIFO 缓冲 RAM
- 上电复位
- 耐 5V 的 I/O

软件支持

- 免费 TCP/IP 栈及设备驱动程序
- TCP/IP 配置向导
- 硬件诊断软件和示例代码

示例应用

- 远程检测和监视
- 库存管理
- VoIP 电话适配器
- POS 设备
- 网络时钟
- 嵌入式 Web 服务器
- 远程以太网 — UART 桥

电源电压

- 3.1 ~ 3.6V

封装选项

- 无铅 48 脚 TQFP (9x9mm)
- 无铅 28 脚 QFN (5x5mm)

器件订货编号

- CP2200-GQ (48 脚)
- CP2201-GM (28 脚)

温度范围: -40°C ~ +85°C

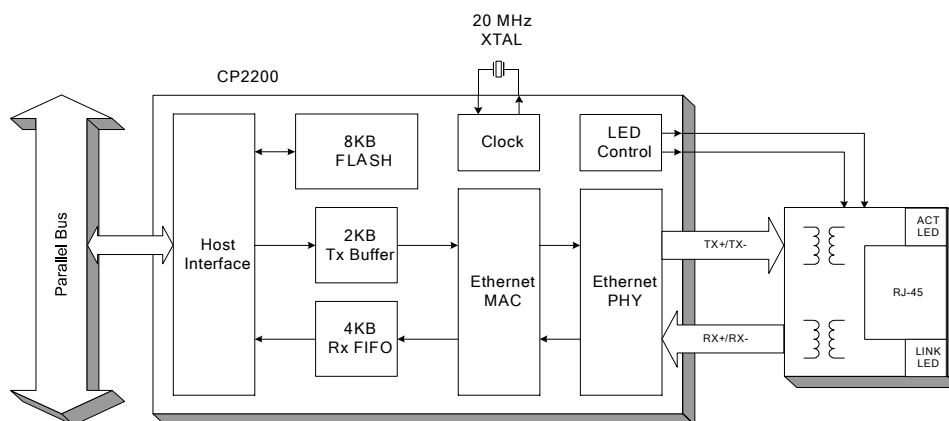


图 1. 样例系统框图

CP2200/1 单芯片以太网微控制器

目 录

1. 系统概述	5
2. 典型连接图	6
3. 极限参数	8
4. 直流电气特性	9
5. 引脚和封装定义	10
6. 功能说明	18
6.1 概述	18
6.2 复位初始化	18
6.3 中断请求信号	18
6.4 时钟选择	19
6.5 LED控制	21
6.6 发送和接收数据包	22
7. 内部存储器和寄存器	23
7.1 RAM发送和接收缓冲区的随机访问	23
7.2 内部寄存器	25
8. 中断源	30
9. 复位源	37
9.1 上电复位	38
9.2 掉电复位	39
9.3 振荡器故障复位	40
9.4 外部复位	40
9.5 软件复位	40
9.6 最后一次复位源的确定	41
9.7 禁止复位源	42
10. 电源方式	43
10.1 正常方式	44
10.2 连接检测方式	44
10.3 存储器方式	44
10.4 停机方式	44
10.5 禁止辅助器件功能	45
11. 发送接口	47

CP2200/1 单芯片以太网微控制器

11.1 概述	47
11.2 发送数据包	47
11.3 覆盖发送配置选项	48
11.4 发送缓冲区和自动写接口	48
11.5 发送状态和控制寄存器	49
12. 接收接口	58
12.1 概述	58
12.2 用自动读接口读数据包	58
12.3 时序和缓冲区溢出考虑	59
12.4 初始化接收缓冲器、过滤器和哈希表	59
12.5 接收状态和控制寄存器	60
12.6 高级接收缓冲区操作	67
12.7 接收缓冲区高级状态和控制寄存器	68
13. FLASH存储器	74
13.1 FLASH存储器编程	74
13.1.1 FLASH锁定和关键码功能	74
13.1.2 FLASH擦除	74
13.1.3 FLASH写	75
13.2 读FLASH存储器	75
13.2.1 FLASH读过程	75
13.2.2 多字节FLASH读过程	75
13.3 FLASH访问寄存器	76
14. 媒体访问控制器(MAC)	79
14.1 初始化MAC	79
14.2 访问间接MAC寄存器	79
14.3 间接MAC寄存器说明	81
15. 物理层(PHY)	88
15.1 自适应和双工方式	88
15.2 自适应同步	88
15.3 环回方式	89
15.4 连接完整性功能	89
15.5 接收器智能静噪和自动极性纠正	89
15.6 发送器JABBER功能	89
15.7 初始化物理层	89
16. 并行接口	96
16.1 非复用INTEL方式	96
16.2 复用INTEL方式	98

CP2200/1 单芯片以太网微控制器

16.3 非复用MOTOROLA方式	100
16.4 复用MOTOROLA方式	102

1. 系统概述

CP2200/1 是集成了 IEEE 802.3 以太网媒体访问控制器 (MAC)、10Base-T 物理层 (PHY) 和 8KB 非易失性 FLASH 存储器的单芯片以太网控制器，采用 28 脚 QFN (5x5mm) 或 48 脚 TQFP 封装。CP2200/1 可以为具有 11 个以上端口 I/O 引脚的任何微控制器或主处理器增加以太网通信功能。8 位并行总线接口支持 Intel 和 Motorola 总线方式，可以使用复用或非复用方式寻址。在非复用方式下，数据传输速度可超过 30 Mbps。

片内 FLASH 存储器可用于存储用户常数、Web 服务器内容或作为通用非易失性存储器。FLASH 存储器的最后 6 个存储单元已在出厂前被预先写入了一个唯一的 48 位 MAC 地址。在 CP2200/1 内预存唯一 MAC 地址，通常可以从大多数嵌入式系统的生产过程中消除必不可少的序列化步骤。

CP2200/1 有四种电源方式，不同方式的功能级别不同，这就允许主处理器很好地管理系统的总体功耗。中断引脚允许主处理器进入“休眠”模式，当接收到数据包或 CP2200/1 接入到网络后再将其唤醒。自适应功能允许器件自动检测网络支持的最有效的通信方式（半/全双工）。

以太网开发套件 (Ethernet-DK) 包括一块 C8051F120 MCU 目标板、CP2200 以太网开发板 (AB4)、Silicon Laboratories IDE、所有必需的调试硬件和 TCP/IP 配置向导。以太网开发套件包括了设计一个使用 CP2200 的嵌入式系统所需的全部硬件、软件和示例。CP2200 开发板还与 C8051F020TB 和 C8051F340TB 兼容。可以通过访问网站 www.silabs.com 在线购买目标板。

2. 典型连接图

图 2 和图 3 给出了针对 48 脚的 CP2200 和 28 脚的 CP2201 的典型连接图。

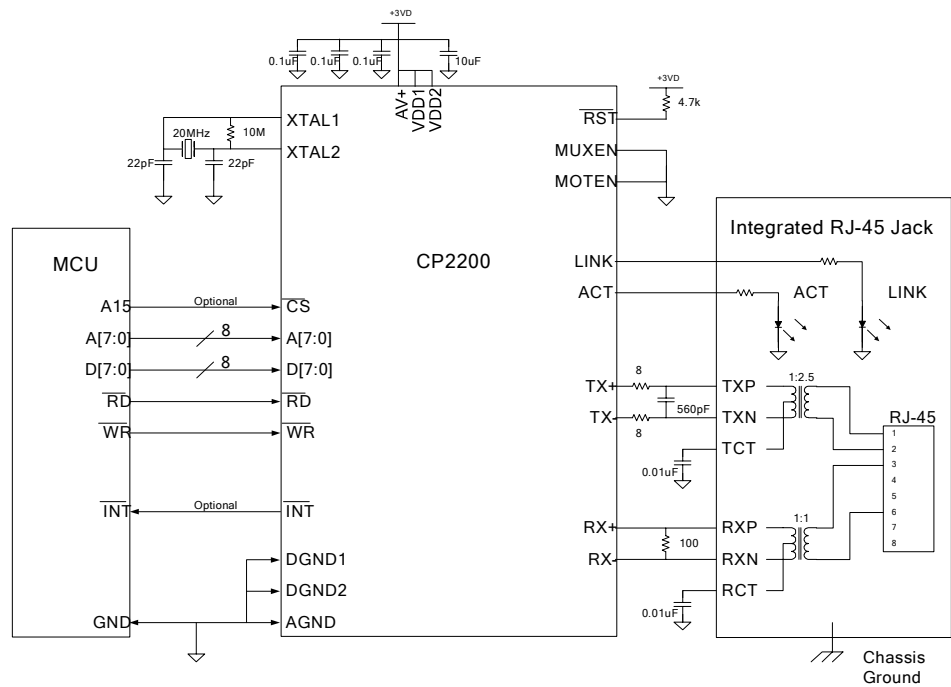


图 2. 典型连接图（非复用方式）

CP2200/1 单芯片以太网微控制器

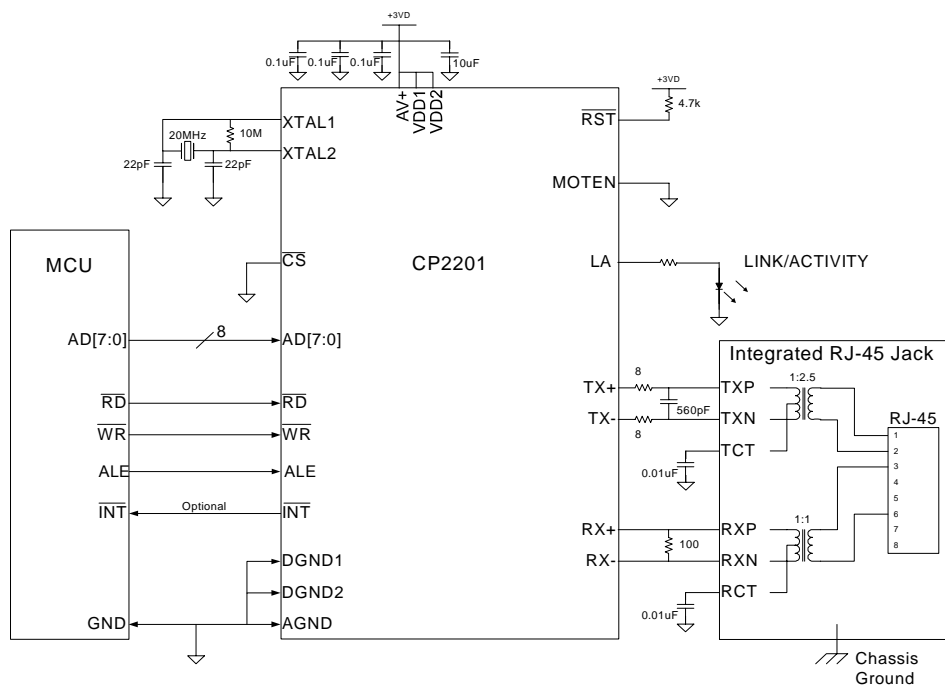


图 3. 典型连接图（复用方式）

3. 极限参数

表 1 极限参数*

参 数	条 件	最小值	典型值	最大值	单位
环境温度（通电情况下）		-55	—	125	℃
储存温度		-65	—	150	℃
任何I/O引脚或/RST相对GND的电压		-0.3	—	5.8	V
VDD引脚相对GND的电压		-0.3	—	4.2	V
通过VDD和GND的最大总电流		—	—	500	mA
/RST或任何端口引脚的最大输出灌电流		—	—	100	mA
注：超过这些列出的“极限参数”可能导致器件永久性损坏。长时间在最大允许值或超过最大允许值的条件下工作可能影响器件的可靠性。					

CP2200/1 单芯片以太网微控制器

4. 直流电气特性

表 2. 总体直流电气特性

VDD = 3.1~3.6V, -40℃到+85℃（除非特别说明）。

参 数	条 件	最小值	典型值	最大值	单 位
电源电压		3.1	3.3	3.6	V
电源电流	VDD = 3.3V	—	75		mA
发送器禁止时的电源电流 (连接检测模式)	VDD = 3.3V	—	TBD	—	μA
发送器和接收器均禁止时的 电源电流 (存储器模式)	VDD = 3.3V	—	TBD	—	μA
停机模式电源电流	VDD = 3.3V	—	TBD	—	μA
额定工作温度范围		-40		+85	℃

表 3. 数字 I/O 直流电气特性

VDD = 3.1V~3.6V, -40℃到+85℃（除非特别说明）。

参 数	条 件	最小值	典型值	最大值	单 位
输出高电压 (V _{OH})	I _{OH} = -10 μA	VDD-0.1	—	—	V
	I _{OH} = -3 mA	VDD-0.7	—	—	
	I _{OH} = -10 mA	—	VDD-0.8	—	
输出低电压 (V _{OL})	I _{OL} = 10 μA	—	—	0.1	V
	I _{OL} = 8.5 mA	—	—	0.6	
	I _{OL} = 25 mA	—	1.0		
输入高电压 (V _{IH})		2.0	—	—	V
输入低电压 (V _{IL})		—	—	0.8	V
输入漏电流		—	25	50	μA

CP2200/1 单芯片以太网微控制器

5. 引脚和封装定义

表 4. CP2200/1 引脚定义

引脚名称	引脚号		引脚类型	说 明
	48 脚	28 脚		
AV+	5	3	电源输入	3.1V ~ 3.6V 模拟电源电压输入
AGND	4	2		模拟地。
V _{DD1}	13	8	电源输入	3.1V ~ 3.6V 数字电源电压输入
DGND1	14	9		数字地。
V _{DD2}	30	19	电源输入	3.1V ~ 3.6V 数字电源电压输入
DGND2	31	20		数字地。
/RST	15	10	数字 I/O	器件复位。内部上电复位电路或 VDD 监视器的漏极开路输出。一个外部源可以通过将该引脚驱动为低电平（至少 15 μ s）来启动一次系统复位。
LINK	3*	—	数字输出	连接 LED。推挽输出。当检测到有效的 10BASE-T 连接脉冲时（连接正常）为高电平，当检测不到有效的 10BASE-T 连接脉冲时（连接故障）为低电平。
ACT	2	—	数字输出	活动 LED。推挽输出。当发送或接收到任何数据包时输出持续 50ms 高电平，在所有其它时间为低电平。稳压器的 5V 输入。
LA	—	1*	数字输出	连接或活动 LED。推挽输出。当检测到有效的连接脉冲时（连接正常）为高电平，否则为低电平（连接故障）。被发送或接收一个包时输出电平翻转，50ms 后返回其初始状态。
XTAL1	46	28	模拟输入	晶体输入。该引脚是外部振荡器电路的返回端。可以由一个外部 CMOS 时钟驱动。
XTAL2	45*	27*	模拟输出	晶体输出。该引脚是石英晶体的激励驱动器。
TX+	9	6	模拟输出	10BASE-T 发送，差分输出（正）。
TX-	10	7	模拟输出	10BASE-T 发送，差分输出（负）。
RX+	7	5	模拟输入	10BASE-T 接收，差分输入（正）。
RX-	6	4	模拟输入	10BASE-T 接收，差分输入（负）。
MOTEN	43	26	数字输入	Motorola 总线方式使能。该引脚在 Motorola 总线方式时直接接 VDD，在 Intel 总线方式时直接接地。
MUXEN	44	—	数字输入	总线复用使能。该引脚在复用总线方式时直接接 VDD，在 Intel 总线方式时直接接地。
/INT	42	25	数字输出	中断服务请求。该引脚向主处理器申请中断。
/CS	41	24	数字输入	器件片选。
/RD (DS)	39	22	数字输入	读选通（Intel 方式）或 数据选通（Motorola 方式）
/WR (R/W)	40	23	数字输入	写选通（Intel 方式）或 读/写选通（Motorola 方式）

CP2200/1 单芯片以太网微控制器

表 4. CP2200/1 引脚定义（续）

引脚名称	引脚号		引脚类型	说 明
	48 脚	28 脚		
D0/AD0	16	11	数字 I/O	位 0, 非复用方式数据总线或复用方式地址/数据总线
D1/AD1	17	12	数字 I/O	位 1, 非复用方式数据总线或复用方式地址/数据总线
D2/AD2	18	13	数字 I/O	位 2, 非复用方式数据总线或复用方式地址/数据总线
D3/AD3	19	14	数字 I/O	位 3, 非复用方式数据总线或复用方式地址/数据总线
D4/AD4	20	15	数字 I/O	位 4, 非复用方式数据总线或复用方式地址/数据总线
D5/AD5	21	16	数字 I/O	位 5, 非复用方式数据总线或复用方式地址/数据总线
D6/AD6	22	17	数字 I/O	位 6, 非复用方式数据总线或复用方式地址/数据总线
D7/AD7	23	18	数字 I/O	位 7, 非复用方式数据总线或复用方式地址/数据总线
A0	27*	—	数字输入	位 0, 非复用方式地址总线
A1	28*	—	数字输入	位 1, 非复用方式地址总线
A2	29*	—	数字输入	位 2, 非复用方式地址总线
A3/ALE/AS	32	—	数字输入	位 3, 非复用方式地址总线 ALE 选通（复用 Intel 方式） 地址选通（复用 Motorola 方式）
ALE/AS	—	21	数字输入	ALE 选通（Intel 方式） 地址选通（Motorola 方式）
A4	33*	—	数字输入	位 4, 非复用方式地址总线
A5	34*	—	数字输入	位 5, 非复用方式地址总线
A6	37*	—	数字输入	位 6, 非复用方式地址总线
A7	38*	—	数字输入	位 7, 非复用方式地址总线
NC	1, 8, 11, 12 24~26, 35, 36, 47, 48	—		这些引脚应不与外部连接, 或接 VDD。

*注：不用时不应与外部连接。

CP2200/1 单芯片以太网微控制器

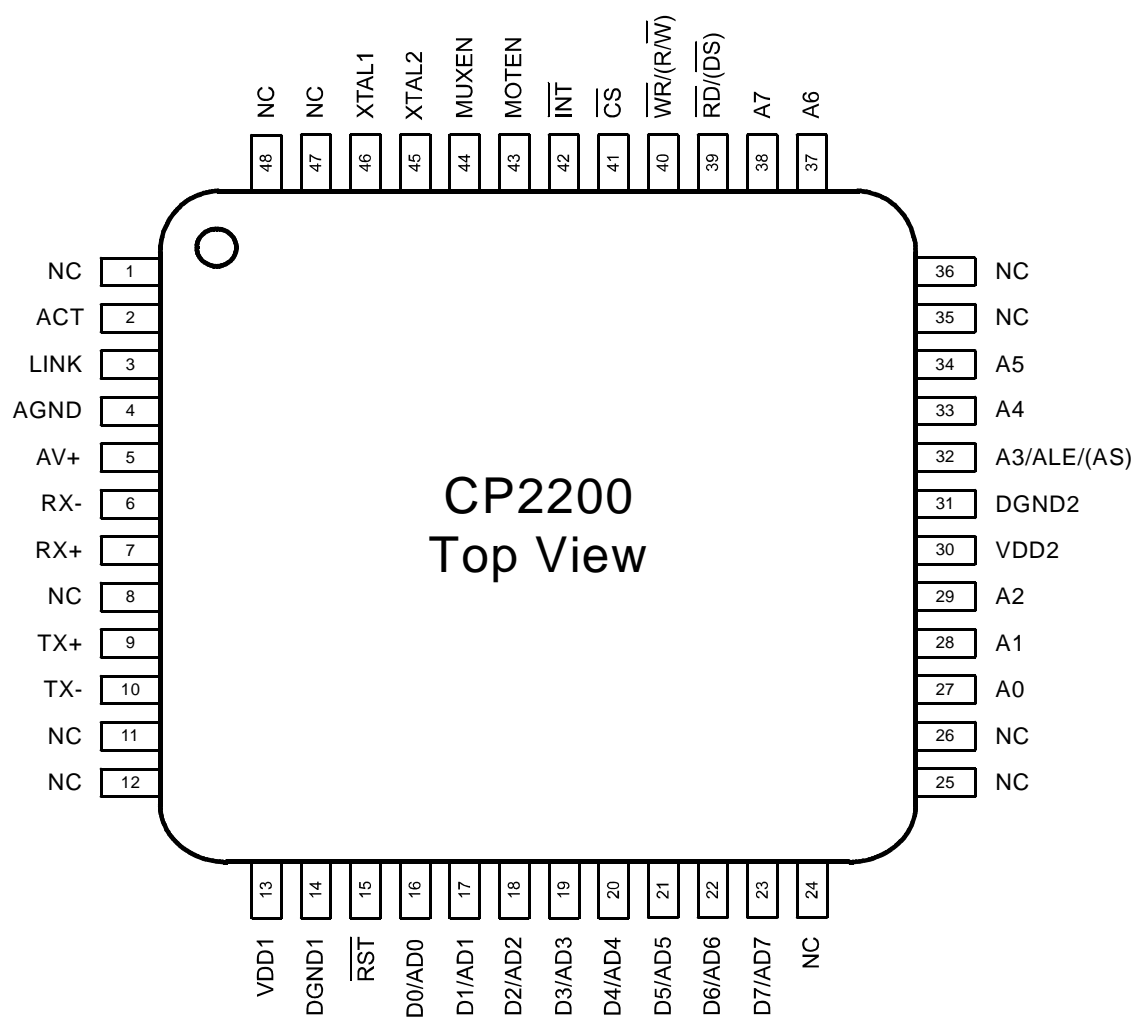


图 4. TQFP-48 引脚图

CP2200/1 单芯片以太网微控制器

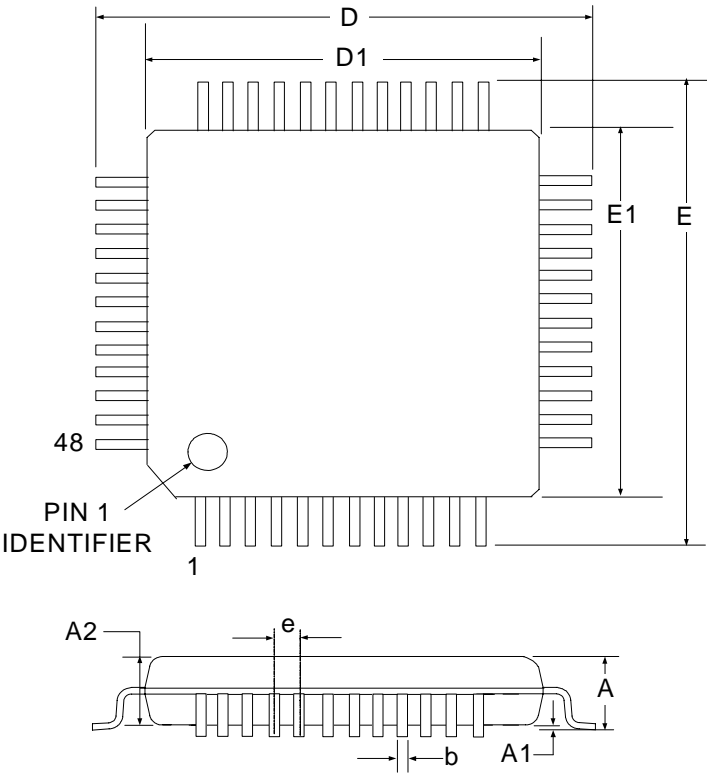


Table 5. TQFP-48 Package Dimensions

	MM		
	Min	Typ	Max
A	—	—	1.20
A1	0.05	—	0.15
A2	0.95	1.00	1.05
b	0.17	0.22	0.27
D	—	9.00	—
D1	—	7.00	—
E	—	9.00	—
e	—	0.50	—
E1	—	7.00	—

图 5. TQFP-48 封装图

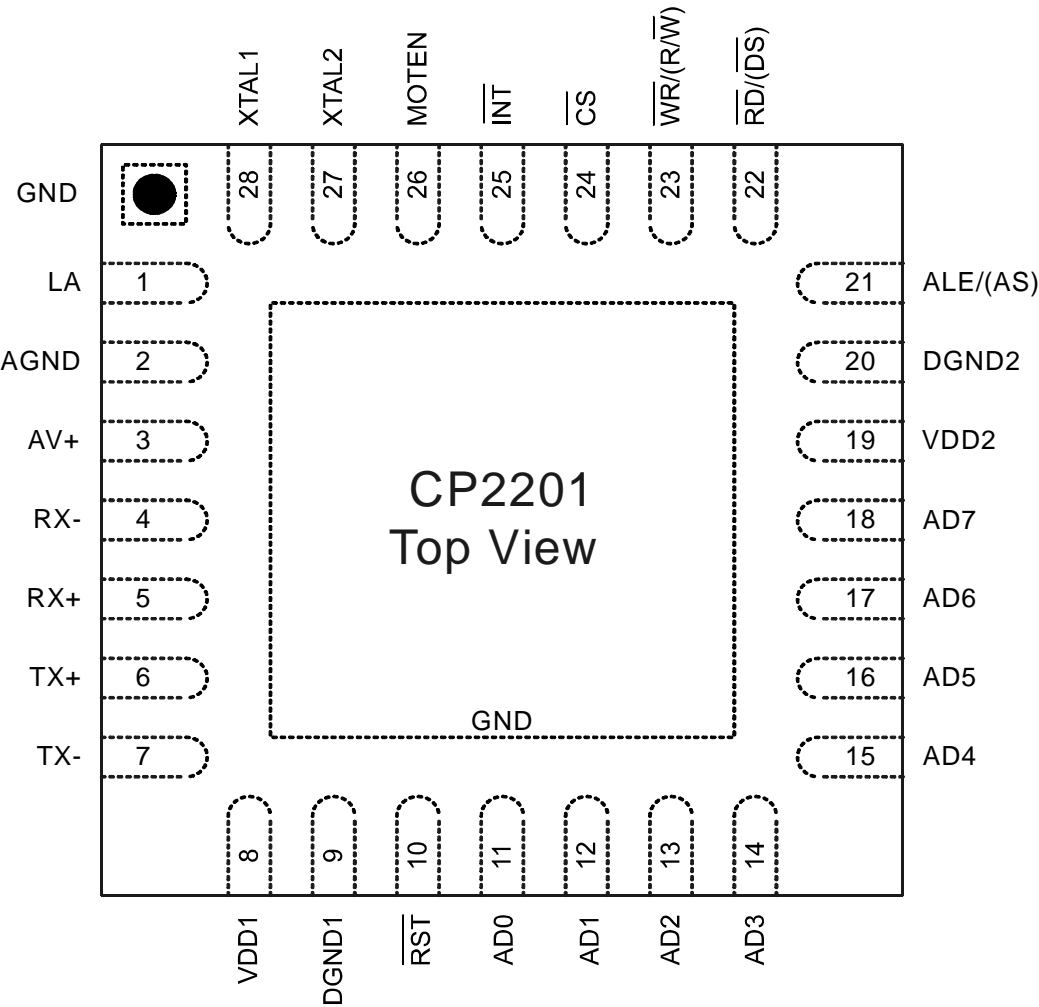


图 6. QFN-28 引脚图

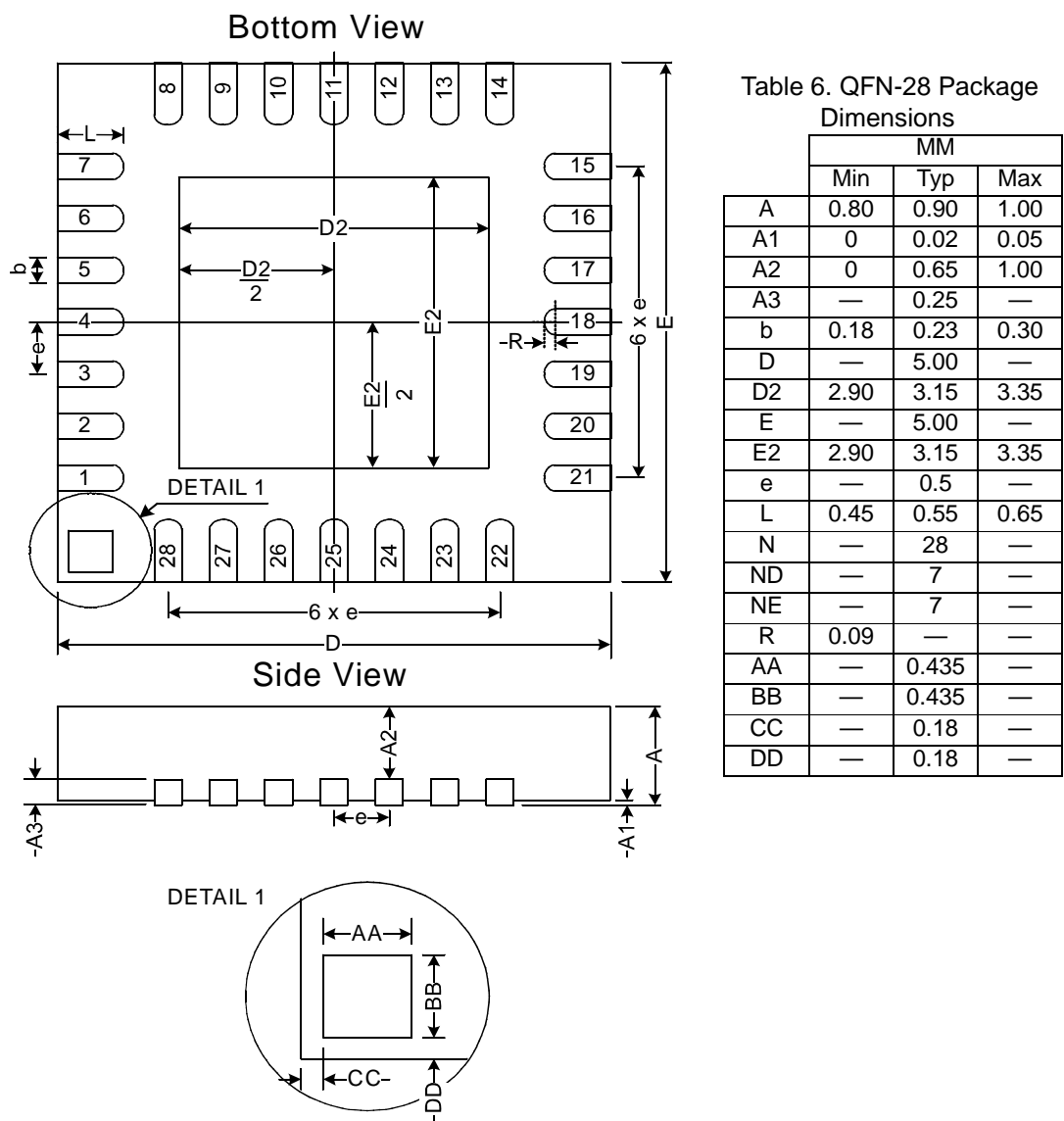


图 7. QFN-28 封装图

CP2200/1 单芯片以太网微控制器

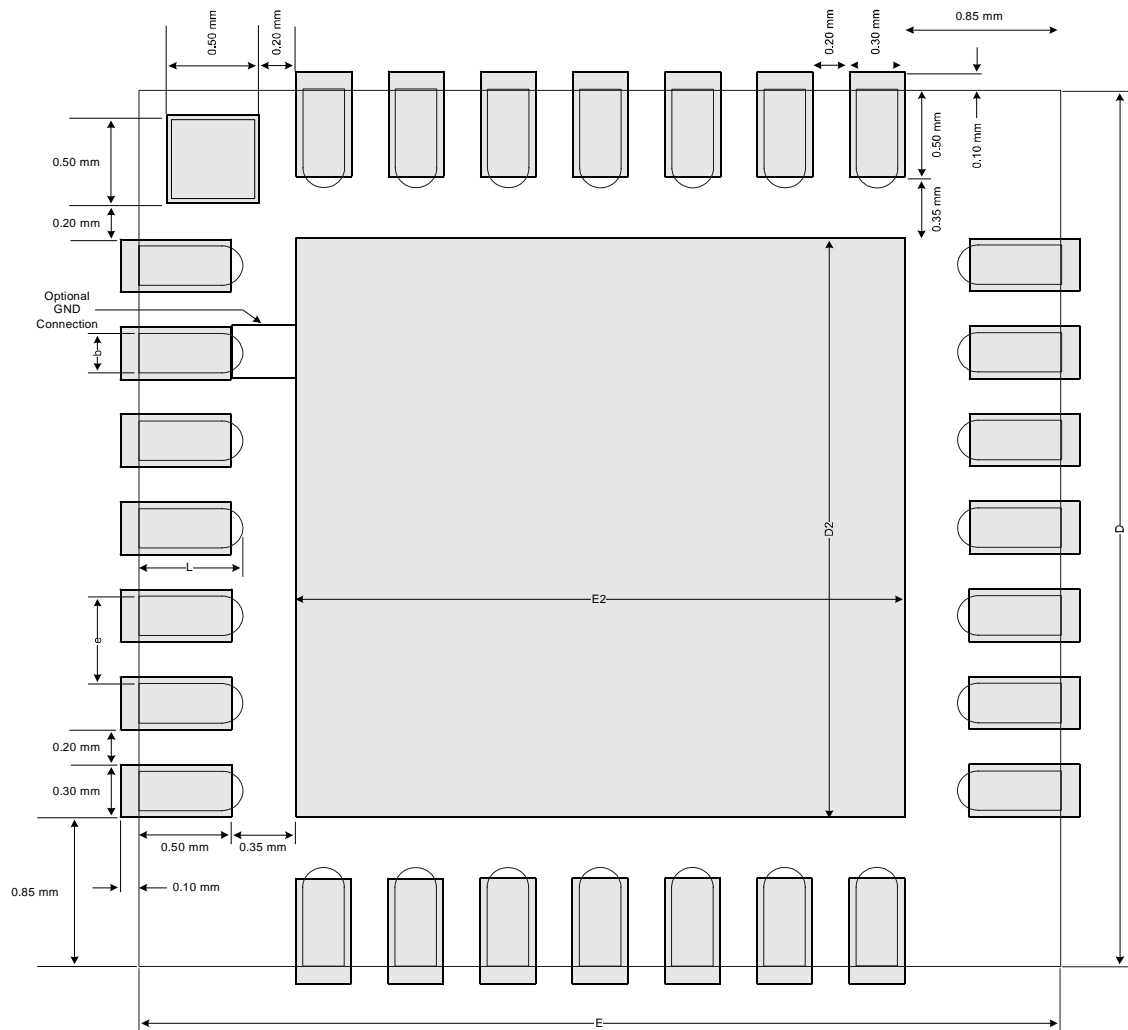


Figure 8. Typical QFN-28 Landing Diagram

Top View

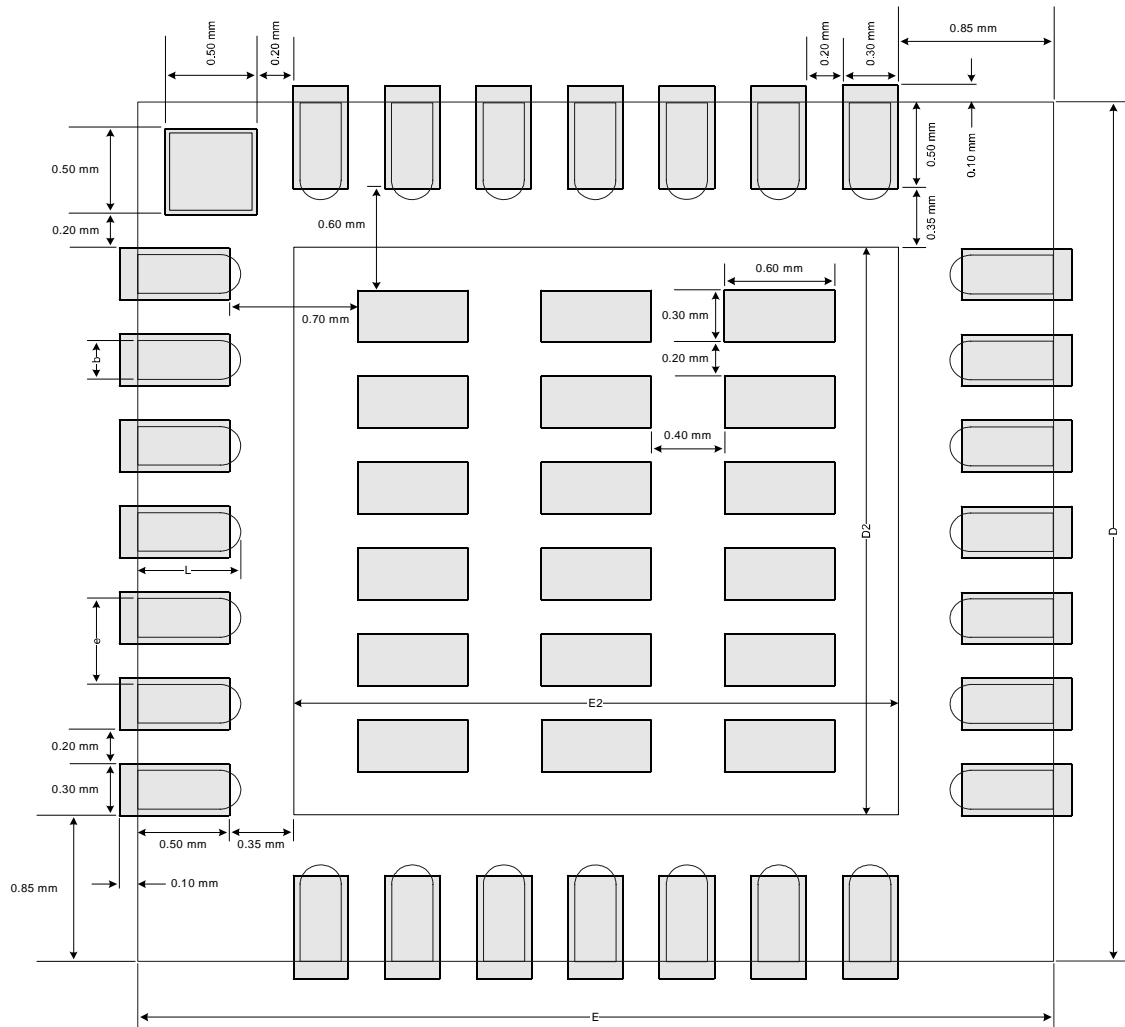


Figure 9. Typical QFN-28 Solder Paste Diagram

6. 功能说明

6.1 概述

在大多数系统中，CP2200/1 用于发送和接收以太网包、非易失性数据存储及控制连接（Link）和活动（Activity）LED。用直接和间接内部寄存器（可通过并行主机接口访问）控制器件工作。所有数字引脚均耐 5V 电压。

6.2 复位初始化

建议在每次 CP2200/1 复位之后都执行下面的初始化步骤，以保证器件工作正常。

第一步：等待复位引脚电平升高。该步在上电复位时需要的时间最长。

第二步：等待振荡器初始化完成。振荡器稳定后，主处理器会通过中断请求信号得到通知。

第三步：等待自身初始化完成。应查询 INT0 中断状态寄存器来确定自身初始化何时完成。

第四步：禁止那些主处理器不监视或不处理的事件的中断（使用 INT0EN 和 INT1EN）。

缺省状态下，每次器件复位后所有中断都被使能。

第五步：初始化物理层。有关物理层初始化过程的详细说明见“15.7 初始化物理层”。

第六步：用 IOPWR 寄存器使能所需要的活动（Activity）、连接（Link）或活动/连接 LED。

第七步：初始化媒体访问控制器（MAC）。有关 MAC 初始化过程的详细说明见“14.1 初始化 MAC”。

第八步：配置接收过滤器。有关接收过滤器初始化过程的详细说明见“12.4 初始化接收缓冲区、过滤器和哈希表”。

第九步：CP2200/1 已准备好发送和接收数据包。

6.3 中断请求信号

CP2200/1 有一个中断请求信号（/INT），该信号可用于通知主处理器有中断发生。/INT 信号在检测到任何被使能的中断事件后有效。没有分配专用引脚给 /INT 信号的主处理器可以通过周期性地查询中断状态寄存器来得知是否有中断发生。

下面列出了 14 个中断源。中断在器件复位后被使能，可以被软件禁止。可以通过读取自清除中断寄存器来清除等待处理的中断（使 /INT 信号无效）。有关 CP2200/1 中断的详细说明见“8. 中断源”。

- 到达包尾
- 接收 FIFO 空
- 接收 FIFO 满
- 振荡器初始化完成
- 自身初始化完成
- FLASH 写/擦除完成
- 包已发送
- 包已接收
- “Wake-on-LAN”唤醒事件
- 连接状态改变

- 检测到 Jabber
- 自适应失败
- 远程故障通知
- 自适应完成

6.4 时钟选择

CP2200/1 可以使用外部并行方式晶体振荡器或 CMOS 时钟。图 10 和图 11 给出了对应这两种时钟源的典型连接。如果选择晶体振荡器作为器件的时钟源，则晶体在器件退出复位后立即启动，并在器件再次进入复位状态或掉电之前一直保持运行。

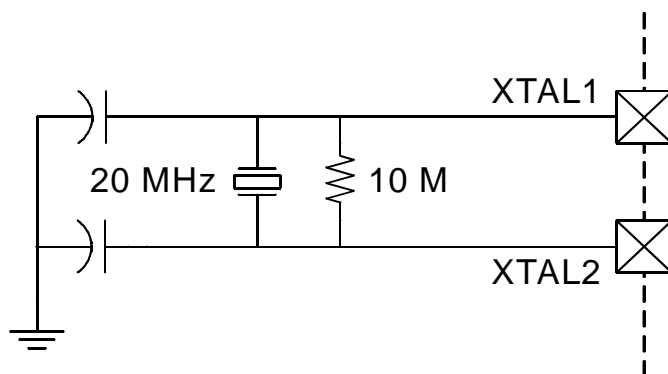


图 10. 晶体振荡器示例

注意：晶体振荡器电路对 PCB 布局非常敏感。应将晶体尽可能地靠近器件的 XTAL 引脚，布线应尽可能地短并用地平面屏蔽，以防止其它引线引入噪声或干扰。

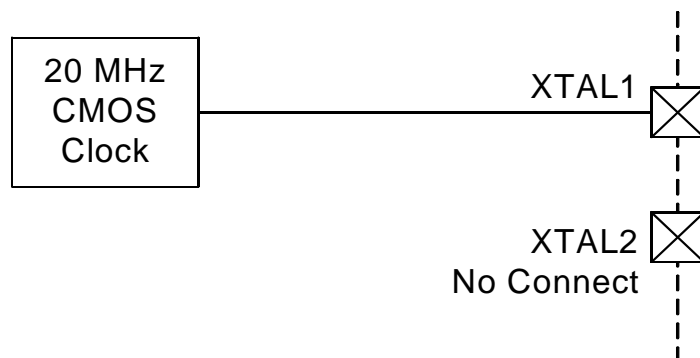


图 11. 外部 CMOS 时钟示例

表 7 列出了使用晶体振荡器或 CMOS 时钟时 CP2200/1 对时钟的要求。表 8 给出了 XTAL1 脚的电气特性。这些特性在选择外部 CMOS 时钟时有用。

CP2200/1 单芯片以太网微控制器

表 7 时钟要求

VDD = 3.1 ~ 3.6V，-40℃到+85℃（除非特别说明）。

参 数	条 件	最小值	典型值	最大值	单 位
频率		—	20	—	MHz
频率误差		—	—	± 50	Ppm
占空比		45	50	55	%

表 8 时钟输入引脚（XTAL1）直流电气特性

VDD = 3.1 ~ 3.6V，-40℃到+85℃（除非特别说明）。

参 数	条 件	最小值	典型值	最大值	单 位
XTAL1输入低电压		—	—	0.8	V
XTAL1输入高电压		2.0	—	—	V

6.5 LED 控制

CP2200/1 可用于控制连接状态和活动状态 LED。CP2200(48 脚 TQFP)有两个推挽式 LED 驱动器，每个驱动器可输出最大 10 mA 电流。CP2201 (28 脚 QFN) 只有一个推挽式 LED 驱动器，该驱动器根据连接状态来驱动 LED 亮或灭，或在连接正常且检测到网络活动时使 LED 闪烁。表 9 给出了 CP2200/1 的 LED 信号的功能。

表 9 LED 控制信号

信 号	器 件	说 明
LINK	CP2200	当检测到有效连接脉冲时有效。
ACT	CP2200	每发送或接收一个包时有效50ms。
LA	CP2201	当检测到有效连接脉冲时有效，每发送或接收一个包时电平切换50ms。

图 12 给出了 CP2200 的典型 LED 连接，CP2201 的 LA（连接/活动）引脚使用相同的连接方式。

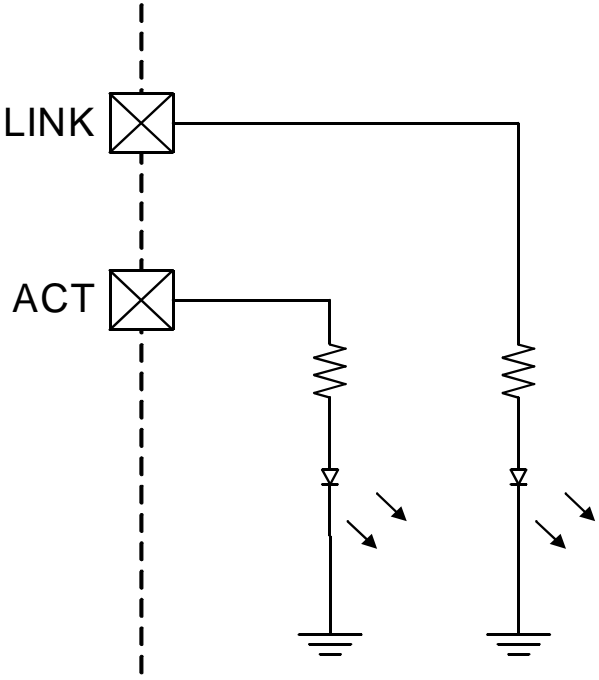


图 12. LED 控制示例（CP2200）

6.6 发送和接收数据包

在复位初始化完成之后，CP2200/1 已准备好发送和接收数据包。通过使用自动写（AutoWrite）寄存器将数据装载到发送缓冲区，并向 TXGO 写 1 来发送数据包。有关如何使用发送接口来发送数据包的详细说明见“11.2 发送数据包”。一旦发送完成，会产生数据包已发送中断。

当 MAC 接收被使能且接收缓冲区未满时，包接收会自动进行。一旦收到数据包，就会产生包接收中断通知主机。主机可以用自动读（AutoRead）接口读取数据包。有关使用和初始化接收接口的详细说明见“12.2 用自动读接口读数据包”和“12.3 初始化接收缓冲区、过滤器和哈希表”。

7. 内部存储器和寄存器

对 CP2200/1 的控制是通过直接和间接寄存器（通过并行主机接口访问）来实现的。主机接口提供 8 位地址空间，其中有 114 个有效的直接寄存器地址（见表 11）。该存储器空间的所有其余地址都被保留，不应对其进行读或写操作。直接寄存器提供对 RAM 缓冲区、FLASH 存储器、间接 MAC 配置寄存器以及针对各种器件功能的其他状态和控制寄存器。

图 13 示出了 RAM 和 FLASH 存储器组织。发送和接收 RAM 缓冲区共享同一个地址空间，都需通过 RAMADDRH:RAMADDRL 指针访问。每个缓冲区都有一个专用的数据寄存器。FLASH 存储器具有独立的地址空间及专用的地址指针和数据寄存器。有关如何读和写 FLASH 的详细说明见“13. FLASH 存储器”。

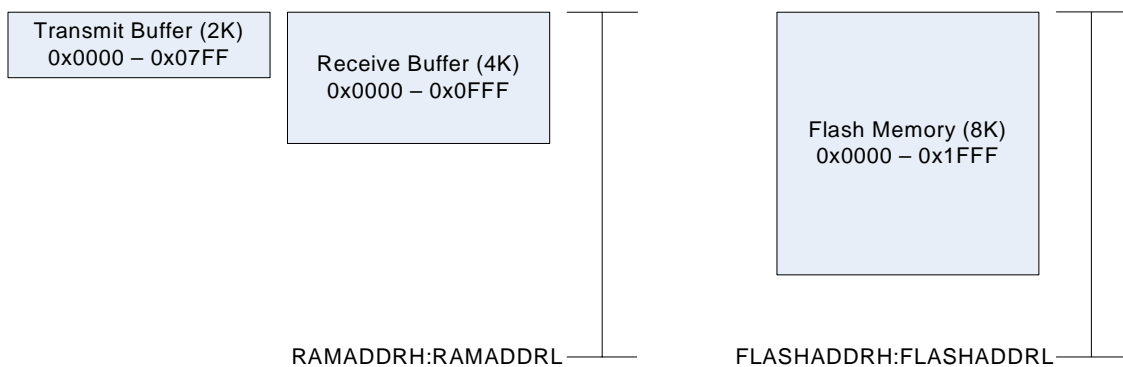


图 13. RAM 缓冲区和 FLASH 存储器组织图

7.1 RAM 发送和接收缓冲区的随机访问

访问发送和接收缓冲区的最常用和最有效的方法是自动写（AutoWrite）和自动读（AutoRead）接口。这些接口允许一次读或写整个数据包。只在很少的情况下才可能需要对发送和接收缓冲区进行随机访问。这种例子之一就是检查包中的一个特定字节，以决定是读取还是丢弃数据包。可以用下面的步骤读或写 RAM 缓冲区：

第一步：将目标字节的地址写入 RAMADDRH:RAMADDRL。

第二步：**发送缓冲区：**

读或写 8 位数据到 RAMTXDATA，以读或写发送缓冲区中的目标字节。

接收缓冲区：

读或写 8 位数据到 RAMRXDATA，以读或写接收缓冲区中的目标字节。

注：用随机访问法读或写 RAM 缓冲区与自动读和自动写接口无关。每个接口都有一组专用的地址和数据寄存器。有关自动读和自动写接口的详细信息见“11.2 发送数据包”和“12.2 用自动读接口读数据包”。

CP2200/1 单芯片以太网微控制器

寄存器 1. RAMADDRH: RAM 地址指针高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x08
位 7-0: RAMADDRH: RAM 地址寄存器高字节 保持目标 RAM 地址的高 8 位。								

寄存器 2. RAMADDRL: RAM 地址指针低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x09
位 7-0: RAMADDRL: RAM 地址寄存器低字节 保持目标 RAM 地址的低 8 位。								

寄存器 3. RAMTXDATA: RAM 发送缓冲区数据寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x04
位 7-0: RAMTXDATA: 发送缓冲区数据寄存器 读: 返回发送缓冲区中位于地址 RAMADDRH:RAMADDRL 的数据。 写: 将数据写入发送缓冲区地址 RAMADDRH:RAMADDRL。								

寄存器 4. RAMRXDATA: RAM 接收缓冲区数据寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x02
位 7-0: RAMRXDATA: 接收缓冲区数据寄存器 读: 返回接收缓冲区中位于地址 RAMADDRH:RAMADDRL 的数据。 写: 将数据写入接收缓冲区地址 RAMADDRH:RAMADDRL。								

CP2200/1 单芯片以太网微控制器

7.2 内部寄存器

CP2200/1 有 113 个直接内部寄存器和 9 个间接寄存器。这些寄存器按功能分为 10 组。表 10 列出了寄存器组并给出了对每组寄存器进行详细说明的章节。表 11 列出了所有直接寄存器。

表 10. CP2200/1 寄存器组

RAM 访问寄存器	7.1 节
中断状态和控制寄存器	第 8 章
复位源寄存器	第 9 章
电源方式寄存器	第 10 章
发送状态和控制寄存器	11.5 节
接收接口状态和控制寄存器	12.4 节
接收缓冲区状态和控制寄存器	12.6 节
FLASH 访问寄存器	13.3 节
MAC 访问寄存器	14.2 节
MAC 间接寄存器	14.3 节
PHY 状态和控制寄存器	第 15 章

表 11. 直接寄存器

寄存器	地址	说明	页号
CPADDRH	0x21	当前接收包地址高字节	
CPADDRL	0x22	当前接收包地址低字节	
CPINFOH	0x1D	当前接收包信息高字节	
CPINFOL	0x1E	当前接收包信息低字节	
CPLENH	0x1F	当前接收包长度高字节	
CPLENL	0x20	当前接收包长度低字节	
CPTLB	0x1A	当前接收包 TLB 号	
FLASHADDRH	0x69	FLASH 地址指针高字节	
FLASHADDRL	0x68	FLASH 地址指针低字节	
FLASHAUTORD	0x05	FLASH 自动读（地址加 1）	
FLASHDATA	0x06	FLASH 读/写数据寄存器	
FLASHERASE	0x6A	FLASH 擦除	
FLASHKEY	0x67	FLASH 锁定和关键码	
FLASHSTA	0x7B	FLASH 状态	

CP2200/1 单芯片以太网微控制器

表 11. 直接寄存器

寄存器	地址	说明	页号
INT0	0x63	中断状态寄存器 0（自清除）	
INT0EN	0x64	中断使能寄存器 0	
INT0RD	0x76	中断状态寄存器 0（只读）	
INT1	0x7F	中断状态寄存器 1（自清除）	
INT1EN	0x7D	中断使能寄存器 1	
INT1RD	0x7E	中断状态寄存器 1（只读）	
IOPWR	0x70	端口 I/O 电源	
MACADDR	0x0A	MAC 地址指针	
MACDATAH	0x0B	MAC 数据寄存器高字节	
MACDATAL	0x0C	MAC 数据寄存器低字节	
MACRW	0x0D	MAC 读/写启动	
OSCPWR	0x7C	振荡器电源	
PHYCF	0x79	物理层配置	
PHYCN	0x78	物理层控制	
PHYSTA	0x80	物理层状态	
RAMADDRH	0x08	RAM 地址指针高字节	
RAMADDRL	0x09	RAM 地址指针低字节	
RAMRXDATA	0x02	接收 FIFO RAM 数据寄存器	
RAMTXDATA	0x04	发送缓冲区 RAM 数据寄存器	
RSTEN	0x72	复位使能寄存器	
RSTSTA	0x73	复位源状态寄存器	
RXAUTORD	0x01	接收 FIFO 自动读（地址加 1）	
RXCN	0x11	接收控制	
RXFIFOHEADH	0x17	接收缓冲区头指针高字节	
RXFIFOHEADL	0x18	接收缓冲区头指针低字节	
RXFIFOSTA	0x5B	接收缓冲区状态	
RXFIFOTAILH	0x15	接收缓冲区尾指针高字节	
RXFIFOTAILL	0x16	接收缓冲区尾指针低字节	
RXFILT	0x10	接收过滤器配置	

CP2200/1 单芯片以太网微控制器

表 11. 直接寄存器

寄存器	地址	说明	页号
RXHASHH	0x0E	接收哈希表高字节	
RXHASHL	0x0F	接收哈希表低字节	
RXSTA	0x12	接收状态	
SWRST	0x75	软件复位寄存器	
TLB0ADDRH	0x27	TLB0 地址高字节	
TLB0ADDRL	0x28	TLB0 地址低字节	
TLB0INFOH	0x23	TLB0 信息高字节	
TLB0INFOL	0x24	TLB0 信息低字节	
TLB0LENH	0x25	TLB0 长度高字节	
TLB0LENL	0x26	TLB0 长度低字节	
TLB1ADDRH	0x2D	TLB1 地址高字节	
TLB1ADDRL	0x2E	TLB1 地址低字节	
TLB1INFOH	0x29	TLB1 信息高字节	
TLB1INFOL	0x2A	TLB1 信息低字节	
TLB1LENH	0x2B	TLB1 长度高字节	
TLB1LENL	0x2C	TLB1 长度低字节	
TLB2ADDRH	0x33	TLB2 地址高字节	
TLB2ADDRL	0x34	TLB2 地址低字节	
TLB2INFOH	0x2F	TLB2 信息高字节	
TLB2INFOL	0x30	TLB2 信息低字节	
TLB2LENH	0x31	TLB2 长度高字节	
TLB2LENL	0x32	TLB2 长度低字节	
TLB3ADDRH	0x39	TLB3 地址高字节	
TLB3ADDRL	0x3A	TLB3 地址低字节	
TLB3INFOH	0x35	TLB3 信息高字节	
TLB3INFOL	0x36	TLB3 信息低字节	
TLB3LENH	0x37	TLB3 长度高字节	
TLB3LENL	0x38	TLB3 长度低字节	
TLB4ADDRH	0x3F	TLB4 地址高字节	

CP2200/1 单芯片以太网微控制器

表 11. 直接寄存器

寄存器	地址	说明	页号
TLB4ADDRL	0x40	TLB4 地址低字节	
TLB4INFOH	0x3B	TLB4 信息高字节	
TLB4INFOL	0x3C	TLB4 信息低字节	
TLB4LENH	0x3D	TLB4 长度高字节	
TLB4LENL	0x3E	TLB4 长度低字节	
TLB5ADDRH	0x45	TLB5 地址高字节	
TLB5ADDRL	0x46	TLB5 地址低字节	
TLB5INFOH	0x41	TLB5 信息高字节	
TLB5INFOL	0x42	TLB5 信息低字节	
TLB5LENH	0x43	TLB5 长度高字节	
TLB5LENL	0x44	TLB5 长度低字节	
TLB6ADDRH	0x4B	TLB6 地址高字节	
TLB6ADDRL	0x4C	TLB6 地址低字节	
TLB6INFOH	0x47	TLB6 信息高字节	
TLB6INFOL	0x48	TLB6 信息低字节	
TLB6LENH	0x49	TLB6 长度高字节	
TLB6LENL	0x4A	TLB6 长度低字节	
TLB7ADDRH	0x51	TLB7 地址高字节	
TLB7ADDRL	0x52	TLB7 地址低字节	
TLB7INFOH	0x4D	TLB7 信息高字节	
TLB7INFOL	0x4E	TLB7 信息低字节	
TLB7LENH	0x4F	TLB7 长度高字节	
TLB7LENL	0x50	TLB7 长度低字节	
TLBVALID	0x1C	TLB 有效标志	
TXAUTOWR	0x03	发送数据自动写	
TXBUSY	0x54	发送忙标志	
TXCN	0x53	发送控制	
TXENDH	0x57	发送数据结束地址高字节	
TXENDL	0x58	发送数据结束地址低字节	

CP2200/1 单芯片以太网微控制器

表 11. 直接寄存器

寄存器	地址	说明	页号
TXPAUSEH	0x55	发送暂停高字节	
TXPAUSEL	0x56	发送暂停低字节	
TXSTA0	0x62	发送状态向量 0	
TXSTA1	0x61	发送状态向量 1	
TXSTA2	0x60	发送状态向量 2	
TXSTA3	0x5F	发送状态向量 3	
TXSTA4	0x5E	发送状态向量 4	
TXSTA5	0x5D	发送状态向量 5	
TXSTA6	0x5C	发送状态向量 6	
TXSTARTH	0x59	发送数据起始地址高字节	
TXSTARTL	0x5A	发送数据起始地址低字节	
VDMCN	0x13	VDD 监视器控制寄存器	

8. 中断源

当表 12 中列出的 14 个中断源事件中的任何一个产生中断时，CP2200/1 能通知主处理器。CP2200/1 通过将中断状态寄存器中相应的标志置 1 并将/INT 引脚驱动到低电平来通知主机。在被允许的中断的所有中断标志都被主机清 0 之前，/INT 引脚将一直保持低电平。通过读自清除中断状态寄存器 INT0 和 INT1 来清除中断标志。通过清除 INT0EN 和 INT1EN 中的相应位可以禁止中断。

如果主处理器不使用/INT 引脚，它可以通过周期性地读中断状态寄存器来确定是否有任何中断事件发生。只读寄存器 INT0RD 和 INT1RD 提供了一种检查中断而又不清除中断状态寄存器的方法。

表 12. 中断源事件

中断源事件	说明	中断标志	使能标志
包尾	用自动读接口从接收缓冲区读完一个包的最后一个字节。	INT0.7	INT0EN.7
接收FIFO空	接收缓冲区中的最后一个包被卸载或丢弃。	INT0.6	INT0EN.6
自初始化完成	器件已完成复位初始化。见“6.2 复位初始化”。	INT0.5	INT0EN.5
振荡器初始化完成	外部振荡器已稳定运行。	INT0.4	INT0EN.4
FLASH写/擦除完成	一次FLASH写或擦除操作完成。	INT0.3	INT0EN.3
包已发送	发送接口已发送完一个包。	INT0.2	INT0EN.2
接收FIFO满	接收缓冲区满或已达到最大接收包数。对RXFIFOSTA状态寄存器解码可确定接收缓冲器的状态。	INT0.1	INT0EN.1
收到包	一个新包加入到接收缓冲区中。	INT0.0	INT0EN.0
“Wake-on-LAN” 唤醒事件	器件被连接到网络。	INT1.5	INT1EN.5
连接状态改变	器件被连接到网络或被从网络上断开。	INT1.4	INT1EN.4
检测到Jabber	发送接口检测到一个jabber条件并已回应。有关jabber条件的详细信息见802.3。	INT1.3	INT1EN.3
自适应失败	一次自适应尝试失败。软件应检查连接是否正常并重试。	INT1.2	INT1EN.2
远程故障通知	检测到远程故障（电缆或连接的对方）。有关远程故障检测的详细信息见IEEE 802.3。	INT1.1	INT1EN.1
自适应完成	一次自适应尝试完成。该中断仅指示完成，而不是成功。偶尔会发生自适应没有完成和/或失败；因此，应实现3 ~ 4秒的超时机制。一次成功的自适应尝试是完成且不失败。	INT1.0	INT1EN.0

寄存器 5. INT0：中断状态寄存器 0（自清除）

RC	RC	RC	RC	RC	RC	RC	RC	复位值
EOPINT	RXEINT	SELFINT	OSCINT	FLWEINT	TXINT	RXFINT	RXINT	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x63
注：读该寄存器会清除所有 INT0 中断标志。								
位 7: EOPINT：包尾中断标志								
0: 自 EOPINT 最后一次被清除以来还没有读到包的最后一个字节。								
1: 读到包的最后一个字节。								
位 6: RXEINT：接收 FIFO 空中断标志								
0: 自 RXEINT 最后一次被清除以来接收 FIFO 未空。								
1: 接收 FIFO 已空。								
位 5: SELFINT：自初始化完成中断标志								
0: 自 SELFINT 最后一次被清除以来没有完成自初始化。								
1: 自初始化已完成。								
位 4: OSCINT：振荡器初始化完成中断标志								
0: 自 OSCINT 最后一次被清除以来没有完成振荡器初始化。								
1: 振荡器初始化已完成。								
位 3: FLWEINT：FLASH 写/擦除操作完成中断标志								
0: 自 FLWEINT 最后一次被清除以来未完成一次 FLASH 写或擦除操作。								
1: 已完成一次 FLASH 写或擦除操作。								
位 2: TXINT：包发送中断标志								
0: 自 TXINT 最后一次被清除以来未完成一次包发送。								
1: 发送完一个包。								
位 1: RXFINT：接收 FIFO 满中断标志								
0: 自 RXFINT 最后一次被清除以来接收 FIFO 未滿。								
1: 接收 FIFO 已滿。								
位 0: RXINT：包接收中断标志								
0: 自 RXINT 最后一次被清除以来接收缓冲区中没有加入新包。								
1: 接收缓冲区中有新包加入。								

CP2200/1 单芯片以太网微控制器

寄存器 6. INT0RD: 中断状态寄存器 0 (只读)

R	R	R	R	R	R	R	R	复位值
EOPINTR	RXEINTR	SELFINTR	OSCINTR	FLWEINTR	TXINTR	RXFINTR	RXINTR	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x76
注：读该寄存器不清除 INT0 中断标志。								
位 7:	EOPINTR: 包尾只读中断标志							
	0: 自 EOPINT 最后一次被清除以来还没有读到包的最后一个字节。							
	1: 读到包的最后一个字节。							
位 6:	RXEINTR: 接收 FIFO 空只读中断标志							
	0: 自 RXEINT 最后一次被清除以来接收 FIFO 未空。							
	1: 接收 FIFO 已空。							
位 5:	SELFINTR: 自初始化完成只读中断标志							
	0: 自 SELFINT 最后一次被清除以来没有完成自初始化。							
	1: 自初始化已完成。							
位 4:	OSCINTR: 振荡器初始化完成只读中断标志							
	0: 自 OSCINT 最后一次被清除以来没有完成振荡器初始化。							
	1: 振荡器初始化已完成。							
位 3:	FLWEINTR: FLASH 写/擦除操作完成只读中断标志							
	0: 自 FLWEINT 最后一次被清除以来未完成一次 FLASH 写或擦除操作。							
	1: 已完成一次 FLASH 写或擦除操作。							
位 2:	TXINTR: 包发送只读中断标志							
	0: 自 TXINT 最后一次被清除以来未完成一次包发送。							
	1: 发送完一个包。							
位 1:	RXFINTR: 接收 FIFO 满只读中断标志							
	0: 自 RXFINT 最后一次被清除以来接收 FIFO 未滿。							
	1: 接收 FIFO 已滿。							
位 0:	RXINTR: 包接收只读中断标志							
	0: 自 RXINT 最后一次被清除以来接收缓冲区中没有加入新包。							
	1: 接收缓冲区中有新包加入。							

寄存器 7.INT0EN：中断使能寄存器 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
EEOPINT	ERXEINT	ESELFINT	EOSCINT	EFLWEINT	ETXINT	ERXFINT	ERXINT	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x64
位 7: EEOPINT: 包尾中断使能								
0: 禁止包尾中断。								
1: 允许包尾中断。								
位 6: ERXEINT: 接收 FIFO 空中断使能								
0: 禁止接收 FIFO 空中断。								
1: 允许接收 FIFO 空中断。								
位 5: ESELFINT: 自初始化完成中断使能								
0: 禁止自初始化完成中断。								
1: 允许自初始化完成中断。								
位 4: EOSCINT: 振荡器初始化完成中断使能								
0: 禁止振荡器初始化完成中断。								
1: 允许振荡器初始化完成中断。								
位 3: EFLWEINT: FLASH 写/擦除操作完成中断使能								
0: 禁止 FLASH 写/擦除操作完成中断。								
1: 允许 FLASH 写/擦除操作完成中断。								
位 2: ETXINT: 包发送中断使能								
0: 禁止包发送中断。								
1: 允许包发送中断。								
位 1: ERXFINT: 接收 FIFO 满中断使能								
0: 禁止接收 FIFO 满中断。								
1: 允许接收 FIFO 满中断。								
位 0: ERXINT: 包接收中断使能								
0: 禁止包接收中断。								
1: 允许包接收中断。								

CP2200/1 单芯片以太网微控制器

寄存器 8. INT1：中断状态寄存器 1（自清除）

R/W	R/W	RC	RC	RC	RC	RC	RC	复位值
—	—	WAKEINT	LINKINT	JABINT	ANFINT	RFINT	ANCINT	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x7F
<p>注：读该寄存器会清除所有 INT1 中断标志。</p> <p>位 7-6： 未用。读 = 00b，写 = 忽略。</p> <p>位 5： WAKEINT：“Wake-on-Lan”中断标志 0：自 WAKEINT 最后一次被清除以来器件没有接入网络。 1：自 WAKEINT 最后一次被清除以来器件已接入网络。</p> <p>位 4： LINKINT：连接状态改变中断标志 0：自 LINKINT 最后一次被清除以来连接状态未发生改变。 1：连接状态发生改变（器件被接入或移除网络）。</p> <p>位 3： JABINT：检测到 jabber 中断标志 0：自 JABINT 最后一次被清除以来未检测到 jabber 条件。 1：检测到 jabber 条件。</p> <p>位 2： ANFINT：自适应失败中断标志 0：自 ANFINT 最后一次被清除以来未发生自适应失败。 1：自适应失败。</p> <p>位 1： RFINT：远程故障中断标志 0：自 RFINT 最后一次被清除以来未检测到远程故障。 1：检测到远程故障。</p> <p>位 0： ANCINT：自适应完成中断标志 0：自 ANCINT 最后一次被清除以来未完成自适应。 1：自适应完成。</p>								

CP2200/1 单芯片以太网微控制器

寄存器 9. INT1RD：中断状态寄存器 1（只读）

R/W	R/W	R	R	R	R	R	R	复位值
—	—	WAKEINTR	LINKINTR	JABINTR	ANFINTR	RFINTR	ANCINTR	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址： 0x7E
<p>注：读该寄存器不清除 INT1 中断标志。</p> <p>位 7-6： 未用。读 = 00b，写 = 忽略。</p> <p>位 5： WAKEINTR：“Wake-on-Lan”只读中断标志 0：自 WAKEINT 最后一次被清除以来器件没有接入网络。 1：自 WAKEINT 最后一次被清除以来器件已接入网络。</p> <p>位 4： LINKINTR：连接状态改变只读中断标志 0：自 LINKINT 最后一次被清除以来连接状态未发生改变。 1：连接状态未发生改变（器件被接入或移除网络）。</p> <p>位 3： JABINTR：检测到 jabber 只读中断标志 0：自 JABINT 最后一次被清除以来未检测到 jabber 条件。 1：检测到 jabber 条件。</p> <p>位 2： ANFINTR：自适应失败只读中断标志 0：自 ANFINT 最后一次被清除以来未发生自适应失败。 1：自适应失败。</p> <p>位 1： RFINTR：远程故障只读中断标志 0：自 RFINT 最后一次被清除以来未检测到远程故障。 1：检测到远程故障。</p> <p>位 0： ANCINTR：自适应完成只读中断标志 0：自 ANCINT 最后一次被清除以来未完成自适应。 1：自适应完成。</p>								

寄存器 10. INT1EN：中断使能寄存器 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	EWAKEINT	ELINKINT	EJABINT	EANFINT	ERFINT	EANCINT	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x7D
位 7-6: 未用。读 = 00b, 写 = 忽略。								
位 5: EWAKEINT: “Wake-on-Lan” 中断使能								
0: 禁止 “Wake-on-Lan” 中断。								
1: 允许 “Wake-on-Lan” 中断。								
位 4: ELINKINT: 连接状态改变中断使能								
0: 禁止连接状态改变中断。								
1: 允许连接状态改变中断。								
位 3: EJABINT: 检测到 jabber 中断使能								
0: 禁止检测到 jabber 中断。								
1: 允许检测到 jabber 中断。								
位 2: EANFINT: 自适应失败中断使能								
0: 禁止自适应失败中断。								
1: 允许自适应失败中断。								
位 1: ERFINT: 远程故障中断使能								
0: 禁止远程故障中断。								
1: 允许远程故障中断。								
位 0: EANCINT: 自适应完成中断使能								
0: 禁止自适应完成中断。								
1: 允许自适应完成中断。								

9. 复位源

复位电路允许 CP2200/1 很容易地被置于一个预定的缺省状态。在进入复位状态时，将发生以下事件：

- 所有直接和间接寄存器都被初始化为所定义的复位值。
- 数字引脚（/RST 除外）被强制进入高阻状态并被弱上拉到 VDD。
- 模拟引脚（TX+/TX- 和 RX+/RX-）被强制进入高阻状态，没有弱上拉。
- 外部振荡器停止，/RST 被驱动到低电平（软件复位除外）。
- 所有中断均被使能。

发送和接收缓冲区的内容不受复位的影响，只要器件维持足够高的电源电压。但缓冲器指针被复位到缺省值，所以数据实际上已丢失，除非主处理器记录了缓冲区中每个包的起始地址和长度。

CP2200/1 有五个复位源。进入复位状态的方式决定了复位时间的长短和/RST 引脚的行为。下面各节将对下列每个复位源进行说明：

- 上电
- 掉电
- 振荡器故障
- 外部/RST 引脚
- 软件命令

在退出复位状态时，器件自动启动外部振荡器并待其稳定（软件复位没有该步骤）。一旦晶体振荡器稳定，会产生振荡器初始化完成中断（中断引脚有效），此时主处理器可以访问内部寄存器以查询自初始化完成中断。如果主机不与中断信号连接，则应在复位引脚的上升沿过后约 1ms 再查询内部寄存器。注意：根据电源上升时间不同，复位引脚可能保持低电平长达 100ms。

在自初始化完成后，器件即可全功能工作。器件复位后建议的初始化步骤见“6.2 复位初始化”。

9.1 上电复位

在上电期间，CP2200/1 保持在复位状态，/RST引脚被驱动到低电平，直到VDD上升到超过 V_{RST} 电平。从VDD升至 V_{RST} 到退出复位状态要有一个延时 ($T_{PORDelay}$)；该延时的典型值为5ms。参见表 13 给出的电源监视电路的电气特性。

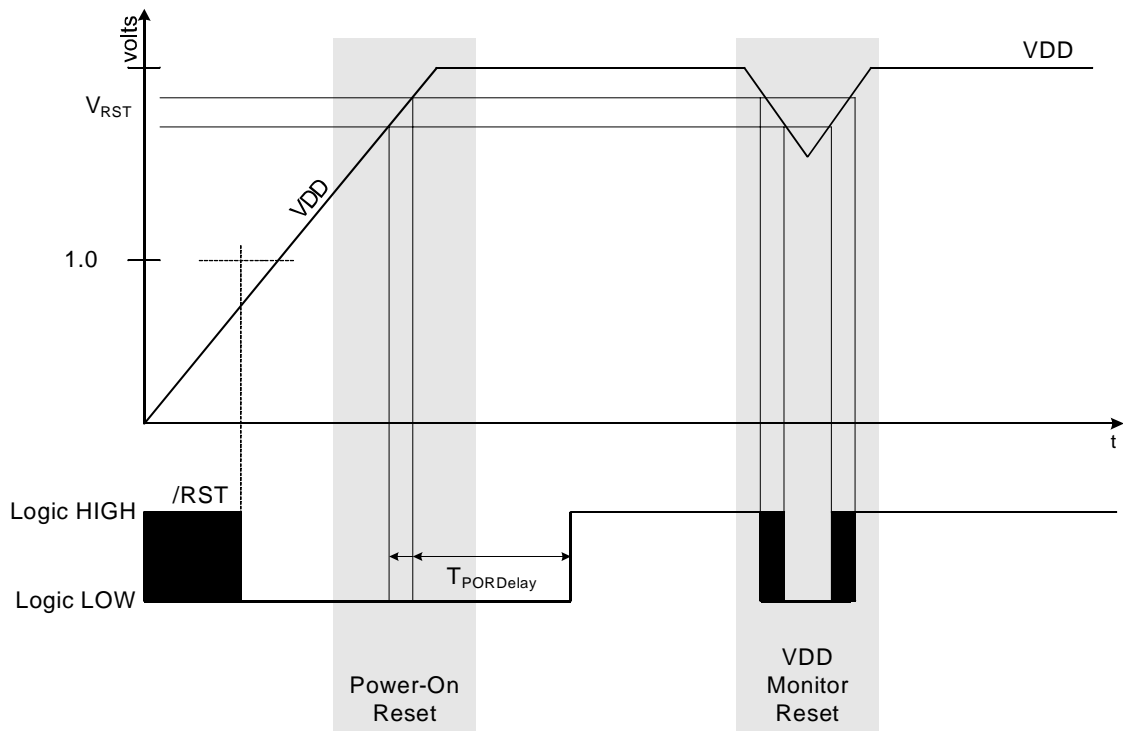


图 14. 复位时序

9.2 掉电复位

当发生掉电或因电源波动导致VDD降到V_{RST}以下时，电源监视器将/RST引脚驱动为低电平并使CP2200/1 进入复位状态。当VDD又回到高于V_{RST}的电平时，CP2200/1 将退出复位状态（如图 14 所示）。

在每次上电复位后，电源监视电路（VDD监视器）被硬件使能和选择为复位源。为防止器件在VDD降到V_{RST}以下时保持在复位状态，可以禁止VDD监视器并禁止其为复位源（见VDMCN的说明）。建议一直保持VDD监视器的使能状态和保持其复位源设置。

寄存器 11. VDMCN: VDD 监视器控制寄存器

R/W	R	R	R	R	R	R	R	复位值
VDMEN	VDDSTAT	保留	保留	保留	保留	保留	保留	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x13
<div>位 7: VDMEN: VDD 监视器使能 该位用于禁止或使能 VDD 监视器。注意：在每次上电复位后，VDD 监视器电路都被使能并被选择为复位源。如果在器件工作期间 VDD 监视器被禁止后又重新被使能，则在将其选择为复位源之前，必须等 VDD 监视器稳定。在 VDD 监视器稳定之前就选其为复位源可能导致系统复位。VDD 监视器的最小启动时间见表 13。 0: 禁止 VDD 监视器。 1: 使能 VDD 监视器。</div> <div>位 6: VDDSTAT: VDD 状态。 该位指示当前电源状态（VDD 监视器输出）。 0: VDD 等于或低于 VDD 监视器阈值。 1: VDD 高于 VDD 监视器阈值</div> <div>位 5-0: 保留。读 = 可变，写 = 忽略。</div>								

9.3 振荡器故障复位

在振荡器初始化完成后，如果源自振荡器的系统时钟因为任何原因发生故障，则复位电路会将/RST 引脚驱动到低电平并使 CP2200/1 进入复位状态。CP2200/1 将保持在复位状态约 1ms，然后退出复位状态，这一过程与上电复位相同。

9.4 外部复位

外部/RST 引脚提供了使用外部电路强制 CP2200/1 进入复位状态的手段。在/RST 引脚上加一个低电平有效信号将导致 CP2200/1 进入复位状态。建议在/RST 引脚提供一个外部上拉和/或对去耦电容，以防止强噪声引起复位。在/RST 引脚上检测到逻辑高电平约 4μs 后，CP2200/1 会退出复位状态。

9.5 软件复位

软件复位使主 CPU 能通过并行主机接口复位 CP2200/1。向 RESET 位（SWRST.2）写 1 即强制器件进入复位状态，与其他复位的区别是外部振荡器不停止运行。一旦器件进入复位状态，它会立即退出复位状态并启动器件校准，而不会产生振荡器初始化完成中断。在自初始化完成后，器件即可全功能工作。

注：每次复位后软件复位都被使能；但可以禁止其为复位源（见寄存器 RSTEN 的说明）。

寄存器 12. SWRST：软件复位寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	—	—	—	RESET	—	—	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址： 0x75
位 7-3： 未用。读 = 00000b，写 = 忽略。								
位 2： RESET： 软件复位启动								
向该位写 1 即产生软件复位。								
位 1-0： 未用。读 = 00b，写 = 忽略。								

9.6 最后一次复位源的确定

可以用 RSTSTA 寄存器来确定最后一次复位的原因。注意：如果 PORSI 位为逻辑 1，则 RSTSTA 中的所有其他位都是没有定义的。不可能通过读 RSTSTA 寄存器来区分上电、掉电和振荡器故障复位。

寄存器 13. RSTSTA：复位源状态寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	—	—	—	SWRSI	PORSI	PINRSI	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x73
位 7-3: 未用。读 = 00000b, 写 = 忽略。								
位 2: SWRSI: 软件复位标志								
0: 最后一次复位源不是写 RESET (SWRST.2)。								
1: 最后一次复位源是写 RESET (SWRST.2)。								
位 1: PORSI: 上电/掉电/振荡器故障复位标志								
0: 最后一次复位源不是上电、掉电或振荡器故障。								
1: 最后一次复位源是上电、掉电或振荡器故障。								
位 0: PINRSI: 外部引脚复位标志								
0: 最后一次复位源不是/RST 引脚。								
1: 最后一次复位源是/RST 引脚。								

9.7 禁止复位源

每次上电复位后，掉电（VDD 监视器）复位都被自动使能。不论复位源为何，每次器件复位后软件复位都被使能。RSTEN 寄存器可用于禁止这两个复位源中的任何一个产生复位。

寄存器 14. RSTEN：复位源使能寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	—	—	—	ESWRST	EPFRST	—	00000100
位7	位6	位5	位4	位3	位2	位1	位0	地址： 0x72
<p>位 7-3： 未用。读 = 00000b，写 = 忽略。</p> <p>位 2： ESWRST：软件复位使能 0：软件复位不被选择为复位源。 1：软件复位被选择为复位源。</p> <p>位 1： EPFRST：掉电复位使能 0：掉电检测电路（VDD 监视器）不被选择为复位源。 1：掉电检测电路（VDD 监视器）被选择为复位源。</p> <p>位 0： 未用。读 = 0b，写 = 忽略。</p>								

表 13. 复位源电气特性

VDD = 3.1 ~ 3.6V，-40℃到+85℃（除非特别说明）

参 数	条 件	最小值	典型值	最大值	单位
/RST 输出低电平	I _{OL} = 8.5 mA	—	—	0.6	V
/RST 输入高电平		0.7xVDD	—	—	V
/RST 输入低电平		—	—	0.3xVDD	V
/RST 输入上拉电流		—	25	40	μA
VDD 上电复位门限 (V _{RST})		2.2	2.4	2.6	V
产生系统复位的最小 /RST 低电平时间		15	—	—	μs
VDD 监视器启动时间		100	—	—	μs
VDD 监视器电源电流		—	20	50	μA

10. 电源方式

CP2200/1 有四种电源方式，可以使系统整体功耗最小化。电源方式随器件功能和恢复方式的不同而不同。下面各节将对下列每种方式进行说明：

- 正常方式（器件全功能运行）
- 连接检测方式（发送器禁止）
- 存储器方式（发送器和接收器均禁止）
- 停机方式（振荡器输出禁止）

上述电源方式通过禁止 CP2200/1 的特定主功能实现。图 15 示出了电源在 CP2200/1 内部的分布情况。为了进一步减少上述任何一种电源方式的功耗，可以单独关闭各辅助器件功能。可以被关闭的辅助器件功能为：

- 连接/活动 LED 驱动器
- 连接到 VDD 的弱上拉
- VDD 监视器

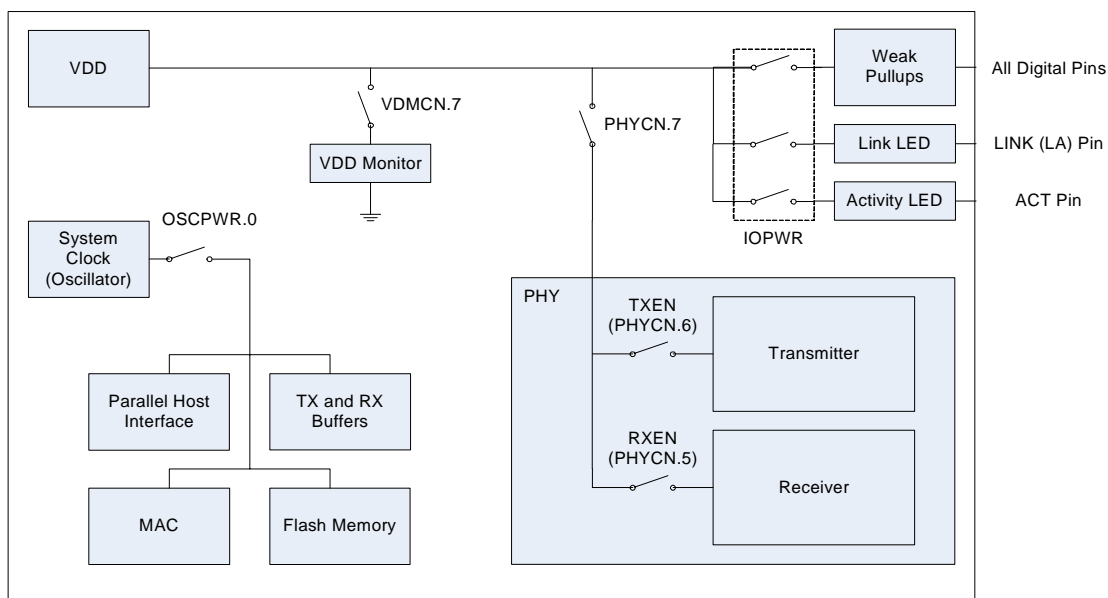


图 15. 电源和时钟分布控制

10.1 正常方式

主机发送或接收数据包时应使用正常方式。在该方式下，CP2200/1 全功能运行。正常方式下的典型功耗列于表 2 中。

注：当工作在正常方式时，发送器具有节电模式，该模式在复位后被使能。当 CP220x 不发送连接脉冲或数据时，该节电模式禁止发送器的输出驱动器，并将 TX+/-引脚置于高阻状态。为了满足 IEEE802.3 中规定的最小发送器损失要求，该节电模式应被禁止。详见寄存器 17，“TXPWR：发送器电源寄存器”。

10.2 连接检测方式

在连接检测方式，发送器和连接脉冲发生逻辑被禁止。因为不产生连接脉冲，所以 CP2200/1 的表现如同“离线”。使用连接检测方式最常见的做法是首先使能网络唤醒中断，再将 CP2200/1 置于连接检测方式，然后将 MCU 置于低功耗方式，直到系统接入网络。

注：当使用连接检测方式时，用户应确保连接的对方总是发送连接脉冲。集线器和交换机就是这类设备的例子。某些笔记本 PC 上也实现了该节电功能，即在未检测到有效连接时停止发送连接脉冲。这会造成连接的双方都在等待对方发送连接脉冲的情况。

注：IEEE802.3 中规定了最小发送器损失。如果发送器被禁止，则 TX+/-引脚被置于高阻状态，不会产生最小返回损失。如果设备被认为“在网络中”，并接收到有效连接脉冲，则发送器不应被禁止。

在正常方式，可以通过清除 TXEN（PHYCN.6）位将器件设置为连接检测方式。要使器件返回到正常方式，需将 PHYCN 清为 0x00（禁止物理层），然后再用 15.7 节中介绍的启动过程重新使能物理层。

10.3 存储器方式

在存储器方式，物理层（发送器和接收器）被置于低功耗状态，CP2200/1 既不能发送也不能接收数据包。能工作的主功能仅为 FLASH 存储器和 RAM 缓冲器。RAM 缓冲器只能用 7.1 节中介绍的随机访问方法访问。

可以通过将 PHYCN 寄存器中的高 3 位清除为‘000’使器件工作于存储器方式。可以通过将 PHYCN 寄存器中的高 3 位设置为‘111’，并等待一段时间（使物理层的发送器和接收器启动）来使器件返回到正常方式。表 22 给出了物理层的电气特性（包括启动时间）。要使器件返回到正常方式，需将 PHYCN 清为 0x00（禁止物理层），然后再用 15.6 节中介绍的启动过程重新使能物理层。

10.4 停机方式

停机方式 CP2200/1 功耗最低的电源方式。所有的主功能和辅功能都被禁止，系统时钟与振荡器断开。只有通过上电或引脚复位才能使器件从停机方式返回到正常方式。。

可以用下面的步骤将器件置于停机方式：

第一步：通过将 PHYCN 的高 3 位清为‘000’来禁止物理层。

第二步：通过将 IOPER 的位 2 和位 3 清为‘00’来禁止 LED 驱动器。

第三步：通过将 VDMEN（VDMVN.7）清‘0’来禁止 VDD 监视器（可选项）。

第四步：通过将 OSCOE（OSCPWR.0）清‘0’将振荡器输出与器件的其他部分断开。该

步应最后执行，因为执行该步后，在下次引脚或上电复位之前器件将不再会响应。

10.5 禁止辅助器件功能

可以禁止 LED 驱动器、弱上拉和 VDD 监视器，以使功耗最小。表 13 列出了 VDD 监视器的典型电源电流。如果 MOTEN 和 MUXEN 引脚接地，禁止弱上拉会节省电流，但如果地址和数据引脚没有外部驱动或没有被用上拉或下拉电阻拉到一个定义的逻辑电平，则会导致这些引脚浮空（引起未定义的器件行为和增加功耗）。除非所有数字引脚都被外部驱动到逻辑高或低电平，否则弱上拉不应被禁止。

CP2200/1 单芯片以太网微控制器

寄存器 15. IOPWR: 端口 I/O 电源寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	—	—	ACTEN	LINKEN	WEAKD	保留	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x70
<p>位 7-4: 未用。读 = 0000b, 写 = 忽略。</p> <p>位 3: ACTEN: 活动 LED 使能 注: 如果使用 CP2201, 该位应总是保持 0 值。 0: 活动 LED 禁止。 1: 活动 LED 使能。</p> <p>位 2: LINKEN: 连接 LED 使能 (对 CP2201, 为连接/活动 LED) 0: 连接 (连接/活动) LED 禁止。 1: 连接 (连接/活动) LED 使能。</p> <p>位 1: WEAKD: 弱上拉禁止 0: 弱上拉使能。 1: 弱上拉禁止。</p> <p>位 0: 保留。读 = 0b, 必须写 0b。</p>								

寄存器 16. OSCPWR: 振荡器电源寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	复位值
—	—	—	保留	保留	保留	保留	OSCOE	00000010
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x7C
<p>位 7-5: 未用。读 = 0000b, 写 = 忽略。</p> <p>位 4-2: 保留。读 = 100b, 必须写 x00b。</p> <p>位 1: 未用。读 = 1b, 写 = 忽略。</p> <p>位 0: OSCOE: 振荡器输出使能 该位控制外部振荡器的输出。它不影响外部晶体驱动器。 0: 振荡器输出禁止。在下次复位之前器件不再响应。 1: 振荡器输出使能。</p>								

寄存器 17. TXPWR: 发送器电源寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
PSAVED	保留	保留	保留	保留	保留	保留	保留	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x7A
<p>位 7: PSAVED: 发送器节电模式禁止位 0: 使能发送器节电模式。 1: 禁止发送器节电模式。</p> <p>位 6-0: 保留。读 = 可变, 必须写 000000b。</p>								

11. 发送接口

11.1 概述

CP2200/1 提供了一个发送以太网包的简单接口，主机只需将源和目的地址、长度/类型和数据加载到发送缓冲区即可。所有其他 IEEE 802.3 要求，如前同步码、帧开始定界符、CRC 和填充（如果需要），都是自动生成的。图 16 示出了一个典型的以太网包。

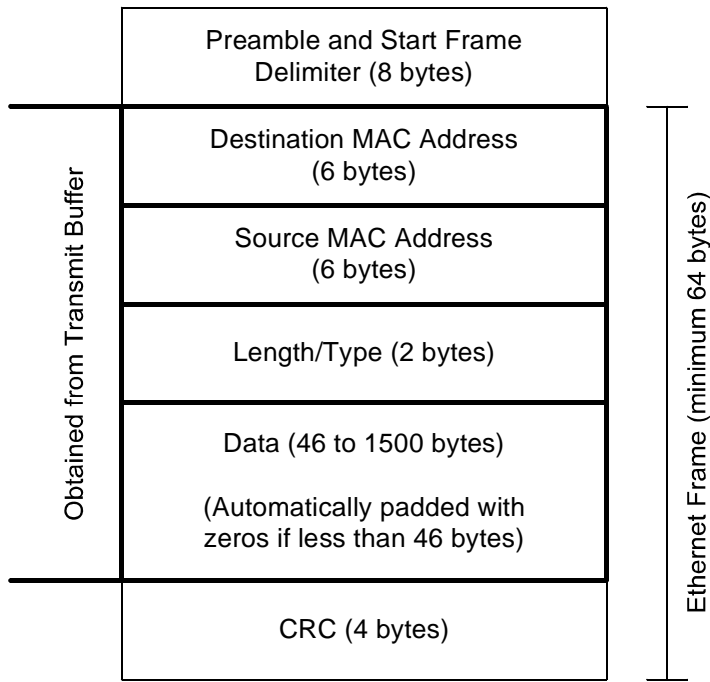


图 16. 典型的以太网包

11.2 发送数据包

一旦复位初始化完成（见 6.2 节），CP2200/1 即准备好发送以太网包。可以用下面的步骤发送一个以太网包：

第一步：等待前一个包发送结束（TXBUSY == 0x00）。最坏的情况是在半双工方式下使用指数退避算法，此时发送一个包的最长时间为 500ms。

第二步：设置发送缓冲区指针 TXSTARH:TXSTARTL 为 0x0000。

第三步：如果最后一个包是被放弃的包（(TXSTA3 & 0xF8) != 0x00），则必须使用随机存储器访问方法将该包装入发送缓冲区：

- a. 将 RAMADDRH:RAMADDRL 设置为 0x0000。
- b. 向 RAMTXDATA 写入第一个数据字节。
- c. 将 RAMADDRH:RAMADDRL 加 1。
- d. 向 RAMTXDATA 写入下一个数据字节。
- e. 重复步骤 c 和 d，直到装载完整个包。
- f. 将短包填充到至少 64 个字节。

- g. 将 TXENDH:TXENDL 设置为最后一个字节的地址。该值必须大于或等于 0x0040。

第四步：如果最后一个包被成功发送 ((TXSTA2 & 0x80) == 0x80)，则可以用自动写接口将该包装入发送缓冲区：

- a. 将所有数据字节都写入 TXAUTOWR 寄存器，每次一个字节。
- b. 如果 MAC 工作在半双工方式，将短包填充到至少 64 个字节。

第五步：将发送缓冲区指针 TXSTARH:TXSTARL 重新设置为 0x0000。

第六步：通过向 TXGO 位 (TXCN.0) 写 1 来启动发送。

注：如果总是执行第三步，则第四步可以被跳过。

11.3 覆盖发送配置选项

全局发送配置选项在 MAC 寄存器中配置。发送接口允许主处理器通过覆盖全局 MAC 设置来定制每个包的发送选项。下面的选项可以被发送接口覆盖：

- 短帧填充 — 该选项被使能时，保证不会发送小于 64 字节的帧。帧尺寸不包括 8 字节的前同步码，但包括 4 字节的 CRC 域。
- CRC 生成 — 该选项被使能时，器件会自动计算一个 32 位的 CRC 并将其加到以太帧尾。
- 暂停包发送（全双工方式）— 该选项被使能时，带暂停值 TXPAUSEH:TXPAUSEL 的一个以太 PAUSE 包被发送。
- 背压流量控制（半双工）。
- 半/全双工方式切换。注：该设置不影响物理层。

11.4 发送缓冲区和自动写接口

发送缓冲区为自动写接口提供了高效装载一个完整数据包的机制。自动写接口包括 3 个寄存器：TXSTART、TXEND 和 TXAUTOWR。TXSTART 寄存器指向下一个可用字节的地址，可被复位到缓冲区的第一个字节。TXEND 寄存器指向加到缓冲区的最后一个字节。TXAUTOWR 是数据寄存器。每次写 TXAUTOWR 都将 TXEND 设置为写入字节所在的地址，并使 TXSTART 加 1。在包被装入缓冲区后，TXSTART 被复位到 0x0000，以标记包的起始点。TXEND 将继续指向包中的最后一个字节。

11.5 发送状态和控制寄存器

CP2200/1 发送接口通过表 14 中的寄存器控制和管理。在每个包被发送之后，可以从 52 位的发送状态向量得到最后一个发送包的信息，发送状态向量通过寄存器 TXSTA0 ~ TXSTA6 访问。表 15 给出了发送状态向量的说明。

表 14. 发送状态和控制寄存器一览表

寄存器	长名	地址	说明
TXCN	发送控制	0x53	包含发送配置选项覆盖位和用于启动包发送的TXGO位。
TXBUSY	发送忙标志	0x54	该寄存器为只读寄存器。当发送接口正在发送数据时其读出值为0x01，当发送接口不在发送数据时其读出值为0x00。
TXPAUSEH TXPAUSEL	发送暂停高字节 发送暂停低字节	0x55 0x56	保持用于PAUSE包发送的16位暂停值。暂停值以512个位时间（51.2 μs）为单位。
TXSTARTH TXSTARTL	发送数据起始地址高字节 发送数据起始地址低字节	0x59 0x5A	待发送包在发送缓冲区中的起始地址。加入到发送缓冲区的包必须从地址0x0000开始。
TXENDH TXENDL	发送数据结束地址高字节 发送数据结束地址低字节	0x57 0x58	加入到发送缓冲区的最后一个字节的地址。该寄存器由硬件管理。
TXAUTOWR	发送数据自动写	0x03	对该寄存器执行写操作将一个字节加入到发送缓冲区中，将TXEND设置为写入字节所在地址，并将TXSTART加1。
TXSTA6 TXSTA5 TXSTA4 TXSTA3 TXSTA2 TXSTA1 TXSTA0	发送状态向量	0x5C 0x5D 0x5E 0x5F 0x60 0x61 0x62	52位发送状态向量，包含最后发送的数据包的信息，这些信息包括碰撞次数、发送成功标志、发送的总字节数等。

CP2200/1 单芯片以太网微控制器

表 15. 发送状态向量说明

数据位	域 名	说 明
51	发送VLAN帧	最后发送帧的长度/类型域为0x8100（VLAN协议标识符）。
50	背压流量控制	在传输期间使用背压流量控制。
49	发送PAUSE帧	最后发送帧为有效的PAUSE控制帧。
48	发送控制帧	最后发送帧为控制帧。
47-32	总发送字节数	在线路上发送的总字节数，包括所有碰撞字节。
31	发送Under-run	由于数据under-run条件，最后一个包被放弃。
30	检测到Jumbo包	由于检测到Jumbo包（过长的帧），最后一个包被丢弃。不支持Jumbo包。
29	晚碰撞检测	由于在51.2 μ s的碰撞窗口之后发生碰撞，最后一个包被丢弃。
28	碰撞过多检测	由于检测到16次或更多次碰撞，最后一个包被放弃。
27	超长延时检测	由于延时超过2.42 ms，最后一个包被丢弃。。
26	延时检测	最后一个包被发送，但有延时（小于2.42 ms）。
25	发送广播包	最后发送的包有广播目的地址。
24	发送多播包	最后发送的包有多播目的地址。
23	发送成功	最后发送的包被成功发送。
22	类型域检测	最后发送包的长度/类型域的值大于1500。
21	长度检查错误	最后发送包的长度/类型域的值小于或等于1500，与实际帧长度不符。
20	CRC错误	最后发送包的CRC域与内部生成的CRC不符。
19-16	发送碰撞计数	最后发送包在发送期间发生的碰撞次数。
15-0	发送字节计数	最后发送帧的字节数，不计碰撞字节。

CP2200/1 单芯片以太网微控制器

寄存器 18. TXCN: 发送控制寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
OVRRIDE	—	CRCENOV	PADENOV	TXPPKT	BCKPRES	FDPLXOV	TXGO	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x53
<p>位 7: OVRRIDE: 缺省覆盖 0: TXCN 中位 5~1 的设置被忽略。MAC 设置起作用。 1: 使用 TXCN 中位 5~1 的设置。MAC 设置被覆盖。</p> <p>位 6: 未用。读 = 0b, 写 = 忽略。</p> <p>位 5: CRCENOV: CRC 使能 0: 禁止在传输时追加 CRC。 1: 允许在传输时追加 CRC。</p> <p>位 4: PADENOV: 填充使能 0: 禁止对短帧填充。 1: 允许对短帧填充。</p> <p>位 3: TXPPKT: 发送一个 PAUSE 控制包 0: 正常包发送。包数据从发送缓冲区得到。 1: 将发送一个含有 TXPAUSEH:TXPAUSEL 值的 PAUSE 控制包。不访问发送缓冲区中的数据。PAUSE 控制包只在全双工方式有效。</p> <p>位 2: BCKPRES: 应用背压流量控制 0: 正常包发送。不使用背压流量控制。 1: 在发送时使用背压流量控制 (只在半双工方式有效)。</p> <p>位 1: FDPLXOV: 全双工操作 注: 发送接口、MAC 和物理层必须被配置为相同的双工方式。 0: 发送接口工作在半双工方式。 1: 发送接口工作在全双工方式。</p> <p>位 0: TXGO: 包发送 将该位置 1 即开始发送数据包。 注: 如果 TXSTART 和 TXEND 均为 0 (即缓冲区中没有数据), 则不应将 TXGO 置 1。</p>								

寄存器 19. TXBUSY: 发送忙标志寄存器

R	R	R	R	R	R	R	R	复位值
—	—	—	—	—	—	—	TXBUSY	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x54
<p>位 7-1: 未用。读 = 0000000b, 写 = 忽略。</p> <p>位 0: TXBUSY: 包发送状态 0: 没有包在发送。 1: 包发送正在进行。</p>								

CP2200/1 单芯片以太网微控制器

寄存器 20. TXPAUSEH: 发送 PAUSE 高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x55
位 7-0: TXPAUSEH: 发送 PAUSE 高字节 在 PAUSE 控制包中发送的 16 位暂停值的高字节。暂停值以 512 个位时间为单位（512 个位时间 = 51.2 μs）。								

寄存器 21. TXPAUSEL: 发送 PAUSE 低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x56
位 7-0: TXPAUSEL: 发送 PAUSE 低字节 在 PAUSE 控制包中发送的 16 位暂停值的低字节。暂停值以 512 个位时间为单位（512 个位时间 = 51.2 μs）。								

寄存器 22. TXSTARTH: 发送数据起始地址高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x59
位 7-0: TXSTARTH: 发送数据起始地址高字节 待发送包在发送缓冲区中的起始地址的高字节。注：待发送包的起始地址必须为 0x0000。								

寄存器 23. TXSTARTL: 发送数据起始地址低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x5A
位 7-0: TXSTARTL: 发送数据起始地址低字节 待发送包在发送缓冲区中的起始地址的低字节。注：待发送包的起始地址必须为 0x0000。								

CP2200/1 单芯片以太网微控制器

寄存器 24. TXENDH：发送数据结束地址高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x57
位 7-0: TXENDH：发送数据结束地址高字节 加入到发送缓冲区中的最后一个字节的地址之高字节。								

寄存器 25. TXENDL：发送数据结束地址低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x58
位 7-0: TXENDL：发送数据结束地址低字节 加入到发送缓冲区中的最后一个字节的地址之低字节。								

寄存器 26. TXAUTOWR：发送数据自动写

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x03
位 7-0: TXAUTOWR：发送数据自动写 写该寄存器即向发送缓冲区中加入一个字节，并将 TXEND 指针设置为当前写入字节的地址。								

CP2200/1 单芯片以太网微控制器

寄存器 27. TXSTA6: 发送状态向量 6

R/W	R/W	R/W	R/W	R	R	R	R	复位值
—	—	—	—	TXVLAN	BCKPRES	TXPF	TXCF	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x5C

注：该寄存器包含发送状态向量的位 51 ~ 48。

位 7-4：未用。读 = 0000b，写 = 忽略。

位 3：TXVLAN：已发送一个 VLAN 帧
0：已发送帧的长度/类型域为 0x8100。
1：已发送帧的长度/类型域不是 0x8100。

位 2：BCKPRES：应用背压流量控制
0：发送期间不使用背压流量控制。
1：发送期间使用背压流量控制。

位 1：TXPF：已发送 PAUSE 帧
0：已发送的帧不是 PAUSE 控制帧。
1：已发送的帧是有效的 PAUSE 控制帧。

位 0：TXCF：已发送控制帧
0：已发送的帧不是控制帧。
1：已发送的帧是控制帧。

寄存器 28. TXSTA5: 发送状态向量 5

R	R	R	R	R	R	R	R	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x5D

注：该寄存器包含发送状态向量的位 47 ~ 40。

位 7-0：TXSTA5：已发送的总字节数之高字节
在线路上发送的总字节数之高 8 位，总字节数包括所有碰撞字节。

CP2200/1 单芯片以太网微控制器

寄存器 29. TXSTA4: 发送状态向量 4

R	R	R	R	R	R	R	R	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x5E

注：该寄存器包含发送状态向量的位 39 ~ 32。

位 7-0: TXSTA5: 已发送的总字节数之低字节
在线路上发送的总字节数之低 8 位，总字节数包括所有碰撞字节。

寄存器 30. TXSTA3: 发送状态向量 3

R	R	R	R	R	R	R	R	复位值
TXURUN	保留	TXLTCL	TXEXCL	TXEXDE	TXDE	TXBCAST	TXMCAST	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x5F

注：该寄存器包含发送状态向量的位 31 ~ 24。

位 7: TXURUN: 发送 Under-Run
0: 发送 Under-Run 未发生。
1: 数据包由于 Under-Run 条件被放弃。

位 6: 保留。读 = 0b。

位 5: TXLTCL: 晚碰撞检测
0: 未检测到晚碰撞。
1: 在 51.2 μ s 的碰撞窗口之后检测到碰撞。

位 4: TXEXCL: 碰撞过多检测
0: 发送期间的碰撞次数少于 16。
1: 由于检测到 16 次或更多次碰撞，数据包被放弃。

位 3: TXEXDE: 超长延时检测
0: 数据包发送没发生超长延时（大于 2.42 ms）。
1: 数据包发送时发生超长延时（大于 2.42 ms）。

位 2: TXDE: 延时检测
0: 数据包发送时没有延时或有超长延时。
1: 数据包发送时有非超长延时（小于 2.42 ms）。

位 1: TXBCAST: 发送广播包
0: 已发送的包没有广播目的地址。
1: 已发送的包有广播目的地址。

位 0: TXMCAST: 发送组播包
0: 已发送的包没有组播目的地址。
1: 已发送的包有组播目的地址。

CP2200/1 单芯片以太网微控制器

寄存器 31. TXSTA2: 发送状态向量 2

R	R	R	R	R	R	R	R	复位值
TXOK	TXTYPE	TXLCERR	TXCRCER	TXCOL3	TXCOL2	TXCOL1	TXCOL0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x60
注：该寄存器包含发送状态向量的位 23 ~ 16。								
位 7: TXOK: 发送成功								
0: 发送被放弃。								
1: 发送成功。								
位 6: TXTYPE: 类型域检测								
0: 最后一个包的类型/长度域用作长度。								
1: 最后一个包的类型/长度域用作类型。								
位 5: TXLCERR: 长度检查错误								
0: 最后一个包的长度域与实际帧长度一致。								
1: 最后一个包的长度域与实际帧长度不符。								
位 4: TXCRCER: CRC 错误								
0: 最后一个包的 CRC 与内部生成的 CRC 相同。								
1: 最后一个包的 CRC 与内部生成的 CRC 不同。								
位 3-0: TXCOL3-0: 发送碰撞计数								
最后一个包在发送期间遭遇的碰撞次数。								
注：该位域不会溢出。如果发生 15 次或更多次碰撞，该位域会保持在 1111b (15 次碰撞)。								

寄存器 32. TXSTA1: 发送状态向量 1

R	R	R	R	R	R	R	R	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x61
注：该寄存器包含发送状态向量的位 15 ~ 8。								
位 7-0: TXSTA1: 发送字节计数之高字节								
最后发送帧的字节数之高 8 位，不包括因碰撞发送的字节。								

CP2200/1 单芯片以太网微控制器

寄存器 33. TXSTA0: 发送状态向量 0

R	R	R	R	R	R	R	R	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x62
<p>注：该寄存器包含发送状态向量的位 7 ~ 0。</p> <p>位 7-0: TXSTA0: 发送字节计数之低字节 最后发送帧的字节数之低 8 位，不包括因碰撞发送的字节。</p>								

12. 接收接口

12.1 概述

CP2200/1 有 4KB 的循环接收 FIFO 缓冲区和 8 个转换表缓冲区 (TLB)，能同时存储 8 个数据包。每个 TLB 保持一个接收包的起始地址、长度和其他信息。一旦收到一个包，主控制器会通过中断请求引脚得到通知。然后主控制器可以通过主机接口将数据包的内容复制到其局部存储器中，或通过向 RXSKIP (RXCN.1) 写 1 来跳过该包。被跳过的数据包仍保留在存储器中，但可以被新到达的数据包覆盖。

接收接口有接收过滤器和哈希表，可以防止不希望的包进入接收缓冲器。对于接收过滤器不支持的所有包类型，CP2200/1 允许主控制器对接收缓冲器进行随机访问。主控制器可以检查包中的特定字节，以决定是否复制数据包。

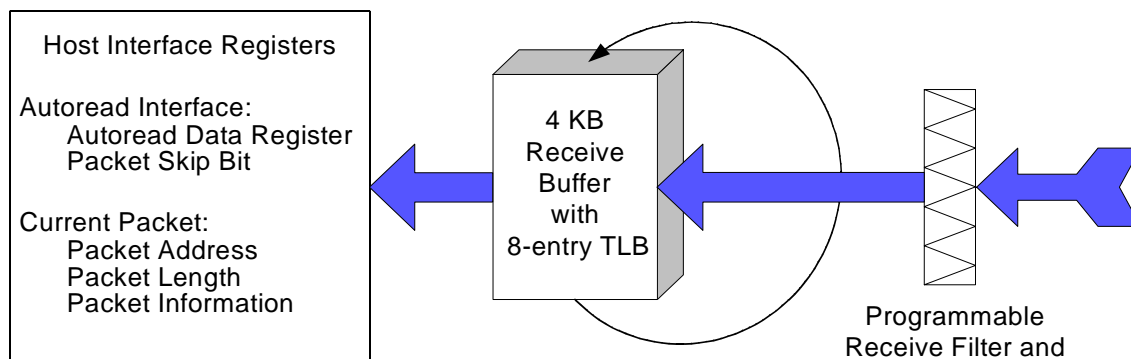


图 17. 接收接口功能框图

12.2 用自动读接口读数据包

一旦复位初始化完成（见 6.2 节）并且接收缓冲区、过滤器和哈希表（见 12.4 节）也完成初始化，CP2200 即准备好接收以太网包。在得知收到一个新包后，可以按下面的步骤读取该包：

第一步：读 RXVALID (CPINFOH.7) 和 RXOK (CPINFOL.7)，以检查当前包是否被正确接收。主处理器可以选择使用包起始地址 CPADDR 来读取包中的特定字节，以及决定是复制还是跳过当前包。应使用 7.1 节中介绍的随机访问法来访问接收缓冲器。

第二步：如果 RXVALID 或 RXOK 为 0，或要跳过当前包，则要向 RXSKIP (RXCN.1) 写 1。

如果 RXVALID 和 RXOK 为 1，则读 CPLENH:CPLENL 以获取当前包的长度。

第三步：通过读 RXAUTORD 来读取整个包，每次读一个字节。

第四步：如果读完整个包，向 RXCLR (RXCN.2) 写 1。

如果当前缓冲区中还有任何未读的字节，则向 RXSKIP (RXCN.1) 写 1。

12.3 时序和缓冲区溢出考虑

对于 10 Base-T 以太网，最小包（64 字节）的接收时间为 51.2 μ s。接收缓冲区内能保持最多 8 个包。为保证指针不被破坏，软件应在第 7 个包到达缓冲区后禁止包接收（TXINH = 1）。如果包接收中断处理所需要的时间大于 51.2 μ s，则软件应使用随机访问法从接收缓冲区提取数据。随机访问法的详细说明见 7.1 节。

注：如果发生溢出事件，则 CPADDRH:CPADDRL 的值可能无效。发生溢出后，应使用 FIFOHEADH:FIFOHEADL 指针确定当前包的起始地址。即使在发生溢出后，CPLEN 也总是保持有效。

注：如果发生了接收 FIFO 满中断，则该中断标志必须被清除才能重新使能包接收。接收 FIFO 满中断是由包尺寸或包个数触发的。如果该中断是由包个数触发的，则指针会被破坏。

12.4 初始化接收缓冲器、过滤器和哈希表

在器件复位后，接收缓冲器为空，过滤器被配置为接收哈希值为 0x0400 的广播包和组播包。该哈希值允许 PAUSE 控制包通过接收过滤器。

接收缓冲器不需要任何额外的初始化。接收过滤器可以被配置为接受或忽略广播包、组播包、**短包**（以太网帧小于 64 字节）以及 CRC 错误包。用 RXFILT 寄存器配置接收过滤器。

CP2200/1 可以被配置为在不使用哈希表的情况下接收广播包和针对控制器之 MAC 地址的包。如果需要接收针对其他特定 MAC 地址的包，并且主处理器不希望线路上的所有包都被接收，则可以将哈希表配置为只接收特定地址范围内的包。

CP2200/1 实现了一个 16 位的哈希表，能代表 64 位地址空间内的所有可能地址。哈希表有 65536 个可能的取值，其中的任何一个值代表某一范围的 MAC 地址。如果全部 16 位都被置 1，则所有地址都被接受。如果全部 16 位都为 0，则所有地址都被拒绝。对于一组特定的地址，可以用下面的步骤决定哪些位被置 1：

第一步：用 0xC704DD7B 作为多项式，对 6 字节的地址计算 32 位的 CRC。

第二步：记录 CRC 结果的低 4 位（哈希索引）。

第三步：哈希索引决定哈希表中应被置 1 的位，也就决定了允许接收的地址。例如，如果 CRC 结果的低 4 位为 **1010b (5d)**，则将 16 位哈希表中的位 5 置 1，这将允许所有 CRC 结果为 5d 的 MAC 地址都被接受。

12.5 接收状态和控制寄存器

CP2200/1 接收接口通过表 16 中的寄存器控制和管理。当前包寄存器提供下一个要被从接收缓冲区中卸载的包（最早接收的包）的有关信息。

表 16. 接收状态和控制寄存器一览表

寄存器	长名	地址	说明
RXCN	接收接口控制	0x11	包含接收接口控制位，如RXSKIP、RXCLRV、RXCLEAR和RXINH。
RXSTA	接收接口状态	0x12	指示接收接口是否正忙于接收一帧数据和指示当前包是否已被全部从缓冲区读出。
RXAUTORD	接收数据自动读	0x01	为从接收缓冲区中顺序读取整个包提供一种高效方法。
RXFILT	接收过滤器配置	0x10	设置能通过接收过滤器的数据包的类型。
RXHASHH RXHASHL	组播哈希表	0x0E 0x0F	用于过滤组播包的16位哈希值。
CPINFOH CPINFOL	当前包信息	0x1D 0x1E	给出当前包的有关信息，如广播/组播、CRC错误等等。
CPLENH CPLENL	当前包长度	0x1F 0x20	给出接收缓冲区中当前包的长度（以字节为单位）。
CPADDRH CPADDRL	当前包地址	0x21 0x22	给出接收缓冲区中当前包的起始地址。

CP2200/1 单芯片以太网微控制器

寄存器 34. RXCN: 接收接口控制

R/W	R/W	R/W	R/W	R/W	W	W	W	复位值
—	—	—	—	RXINH	RXCLRV	RXSKIP	RXCLEAR	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x11
<p>位 7-4: 未用。读 = 0000b, 写 = 忽略。</p> <p>位 3: RXINH: 接收禁止 将该位置 1 可以临时禁止接收新包。如果一个包正在被接收, 接收过程将继续进行, 直到接收完成。该位一旦被置 1, 必须用软件清 0 才能允许包接收。</p> <p>位 2: RXCLRV: 有效位清除 向该位写 1 将清除当前包的有效位, 释放缓冲区以接收新包。只有在当前包的所有字节都被读取后 (CPEND = 1) 才能执行该操作。如果当前包没有被读完, 则应使用 RXSKIP 来丢弃剩余字节。</p> <p>位 1: RXSKIP: 跳过当前包 向该位写 1 将丢弃当前包, 实际上是清除其有效位并将自动读缓冲区指针前进到下一个包的开始位置。</p> <p>位 0: RXCLEAR: 接收缓冲区清除 向该位写 1 将丢弃接收缓冲区中的所有包, 并将缓冲区指针和有效位清 0。注: 当前位于缓冲区中的任何包仍保留在存储器中, 但所有信息如每个包的起始地址和长度都将丢失。任何新到达的包都会覆盖现有数据。</p>								

寄存器 35. RXSTA: 接收接口状态

R/W	R/W	R/W	R/W	R/W	R/W	R	R	复位值
—	—	—	—	—	—	CPEND	RXBUSY	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x12
<p>位 7-2: 未用。读 = 000000b, 写 = 忽略。</p> <p>位 1: CPEND: 到达当前包尾 在当前包的有效位被清 0 (见 RXCLRV 的说明) 或当前包被丢弃 (见 RXSKIP 的说明) 后, 该位被硬件自动清 0。 0: 当前包的最后一个字节尚未被读取 (用自动读接口)。 1: 当前包的最后一个字节已被读取 (用自动读接口)。</p> <p>位 0: RXBUSY: 正在接收包 0: 接收接口空闲。 1: 接收接口正在接收一个包。</p>								

寄存器 36. RXAUTORD: 接收自动读数据寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x01
<p>位 7-0: RXAUTORD: 接收自动读数据寄存器 读该寄存器即从接收缓冲区中读出一个字节，并自动调整接收缓冲器指针RXFIFOHEAD。</p>								

寄存器 37. RXFILT: 接收过滤器配置

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	—	—	IGNRUNT	IGNERR	IGNBCST	IGNMCST	00001100
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x10
<p>位 7-4: 未用。读 = 0000b，写 = 忽略。</p> <p>位 3: IGNRUNT: 忽略短包 0: 不忽略短包。 1: 忽略短包。</p> <p>位 2: IGNERR: 忽略 FCS 错误包 0: 不忽略 FCS 错误包。 1: 忽略 FCS 错误包</p> <p>位 1: IGNBCST: 忽略广播包 0: 不忽略广播包。 1: 忽略广播包。</p> <p>位 0: IGNMCST: 忽略组播包 0: 不忽略组播包。 1: 忽略组播包。</p>								

寄存器 38. RXHASHH: 组播哈希表高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000100
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x0E
位 7-0: RXHASHH: 组播哈希表高字节 16 位组播哈希表的高字节。								

寄存器 39. RXHASHL: 组播哈希表低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x0F
位 7-0: RXHASHL: 组播哈希表低字节 16 位组播哈希表的低字节。								

寄存器 40. CPINFOH: 当前包信息高字节

R	R	R	R	R	R	R	R	复位值
RXVALID	RXVLAN	RXUNSUP	RXPCF	RXCF	RXADATA	BCAST	MCAST	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x1D
位 7:	RXVALID: 当前包有效 0: 当前包 TLB slot 为空。 1: 当前包 TLB slot 中有一个数据包。							
位 7:	保留。读 = 可变。							
位 6:	RAVLAN: 检测到 VLAN 类型。 0: 未检测到 VLAN 帧。 1: 检测到 VLAN 帧。							
位 5:	RXUNSUP: 不支持的控制帧 0: 未检测到不支持的控制帧。 1: 检测到不支持的控制帧。							
位 4:	RXPCF: PAUSE 控制帧 0: 未检测到 PAUSE 控制帧。 1: 检测到 PAUSE 控制帧。							
位 3:	RXCF: 控制帧 0: 未检测到控制帧。 1: 检测到控制帧。							
位 2:	RXADATA: 收到额外数据 0: 正常工作。 1: 在接收完一个包后又收到 1~7 个额外位。							
位 1:	BCAST: 广播包 0: 当前包不是广播包。 1: 当前包是广播包。							
位 0:	TXMCAST: 组播包 0: 当前包不是组播包。 1: 当前包是组播包。							

CP2200/1 单芯片以太网微控制器

寄存器 41. CPINFOL: 当前包信息低字节

R	R	R	R	R	R	R	R	复位值
RXOK	LENGTH	LENERR	CRCERR	保留	保留	RXLAN	RXDROP	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x1E
位 7:	RXOK: 接收正确 0: 接收不正确。 1: 接收正确。							
位 6:	LENGTH: 长度/类型域检测 0: 当前包的长度/类型域为包长度。 1: 当前包的长度/类型域为包类型。							
位 5:	LENERR: 长度检查错误 0: 在长度型中未检测到错误。 1: 长度域与实际包长度不一致。							
位 4:	CRCERR: CRC 错误 0: CRC 检查正确。 1: CRC 检查错误。							
位 3-2:	保留。读 = 可变。							
位 1:	RXLEN: 接收长度 0: 正常操作。 1: 接收数据的长度不足以构成一个有效包。							
位 0:	RXDROP: 包丢弃 0: 正常操作。 1: 包被丢弃。							

寄存器 42. CPLENH: 当前包长度高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x1F
位 7-0:	CPLENH: 当前包长度高字节 当前包长度的高字节。							

寄存器 43. CPLENL: 当前包长度低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x20
位 7-0:	CPLENL: 当前包长度低字节 当前包长度的低字节。							

CP2200/1 单芯片以太网微控制器

寄存器 44. CPADDRH: 当前包地址高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x21
位 7-0: CPADDRH: 当前包地址高字节 当前包在接收 FIFO 缓冲区中的起始地址之高字节。								

寄存器 45. CPADDRL: 当前包地址低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x22
位 7-0: CPADDRL: 当前包地址低字节 当前包在接收 FIFO 缓冲区中的起始地址之低字节。								

12.6 高级接收缓冲区操作

接收缓冲区操作由硬件自动管理，不需要主处理器的任何帮助。注：本节提供的信息仅用于参考目的，一般不需使用，只有在进行故障调试和对接收缓冲区进行额外控制时才需要这些信息。

图 18 给出了接收缓冲区的详细框图。当数据包到达并通过接收过滤器后，即被加到循环接收缓冲区中由尾指针指向的地址。每收到一个字节后，FIFO 尾指针加 1。只要有新包到达，接收缓冲区控制器就寻找一个未用的 TLB 来存储接收包的相关数据。如果找到一个未用的 TLB slot，该 TLB slot 即被分配给当前正在接收的包(通过将该 TLB slot 的有效位置 1 来实现)。在整个包都被复制到缓冲区后，会产生包接收中断。如果全部 8 个 TLB slot 已满（所有 8 个 TLB slot 的有效位均被置 1），则新包被丢弃并会产生接收 FIFO 满中断。

每个 TLB slot 保持所分配包的相关信息，如包在缓冲区中的起始地址、长度、包本身的信息如类型（广播、组播、单播）和接收期间发生的任何错误（CRC 错误、不完整包等等）。接收缓冲区控制器在 8 个 TLB slot 之间循环。对于调试目的，主处理器可以使用表 17 中列出的 TLB 寄存器访问任何一个 TLB slot。

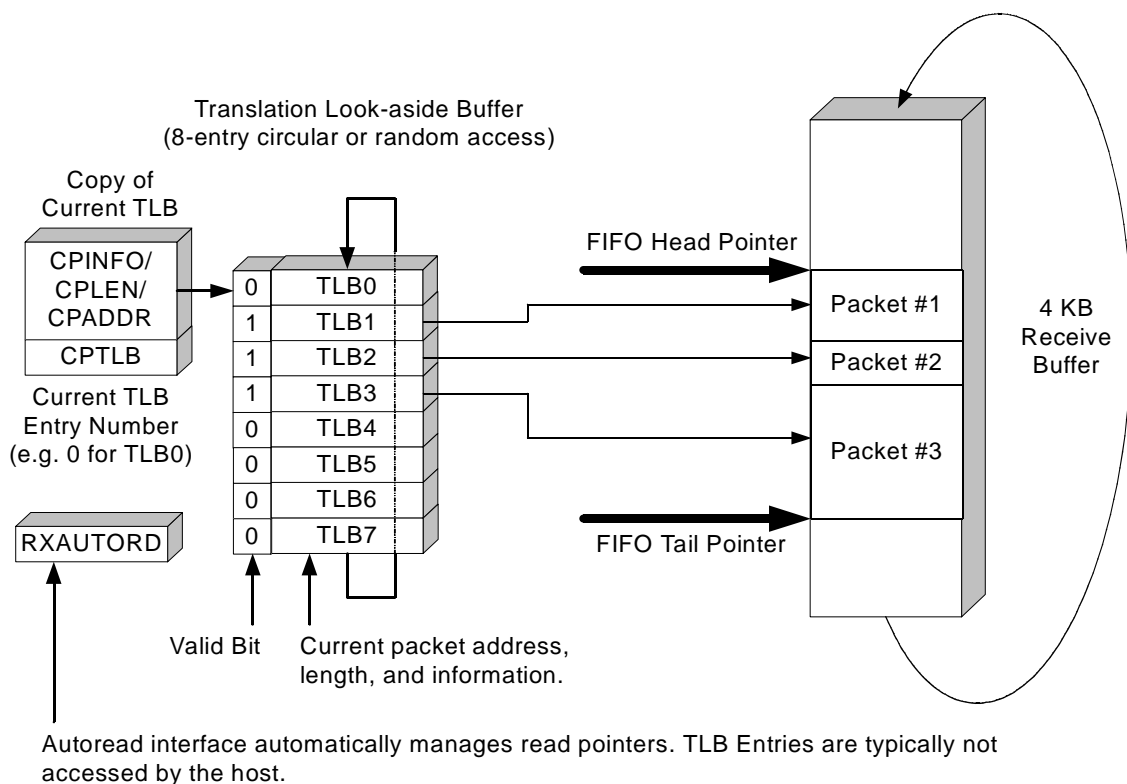


图 18. 接收缓冲区框图

FIFO 头指针指向最早接收的数据包的起始地址。该包（图 18 中的包 1）被作为当前包。自动读接口使用 FIFO 头指针从当前包中读取数据。用自动读接口读数据时，FIFO 头指针会自动加 1，直到读完整个包。一旦读完整个包，主处理器必须通过向 RXCLRV (RXCN.2) 写 1 来清除包的有效位。如果主处理器选择不读完整包，则用通过向 RXSKIP (RXCN.1) 写 1

来清除包的有效位（未读的数据被跳过）。

当前包的 TLB slot 的备份总是可以通过读表 16 中列出的 CTLB 寄存器得到。通过读 CPTLB 来确定当前的 TLB slot，可以获得同样的信息，然后再用表 17 中列出的寄存器访问该 TLB slot。

一旦缓冲区中的所有自由空间都被用完或所有 TLB slot 都被填充，会产生接收 FIFO 满中断。主处理器应读 RXFIFOSTA 寄存器来确定中断的原因。缓冲区已满的情况下，为了接收新包，必须通过读缓冲区移出现有的包或将现有包丢弃。可以每次丢弃一个包，也可以通过向 RXCLEAR（RXCN.0）写 1 来一次清除所有包。

12.7 接收缓冲区高级状态和控制寄存器

接收缓冲区通过表 17 中的寄存器控制和管理。除非用于调试目的，一般情况下主处理器不访问这些寄存器。

表 17. 接收状态和控制寄存器一览表

寄存器	长名	地址	说明
CPTLB	当前包TLB号	0x1A	给出当前包的TLB号（0~7）
TLBVALID	TLB有效标志	0x1C	指示哪些TLB含有有效包。
TLBnINFOH TLBnINFOL	TLBn包信息	多个	给出TLBn(n = 0~7)对应的包的信息。
TLBnLENH TLBnLENL	TLBn包长度	多个	给出TLBn(n = 0~7)对应的包的长度。
TLBnADDRH TLBnADDRL	TLBn包地址	多个	给出TLBn(n = 0~7)对应的包的起始地址。
RXFIFOTAILH RXFIFOTAILL	接收FIFO缓冲区尾指针	0x15 0x16	指向最后一个有效字节之后的字节。 这是新包的地址。
RXFIFOHEADH RXFIFOHEADL	接收FIFO缓冲区头指针	0x17 0x18	指向当前包的开始地址，每次自动读之后加1。
RXFIFOSTA	接收FIFO缓冲区状态	0x5B	指示接收FIFO缓冲区满中断的原因。

寄存器 46. CPTLB：当前包 TLB 号

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	—	—	—	CPTLB			00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址： 0x1A
位 7-3： 未用。读 = 00000b，写 = 忽略。								
位 2-0： CPTLB[2:0]：当前包 TLB 号 与当前包对应的 TLB slot 的 TLB 号（0~7）。								

CP2200/1 单芯片以太网微控制器

寄存器 47. TLBVALID: TLB 有效标志

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
VAL7	VAL6	VAL5	VAL4	VAL3	VAL2	VAL1	VAL0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x1C

位 7-0: TLBVALID: TLB 有效标志
指示 8 个 TLB slot 的有效位。

注: 该寄存器可用于同时清除多个有效位。对其进行写操作时, 值为 0 的位所对应的有效位被清除, 值为 1 的位被忽略。例如: 向该寄存器写 0xFE 将清除 TLB0 的由下而上位。

寄存器 48. TLBnINFOH: TLBn 信息高字节

R	R	R	R	R	R	R	R	复位值
保留	RXVLAN	RXUNSUP	RXPCF	RXCF	RXADATA	BCAST	MCAST	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

地址: TLB0INFOH: 0x23; TLB1INFOH: 0x29; TLB2INFOH: 0x2F; TLB3INFOH: 0x35;
TLB4INFOH: 0x3B; TLB5INFOH: 0x41; TLB6INFOH: 0x47; TLB7INFOH: 0x4D;

位 7: 保留。读 = 可变。

位 6: RAVLAN: 检测到 VLAN 类型。
0: 未检测到 VLAN 帧。
1: 检测到 VLAN 帧。

位 5: RXUNSUP: 不支持的控制帧
0: 未检测到不支持的控制帧。
1: 检测到不支持的控制帧。

位 4: RXPCF: PAUSE 控制帧
0: 未检测到 PAUSE 控制帧。
1: 检测到 PAUSE 控制帧。

位 3: RXCF: 控制帧
0: 未检测到控制帧。
1: 检测到控制帧。

位 2: RXADATA: 收到额外数据
0: 正常工作。
1: 在接收完 TLBn 包后又收到 1~7 个额外位。

位 1: BCAST: 广播包
0: TLBn 包不是广播包。
1: TLBn 包是广播包。

位 0: TXMCAST: 组播包
0: TLBn 包不是组播包。
1: TLBn 包是组播包。

CP2200/1 单芯片以太网微控制器

寄存器 49. TLBnINFOL: TLBn 信息低字节

R	R	R	R	R	R	R	R	复位值
RXOK	LENGTH	LENERR	CRCERR	保留	保留	RXLAN	RXDROP	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
地址: TLB0INFOL: 0x24; TLB1INFOL: 0x2A; TLB2INFOL: 0x30; TLB3INFOL: 0x36; TLB4INFOL: 0x3C; TLB5INFOL: 0x42; TLB6INFOL: 0x48; TLB7INFOL: 0x4E;								
位 7:	RXOK: 接收正确 0: 接收不正确。 1: 接收正确。							
位 6:	LENGTH: 长度/类型域检测 0: TLBn 包的长度/类型域为包长度。 1: TLBn 包的长度/类型域为包类型。							
位 5:	LENERR: 长度检查错误 0: TLBn 包的长度/类型域为包长度。 1: TLBn 包的长度/类型域为包类型。							
位 4:	CRCERR: CRC 错误 0: CRC 检查正确。 1: CRC 检查错误。							
位 3-2:	保留。读 = 可变。							
位 1:	RXLEN: 接收长度 0: 正常操作。 1: 接收数据的长度不足以构成一个有效包。							
位 0:	RXDROP: 包丢弃 0: 正常操作。 1: 包被丢弃。							

CP2200/1 单芯片以太网微控制器

寄存器 50. TLBnLENH: TLBn 包长度高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
地址: TLB0LENH: 0x25; TLB1LENH: 0x2B; TLB2LENH: 0x31; TLB3LENH: 0x37; TLB4LENH: 0x3D; TLB5LENH: 0x43; TLB6LENH: 0x49; TLB7LENH: 0x4F;								
位 7-0: TLBnLENH: TLBn 包长度高字节 TLBn 包长度的高字节。								

寄存器 51. TLBnLENL: TLBn 包长度低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
地址: TLB0LENL: 0x26; TLB1LENL: 0x2C; TLB2LENL: 0x32; TLB3LENL: 0x38; TLB4LENL: 0x3E; TLB5LENL: 0x44; TLB6LENL: 0x4A; TLB7LENL: 0x50;								
位 7-0: TLBnLENL: TLBn 包长度低字节 当前包长度的低字节。								

寄存器 52. TLBnADDRH: TLBn 包地址高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
地址: TLB0ADDRH: 0x27; TLB1ADDRH: 0x2D; TLB2ADDRH: 0x33; TLB3ADDRH: 0x39; TLB4ADDRH: 0x3F; TLB5ADDRH: 0x45; TLB6ADDRH: 0x4B; TLB7ADDRH: 0x51;								
位 7-0: TLBnADDRH: TLBn 包地址高字节 TLBn 包在接收缓冲区中的起始地址之高字节。								

寄存器 53. TLBnADDRL: TLBn 包地址低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
地址: TLB0ADDRL: 0x28; TLB1ADDRL: 0x2E; TLB2ADDRL: 0x34; TLB3ADDRL: 0x3A; TLB4ADDRL: 0x40; TLB5ADDRL: 0x46; TLB6ADDRL: 0x4C; TLB7ADDRL: 0x52;								
位 7-0: TLBnADDRL: TLBn 包地址低字节 TLBn 包在接收缓冲区中的起始地址之低字节。								

CP2200/1 单芯片以太网微控制器

寄存器 54. RXFIFOHEADH: 接收 FIFO 头指针高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x17
位 7-0: RXFIFOHEADH: 接收 FIFO 头指针高字节 接收 FIFO 缓冲区头指针的高字节。								

寄存器 55. RXFIFOHEADL: 接收 FIFO 头指针低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x18
位 7-0: RXFIFOHEADL: 接收 FIFO 头指针低字节 接收 FIFO 缓冲区头指针的低字节。								

寄存器 56. RXFIFOTAILH: 接收 FIFO 尾指针高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x15
位 7-0: RXFIFOTAILH: 接收 FIFO 尾指针高字节 接收 FIFO 缓冲区尾指针的高字节。								

寄存器 57. RXFIFOTAILL: 接收 FIFO 尾指针低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x16
位 7-0: RXFIFOTAILL: 接收 FIFO 尾指针低字节 接收 FIFO 缓冲区尾指针的低字节。								

CP2200/1 单芯片以太网微控制器

寄存器 58. RXFIFOSTA: 接收 FIFO 状态寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	—	—	—	—	FIFOSTA1	FIFOSTA2	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x5B
该寄存器由硬件设置，只在产生了接收 FIFO 满中断或 TLBVALID 等于 0xFF 之后有效。								
位 7-2: 未用。读 = 000000b, 写 = 忽略。								
位 1-0: FIFOSTA[1:0]: 接收 FIFO 状态								
00: 初始值——无信息。								
01: 最后一个成功接收的包用完了缓冲区的所有自由空间。								
10: 最后一个成功接收的包是接收缓冲区中的第 8 个包。接收缓冲区中还有自由空间，但已达到缓冲区的最大包数。								
11: 最后一个成功接收的包是接收缓冲区中的第 8 个包，并用完了缓冲区的所有自由空间。								

13. FLASH 存储器

CP2200/1 内部有 8KB 的非易失性 FLASH 存储器，主处理器可以访问该存储器的全部空间。该存储器空间的最后 6 个字节（地址 0x1FFA ~ 0x1FFF）在出厂时已被预编程，包含一个唯一的 48 位 MAC 地址（已在 IEEE 注册机构注册）。MAC 地址的最高字节位于 0x1FFA，最低字节位于 0x1FFF。包含 MAC 地址的最后一个 FLASH 页是可以被擦除的，用户应小心使用，以防擦除 MAC 地址。

13.1 FLASH 存储器编程

通过并行主机接口对 FLASH 存储器编程，每次一个字节。一个 FLASH 位一旦被清 0，必须经过擦除才能再回到 1 状态。一个 FLASH 位总是可以被从逻辑 1 改写为逻辑 0，只要在两次擦除之间 FLASH 字节只被写一次。每次 FLASH 擦除操作会擦除一个完整的扇区（512 字节）。写和擦除操作由硬件自动定时，不影响主机并行接口。在启动一次 FLASH 写或擦除操作之后，主 CPU 可以在 FLASH 操作正在进行的同时通过并行主机接口继续访问 CP2200/1。在 FLASH 写或擦除操作完成之后，会产生一个中断请求通知主 CPU。表 18 给出了 FLASH 存储器的电气特性，包括典型的写和擦除周期长度。

用 FLASHADDRH:FLASHADDRL、FLASHDATA 和 FLASHERASE 寄存器对 FLASH 存储器进行写和擦除。一旦 FLASH 操作被启动，即可用 FLASHSTA 寄存器监视操作状态，主机也可以等待中断信号的通知。

13.1.1 FLASH 锁定和关键码功能

FLASH 锁定和关键码功能可以保护 FLASH 存储器不被错误地写和擦除。FLASH 读操作不受限制。在进行 FLASH 写或擦除操作之前，必须按顺序向 FLASH 锁定和关键码寄存器（FLASHKEY）写入正确的关键码。如果在写或擦除操作之前没有向 FLASHKEY 寄存器写入正确的关键码，则在下一次复位之前 FLASH 将不能被写或擦除。在 FLASH 编程结束后，CP2200/1 应被复位，以防止对器件进行错误的 FLASH 操作。

对 CP2200/1 解除锁定的关键码为 0xA5 和 0xF1。在进行 FLASH 写或擦除操作之前，必须正确地向 FLASHKEY 寄存器写入这些码。**注意：为了保证 FLASH 内容的正确性，当 FLASH 存储器未被锁定时，不应禁止片内 VDD 监视器。**

13.1.2 FLASH 擦除

第一步：按顺序向 FLASHKEY 写 0xA5 和 0xF1。

第二步：将 FLASHADDRH:FLASHADDRL 设置为待擦除页内（512 字节）的任何一个地址。

第三步：向 FLASHERASE 写 0x01。

第四步：检查 FLASHSTA，以确定 FLASH 操作何时完成。也可用 FLASH 写/擦除完成中断来确定 FLASH 操作何时完成。

13.1.3 FLASH 写

- 第一步：按顺序向 FLASHKEY 写 0xA5 和 0xF1。
- 第二步：如果待写字节不是 0xFF，则擦除包含该字节的页。
- 第三步：将 FLASHADDRH:FLASHADDRL 设置为待写字节的地址。
- 第四步：向 FLASHDATA 寄存器写入待写值。
- 第五步：检查 FLASHSTA，以确定 FLASH 操作何时完成。也可用 FLASH 写/擦除完成中断来确定 FLASH 操作何时完成。

13.2 读 FLASH 存储器

FLASH 读操作比 FLASH 写或擦除操作要快得多，可以在并行主机接口的最小读选通时间内完成。用 FLASHADDRH:FLASHADDRL、FLASHDATA 和 FLASHAUTORD 寄存器读 FLASH 存储器。FLASHAUTORD 寄存器提供了一种访问 FLASH 中顺序数据的高效方法，该方法在每次读操作后使 FLASH 地址指针自动加 1。

13.2.1 FLASH 读过程

- 第一步：将 FLASHADDRH:FLASHADDRL 设置为待读字节的地址。
- 第二步：从 FLASHDATA 读字节值。

13.2.2 多字节 FLASH 读过程

- 第一步：将 FLASHADDRH:FLASHADDRL 设置为待读第一字节的地址。
- 第二步：对于每个字节，从 FLASHAUTORD 读字节值。

表 18 FLASH 电气特性

VDD = 3.1 ~ 3.6V，-40℃到+85℃（除非特别说明）。

参 数	条 件	最小值	典型值	最大值	单 位
FLASH 尺寸		8192	—	—	字节
擦写寿命		20k	100k	—	擦/写
擦除时间		—	15	—	ms
写入时间		40	55	70	μs

13.3 FLASH 访问寄存器

CP2200/1 的 FLASH 存储器通过表 19 中的寄存器访问。对这些寄存器的详细说明见下面的表 19。

表 19. FLASH 访问寄存器一览表

寄存器	长名	地址	说明
FLASHSTA	FLASH状态	0x7B	用于确定FLASH写或擦除操作的状态。
FLASHKEY	FLASH锁定和关键码	0x67	只写寄存器。允许主机对FLASH写或擦除解锁。
FLASHADDRH FLASHADDRL	FLASH地址寄存器高字节 和低字节	0x69 0x68	FLASH操作使用的16位地址。
FLASHDATA	FLASH读/写数据寄存器	0x06	用于写或读一个FLASH字节的数据寄存器。
FLASHAUTORD	FLASH自动读数据寄存器	0x05	用于读FLASH中存储的一块顺序字节的数据寄存器。每次读该寄存器使FLASH地址寄存器加1。
FLASHERASE	FLASH擦除	0x6A	启动一次FLASH擦除操作。

寄存器 59. FLASHSTA：FLASH 状态寄存器

R	R	R	R	R	R	R	R	复位值
—	—	—	—	FLBUSY	保留	FLWRITE	FLERASE	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x7B
<p>注：要确定 FLASH 操作何时完成，软件应查询 FLBUSY 位或等待 FLASH 写/擦除操作结束中断发生。</p> <p>位 7-4： 未用。读 = 0000b，写 = 忽略。</p> <p>位 3： FLBUSY：FLASH 忙标志 该位指示正在进行的 FLASH 写或擦除操作何时完成。 0：FLASH 空闲。 1：FLASH 写/擦除操作正在进行。</p> <p>位 2： 保留。</p> <p>位 1： FLWRITE：FLASH 写 0：最后完成的一次 FLASH 操作不是 FLASH 写。 1：最后完成的一次 FLASH 操作是 FLASH 写。</p> <p>位 0： FLERASE：FLASH 擦除 0：最后完成的一次 FLASH 操作不是 FLASH 擦除。 1：最后完成的一次 FLASH 操作是 FLASH 擦除。</p>								

CP2200/1 单芯片以太网微控制器

寄存器 60. FLASHKEY: FLASH 锁定和关键码寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x67
<p>位 7-0: FLASHKEY: FLASH 锁定和关键码寄存器</p> <p>要解除对 FLASH 写或擦除操作的锁定, 必须写该寄存器。要解锁 FLASH, 首先向该寄存器写 0xA5, 然后写 0xF1。当 FLASH 未被锁定时, 不应禁止 VDD 监视器。在每次 FLASH 写/擦除操作之前, 器件必须被解锁。</p>								

寄存器 61. FLASHADDRH: FLASH 地址寄存器高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x69
<p>位 7-0: FLASHADDRH: FLASH 地址寄存器高字节</p> <p>保持目标 FLASH 地址的高 8 位。</p>								

寄存器 62. FLASHADDRL: FLASH 地址寄存器低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x68
<p>位 7-0: FLASHADDRL: FLASH 地址寄存器低字节</p> <p>保持目标 FLASH 地址的低 8 位。</p>								

CP2200/1 单芯片以太网微控制器

寄存器 63. FLASHDATA: FLASH 读/写数据寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x06
<p>位 7-0: FLASHDATA: FLASH 读/写数据寄存器</p> <p>读: 位于地址 FLASHADDRH:FLASHADDRL 的 FLASH 字节值。</p> <p>写: 启动一次 FLASH 写操作, 向地址 FLASHADDRH:FLASHADDRL 写入一个 FLASH 字节。FLASH 存储器必须被解锁, 并且目标 FLASH 字节的值应为 0xFF (FLASH 被擦除后的值)。</p>								

寄存器 64. FLASHAUTORD: FLASH 自动读数据寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x05
<p>位 7-0: FLASHAUTORD: FLASH 自动读数据寄存器</p> <p>读该寄存器将返回由 FLASH 地址寄存器所指向的地址之 FLASH 字节值。每次读操作后 FLASH 地址寄存器加 1。</p>								

寄存器 65. FLASHERASE: FLASH 擦除寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	—	—	—	—	保留	FLEGO	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x6A
<p>位 7-2: 未用。读 = 000000b, 写 = 忽略。</p> <p>位 1: 保留。必须写 0b。</p> <p>位 0: FLEGO: FLASH 擦除开始</p> <p>向该位写 1 启动一次 FLASH 操作, 将由 FLASH 地址寄存器所指向地址的 FLASH 字节所在页擦除。在开始 FLASH 擦除操作之前, FLASH 存储器必须被解锁。</p>								

14. 媒体访问控制器(MAC)

CP2200/1 有一个符合 IEEE 802.3 标准的以太网媒体访问控制器 (MAC)。MAC 可被配置为自动填充短帧 (仅全双工方式)、添加 CRC 和执行帧长度检查。MAC 还提供了环回工作方式, 与 PHY 的环回电路分离, 便于系统调试。MAC 通过表 20 中列出的 9 个 16 位间接寄存器控制。

14.1 初始化 MAC

一般在每次复位或自适应完成中断之后都要进行 MAC 初始化, MAC 初始化在物理层初始化之后进行。大多数 MAC 间接寄存器可以保持其默认值。有关复位初始化过程的详细说明见“6.2 复位初始化”。下面是初始化 MAC 时要进行的步骤:

- 第一步: 确定物理层被设置为全双工方式还是半双工方式。在发送和接收任何包之前, MAC 必须被设置为与物理层相同的双工方式。
- 第二步: 向 **MACCF** 写 **0x40B3** (全双工) 或 **0x4012** (半双工)。该寄存器的相应位应被置 1 或清除以改变填充选项或 MAC 行为。
- 第三步: 向 **IPGT** 写 **0x0015** (全双工) 或 **0x0012** (半双工)。
- 第四步: 向 **IPGR** 写 **0x0C12**。
- 第五步: 向 **MAXLEN** 写 **0x05EE**。
- 第六步: 通过写 **MACAD0:MACAD1:MACAD2** 来设置 48 位的以太网 MAC 地址。
- 第七步: 向 **MACCN** 写 **0x0001** 以使能 MAC 接收。如果要使用环回方式或流控制, 则要设置该寄存器中相应的位以使能这些功能。

14.2 访问间接 MAC 寄存器

一般在每次复位通过 4 个直接映像寄存器 **MACADDR**、**MACDATAH**、**MACDATAL** 和 **MACRW** 来访问间接 MAC 寄存器。下面是访问 MAC 间接寄存器的步骤:

- 第一步: 将间接寄存器的地址写入 **MACADDR**。
- 第二步: 如果要向间接寄存器写值, 则将 16 位的数值写入 **MACDATAH:MACDATAL**。
- 第三步: 向 **MACRW** 写一任意值, 该操作将 **MACDATAH:MACDATAL** 的内容传送到间接寄存器。
- 第四步: 对 **MACRW** 执行读操作将间接寄存器的内容传送到 **MACDATAH:MACDATAL**。此时即可直接读 **MACDATAH** 和 **MACDATAL** 寄存器来确定间接寄存器的内容。

CP2200/1 单芯片以太网微控制器

寄存器 66. MACADDR: MAC 间接地址

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x0A
位 7-0: MACADDR: MAC 间接地址 保持对 MACRW 进行读/写操作的目标间接 MAC 寄存器的地址。								

寄存器 67. MACDATAH: MAC 数据高字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x0B
位 7-0: MACDATAH: MAC 数据高字节 保持对一个间接寄存器进行读/写操作的数据之高 8 位。								

寄存器 68. MACDATAL: MAC 数据低字节

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x0C
位 7-0: MACDATAL: MAC 数据低字节 保持对一个间接寄存器进行读/写操作的数据之低 8 位。								

寄存器 69. MACRW: MAC 读/写启动

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x0D
位 7-0: MACRW: MAC 读/写启动 启动对一个间接寄存器（其地址保存在 MACADDR）的读或写操作。 写：将 MACDATAH:MACDATAL 的内容传送到目标 MAC 寄存器。 读：将目标 MAC 寄存器的内容传送到 MACDATAH:MACDATAL。								

14.3 间接 MAC 寄存器说明

通过表 20 中列出的 9 个 16 位寄存器来配置 MAC。表 20 之后的寄存器定义给出了这些寄存器的详细说明。

表 20. 间接 MAC 寄存器一览表

寄存器	长名	地址	说明
MACCN	MAC控制	0x00	用于使能接收和其他选项。
MACCF	MAC配置	0x01	用于配置填充选项和其他设置。
IPGT	背对背包间延时	0x02	设置背对背包间延时。
IPGR	非背对背包间延时	0x03	设置非背对背包间延时。
CWMAXR	碰撞窗口和最大重发次数	0x04	设置碰撞窗口尺寸和允许的最大重发次数。
MAXLEN	最大帧长度	0x05	设置最大接收帧长度。
MACAD0 MACAD1 MACAD2	MAC地址	0x10 0x11 0x12	设置本地器件的MAC地址。

CP2200/1 单芯片以太网微控制器

间接寄存器 1. MACCN: MAC 控制寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
保留	RANDRST	保留						
位15	位14	位13	位12	位11	位10	位9	位8	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	缺省值
	保留		LOOPBCK	TXPAUSE	RXPAUSE	PASSALL	RCVEN	0x8000
位7	位6	位5	位4	位3	位2	位1	位0	MACADDR: 0x00
<p>位 15: 保留。读 = 可变，必须写 0b。</p> <p>位 14: RANDRST: 随机数发生器复位 向该位写 1 将复位发送功能中的随机数发生器。</p> <p>位 13-5: 保留。读 = 可变，必须写 000000000b。</p> <p>位 4: LOOPBCK: 环回方式使能位 注: MAC 的环回方式与物理层的环回方式相互独立。 0: 正常操作。 1: MAC 发送数据在内部环回作为接收数据。</p> <p>位 3: TXPAUSE: 发送流控制使能位 (仅全双工方式) 0: PAUSE 控制帧被阻塞。 1: PAUSE 控制帧被允许通过 MAC。</p> <p>位 2: RXPAUSE: 接收流控制使能位 (仅全双工方式) 0: 从物理层接收的 PAUSE 控制帧被忽略。 1: 对从物理层接收的 PAUSE 控制帧执行相应的操作。</p> <p>位 1: PASSALL: 通过所有接收帧 0: 接收的控制帧不能通过接收接口。 1: 所有包 (包括控制帧) 都能通过接收接口。</p> <p>位 0: RCVEN: 接收使能 0: MAC 阻止控制帧到达接收接口。 MAC 阻止所有接收的包到达接收接口。 1: MAC 允许接收的包到达接收接口。</p>								

CP2200/1 单芯片以太网微控制器

间接寄存器 2. MACCF: MAC 配置寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
保留	ABORTD	EBBPD	EBD	保留	RLPRE	PUREPRE		
位15	位14	位13	位12	位11	位10	位9	位8	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	缺省值
PADMD1	PADMD0	PADEN	CRCEN	PHEADER	保留	LENCHK	FLLDPLX	0x0000
位7	位6	位5	位4	位3	位2	位1	位0	MACADDR: 0x01

位 15: 保留。读 = 0b, 必须写 0b。
 位 14: ABORTD: 放弃禁止位
 0: 当检测到超长延时, MAC 会放弃发送并更新发送状态向量。
 1: MAC 会一直试图发送 (按照 IEEE 802.3 的要求)。
 位 13: EBBPD: 背压后指数退避禁止位 (仅半双工方式)
 0: 在背压控制期间发生了意外碰撞后, MAC 将使用 IEEE 802.3 规定的指数退避算法。
 1: 在背压控制期间发生了意外碰撞后, MAC 将立即发送, 不使用 IEEE 802.3 规定的指数退避算法。
 位 12: EBD: 指数退避禁止位 (仅半双工方式)
 0: MAC 使用 IEEE 802.3 规定的指数退避算法。
 1: MAC 在一次碰撞后立即发送。
 位 11-10: 保留。读 = 00b, 写 = 忽略。
 位 9: RLPRE: 拒绝长前同步码
 0: MAC 允许 IEEE 802.3 规定的任何长度的前同步码。
 1: MAC 拒绝前同步码长度大于 12 字节的包。
 位 8: PUREPRE: 纯前同步码检查
 0: 不进行前同步码检查。
 1: MAC 检查前同步码的内容, 以保证其包含 0x55 并且没有错误。具有无效前同步码的包将被拒绝。
 位 7-6: PADMD[1:0]: 填充方式
 注: 如果 PADEN 被清 0, 则该位域被忽略。详见表 21。
 位 5: PADEN: 填充使能位
 注: 详见表 21。
 位 4: CRCEN: CRC 使能位
 注: 如果填充被使能, 则该位必须被置 1。
 0: 不添加 CRC。进入 MAC 的帧必须包含 CRC。
 1: 添加 CRC。

间接寄存器 2. MACCF: MAC 配置寄存器 (续)

表 21. 填充操作

PADMD1[7]	PADMD0[6]	PADEN[5]	CRCEN[4]	操作
x	x	0	0	不对发送包填充, 检查 CRC
x	x	0	1	不对发送包填充, 添加 CRC
0	0	1	1	对短于 60 字节的帧填充, 添加 CRC
x	1	1	1	对短于 64 字节的帧填充, 添加 CRC
1	0	1	1	自动检测标记的 VLAN 帧 (IEEE 802.1q) 如果未标记: 填充到 60 字节, 添加 CRC 如果标记: 填充到 64 字节, 添加 CRC

- 位 3: PHEADER: 专有首部选择位
0: 在 IEEE 802.3 帧前部无专有首部。
1: 在 IEEE 802.3 帧前部有 4 字节的专有首部信息。这些字节被 CRC 功能忽略。
- 位 2: 保留。读 = 0b, 写 = 忽略。
- 位 1: LENCHKL: 帧长度检查使能位
0: 帧长度检查禁止。
1: 将发送和接收的帧长度与长度/类型域比较。如果长度/类型域代表长度, 则进行长度检查。在发送/接收状态向量中报告长度不一致。
- 位 0: FLLDPLX: 全双工方式使能位
0: MAC 工作在半双工方式。
1: MAC 工作在全双工方式。

CP2200/1 单芯片以太网微控制器

间接寄存器 3. IPGT: 背靠背包间延时寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
保留								
位15	位14	位13	位12	位11	位10	位9	位8	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	缺省值
保留	IPGT							0x0000
位7	位6	位5	位4	位3	位2	位1	位0	MACADDR: 0x02
<p>位 15-7: 保留。读 = 000000000b, 必须写 000000000b。</p> <p>位 6-0: IPGT: 背靠背包间延时寄存器 设置一次发送包结束与一个新包开始之间的最小延时。 在全双工方式, 该寄存器值应被设置为所希望的时间单位数 (每个时间单位为 0.46 μs) 减去 3。建议的设置 为 0x15 (21d), 对应的延时为 9.6 μs。 在半双工方式, 该寄存器值应被设置为所希望的时间单位数 (每个时间单位为 0.46 μs) 减去 6。建议的设置 为 0x12 (18d), 对应的延时为 9.6 μs。</p>								

间接寄存器 4. IPGR: 非背靠背包间延时寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
保留	IPGR1							
位15	位14	位13	位12	位11	位10	位9	位8	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	缺省值
保留	IPGR2							0x0000
位7	位6	位5	位4	位3	位2	位1	位0	MACADDR: 0x03
<p>位 15: 保留。读 = 0b, 必须写 0b。</p> <p>位 14-8: IPGR1: 非背靠背包间延时寄存器 1 设置可选择的载波侦听窗口 (参见 IEEE 802.3 的 4.2.3.2.1 节)。该位域的取值范围为 0x00 ~ IPGR2。建议值为 0x0C。</p> <p>位 7: 保留。读 = 0b, 必须写 0b。</p> <p>位 6-0: IPGR2: 非背靠背包间延时寄存器 2 设置非背靠背包间延时。建议值为 0x12, 对应的最小包间延时为 9.6 μs。</p>								

CP2200/1 单芯片以太网微控制器

间接寄存器 5. CWMAXR: 碰撞窗口和最大重发次数寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
保留		CW						
位15	位14	位13	位12	位11	位10	位9	位8	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	缺省值
保留				MAXR				0x370F
位7	位6	位5	位4	位3	位2	位1	位0	MACADDR: 0x04
<p>注：在大多数系统中，该寄存器不需要初始化，应保持其复位值不变。</p> <p>位 15-14：保留。读 = 00b，必须写 00b。</p> <p>位 13-8： CW：碰撞窗口 设置在一个正确配置的网络中发生碰撞的碰撞窗口。 碰撞窗口用到发送开始的字节数给出。前同步码和帧定界符都包含在其中。其缺省值 0x37 对应碰撞窗口结束的帧字节数。</p> <p>位 7-4： 保留。读 = 0000b，必须写 0000b。</p> <p>位 3-0： MAXR：最大重发次数 设置在一次碰撞之后、因碰撞过多导致放弃包发送之前的最大重发次数。IEEE 802.3 规定的最大值为 0x0F（15d）。</p>								

间接寄存器 6. MAXLEN: 最大帧长度寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
位15	位14	位13	位12	位11	位10	位9	位8	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	缺省值
位7	位6	位5	位4	位3	位2	位1	位0	0x0600
								MACADDR: 0x05
<p>注：在大多数系统中，该寄存器不需要初始化，应保持其复位值不变。</p> <p>位 15-0： MAXF：最大帧长度 设置接收帧的最大长度。缺省值为 0x600（1536 字节）。如果希望使用较小的最大长度限制，则应对该寄存器编程。较小的帧长度例子：1518 字节（未标记）和 1522 字节（标记）。如果允许专有首部，则该位域应做相应调整。</p>								

CP2200/1 单芯片以太网微控制器

间接寄存器 7. MACAD0: MAC 地址 0

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
字节 6								
位15	位14	位13	位12	位11	位10	位9	位8	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	缺省值
字节 5								0x0000
位7	位6	位5	位4	位3	位2	位1	位0	MACADDR: 0x10
位 15-8: 字节 6: MAC 地址的第 6 字节 该位域保持 MAC 地址的第 6 字节（最低字节）。								
位 7-0: 字节 5: MAC 地址的第 5 字节 该位域保持 MAC 地址的第 5 字节。								

间接寄存器 8. MACAD1: MAC 地址 1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
字节 4								
位15	位14	位13	位12	位11	位10	位9	位8	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	缺省值
字节 3								0x0000
位7	位6	位5	位4	位3	位2	位1	位0	MACADDR: 0x11
位 15-8: 字节 4: MAC 地址的第 4 字节 该位域保持 MAC 地址的第 4 字节。								
位 7-0: 字节 3: MAC 地址的第 3 字节 该位域保持 MAC 地址的第 3 字节。								

间接寄存器 9. MACAD2: MAC 地址 2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
字节 2								
位15	位14	位13	位12	位11	位10	位9	位8	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	缺省值
字节 1								0x0000
位7	位6	位5	位4	位3	位2	位1	位0	MACADDR: 0x12
位 15-8: 字节 2: MAC 地址的第 2 字节 该位域保持 MAC 地址的第 2 字节。								
位 7-0: 字节 1: MAC 地址的第 1 字节 该位域保持 MAC 地址的第 1 字节（最高字节）。								

15. 物理层(PHY)

CP2200/1 有一个符合 IEEE 802.3 标准的 10 BASE-T 以太网物理层收发器, 包括接收器、发送器、自适应、环回、jabber、智能静噪、极性纠正和连接完整性功能。如果被使能, 自适应功能会自动协商数据连接的速度和双工方式。CP2200/1 支持半双工和全双工。

物理层通过 PHYCN、PHYCF 和 PHYSTA 这三个寄存器来控制 and 监视。通过这些寄存器可以使能和监视各种功能及测试方式。后面将对这些寄存器进行详细说明。

15.1 自适应和双工方式

自适应功能允许 CP2200/1 被连接到任何 10/100/1000 BASE-T 以太网, 并告知其能力。自适应使用一串快速连接脉冲发送 16 位的连接码字。很多条件 (例如检查快速连接脉冲失败) 能导致自适应失败。自适应失败时会产生自适应失败中断和/或不产生自适应完成中断。状态寄存器 PHYSTA 指示失败的原因, 物理层将工作在半双工方式。如果自适应成功, 会产生自适应完成中断, 而不会产生自适应失败中断。这两个中断都要检查, 以确保自适应成功。

所告知的连接速度总是为 10 BASE-T。双工方式 (全双工或半双工) 也要协商, 如果网络支持全双工, 则选择全双工方式。全双工方式允许物理层在同一时刻发送和接收数据。在半双工方式, 在任何给定时刻只能发送或接收数据。全双工方式比半双工方式提供更高的性能并能减少碰撞。

可以告知的另一功能是发送和接收 PAUSE 包的能力和通知所连接的对方 (集线器、交换机或与 CP2200/1 直接连接的设备) 检测到连接故障的能力。通过将 ADPAUSE (PHYCF.2) 置 1 来使能 PAUSE 包能力告知, 通过将 ADRFAULT (PHYCF.3) 置 1 来使能连接对方通知能力。

注意: 当使用自适应功能时, 在使能物理层之前必须将自适应使能位 AUTONEG (PHYCF.4) 置 1。要重新启动自适应功能, 物理层 (发送器、接收器或两者兼有) 必须被禁止, 然后再重新使能。

注意: CP220x 支持不能进行自适应的连接对方。如果连接对方不能进行自适应, 则物理层工作在半双工方式。

15.2 自适应同步

CP220x 实现了这样的自适应机制, 即进行 250 ms 的自适应, 在两次连续的自适应过程之间插入 1.5 s 的连接断开延时。在连接断开延时期间, CP220x 不理睬输入的自适应请求, 也不进行自适应活动。如果一个设备在另一个设备处于连接断开延时期间开始进行自适应过程, 则该自适应过程将失败。如果设备之间不同步, 则会发生每个设备都在另一个设备处于连接断开延时期间开始进行自适应过程的情况。这种情况可以通过下述步骤使设备同步来解决:

第一步: 通过向 PHYCN 寄存器写 0x00 来禁止物理层。

第二步: 使能物理层的连接完整性检查并禁止自适应。

1. 禁止发送器节电模式 (TXPWR = 0x80), 物理层选项设置为:
(PHYCF = SMSQ | JABBER | ADPAUSE | AUTOPOL)
2. 使能物理层 (PHYEN = 1)。

3. 等待物理层上电。见表 22 的物理层启动时间。
4. 使能发送器和接收器 (TXEN = 1 和 RXEN = 1)。

第三步：查询网络唤醒中断标志 (WAKEINT)，以检查是否存在连接对方。

1. 如果有信号，则等待 250 ms 后开始自适应。
2. 如果没有信号，则等待 1.5 s 后开始自适应。

15.3 环回方式

环回方式提供了将从物理层输出的数据直接传送到其输入的能力，以方便系统调试。当 PHYCN.3 被置 1 时，发送数据通过内部模拟路径被环回到接收器。发送驱动器和接收输入电路被旁路，使器件与网络隔离。这可以防止网络上的数据流影响系统自检的结果，并保证一个无碰撞的环境。

15.4 连接完整性功能

连接完整性功能提供了检测和回应 10 BASE-T 连接故障的能力。当检测到这样一个故障时，发送器和接收器被自动禁止，连接状态被报告到 LINKSTA (PHYCN.0)。主机可以通过将 LINKINT (PHYCF.6) 清 0 来禁止连接完整性功能。当连接完整性功能被禁止时，物理层会继续工作，而不管是否有连接脉冲。

15.5 接收器智能静噪和自动极性纠正

物理层接收器能检测和纠正接收信号的噪声和极性错误。如果接收器智能静噪功能被使能（通过将 SMSQ (PHYCF.7) 置 1 来实现），接收器电路会对幅度和时序的组合进行测量（根据 IEEE 802.3），以确定接收数据的有效性。这可以防止在不存在有效数据的时候噪声错误地触发接收器。

自动极性纠正功能可以自动检测和纠正接收数据的极性，以补偿在 10 BASE-T 电缆的任何一端所发生的连线错误。当自动极性纠正功能被使能时（通过将 AUTOPOL (PHYCF.1) 置 1 来实现），接收数据的极性在 POLREV (PHYCN.1) 中指示。当自动极性检测被禁止时，可以通过将 REVPOL (PHYCF.0) 置 1 来手动使接收数据反向。

15.6 发送器 jabber 功能

如果软件试图发送一个长度大于最大允许包长度（根据 IEEE 802.3）的包时，发送器 jabber 功能提供自动禁止发送器的能力。如果一个 jabber 条件已被硬件自动处理，主处理器会通过 jabber 检测中断得到通知。建议 jabber 功能，以保证使用 CP2200/1 进行以太网通信的嵌入式系统不会在线路上产生 jabber 条件。

15.7 初始化物理层

在将使能位 (PHYCN.7) 置 1 之前，物理层应被配置为所希望的方式。应按照下面的步骤初始化物理层：

- 第一步：确定双工方式或使能自适应功能。
- 第二步：使能或禁止环回方式。
- 第三步：使能所希望的功能，如接收器智能静噪、自动极性纠正、连接完整性、jabber 保护、远程故障通知和 PAUSE 包能力通知等。

CP2200/1 单芯片以太网微控制器

第四步：如果自动极性纠正被禁止，则手动设置所希望的极性。

第五步：使能物理层（PHYEN = 1）、发送器和接收器。

第六步：等待 1 μ s，等待合适的物理层启动时间（见表 22）。

第七步：使能发送器（TXEN = 1）和接收器（RXEN = 1）。

第八步：等待合适的物理层启动时间，等待自适应（如果被使能）完成。

第九步：等待至少 75 ms 来建立连接。

第十步：将 MAC 初始化为与物理层相同的双工方式。物理层的双工方式可通过 PHYCN 寄存器中的 DPLXMD 位来确定。

寄存器 70. PHYCN：物理层控制寄存器

R/W	R/W	R/W	R/W或RO	R/W	R	R	R	复位值
PHYEN	TXEN	RXEN	DPLXMD	LBMD	LPRFAULT	POLREV	LINKSTA	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址： 0x78
<p>注意：当使用自适应功能时，必须在将 PHYEN、TXEN 和 RXEN 置 1 之前使自适应使能位 AUTONEG（PHYCF.4）置 1。若要重新启动自适应功能，将这三个使能位（PHYEN、TXEN 和 RXEN）之一清 0，然后再将其置 1。</p>								
位 7:	<p>PHYEN：物理层使能</p> <p>0：物理层被置于低功耗状态，只有有限的功能。</p> <p>1：物理层被置于正常电源状态，全功能运行。</p>							
位 6:	<p>TXEN：发送器使能</p> <p>0：物理层的发送器被置于低功耗状态。包发送和连接脉冲产生功能被禁止。</p> <p>1：物理层的发送器被使能。</p>							
位 5:	<p>RXEN：接收器使能</p> <p>0：物理层的接收器被置于低功耗状态。包接收被禁止。</p> <p>1：物理层的接收器被使能。</p>							
位 4:	<p>DPLXMD：全双工方式使能位</p> <p>注：当自适应功能被使能时，该位为只读。</p> <p>0：选择半双工方式。</p> <p>1：选择全双工方式。</p>							
位 3:	<p>LBMD：环回方式使能位</p> <p>注：如果检测到一个 jabber 条件，则环回方式被自动禁止。</p> <p>0：环回方式禁止。</p> <p>1：环回方式使能。</p>							
位 2:	<p>LPRFAULT：连接对方远程故障（本地故障）标志</p> <p>0：正常操作。</p> <p>1：连接对方检测到一个连接故障，并在自适应期间发出通知。如果本地发送器被禁止并不再产生连接脉冲，则会出现这种错误。</p>							
位 1:	<p>POLREV：极性反转标志</p> <p>0：未检测到不正确的连接极性。</p> <p>1：检测到不正确的连接极性。连接极性被自动反转。</p>							
位 0:	<p>LINKSTA：连接状态标志</p> <p>0：连接不正常。</p> <p>1：连接正常。</p>							

CP2200/1 单芯片以太网微控制器

CP2200/1 单芯片以太网微控制器

寄存器 71. PHYCF: 物理层配置寄存器

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
SMSQ	LINKINT	JABBER	AUTONEG	ADRFAULT	ADPAUSE	AUTOPOL	REVPOL	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x79
位 7:	SMSQ: 接收器智能静噪使能位 0: 接收器智能静噪禁止。 1: 接收器智能静噪使能。							
位 6:	LINKINT: 连接完整性功能使能位 注: 当被使能时, 如果检测到连接故障, 连接完整性功能会自动禁止发送器和接收器并更新 LINKSTA (PHYCN.0)。 0: 连接完整性功能禁止。 1: 连接完整性功能使能。							
位 5:	JABBER: Jabber 保护功能使能位 注: 当被使能时, 如果检测到一个 jabber 条件, jabber 保护功能会自动禁止环回方式。 0: Jabber 保护功能禁止。 1: Jabber 保护功能使能。							
位 4:	AUTONEG: 自适应使能位 0: 自适应功能禁止。 1: 自适应功能使能。							
位 3:	ADRFAULT: 远程故障检测能力告知 0: 正常操作。 1: 告知 (在自适应期间) CP2200/1 具有检测远程故障能力。							
位 2:	ADPAUSE: PAUSE 包能力告知 0: 告知 (在自适应期间) CP2200/1 没有 PAUSE 包能力。 1: 告知 (在自适应期间) CP2200/1 具有 PAUSE 包能力。							
位 1:	AUTOPOL: 自动极性纠正使能位 0: 自动接收器极性纠正禁止。 1: 自动接收器极性纠正使能。							
位 0:	RENPOL: 极性反转位 注: 如果自动极性纠正被使能, 则该位被忽略。 0: 接收器极性正常。 1: 接收器极性反转。							

寄存器 72. PHYSTA：物理层状态寄存器

R	R	R	R	R	R	R	R	复位值
LGCILF	LGCLSF	AKDLF	AKDAMF	AKDCMF	ABDLF	ABDAKMF	ABDABMF	00000000
位7	位6	位5	位4	位3	位2	位1	位0	地址: 0x80
<p>注： 自适应状态和错误类型见 IEEE 802.3 的第 28 条款。</p>								
位 7:	LGCILF：连接正常检查之不兼容连接故障 0：正常操作。 1：因不兼容的连接导致自适应失败。							
位 6:	LGCLSF：连接正常检查之线路状态故障 0：正常操作。 1：因连接故障导致自适应失败。							
位 5:	AKDLF：应答检测之线路故障 0：正常操作。 1：因接收不到快速连接脉冲导致自适应失败。							
位 4:	AKDAMF：应答检测之应答匹配故障 0：正常操作。 1：因接收到 ACK 位为 0 的连接码字导致自适应失败。							
位 3:	AKDCMF：应答检测之一致性匹配故障 0：正常操作。 1：因接收不一致的连接码字导致自适应失败。							
位 2:	ABDLF：能力检测之连接故障 0：正常操作。 1：因接收不到快速连接脉冲导致自适应失败。							
位 1:	ABDAKMF：能力检测之应答匹配故障 0：正常操作。 1：因接收到 ACK 位为 1 的连接码字导致自适应失败。							
位 0:	ABDABMF：能力检测之能力匹配故障 0：正常操作。 1：因接收不到三个连续的连接码字导致自适应失败。							

表 22. 10 BASE-T 接口电气特性

VDD = 3.1 ~ 3.6V，-40℃到+85℃（除非特别说明）。

参 数	条 件	最小值	典型值	最大值	单 位
发送器差分输出电压（峰值）		2.2	2.5	2.8	V
接收器正常静噪电平（峰值）		—	585	—	mV
接收器低静噪电平（峰值）		—	330	—	mV
物理层启动时间		—	1	—	ms

表 23. 10 BASE-T 发送器开关特性

VDD = 3.1 ~ 3.6V, -40℃到+85℃（除非特别说明）。

符 号	说 明	最小值	典型值	最大值	单 位
T _{TXJIT}	发送对抖动（100Ω 负载）	—	1	—	ns
T _{TXHLD}	包结束时的发送对正向保持时间	—	200	—	ns
T _{TXRET}	最后一次正向变化后发送对返回到 ≤50 mV 的时间	—	210	—	ns

表 24. 10 BASE-T 接收器开关特性

VDD = 3.1 ~ 3.6V, -40℃到+85℃（除非特别说明）。

符 号	说 明	最小值	典型值	最大值	单 位
T _{RXJIT}	允许的接收抖动	—	—	±13.5	ns
T _{CSA}	载波侦听有效延时	—	400	—	ns
T _{IPB}	载波侦听有效后的无效前同步位	2	—	2	位
T _{CSD}	载波侦听无效延时	—	200	—	ns

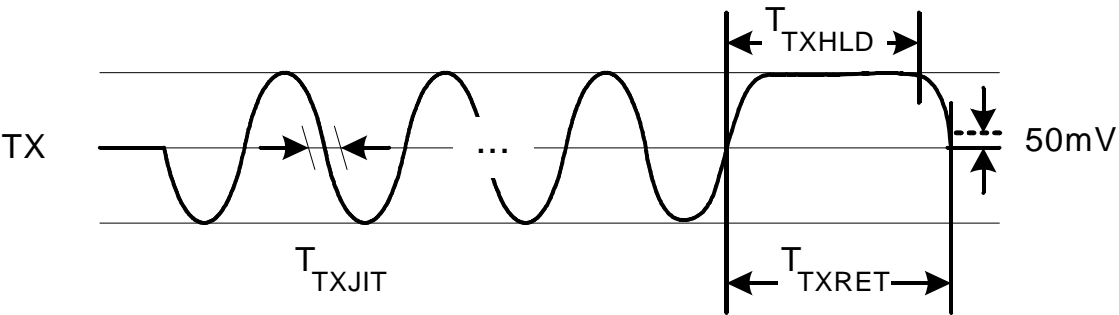


图 19. 10 BASE-T 发送

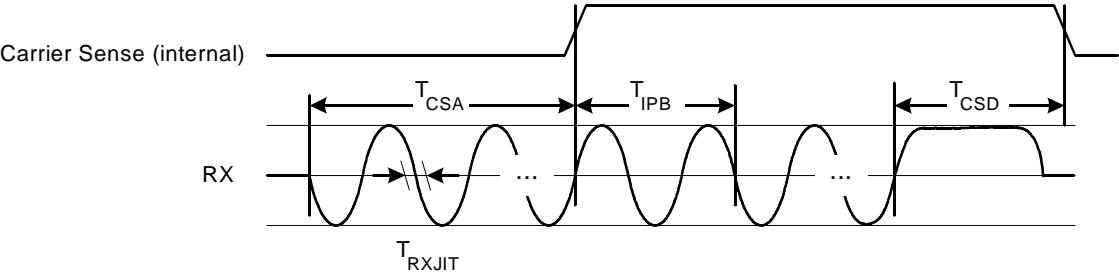


图 20. 10 BASE-T 接收

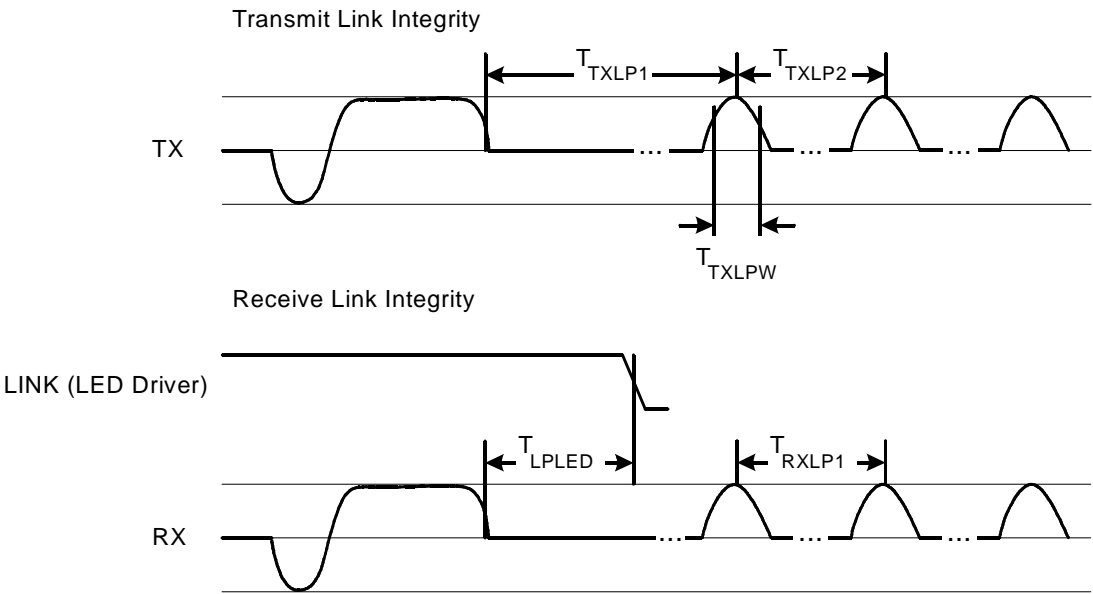


图 21. 10 BASE-T 连接完整性

表 25. 10 BASE-T 连接完整性开关特性

VDD = 3.1 ~ 3.6V, -40℃到+85℃（除非特别说明）。

符 号	说 明	最小值	典型值	最大值	单 位
T_{TXLP1}	发送完最后一个包之后发送的第一个连接脉冲	—	16	—	ms
T_{TXLP2}	发送的两个连接脉冲之间的时间	—	16	—	ms
T_{TXLPW}	发送的连接脉冲的宽度	80	100	210	ns
T_{RXLP1}	接收的连接脉冲间隔	8	—	24	ms
T_{LPLED}	最后一次接收活动到连接故障	—	150	—	ms

16. 并行接口

CP2200/1 有一个 8 位并行主机接口，用于访问器件的直接寄存器。并行接口支持复用和非复用操作及 Intel 和 Motorola 总线方式。MUXEN 引脚被驱动到高电平时，器件工作在复用方式；MUXEN 引脚被驱动到低电平时，器件工作在非复用方式。MOTEN 引脚被驱动到高电平时，器件工作在 Motorola 总线方式；MOTEN 引脚被驱动到低电平时，器件工作在 Intel 总线方式。

注：

- 1. CP2201（28 脚封装）只能工作在复用方式。
- 2. 连接/RD、/WR、/CS、ALE 和所有地址及数据线的 PCB 走线应匹配到任意两个信号之间的传输延迟变化不超过 5 ns。

并行接口的读和写操作一般需要 260 ns（非复用方式）或 300 ns（复用方式）传送一个字节的数据。如果在一个非复用总线上进行背靠背的操作，数据传输速度可超过 30 Mbps。表 26~29 给出了每种方式下总线时序的详细信息。

16.1 非复用 Intel 方式

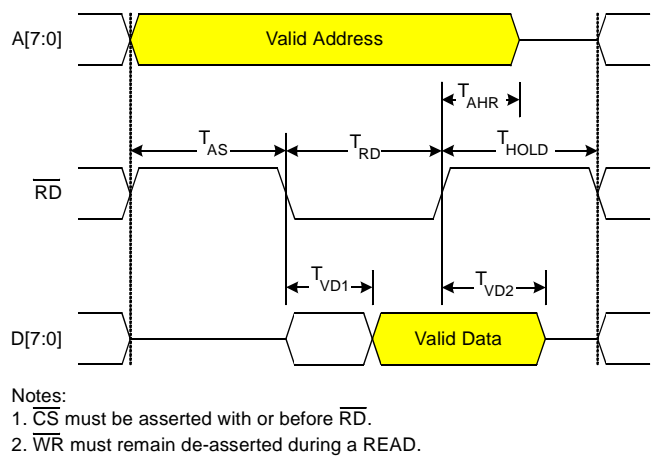


图 22. 非复用 Intel 方式读

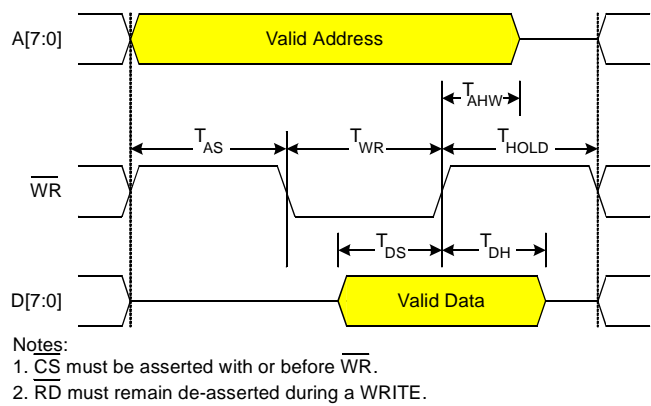


图 23. 非复用 Intel 方式写

CP2200/1 单芯片以太网微控制器

表 26. 非复用 Intel 方式 AC 参数

符 号	说 明	最小值	典型值	最大值	单 位
T _{AS}	地址建立时间（读/写）	40	—	—	ns
T _{RD}	RD 低电平脉冲宽度（读）	160	—	—	ns
T _{VD1}	RD 下降沿到有效数据输出（读）	—	—	140	ns
T _{VD2}	RD 上升沿到数据总线高阻态（读）	—	60	—	ns
T _{WR}	WR 低电平脉冲宽度（写）	120	—	—	ns
T _{DS}	数据建立时间（写）	40	—	—	ns
T _{DH}	数据保持时间（写）	40	—	—	ns
T _{AHR}	地址保持时间（读）	40	—	—	ns
T _{AHW}	地址保持时间（写）	0	—	—	ns
T _{HOLD}	保持延时（读/写）	60	—	—	ns

16.2 复用 Intel 方式

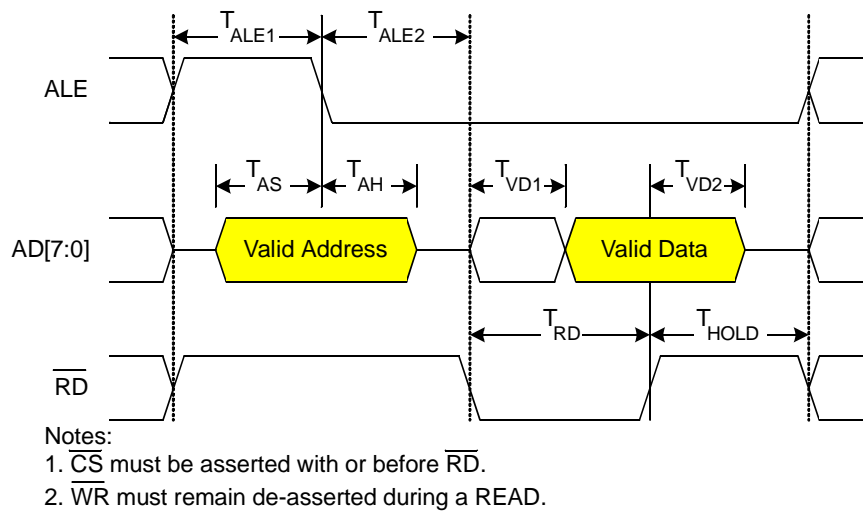


图 24. 复用 Intel 方式读

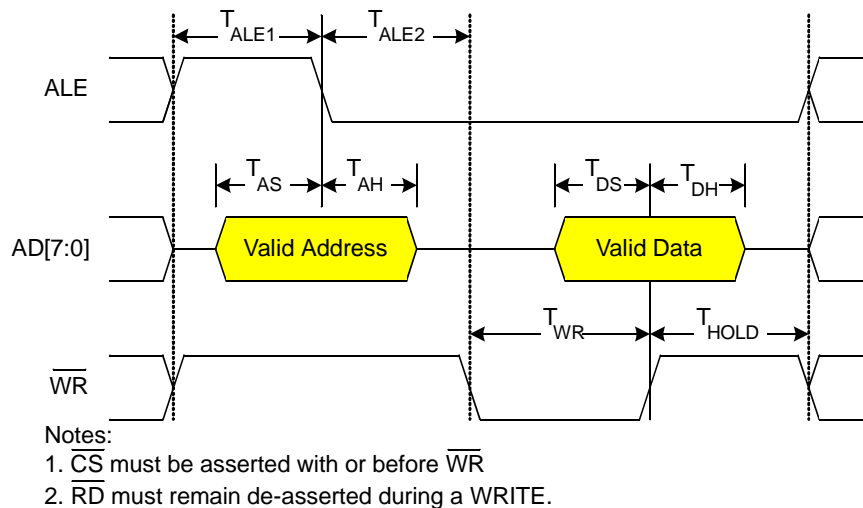


图 25. 复用 Intel 方式写

CP2200/1 单芯片以太网微控制器

表 27. 复用 Intel 方式 AC 参数

符 号	说 明	最小值	典型值	最大值	单 位
T _{ALE1}	ALE 高电平脉冲宽度	40	—	—	ns
T _{ALE2}	ALE 下降沿到 RD/WR 下降沿	40	—	—	ns
T _{AS}	地址建立时间（读/写）	40	—	—	ns
T _{AH}	地址保持时间（读/写）	40	—	—	ns
T _{RD}	RD 低电平脉冲宽度（读）	160	—	—	ns
T _{VD1}	RD 下降沿到有效数据输出（读）	—	—	140	ns
T _{VD2}	RD 上升沿到数据总线高阻态（读）	—	60	—	ns
T _{WR}	WR 低电平脉冲宽度（写）	120	—	—	ns
T _{DS}	数据建立时间（写）	40	—	—	ns
T _{DH}	数据保持时间（写）	40	—	—	ns
T _{HOLD}	保持延时（读/写）	60	—	—	ns

16.3 非复用 Motorola 方式

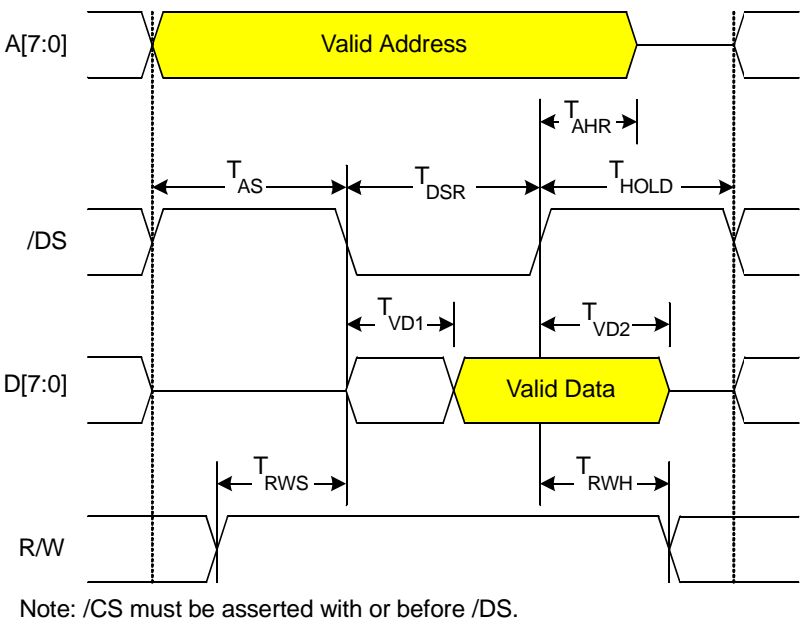


图 26. 非复用 Motorola 方式读

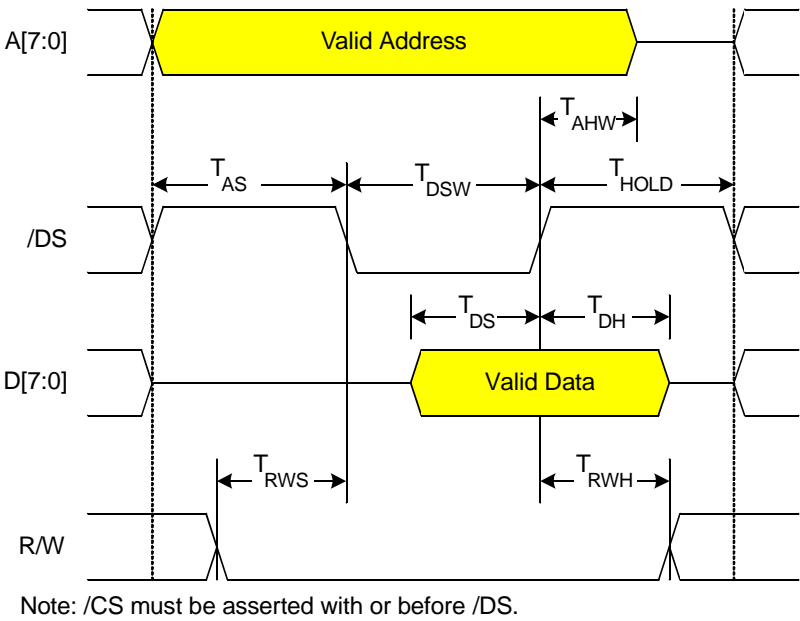


图 27. 非复用 Motorola 方式写

CP2200/1 单芯片以太网微控制器

表 28. 非复用 Motorola 方式 AC 参数

符 号	说 明	最小值	典型值	最大值	单 位
T _{AS}	地址建立时间（读/写）	40	—	—	ns
T _{RWS}	R/W 建立时间（读/写）	40	—	—	ns
T _{DSR}	DS 低电平脉冲宽度（读）	160	—	—	ns
T _{VD1}	DS 下降沿到有效数据输出（读）	—	—	140	ns
T _{VD2}	DS 上升沿到数据总线高阻态（读）	—	60	—	ns
T _{DSW}	DS 低电平脉冲宽度（写）	120	—	—	ns
T _{DS}	数据建立时间（写）	40	—	—	ns
T _{DH}	数据保持时间（写）	60	—	—	ns
T _{AHR}	地址保持时间（读）	50	—	—	ns
T _{AHW}	地址保持时间（写）	0	—	—	ns
T _{RWH}	R/W 保持时间（读/写）	60	—	—	ns
T _{HOLD}	保持延时（读/写）	60	—	—	ns

16.4 复用 Motorola 方式

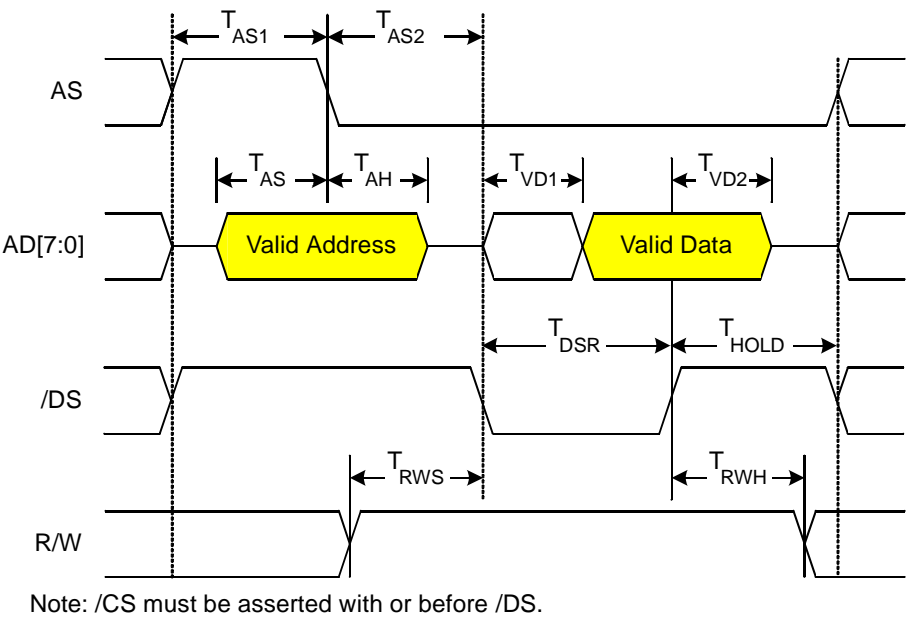


图 28. 复用 Motorola 方式读

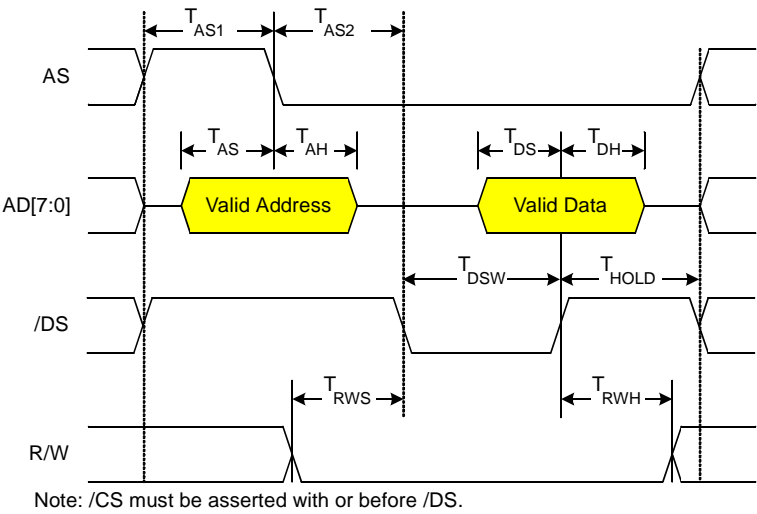


图 29. 复用 Motorola 方式写

CP2200/1 单芯片以太网微控制器

表 29. 复用 Motorola 方式 AC 参数

符 号	说 明	最小值	典型值	最大值	单 位
T _{AS1}	AS 高电平脉冲（读/写）	40	—	—	ns
T _{AS2}	AS 下降沿到 DS 下降沿（读/写）	40	—	—	ns
T _{AS}	地址建立时间（读/写）	40	—	—	ns
T _{RWS}	R/W 建立时间（读/写）	40	—	—	ns
T _{DSR}	DS 低电平脉冲宽度（读）	160	—	—	ns
T _{VD1}	DS 下降沿到有效数据输出（读）	—	—	140	ns
T _{VD2}	DS 上升沿到数据总线高阻态（读）	—	60	—	ns
T _{DSW}	DS 低电平脉冲宽度（写）	120	—	—	ns
T _{DS}	数据建立时间（写）	40	—	—	ns
T _{DH}	数据保持时间（写）	60	—	—	ns
T _{RWH}	R/W 保持时间（读/写）	60	—	—	ns
T _{HOLD}	保持延时（读/写）	60	—	—	ns

联系信息

Silicon Laboratories Inc.

4635 Boston Lane
Austin, TX 78735
Tel: 1+(512) 416-8500
Fax: 1+(512) 416-9669
Toll Free: 1+(877) 444-3032
Email: mcuinfo@silabs.com
Internet: www.silabs.com

新华龙电子有限公司

电话: 0755-83645240 83645242 83645244 83645251
技术支持: 0755-83645259
传真: 0755-83645243
地址: 深圳市福田区华强北路现代之窗大厦 A 座 13F C 室(518013)
Email: sales@xhl.com.cn
Email: shenzhen@xhl.com.cn
网站: www.xhl.com.cn
技术支持: support-sz@xhl.com.cn