

**C8051F360/1/2/3/4/5/6/7/8/9
混合信号 ISP FLASH 微控制器
数 据 手 册**

潘 琢 金 译

Rev 1.0 2007.11

版权所有

版 权 声 明

本手册中文版版权归译者和新华龙电子有限公司所有。研究和开发人员可以自由使用本手册。任何单位和个人未经版权所有者授权不得在任何形式的出版物中摘抄本手册内容。

原文中比较明显的错误已经在译文中更正。译者将在本手册英文版更新后及时更新中文版内容。译文中一定存在不少错误和不准确之处，望各位同仁不吝赐教，以便在新版本中更正。

译者联系方式：

沈阳航空工业学院 计算机学院 潘琢金

电话：024-89723476，13066535936

Email: panzhuojin@sina.com; panzhj@syiae.edu.cn

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

模拟外设

- **10 位 ADC** (仅 F360/1/2/6/7/8/9)
 - 转换速率最高达 200ksp/s
 - 可多达 21 个外部单端或差分输入
 - VREF 可选自内部 VREF、外部引脚或 VDD
 - 内部或外部转换启动源
 - 内建温度传感器
- **10 位电流输出 DAC** (仅 F360/1/2/6/7/8/9)
- **两个比较器**
 - 可编程回差电压和响应时间
 - 可配置为中断或复位源
 - 低电流 (0.4 μ A)
- **欠压检测器和上电复位电路**

在片调试

- 片内调试电路提供全速、非侵入式的在系统调试 (不需仿真器)
- 支持断点、单步、观察/修改存储器和寄存器
- 比使用仿真芯片、目标仿真头和仿真插座的仿真系统有更好的性能
- 廉价、完全的开发套件

供电电压

- 2.7 ~ 3.6V(50 MIPS), 3.0 ~ 3.6V(100 MIPS)
- 挂起和停机节电模式

高速 8051 微控制器内核

- 流水线指令结构; 70% 的指令的执行时间为一个或两个系统时钟周期
- 速度可达 100 MIPS 或 50MIPS (片内 PLL)
- 扩展的中断系统
- 2 周期 16 \times 16 MAC 引擎

存储器

- 1280 字节内部数据 RAM (256+1024)
- 32KB (F360/1/2/3/4/5/6/7) 或 16KB (F368/9) FLASH; 可在系统编程, 扇区大小为 1024 字节——32KB 器件中有 1024 字节被保留

数字外设

- 最多达 39 个端口 I/O; 全部耐 5 V 电压, 大灌电流能力
- 硬件增强型 UART、SMBus 和增强型 SPI 串口
- 4 个通用 16 位计数器/定时器
- 16 位可编程计数器/定时器阵列 (PCA), 有 6 个捕捉/比较模块和 WDT
- 使用 PCA、定时器或外部时钟源的实时时钟方式
- 外部存储器接口 (EMIF)

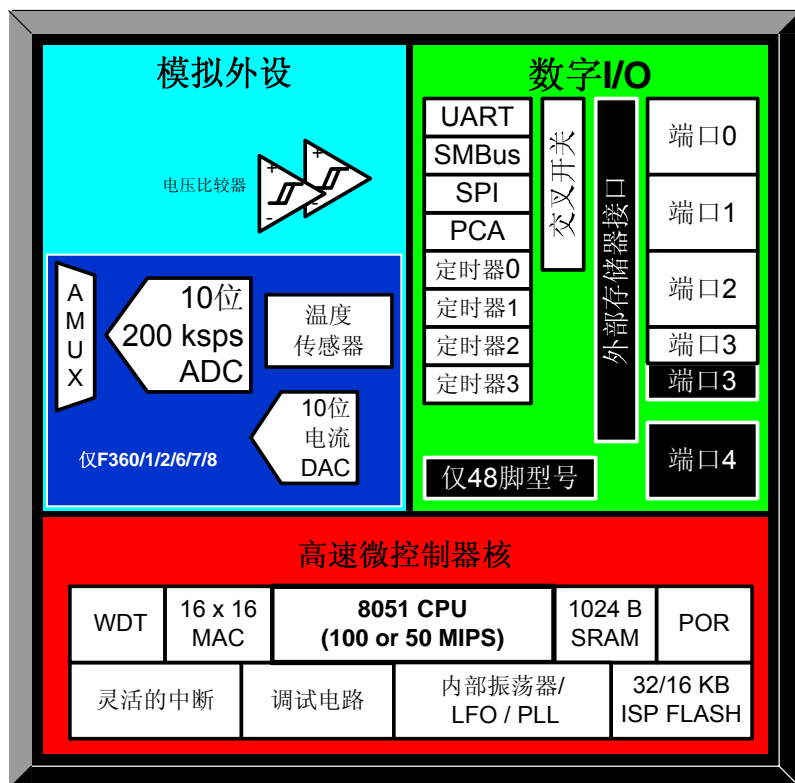
时钟源

- 两个内部振荡器:
 - 24.5MHz, $\pm 2\%$ 精度, 支持无晶体 UART 操作
 - 80/40/20/10 KHz, 低频、低功耗
- 灵活的 PLL 技术
- 外部振荡器: 晶体、RC、C、或外部时钟 (1 或 2 脚方式)
- 可在运行中切换时钟源, 适合节电设计

封装

- 48 脚 TQFP (C8051F360/3)
- 32 脚 LQFP (C8051F361/4/6/8)
- 28 脚 QFN (C8051F362/5/7/9)

温度范围: -40°C - +85°C



C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

目 录

1. 系统概述	8
1.1 CIP-51™ 微控制器核	13
1.1.1 与 8051 指令集完全兼容	13
1.1.2 速度提升	13
1.1.3 增加的功能	14
1.2 片内存储器	15
1.3 片内调试电路	16
1.4 可编程数字 I/O 和交叉开关	17
1.5 串行端口	18
1.6 可编程计数器阵列	18
1.7 10 位模/数转换器	19
1.8 比较器	20
1.9 10 位电流输出 DAC	22
2. 极限参数	23
3. 总体直流电气特性	24
4. 引脚和封装定义	26
5. 10 位 ADC (ADC0)	36
5.1 模拟多路选择器	37
5.2 温度传感器	37
5.3 工作方式	40
5.3.1 转换启动方式	40
5.3.2 跟踪方式	41
5.3.3 建立时间要求	42
5.4 可编程窗口检测器	47
5.4.1 单端方式下的窗口检测器	49
5.4.2 差分方式下的窗口检测器	50
6. 10 位电流模式 DAC (IDA0, C8051F360/1/2/6/7/8/9)	52
6.1 IDA0 输出更新	52
6.1.1 On-Demand 输出更新	52
6.1.2 基于定时器溢出的输出更新模式	53
6.1.3 基于 CNVSTR 边沿的输出更新模式	53
6.2 IDAC 输出字格式	53
7. 电压基准 (C8051F360/1/2/6/7/8/9)	56

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

8. 比较器	59
9. CIP-51 微控制器	69
9.1 性能	70
9.2 编程和调试支持	70
9.3 指令集	70
9.3.1 指令和CPU 时序	70
9.3.2 MOVX 指令和程序存储器	70
9.4 存储器组织	74
9.4.1 程序存储器	74
9.4.2 数据存储器	75
9.4.3 通用寄存器	75
9.4.4 位寻址空间	75
9.4.5 堆栈	75
9.4.6 特殊功能寄存器	76
9.4.7 寄存器说明	90
9.5 电源管理方式	93
9.5.1 空闲方式	93
9.5.2 停机方式	94
9.5.3 挂起方式	94
10. 中断系统	95
10.1 MCU 中断源和中断向量	95
10.2 中断优先级	96
10.3 中断响应时间	96
10.4 中断寄存器说明	98
10.5 外部中断	103
11. 乘法和累加引擎 (MAC0)	105
11.1 特殊功能寄存器	105
11.2 整数和小数运算	106
11.3 乘法和累加工作方式	107
11.4 乘法器工作方式	107
11.5 累加器移位操作	108
11.6 舍入和饱和	108
11.7 用法举例	109
11.7.1 乘法—累加运算示例	109
11.7.2 乘法运算示例	109
11.7.3 累加器移位示例	110
12. 复位源	116

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

12.1 上电复位.....	117
12.2 掉电复位和 VDD 监视器	118
12.3 外部复位.....	119
12.4 时钟丢失检测器复位	119
12.5 比较器 0 复位.....	119
12.6 PCA 看门狗定时器复位.....	120
12.7 FLASH 错误复位.....	120
12.8 软件复位.....	120
13. FLASH 存储器	123
13.1 FLASH 存储器编程.....	123
13.1.1 FLASH 锁定和关键码功能.....	123
13.1.2 从软件擦除 FLASH 页.....	124
13.1.3 从软件写 FLASH 存储器.....	124
13.1.4 非易失性数据存储.....	126
13.2 安全选项	126
13.3 FLASH 写和擦除指南.....	129
13.3.1 VDD 维护和 VDD 监视器.....	129
13.3.2 PSWE 维护.....	130
13.3.3 系统时钟.....	130
13.4 FLASH 读定时.....	132
14. 转移地址高速缓存	134
14.1 高速缓存和指令预取操作	134
14.2 高速缓存和指令预取优化.....	136
15. 外部 RAM.....	142
15.1 访问 XRAM.....	142
15.1.1 16 位 MOVX 示例.....	142
15.1.2 8 位 MOVX 示例.....	142
15.2 配置外部存储器接口	143
15.4 端口配置.....	143
15.4 复用和非复用选择	146
15.4.1 复用方式配置.....	146
15.4.2 非复用方式配置.....	147
15.5 存储器模式选择.....	148
15.5.1 只用内部 XRAM.....	148
15.5.2 无块选择的分片模式.....	148
15.5.3 带块选择的分片模式.....	149
15.5.4 只用外部存储器.....	149
15.6 EMIF 时序.....	149

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

15.6.1 非复用方式.....	151
15.6.2 复用方式.....	154
16. 振荡器.....	158
16.1 可编程内部高频（H-F）振荡器.....	159
16.1.1 内部振荡器挂起方式.....	159
16.2 可编程内部低频（L-F）振荡器.....	161
16.2.1 内部 L-F 振荡器标定.....	161
16.3 外部振荡器驱动电路.....	162
16.4 系统时钟选择.....	162
16.5 外部晶体示例.....	165
16.6 外部 RC 示例.....	166
16.7 外部电容示例.....	166
16.8 锁相环（PLL）.....	167
16.8.1 PLL 输入时钟和预分频器.....	167
16.8.2 PLL 倍频和输出时钟.....	167
16.8.3 上电和 PLL 初始化.....	168
17. 端口输入/输出.....	172
17.1 优先权交叉开关译码器.....	173
17.2 端口 I/O 初始化.....	176
17.3 通用端口 I/O.....	179
18. SMBUS.....	190
18.1 支持文档.....	191
18.2 SMBus 配置.....	191
18.3 SMBus 操作.....	192
18.3.1 总线仲裁.....	192
18.3.2 时钟低电平扩展.....	193
18.3.3 SCL 低电平超时.....	193
18.3.4 SCL 高电平（SMBus 空闲）超时.....	193
18.4 SMBus 的使用.....	193
18.4.1 SMBus 配置寄存器.....	194
18.4.2 SMBus 控制寄存器 SMB0CN.....	197
18.4.3 数据寄存器.....	200
18.5 SMBus 传输方式.....	201
18.5.1 主发送器方式.....	201
18.5.2 主接收器方式.....	202
18.5.3 从接收器方式.....	203
18.5.4 从发送器方式.....	204
18.6 SMBus 状态译码.....	205

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

19. UART0	207
19.1 增强的波特率发生器	208
19.2 工作方式	209
19.2.1 8 位 UART	209
19.2.2 9 位 UART	210
19.3 多机通信	211
20. 增强型串行外设接口 (SPI0)	220
20.1 信号说明	221
20.1.1 主输出、从输入 (MOSI)	221
20.1.2 主输入、从输出 (MISO)	221
20.1.3 串行时钟 (SCK)	221
20.1.4 从选择 (NSS)	221
20.2 SPI0 主方式	222
20.3 SPI0 从方式	224
20.4 SPI0 中断源	224
20.5 串行时钟时序	225
20.6 SPI 特殊功能寄存器	227
21. 定时器	233
21.1 定时器 0 和定时器 1	233
21.1.1 方式 0 — 13 位计数器/定时器	233
21.1.2 方式 1 — 16 位计数器/定时器	235
21.1.3 方式 2 — 自动重载的 8 位计数器/定时器	235
21.1.4 方式 3 — 两个 8 位计数器/定时器 (仅定时器 0)	236
21.2 定时器 2	241
21.2.1 16 位自动重载定时器	241
21.2.2 8 位自动重载定时器	242
21.3 定时器 3	245
21.3.1 16 位自动重载定时器	245
21.3.2 8 位自动重载定时器方式	246
22. 可编程计数器阵列	249
22.1 PCA 计数器/定时器	250
22.2 捕捉/比较模块	252
22.2.1 边沿触发的捕捉方式	253
22.2.2 软件定时器 (比较) 方式	254
22.2.3 高速输出方式	255
22.2.4 频率输出方式	256
22.2.5 8 位脉宽调制器方式	257
22.2.6 16 位脉宽调制器方式	258

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

- 22.3 看门狗定时器方式259
 - 22.3.1 看门狗定时器操作.....259
 - 22.3.2 看门狗定时器的使用.....260
- 22.4 PCA 寄存器说明.....262
- 23. C2 接口.....266**
 - 23.1 C2 接口寄存器.....266
 - 23.2 C2 引脚共享.....268

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

1. 系统概述

C8051F36x 器件是完全集成的混合信号片上系统型 MCU。下面列出了一些主要特性，有关某一产品的具体特性参见表 1.1。

- 高速、流水线结构的与 8051 兼容的微控制器核（可达 100MIPS）
- 全速、非侵入式的在系统调试接口（片内）
- 真 10 位、200 ksp/s ADC，16 路单端/差分模拟输入，带模拟多路器
- 10 位电流输出 DAC
- 2 周期的 16 x 16 乘法和累加引擎
- 高精度可编程的 24.5MHz 内部振荡器
- 达 32KB 的片内 FLASH 存储器——1024 字节被保留
- 1280 字节片内 RAM
- 64KB 地址空间的外部数据存储器接口
- 硬件实现的 SMBus/I²C、增强型 UART 和增强型 SPI 串行接口
- 4 个通用的 16 位定时器
- 具有 6 个捕捉/比较模块和看门狗定时器功能的可编程计数器/定时器阵列（PCA）
- 片内上电复位电路、VDD 监视器和温度传感器
- 两个片内电压比较器
- 多达 39 个端口 I/O（容许 5V 电压）

具有片内上电复位电路、VDD 监视器、看门狗定时器和时钟振荡器的 C8051F36x 器件是真正能独立工作的片上系统。FLASH 存储器还具有在系统重新编程能力，可用于非易失性数据存储，并允许现场更新 8051 固件。用户软件对所有外设具有完全的控制，可以关断任何一个或所有外设以节省功耗。

片内 Silicon Labs 二线（C2）开发接口允许使用安装在最终应用系统上的产品 MCU 进行非侵入式（不占用片内资源）、全速、在系统调试。调试逻辑支持观察和修改存储器和寄存器，支持断点、单步、运行和停机命令。在使用 C2 进行调试时，所有的模拟和数字外设都可全功能运行。两个 C2 接口引脚可以与用户功能共享，使在系统编程和调试功能不占用封装引脚。

每种器件都可在工业温度范围（-40℃到+85℃）内用 3.0V~3.6V（100 MIPS）或 2.7V~3.6V（50 MIPS）的电压工作。端口 I/O 和 RST 引脚可容许高达 5V 的输入信号。C8051F36x 有 48 脚 TQFP、32 脚 LQFP 和 28 脚 QFN（也称为 MLP 或 MLF）三种封装，均为无铅封装（符合 RoHS 标准）。定货信息见表 1.1。原理框图见图 1.1、图 1.2 和图 1.3。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 1.1 产品选择指南

器件型号	MIPS (峰值)	FLASH 存储器 (KB)	RAM (字节)	2 周期 16×16 MAC	校准的内部 24.5MHz 振荡器	内部 80 KHz 振荡器	外部存储器接口	SMBus/I ² C	增强型 SPI	UART	定时器(16 位)	可编程计数器阵列	数字端口 I/O	10 位 200Ksps ADC	10 位电流输出 DAC	内部电压基准	温度传感器	模拟比较器	无铅 (符合 RoHS 标准)	封装
C8051F360-GQ	100	32	1280	√	√	√	√	√	√	√	4	√	39	√	√	√	√	2	√	TQFP-48
C8051F361-GQ ¹	100	32	1280	√	√	√	—	√	√	√	4	√	29	√	√	√	√	2	√	LQFP-32
C8051F362-GM ²	100	32	1280	√	√	√	—	√	√	√	4	√	25	√	√	√	√	2	√	QFN-28
C8051F363-GQ	100	32	1280	√	√	√	√	√	√	√	4	√	39	—	—	—	—	2	√	TQFP-48
C8051F364-GQ ¹	100	32	1280	√	√	√	—	√	√	√	4	√	29	—	—	—	—	2	√	LQFP-32
C8051F365-GM ²	100	32	1280	√	√	√	—	√	√	√	4	√	25	—	—	—	—	2	√	QFN-28
C8051F366-GQ ¹	50	32	1280	√	√	√	—	√	√	√	4	√	29	√	√	√	√	2	√	LQFP-32
C8051F367-GM ²	50	32	1280	√	√	√	—	√	√	√	4	√	25	√	√	√	√	2	√	QFN-28
C8051F368-GQ ¹	50	16	1280	√	√	√	—	√	√	√	4	√	29	√	√	√	√	2	√	LQFP-32
C8051F369-GM ²	50	16	1280	√	√	√	—	√	√	√	4	√	25	√	√	√	√	2	√	QFN-28
注： 1. 与 C8051F310-GQ 引脚兼容。 2. 与 C8051F311-GM 引脚兼容。																				

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

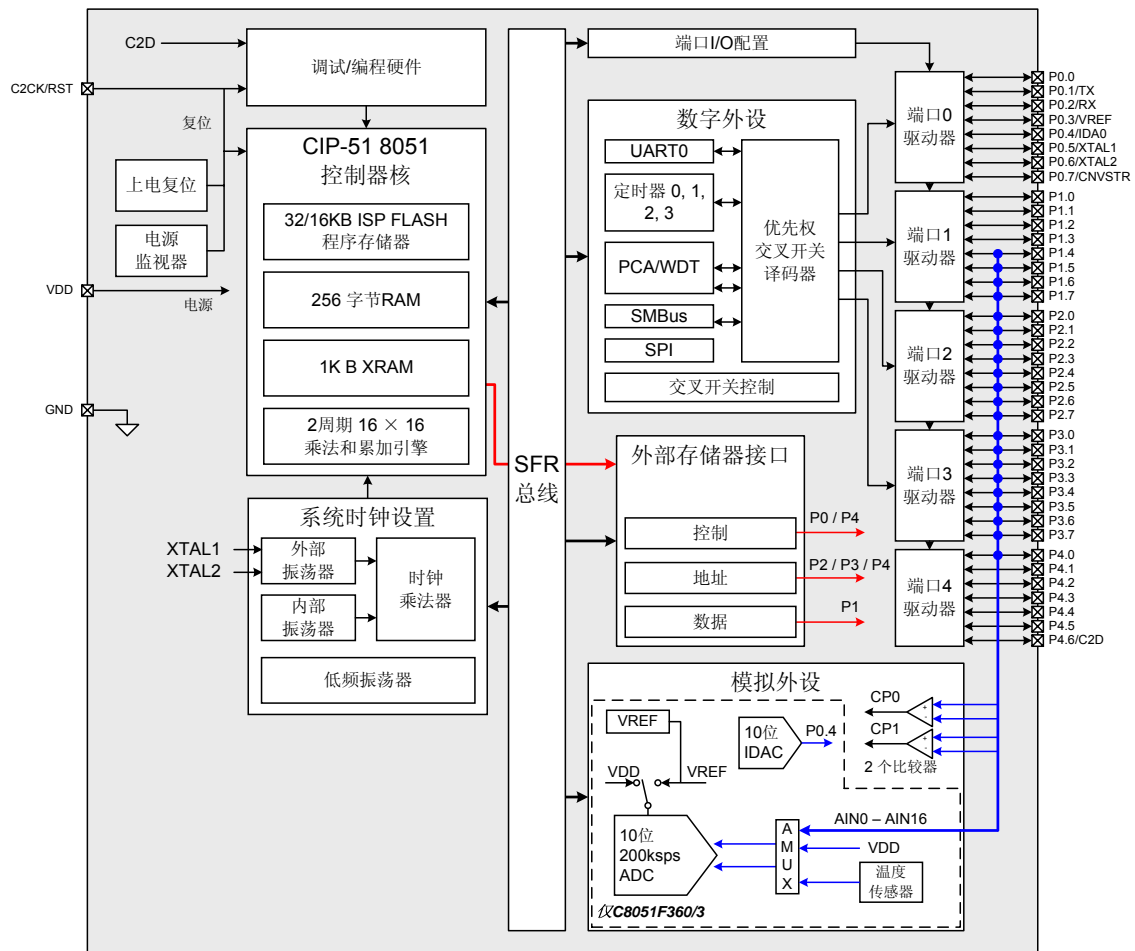


图 1.1 C8051F360/3 原理框图

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

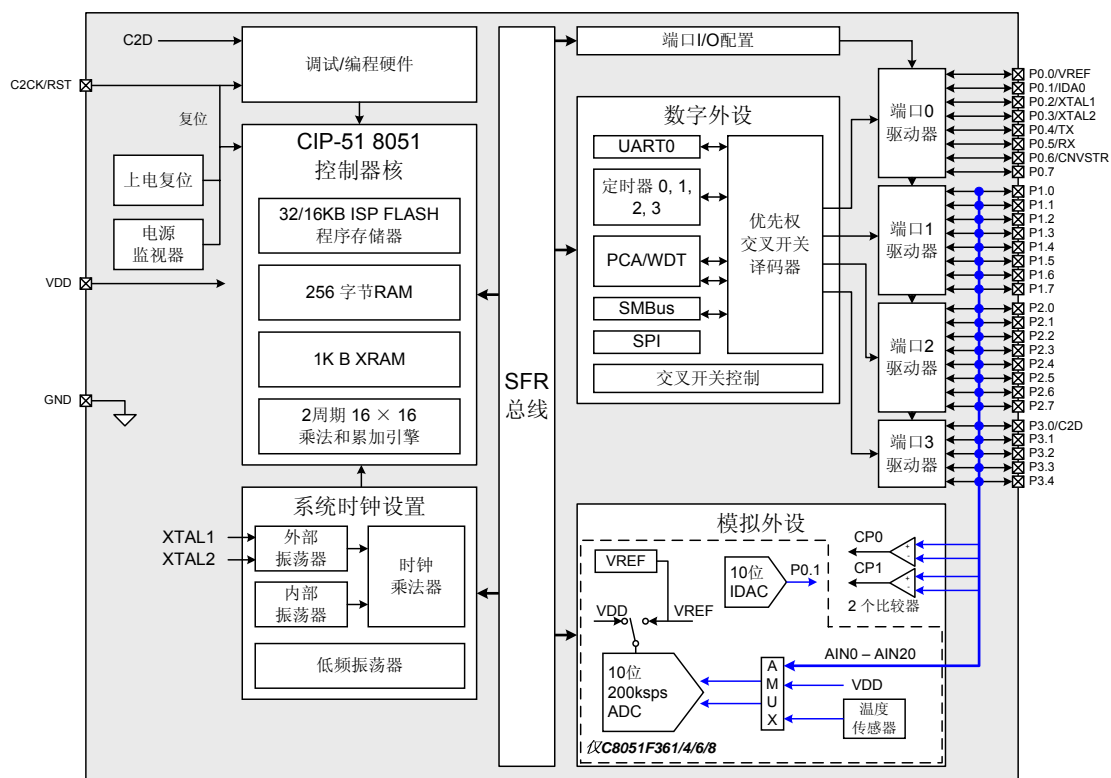


图 1.2 C8051F361/4/6/8 原理框图

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

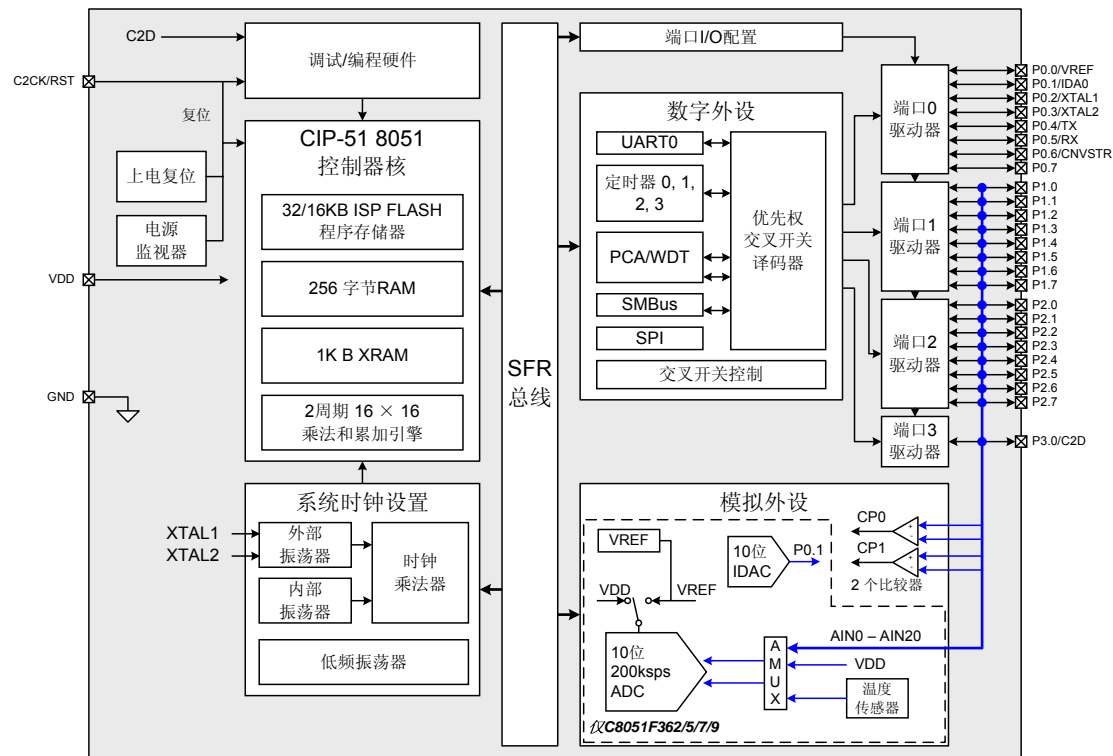


图 1.3 C8051F362/5/7/9 原理框图

1.1 CIP-51™ 微控制器核

1.1.1 与 8051 指令集完全兼容

C8051F36x 系列器件使用 Silicon Labs 的专利 CIP-51 微控制器核。CIP-51 与 MCS-51™ 指令集完全兼容，可以使用标准 803x/805x 的汇编器和编译器进行软件开发。C8051F36x 系列器件的外设是标准 8052 的所有外设的超集，包括四个 16 位计数器/定时器、一个具有扩展波特率配置的全双工 UART、一个增强型 SPI 端口、1280 字节内部 RAM、128 字节特殊功能寄存器（SFR）空间和多达 39 个 I/O 引脚。

1.1.2 速度提升

CIP-51 采用流水线结构，与标准的 8051 结构相比指令执行速度有很大的提高。在一个标准的 8051 中，除 MUL 和 DIV 以外所有指令都需要 12 或 24 个系统时钟周期，最大系统时钟频率为 12-24MHz。而对于 CIP-51 核，70% 的指令的执行时间为 1 或 2 个系统时钟周期，只有 4 条指令的执行时间大于 4 个系统时钟周期。

CIP-51 共有 111 条指令。下表列出了各种指令执行时间（指令执行时所需的系统时钟周期数）所对应的指令条数。

执行周期数	1	2	2/4	3	3/5	4	4/5	5	8
指令数	26	50	5	16	7	3	1	2	1

CIP-51 工作在最大系统时钟频率 100MHz 时，其峰值性能达到 100MIPS。图 1.4 给出了几种 8 位微控制器内核工作在最大系统时钟时的峰值速度的比较。

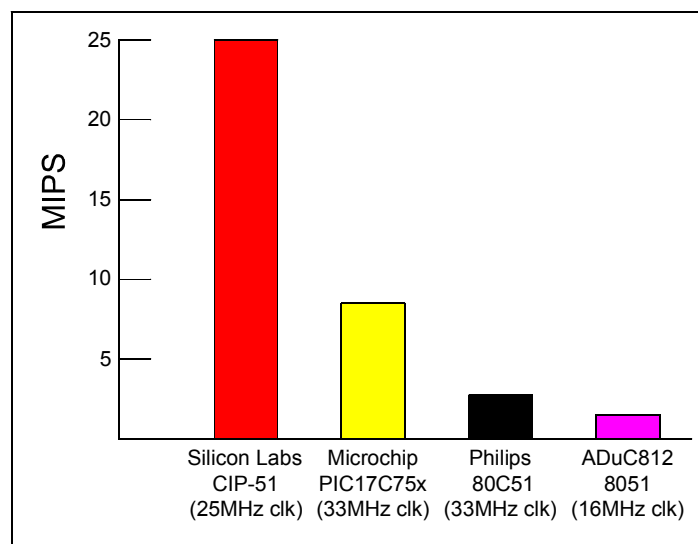


图 1.4 MCU 峰值执行速度比较

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

1.1.3 增加的功能

C8051F36x SoC 系列 MCU 在 CIP-51 内核和外设方面有几项关键性的改进，提高了整体性能，更易于在最终应用中使用。

扩展的中断系统为 CIP-51 提供 16 个中断源（标准 8051 中只有 7 个），允许大量的模拟和数字外设独立于微控制器工作，只在必要时中断微控制器。一个中断驱动的系统需要较少的 MCU 干预，因而有更高的实际性能。这些增加的中断源在建立一个多任务实时系统时非常有用。

MCU 有 8 个复位源：上电复位电路（POR）、片内 VDD 监视器（在电源电压下降到低于表 12.1 中给出的 V_{RST} 时强制 CPU 复位）、看门狗定时器、时钟丢失检测器、由比较器 0 提供的电压检测器、软件强制复位、外部复位引脚复位和 FLASH 非法访问保护电路复位。除了 POR、复位输入引脚及 FLASH 操作错误这三个复位源之外，其他复位源都可以被软件禁止。在一次上电复位之后的 MCU 初始化期间，WDT 可以通过软件被永久性使能。

C8051F36x 器件的内部振荡器在出厂时已经被校准为 $24.5\text{MHz} \pm 2\%$ 。该内部振荡器周期可以由用户以大约 0.5% 的增量调整。器件内还集成了外部振荡器驱动电路，允许使用外部晶体、陶瓷谐振器、电容、RC 或 CMOS 时钟源产生系统时钟。如果需要，系统时钟源可以在内部和外部振荡器电路之间自由切换。外部振荡器在低功耗应用中也是非常有用的，它允许 MCU 从一个低速（节电）时钟源运行，在需要时周期性地切换到快速（最高达 25 MHz）的内部振荡器。另外，用片内提供的 PLL 可以达到更高的系统时钟速度，从而提高处理能力。

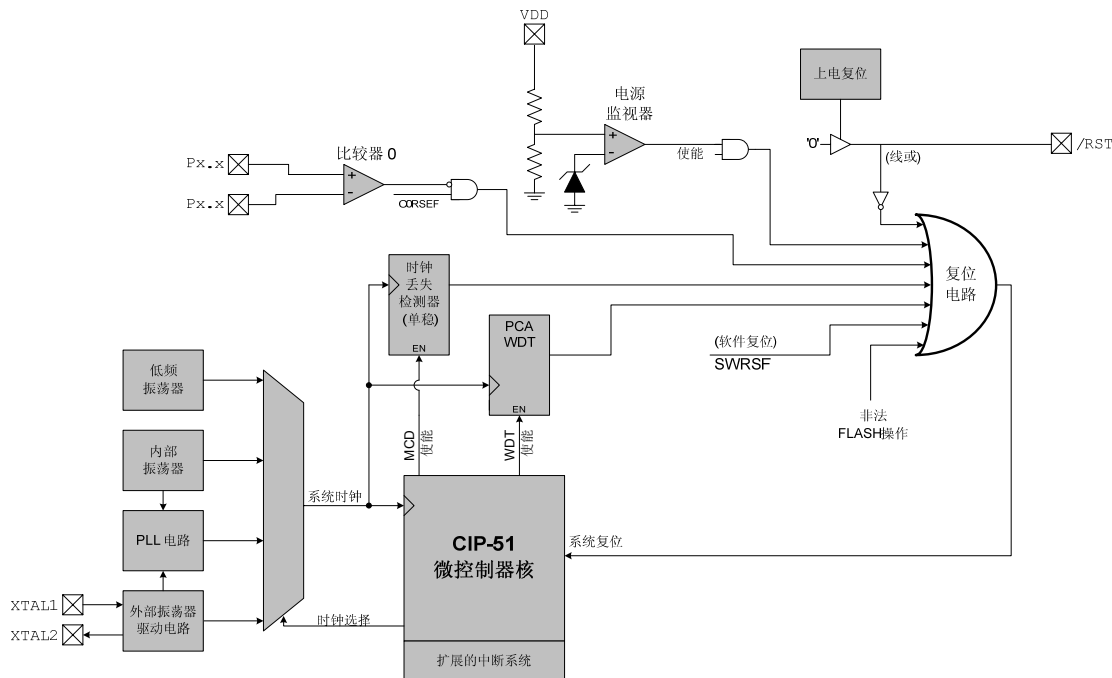


图 1.5 片内时钟和复位

1.2 片内存储器

CIP-51 有标准 8051 的程序和数据地址配置。它包括 256 字节的数据 RAM，其中高 128 字节为双映射。用间接寻址访问通用 RAM 的高 128 字节，用直接寻址访问 128 字节的 SFR 地址空间。数据 RAM 的低 128 字节可用直接或间接寻址方式访问。前 32 个字节为 4 个通用寄存器区，接下来的 16 字节既可以按字节寻址也可以按位寻址。

程序存储器包含 32KB/16KB 的 FLASH。该存储器以 1024 字节为一个扇区，可在系统重编程，且不需特别的外部编程电压。图 1.6 给出了 MCU 系统的存储器结构。

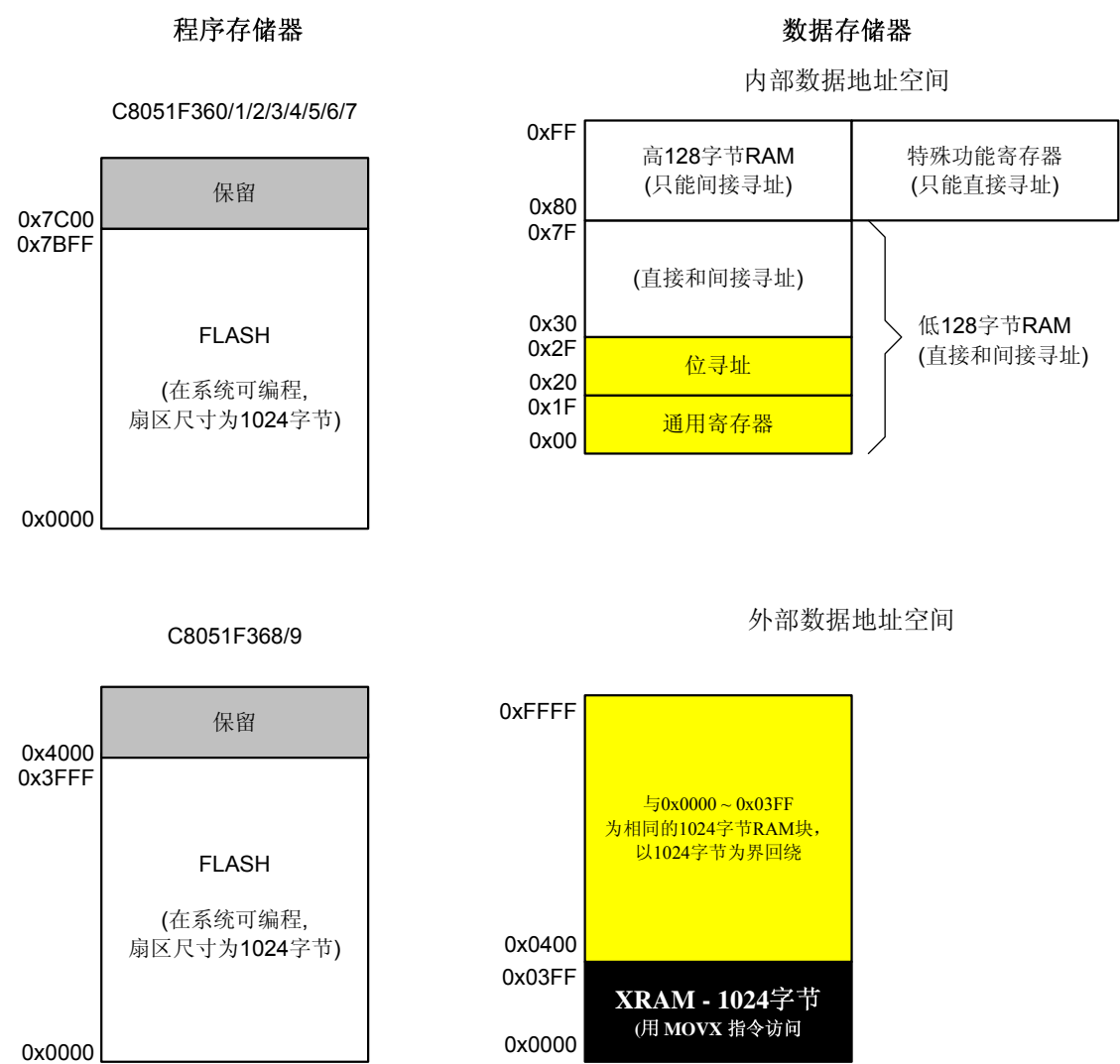


图 1.6 存储器组织

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

1.3 片内调试电路

C8051F36x器件具有片内Silicon Labs 2线（C2）接口调试电路，支持使用安装在最终应用系统中的产品器件进行非侵入式、全速的在系统调试。

Silicon Labs的调试系统支持观察和修改存储器和寄存器，支持断点和单步执行。不需要额外的目标RAM、程序存储器、定时器或通信通道。在调试时所有的模拟和数字外设都正常工作。当MCU单步执行或遇到断点而停止运行时，所有的外设（ADC和SMBus除外）都停止运行，以保持与指令执行同步。

开发套件C8051F360DK具有开发应用代码和对C8051F36x MCU进行在系统调试所需要的全部硬件和软件。开发套件中包括开发者工作室软件和调试器、集成的8051汇编器、调试适配器、一块安装了相应MCU的目标应用板和所必需的电缆及墙装电源。开发套件需要一个运行Windows98 SE或更高版本Windows操作系统的PC机。。

对于开发和调试来说，Silicon Laboratories IDE接口比采用标准MCU仿真器要优越得多。标准的MCU仿真器要使用在板仿真芯片，还需要将MCU插到应用板上的插座中。Silicon Laboratories的调试环境既便于使用又能保持高精度模拟外设的性能。

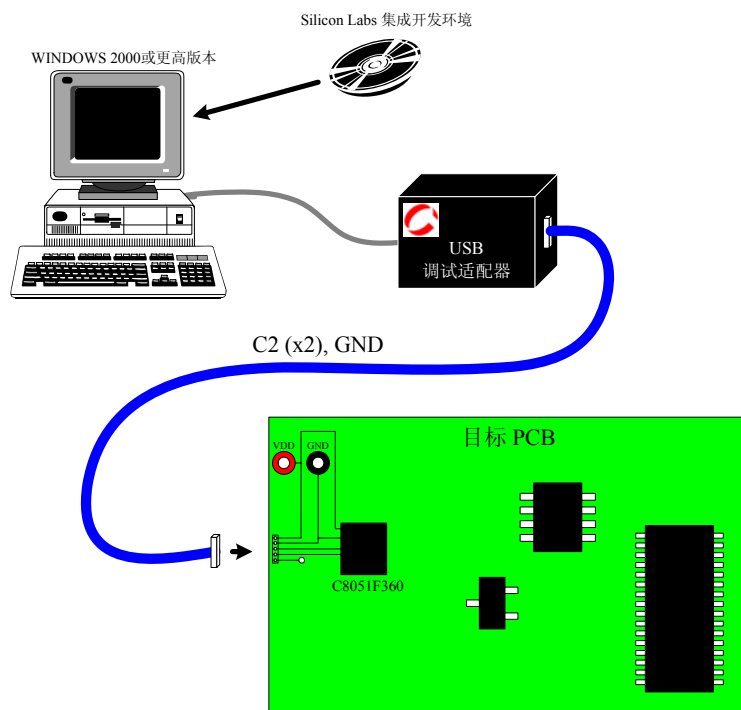


图1.7 开发/在系统调试示意图

1.4 可编程数字 I/O 和交叉开关

C8051F36x器件最多有39个I/O引脚（四个8位口和一个7位口）。端口的工作情况与标准8051端口类似，但有一些改进。每个端口引脚都可以被配置为模拟输入或数字I/O引脚。被选择作为数字I/O的引脚还可以被配置为推挽或漏极开路输出。在标准8051中固定的“弱上拉”可以被总体禁止，提供节电能力。

数字交叉开关允许将内部数字系统资源映射到端口I/O引脚（见图1.8）。可通过设置交叉开关控制寄存器将片内的计数器/定时器、串行总线、硬件中断以及其它数字信号配置为出现在端口I/O引脚。这一特性允许用户根据自己的具体应用选择所需通用端口I/O、数字资源和模拟资源的组合。

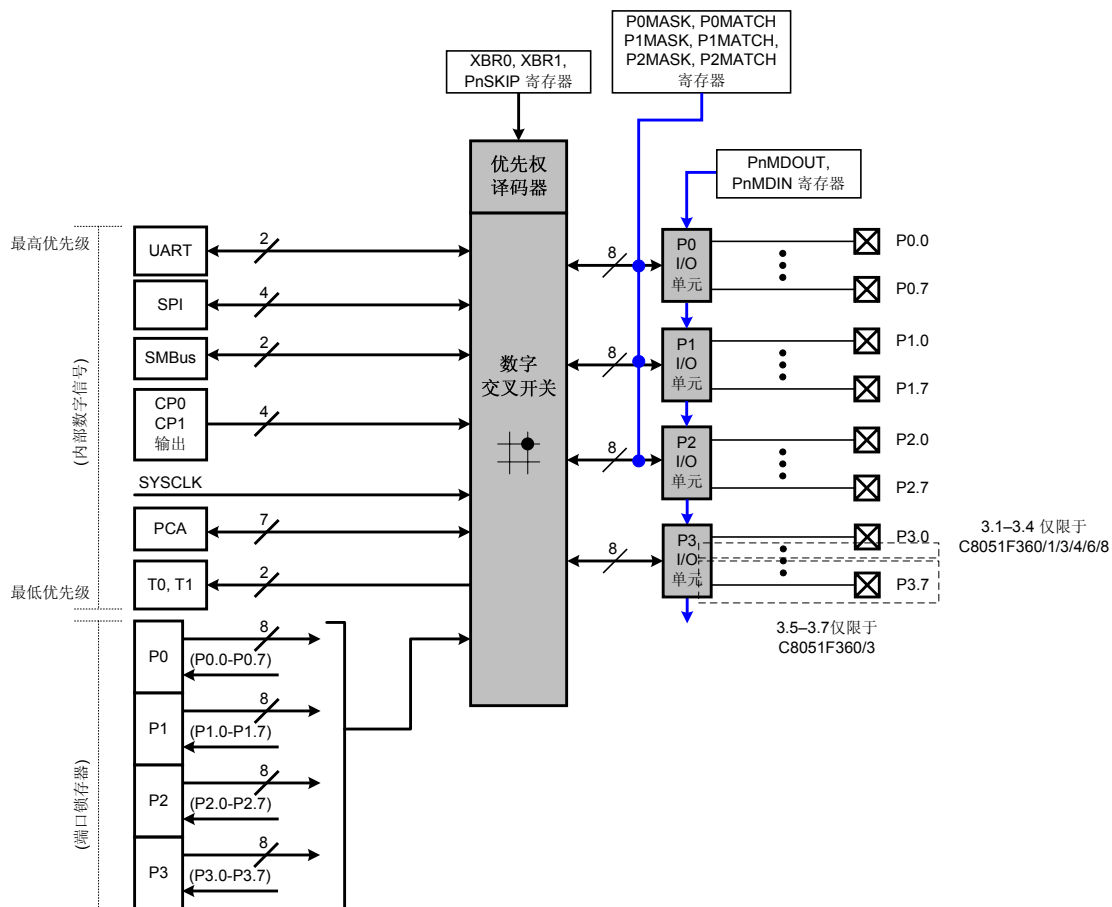


图 1.8 数字交叉开关原理框图（端口 0~3）

1.5 串行端口

C8051F36x系列MCU内部有一个SMBus/I²C接口、一个具有增强型波特率配置的全双工UART和一个增强型SPI接口。每种串行总线都完全用硬件实现，都能向CIP-51产生中断，因此需要很少的CPU干预。

1.6 可编程计数器阵列

除了4个16位的通用计数器/定时器之外，C8051F36x片内还包含一个计数器/定时器阵列（PCA）。PCA包括一个专用的16位计数器/定时器和6个可编程捕捉/比较模块。计数器/定时器由一个可编程的时基驱动，时基可以在下面的6个时钟源中选择：系统时钟/12、系统时钟/4、定时器0溢出、外部时钟输入（ECI）、系统时钟和外部振荡器时钟源/8。外部时钟源选择对实时时钟功能非常有用，在这种情况下由外部源给PCA提供时钟，而内部振荡器驱动系统时钟。

每个捕捉/比较模块都有六种独立的工作方式：边沿触发捕捉、软件定时器、高速输出、频率输出、8位或16位脉冲宽度调制器。此外，捕捉/比较模块5还可用作看门狗定时器（WDT）。在系统复位后，捕捉/比较模块5即被配置和使能为WDT方式。PCA捕捉/比较模块的I/O和外部时钟输入可以通过数字交叉开关连到端口I/O。

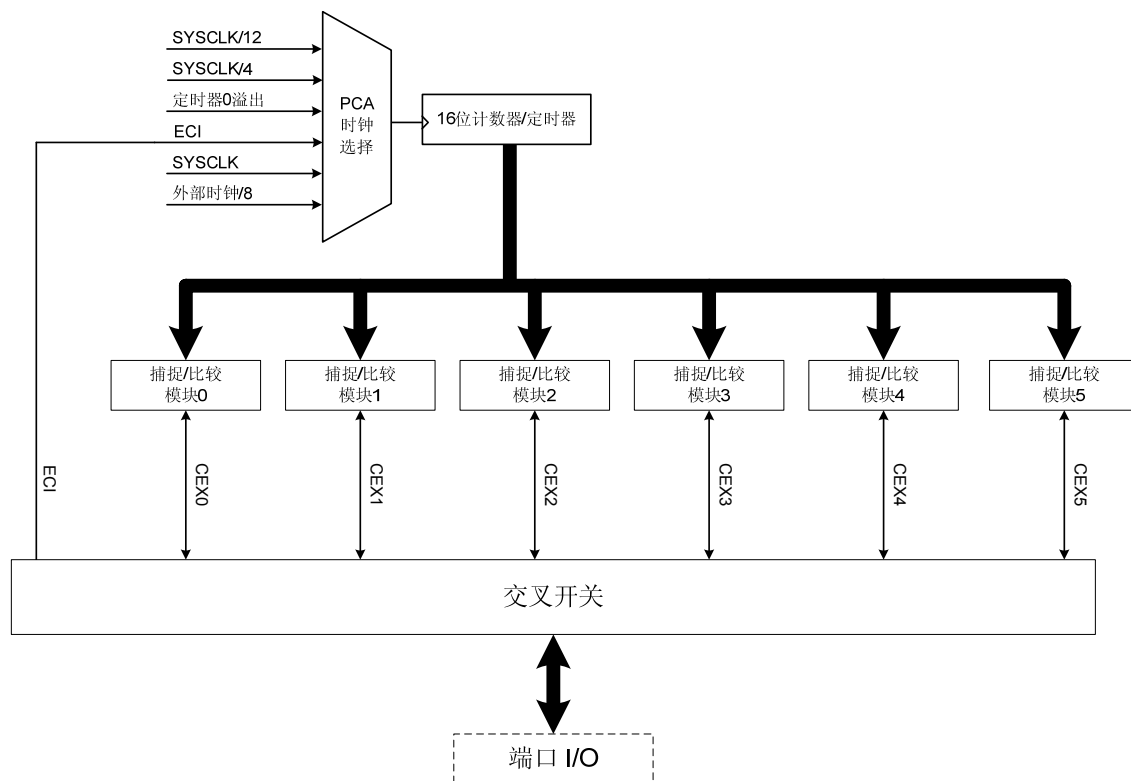


图1.10 PCA原理框图

1.7 10 位模/数转换器

C8051F360/1/2/6/7/8/9器件内部有一个10位SAR ADC和一个21通道差分输入多路选择器。该ADC的最大转换速率为200ksps，提供真正的10位线性度和 $\pm 1\text{LSB}$ 的INL和DNL。ADC系统包含一个可编程的模拟多路选择器，用于选择ADC的正输入和负输入。端口1~3可以作为ADC的输入；另外，片内温度传感器的输出和电源电压（VDD）也可以作为ADC的输入。用户固件可以将ADC置于关断状态以节省功耗。

A/D转换可以有6种启动方式：软件命令、定时器0、1、2、3溢出和外部转换启动信号（CNVSTR）。这种灵活性允许用软件事件、周期性信号（定时器溢出）或外部硬件信号触发转换。一个状态位指示转换完成并产生中断（如果被允许）。转换结束后，10位的结果数据字被锁存到ADC数据寄存器中。

ADC数据的窗口比较寄存器可被配置为当ADC数据位于一个规定的范围之内或之外时向控制器申请中断。ADC可以用后台方式连续监视一个关键电压，当转换数据位于规定的范围之内/外时才向控制器申请中断。

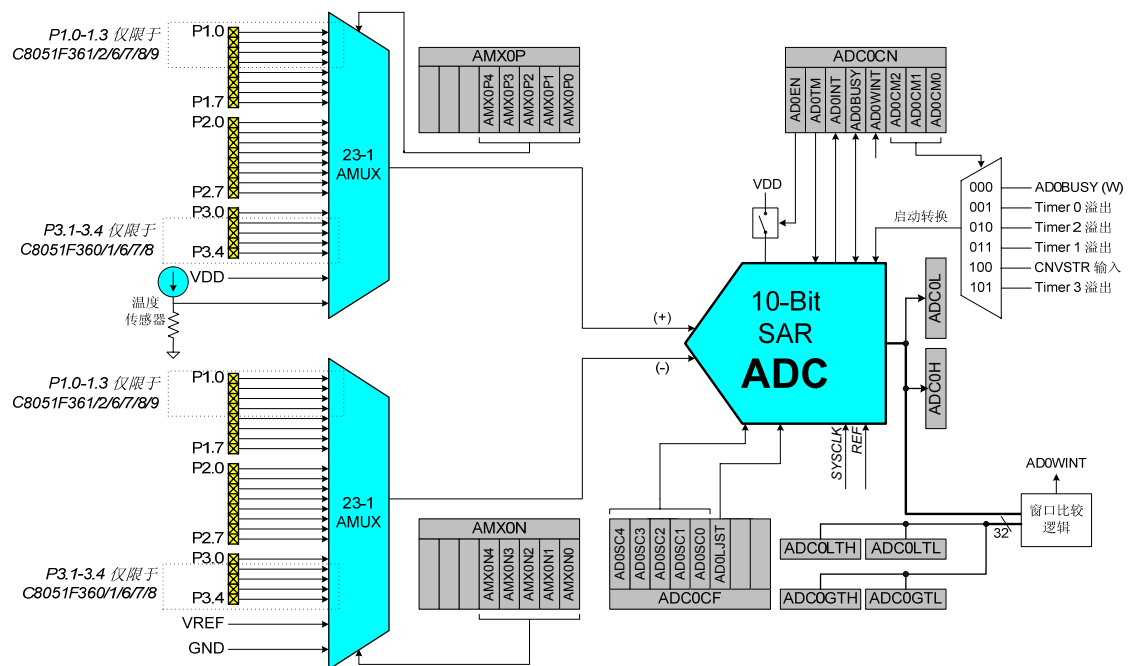


图1.11 10位ADC原理框图

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

1.8 比较器

C8051F36x器件内部有两个电压比较器，可由用户软件使能/禁止和配置。可以通过输入多路选择器将端口引脚配置为比较器输入。每个比较器都提供两个可连到端口引脚的输出：一个锁存输出和/或一个非锁存（异步）输出。比较器的响应时间是可编程的，允许用户在高速和低功耗模式之间选择。正向和负向回差电压也是可编程的。

比较器能在上升沿、下降沿产生中断，或在两个边沿都产生中断。当处理器工作在空闲方式时，这些中断可用作“唤醒”源。比较器0还可以被配置为复位源。图1.12给出了比较器0的原理框图，图1.13给出了比较器1的原理框图。

注意：图1.12和图1.13中示出的第一组选择端口I/O引脚针对48脚器件（C8051F360/3）。第二组端口I/O引脚针对32脚和28脚器件（C8051F361/2/4/5/6/7/8/9）。更多的信息请参见CPTnMX寄存器（SFR定义8.2和SFR定义8.5）。

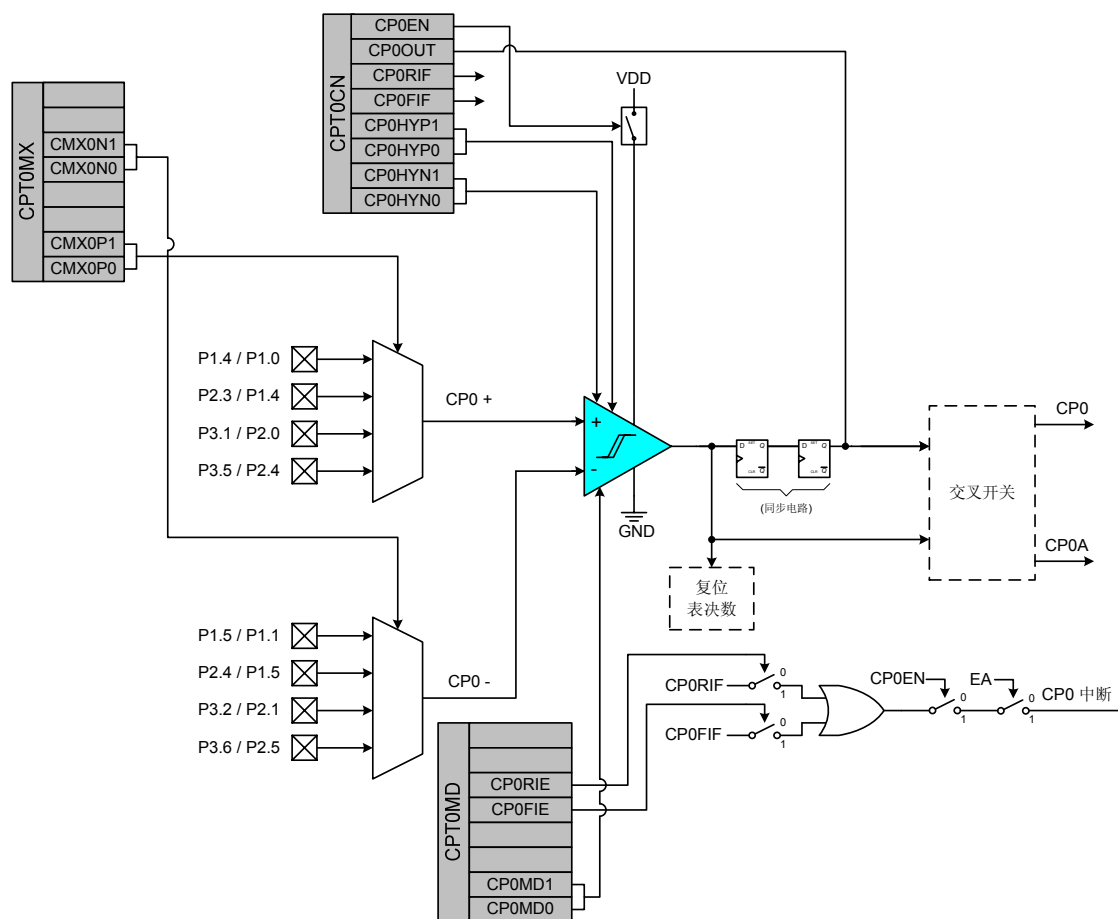


图1.12 比较器0原理框图

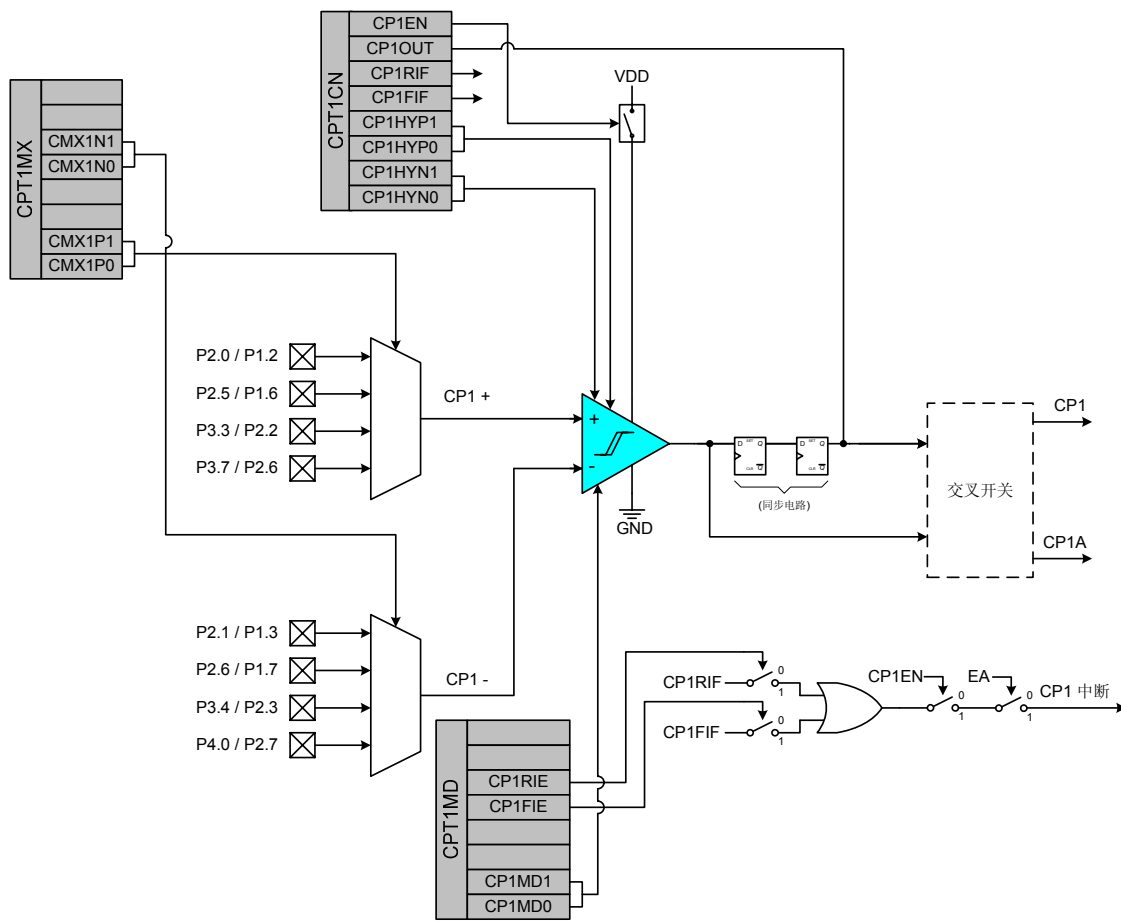


图1.13 比较器1原理框图

1.9 10 位电流输出 DAC

C8051F360/1/2/6/7/8/9内部有一个10位电流方式数/模转换器（IDA0）。IDA0的最大输出电流可以有3种不同的设置：0.5mA、1mA和2mA。IDA0具有灵活的输出更新机制，允许无缝满度变化，支持无抖动波形更新。IDA0提供三种更新方式，允许IDA0输出在写IDA0H、定时器溢出或外部引脚边沿到来是更新。图1.14给出了IDA0的功能框图。

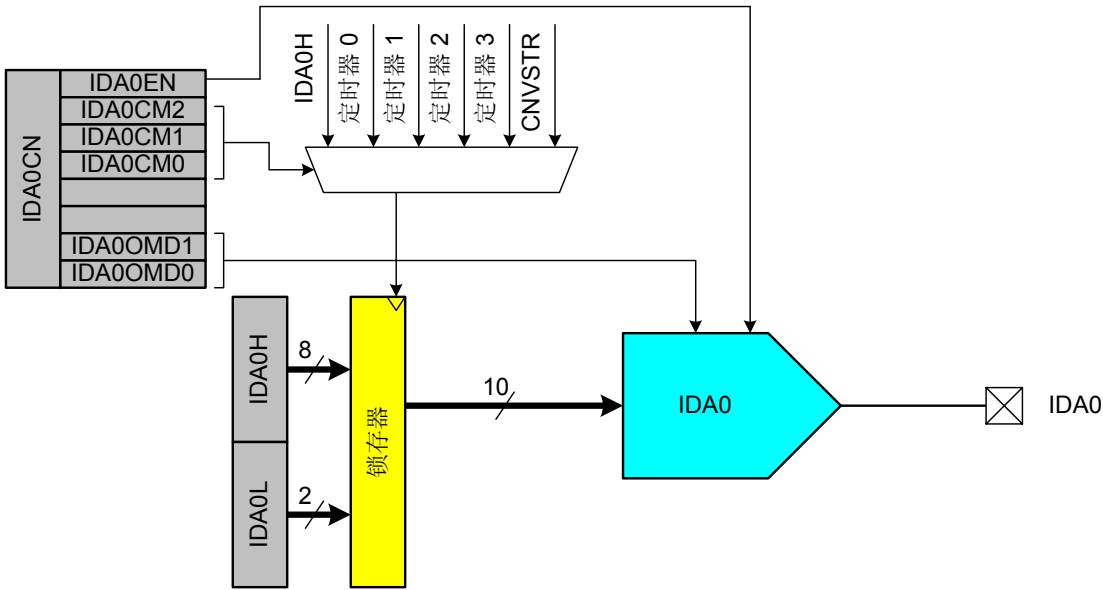


图1.14 IDA0功能框图

2. 极限参数

表 2.1 极限参数*

参 数	条 件	最小值	典型值	最大值	单位
环境温度（通电情况下）		-55	—	125	℃
储存温度		-65	—	150	℃
任何端口I/O引脚或/RST相对GND的电压		-0.3	—	5.8	V
V _{DD} 引脚相对GND的电压		-0.3	—	4.2	V
通过V _{DD} 和GND的最大总电流		—	—	500	mA
/RST或任何端口引脚的最大输出灌电流		—	—	100	mA
*注：超过这些列出的“极限参数”可能导致器件永久性损坏。长时间在最大允许值或超过最大允许值的条件下工作可能影响器件的可靠性。					

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

3. 总体直流电气特性

表 3.1 总体直流电气特性

-40℃到+85℃，25MHz 系统时钟（除非特别说明）。

参 数	条 件	最小值	典型值	最大值	单 位
数字电源电压	SYSCLK = 0 ~ 50 MHz SYSCLK > 50 MHz	2.7 3.0	3.0 3.3	3.6 3.6	V
RAM数据保持电源电压		—	1.5	—	V
SYSCLK（系统时钟） ^{1,2}	C8051F360/1/2/3/4/5 C8051F366/7/8/9	0 0	— —	100 50	MHz MHz
额定工作温度范围		-40	—	+85	℃
数字电源电流——CPU 活动（正常方式，从 FLASH 中取指令）					
I _{DD} ²	VDD = 3.6V, F = 100 MHz	—	68	75	mA
	VDD = 3.6V, F = 25 MHz	—	21	25	mA
	VDD = 3.0V, F = 100 MHz	—	54	60	mA
	VDD = 3.0V, F = 25 MHz	—	16	18	mA
	VDD = 3.0V, F = 1 MHz	—	0.48	—	mA
	VDD = 3.0V, F = 80 KHz	—	36	—	μA
I _{DD} 电源敏感度 ³	F=25MHz	—	56	—	%/V
	F= 1MHz	—	57	—	%/V
I _{DD} 频率敏感度 ^{3,4}	VDD = 3.0V, F<= 20 MHz, T = 25℃	—	0.45	—	mA/MHz
	VDD = 3.0V, F> 20 MHz, T = 25℃	—	0.38	—	mA/MHz
	VDD = 3.6V, F<= 20 MHz, T = 25℃	—	0.61	—	mA/MHz
	VDD = 3.6V, F> 20 MHz, T = 25℃	—	0.51	—	mA/MHz
数字电源电流——CPU 不活动（空闲方式，不从 FLASH 中取指令）					
I _{DD} ²	VDD = 3.6V, F = 100 MHz	—	36	40	mA
	VDD = 3.6V, F = 25 MHz	—	9	12	mA
	VDD = 3.0V, F = 100 MHz	—	30	35	mA
	VDD = 3.0V, F = 25 MHz	—	7	9	mA
	VDD = 3.0V, F = 1 MHz	—	0.24	—	mA
	VDD = 3.0V, F = 80 KHz	—	19	—	μA
I _{DD} 电源敏感度 ³	F=25MHz	—	44	—	%/V
	F= 1MHz	—	43.7	—	%/V
I _{DD} 频率敏感度 ^{3,5}	VDD = 3.0V, F<= 1 MHz, T = 25℃	—	0.24	—	mA/MHz
	VDD = 3.0V, F> 1 MHz, T = 25℃	—	0.25	—	mA/MHz
	VDD = 3.6V, F<= 1 MHz, T = 25℃	—	0.31	—	mA/MHz
	VDD = 3.6V, F> 1 MHz, T = 25℃	—	0.32	—	mA/MHz
数字电源电流— 停机方式 （shutdown）	振荡器不运行，VDD 监视器禁止	—	<0.1	—	μA
注： 1. 为能使用调试功能，SYSCLK 至少应为 32kHz。 2. SYSCLK 是内部时钟。若要求工作速度大于 30MHz，SYSCLK 必须源自锁相环（PLL）。 3. 基于器件特性数据，非产品测试结果。 4. 在频率≤20MHz 时，可以简单地用频率乘以该范围的频率敏感度来估算电源电流 I _{DD} 。当使用频率敏感度估算 SYSCLK>20MHz 的 I _{DD} 时，估算值应为 25MHz 时的电流减去由频率敏感度决定的电流差值。例如，VDD = 3.0V，F =20MHz，则 I _{DD} =15.9mA- (25MHz-20MHz) ×0.38 mA/MHz = 14mA。 5. 在频率≤1MHz 时，空闲 I _{DD} 可以简单地用频率乘以该范围的频率敏感度来估算。当使用频率敏感度估算 F>1MHz 的空闲 I _{DD} 时，估算值应为 25MHz 时的电流减去由频率敏感度决定的电流差值。例如，VDD = 3.0V，F =5MHz，则空闲 I _{DD} = 7.2mA- (25MHz-5MHz) ×0.25 mA/MHz = 2.2 mA。					

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

其它电气特性表可以在与外设相关的章节找到，有关某一具体外设的电气特性，请参见表 3.2 中列出的页码。

表 3.2 电气特性表索引

外设电气特性	页号（原文）
ADC0 电气特性	62
IDAC 电气特性	66
电压基准电气特性	69
比较器电气特性	79
复位源电气特性	134
FLASH 电气特性	144
内部高频振荡器电气特性	171
内部低频振荡器电气特性	172
PLL 频率特性	182
端口 I/O 直流电气特性	201

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

4. 引脚和封装定义

表 4.1 C8051F36x 引脚定义

引脚名称	引脚号 F360/3 (48 脚)	引脚号 F361/4/6/8 (32 脚)	引脚号 F362/5/7/9 (28 脚)	引脚类型	说 明
V _{DD}	19, 31, 43	4	4		电源电压。
GND	18, 30, 42	3	3		地。
AGND	6	—	—		模拟地。
AV+	7	—	—		模拟电源电压。必须接 2.7~3.6V。
/RST/ C2CK	8	5	5	数字 I/O 数字 I/O	器件复位。内部上电复位或 VDD 监视器的漏极开路输出。一个外部源可以通过将该引脚驱动为低电平(至少 10μs)来启动一次系统复位。 C2 调试接口的时钟信号。
P4.6/ C2D	9	—	—	数字 I/O 或 模拟输入 数字 I/O	端口 P4.6 C2 调试接口的双向数据信号。
P3.0/ C2D	—	6	6	数字 I/O 或 模拟输入 数字 I/O	端口 P3.0 C2 调试接口的双向数据信号。
P0.0	5	2	2	数字 I/O 或 模拟输入	端口 P0.0
P0.1	4	1	1	数字 I/O 或 模拟输入	端口 P0.1
P0.2	3	32	28	数字 I/O 或 模拟输入	端口 P0.2
P0.3	2	31	27	数字 I/O 或 模拟输入	端口 P0.3
P0.4	1	30	26	数字 I/O 或 模拟输入	端口 P0.4
P0.5	48	29	25	数字 I/O 或 模拟输入	端口 P0.5
P0.6	47	28	24	数字 I/O 或 模拟输入	端口 P0.6
P0.7	46	27	23	数字 I/O 或 模拟输入	端口 P0.7
P1.0	45	26	22	数字 I/O 或 模拟输入	端口 P1.0
P1.1	44	25	21	数字 I/O 或 模拟输入	端口 P1.1
P1.2	41	24	20	数字 I/O 或 模拟输入	端口 P1.2

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 4.1 C8051F36x 引脚定义（续）

引脚名称	引脚号 F360/3 (48 脚)	引脚号 F361/4/6/8 (32 脚)	引脚号 F362/5/7/9 (28 脚)	引脚类型	说 明
P1.3	40	23	19	数字 I/O 或 模拟输入	端口 P1.3
P1.4	39	22	18	数字 I/O 或 模拟输入	端口 P1.4
P1.5	38	21	17	数字 I/O 或 模拟输入	端口 P1.5
P1.6	37	20	16	数字 I/O 或 模拟输入	端口 P1.6
P1.7	36	19	15	数字 I/O 或 模拟输入	端口 P1.7
P2.0	35	18	14	数字 I/O 或 模拟输入	端口 P2.0
P2.1	34	17	13	数字 I/O 或 模拟输入	端口 P2.1
P2.2	33	16	12	数字 I/O 或 模拟输入	端口 P2.2
P2.3	32	15	11	数字 I/O 或 模拟输入	端口 P2.3
P2.4	29	14	10	数字 I/O 或 模拟输入	端口 P2.4
P2.5	28	13	9	数字 I/O 或 模拟输入	端口 P2.5
P2.6	27	12	8	数字 I/O 或 模拟输入	端口 P2.6
P2.7	26	11	7	数字 I/O 或 模拟输入	端口 P2.7
P3.0	25	—	—	数字 I/O 或 模拟输入	端口 P3.0
P3.1	24	7	—	数字 I/O 或 模拟输入	端口 P3.1
P3.2	23	8	—	数字 I/O 或 模拟输入	端口 P3.2
P3.3	22	9	—	数字 I/O 或 模拟输入	端口 P3.3
P3.4	21	10	—	数字 I/O 或 模拟输入	端口 P3.4
P3.5	20	—	—	数字 I/O 或 模拟输入	端口 P3.5
P3.6	17	—	—	数字 I/O 或 模拟输入	端口 P3.6
P3.7	16	—	—	数字 I/O 或 模拟输入	端口 P3.7
P4.0	15	—	—	数字 I/O 或 模拟输入	端口 P4.0

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 4.1 C8051F36x 引脚定义（续）

引脚名称	引脚号 F360/3 (48 脚)	引脚号 F361/4/6/8 (32 脚)	引脚号 F362/5/7/9 (28 脚)	引脚类型	说 明
P4.1	14	—	—	数字 I/O	端口 P4.1
P4.2	13	—	—	数字 I/O	端口 P4.2
P4.3	12	—	—	数字 I/O	端口 P4.3
P4.4	11	—	—	数字 I/O	端口 P4.4
P4.5	10	—	—	数字 I/O	端口 P4.5

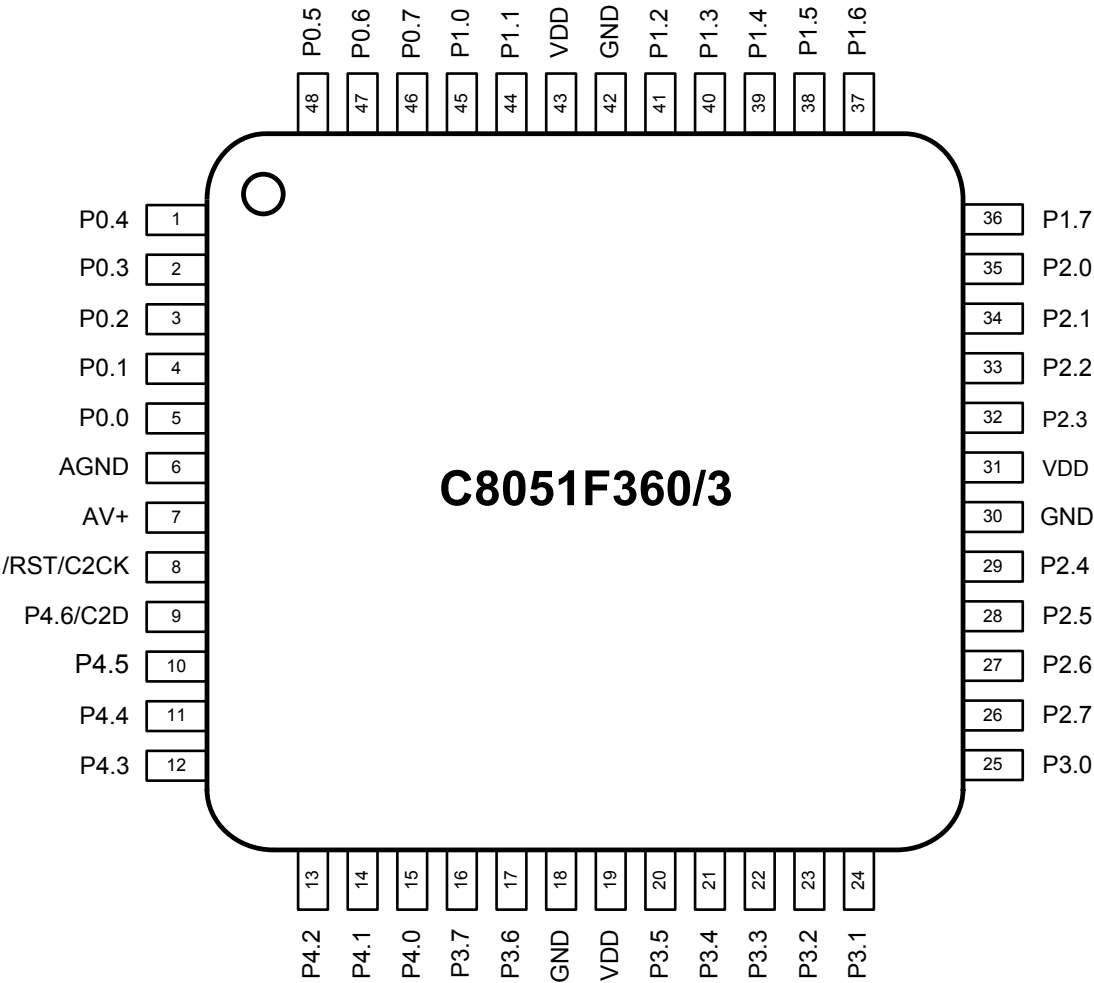


图 4.1 TQFP-48 引脚图（顶视图）

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

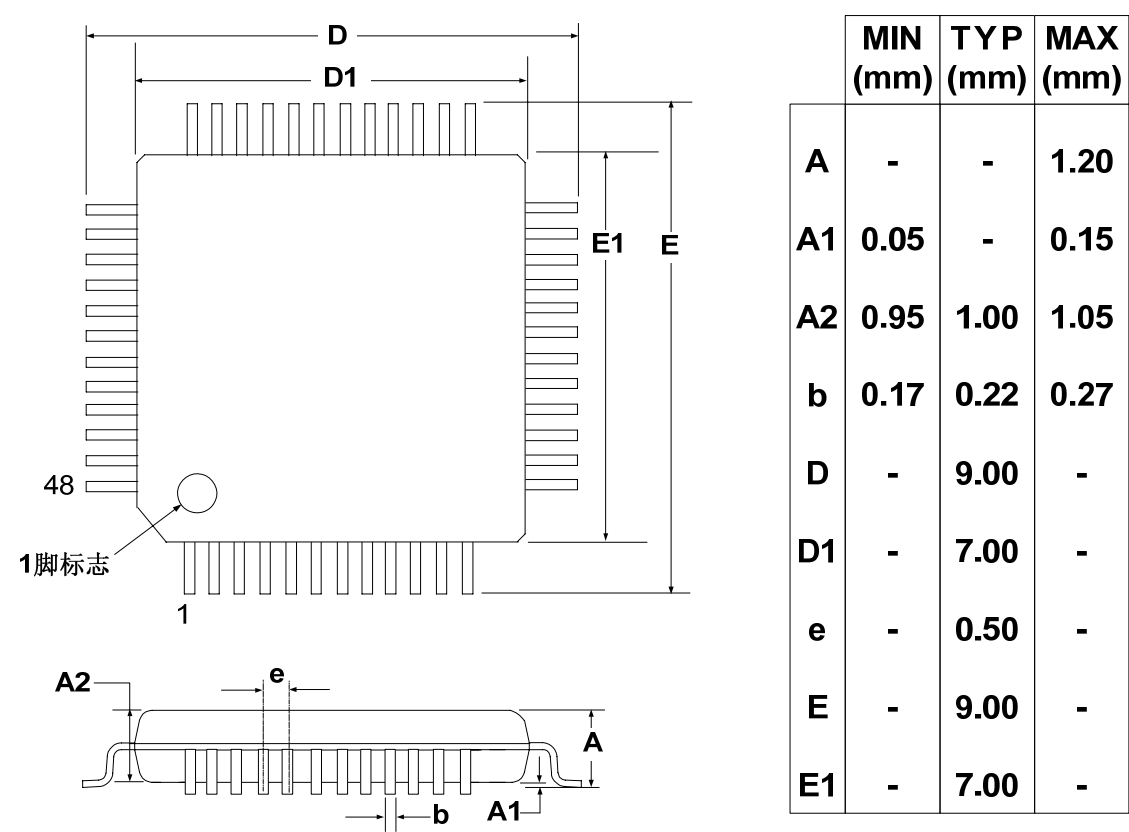


图 4.2 TQFP-48 封装图

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

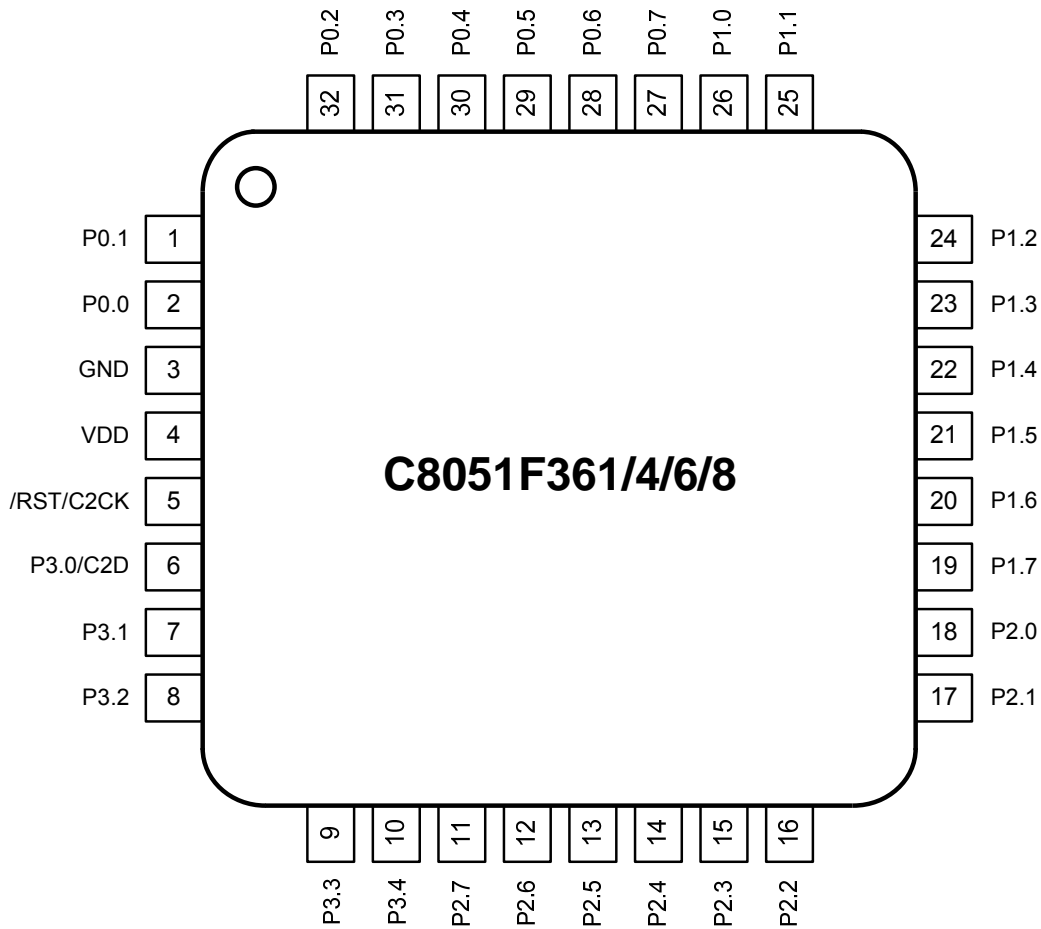


图 4.3 LQFP-32 引脚图（顶视图）

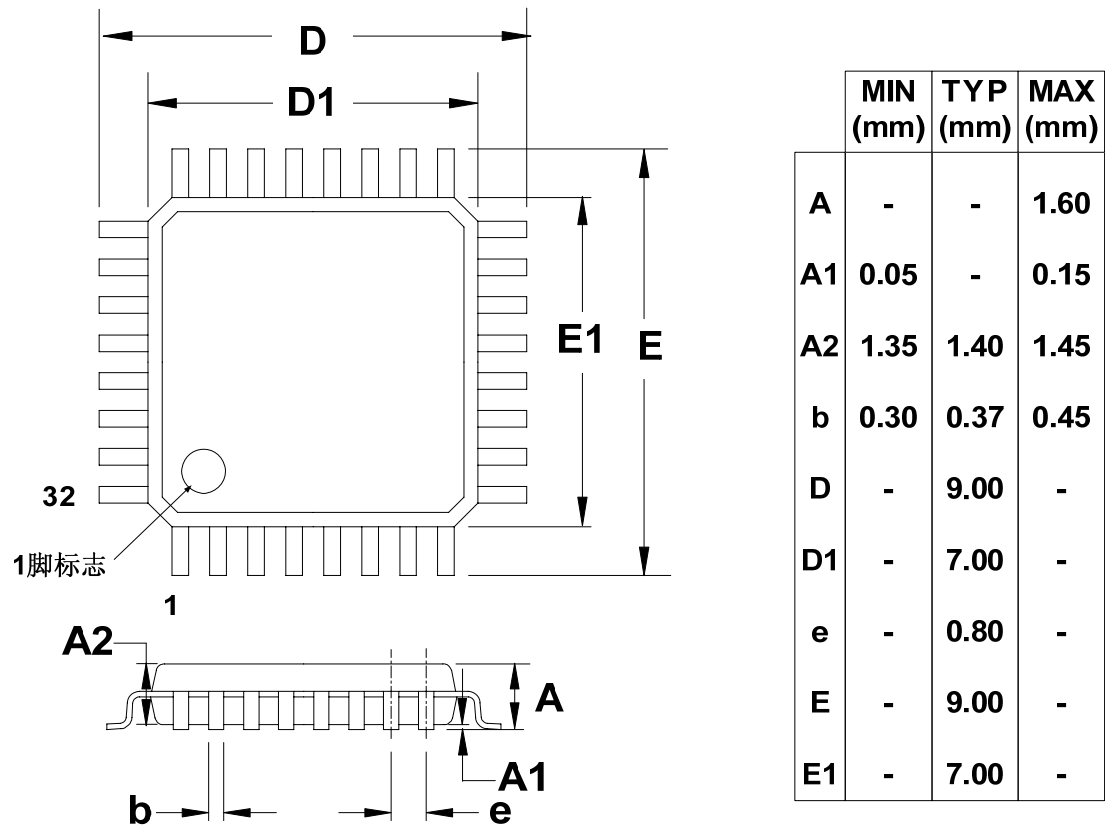


图 4.4 LQFP-32 封装图

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

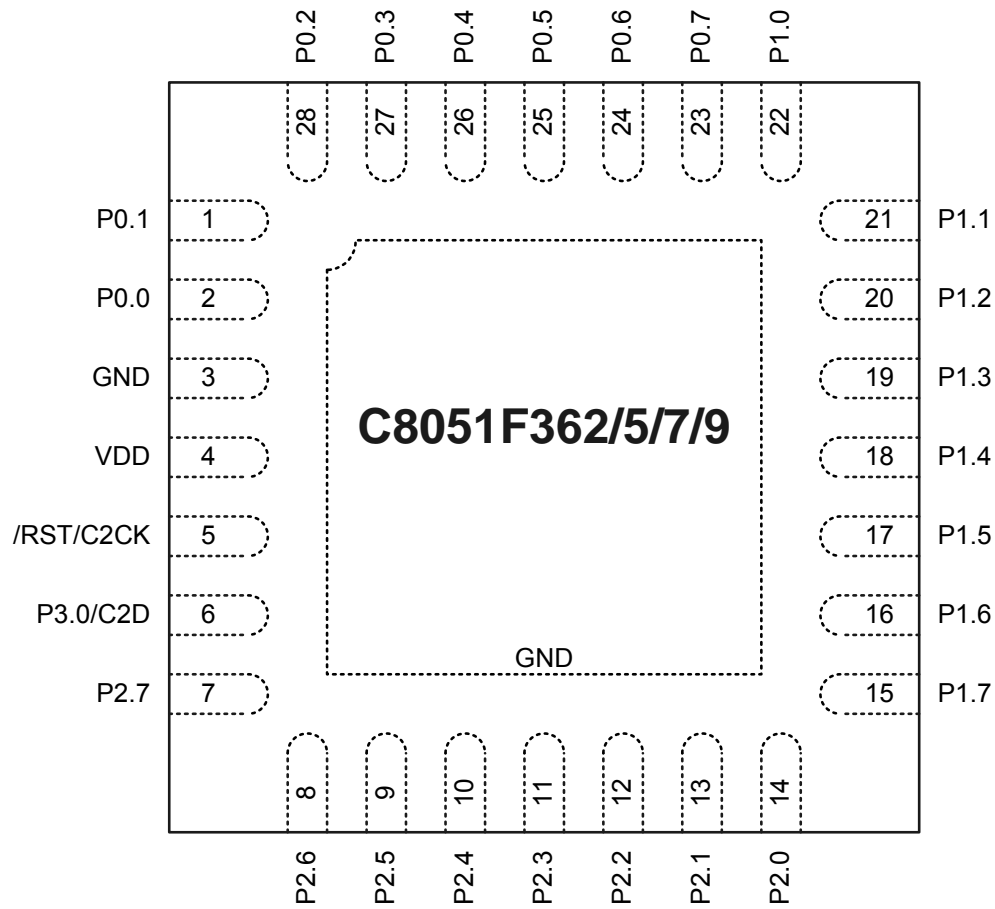


图 4.5 QFN-28 引脚图（顶视图）

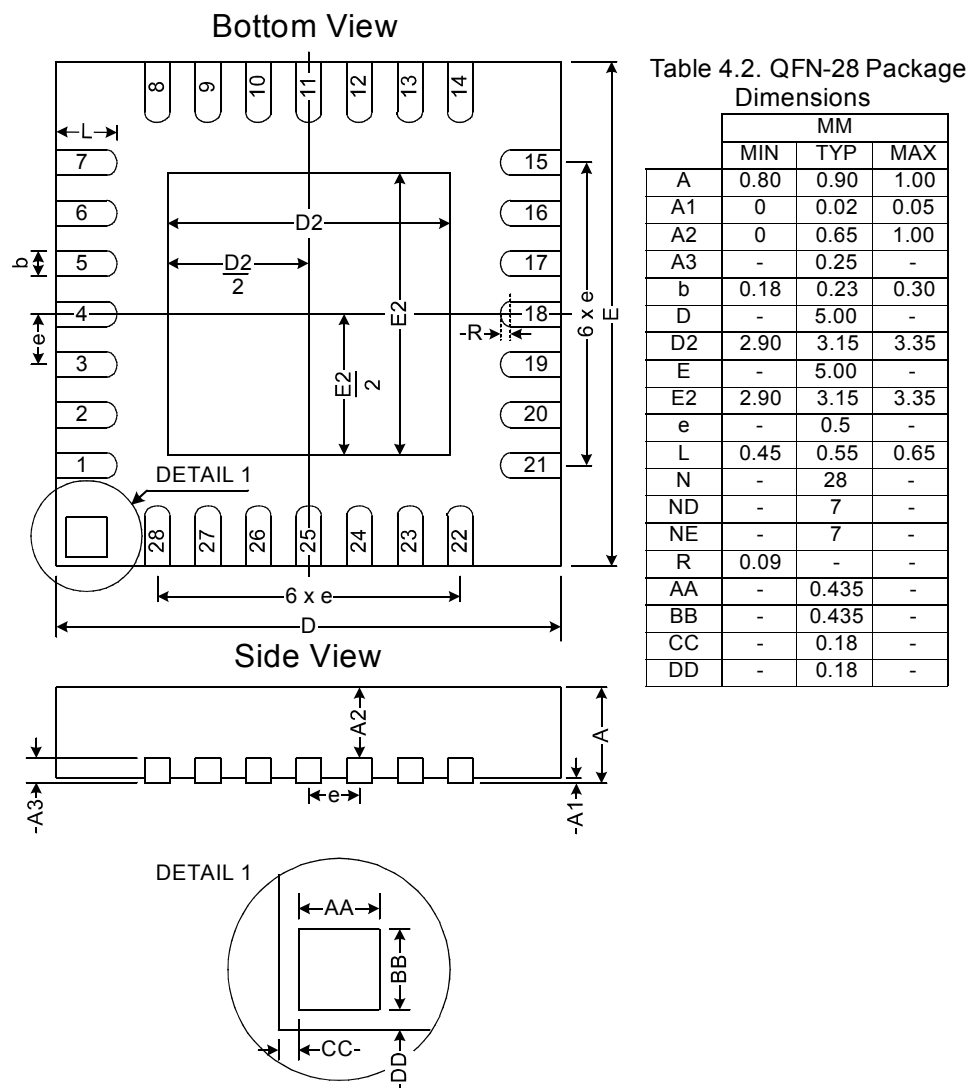


图 4.6 QFN-28 封装图

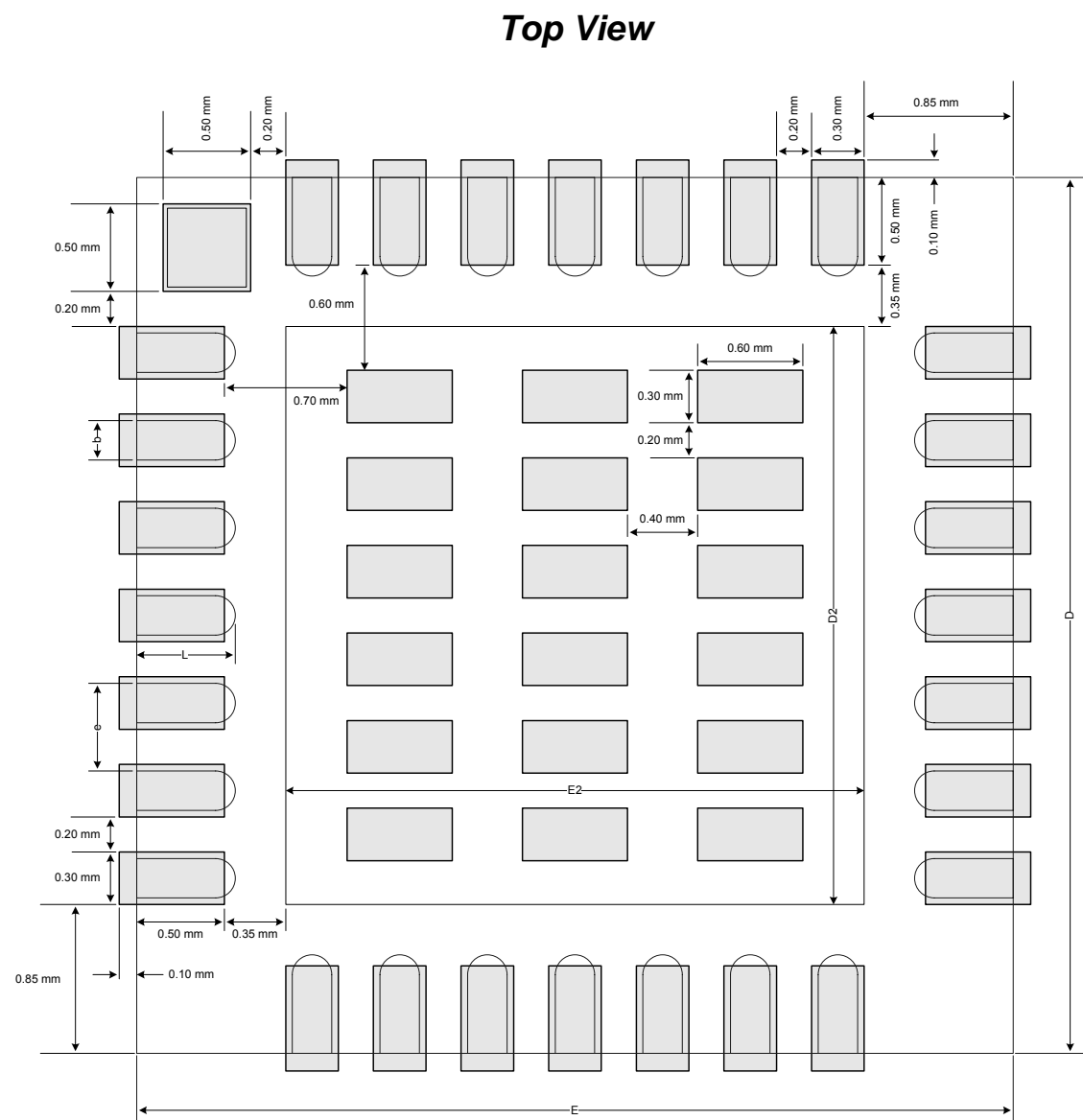


图 4.8 典型的 QFN-28 锡膏层

5. 10 位 ADC (ADC0)

C8051F360/1/2/6/7/8/9 的 ADC0 子系统集成了两个具有 23 个输入选择的模拟多路选择器（统称 AMUX0）和一个 200ksps 的 10 位逐次逼近寄存器型 ADC，ADC 中集成了跟踪保持电路和可编程窗口检测器。AMUX0、数据转换方式及窗口检测器都可用软件通过特殊功能寄存器来配置（见框图 5.1）。ADC0 可以工作在单端方式和差分方式，可以被配置为用于测量 P1.0 ~ P3.4（有这些引脚时）、温度传感器输出或 VDD 相对于 P1.0 ~ P3.4、VREF 或 GND 的电压值。只有当 ADC0 控制寄存器（ADC0CN）中的 AD0EN 位被置 1 时，ADC0 子系统才被使能。当 AD0EN 位为 0 时，ADC0 子系统处于低功耗关断方式。

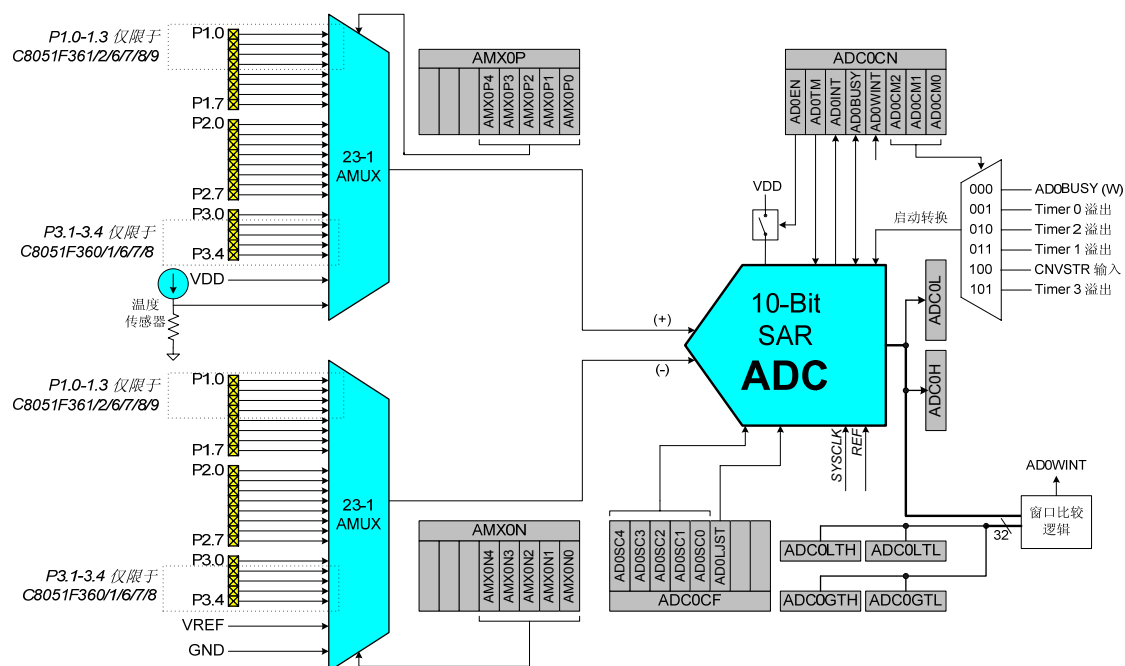


图 5.1 ADC0 功能框图

5.1 模拟多路选择器

模拟多路选择器（AMUX0）选择 ADC 的正输入和负输入。AMUX0 端口 I/O 输入、片内温度传感器和正电源（VDD）中的任何一个都可以被选择为正输入；AMUX0 端口 I/O 输入、VREF 和 GND 中的任何一个都可以被选择为负输入。当 GND 被选择为负输入时，ADC0 工作在单端方式；在所有其它时间，ADC0 工作在差分方式。ADC0 的输入通道由寄存器 AMX0P 和 AMX0N 选择（见 SFR 定义 5.1 和 SFR 定义 5.2）。

转换码的格式在单端方式和差分方式下是不同的。每次转换结束后，寄存器 ADC0H 和 ADC0L 中保存 ADC 转换结果的高字节和低字节。转换数据在寄存器对 ADC0H:ADC0L 中的存储方式可以是左对齐或右对齐，由 AD0LJST 位（ADC0CN.0）的设置决定。当工作在单端方式时，转化码为 10 位无符号整数，所测量的输入范围为 0 ~ VREF×1023/1024。下面是单端方式下数据左对齐和右对齐的例子。ADC0H 和 ADC0L 寄存器中未使用的位被设置为 ‘0’。

输入电压 (单端)	右对齐的 ADC0H:ADC0L (AD0LJST = 0)	左对齐的 ADC0H:ADC0L (AD0LJST = 1)
VREF×1023/1024	0x03FF	0xFFC0
VREF×512/1024	0x0200	0x8000
VREF×256/1024	0x0100	0x4000
0	0x0000	0x0000

当工作在差分方式时，转化码为 10 位有符号整数（2 的补码），所测量的输入范围为 -VREF ~ VREF×511/512。下面是差分方式下数据左对齐和右对齐的例子。对于右对齐数据，ADC0H 寄存器中未用的高位是数据字的符号扩展。对于左对齐数据，ADC0L 寄存器中未用的低位被清 0。

输入电压 (差分)	右对齐的 ADC0H:ADC0L (AD0LJST = 0)	左对齐的 ADC0H:ADC0L (AD0LJST = 1)
VREF×511/512	0x01FF	0x7FC0
VREF×256/512	0x0100	0x4000
0	0x0000	0x0000
-VREF×256/512	0xFF00	0xC000
-VREF	0xFE00	0x8000

关于 ADC0 输入配置的重要注意事项：被选择为 ADC0 输入的引脚应被配置为模拟输入，并且应被数字交叉开关跳过。要将一个端口引脚配置为模拟输入，应将 PnMDIN（n=0,1,2,3）寄存器中的对应位置 0。为了使交叉开关跳过一个端口引脚，应将 PnSKIP（n=0,1,2,3）寄存器中的对应位置 1。有关端口 I/O 配置的详细信息见“17. 端口输入/输出”。

5.2 温度传感器

温度传感器的典型传输函数示于图 5.2。当温度传感器被寄存器 AMX0P 中的 AMX0P4-0 位选中时，输出电压（V_{TEMP}）为 ADC 的正输入。

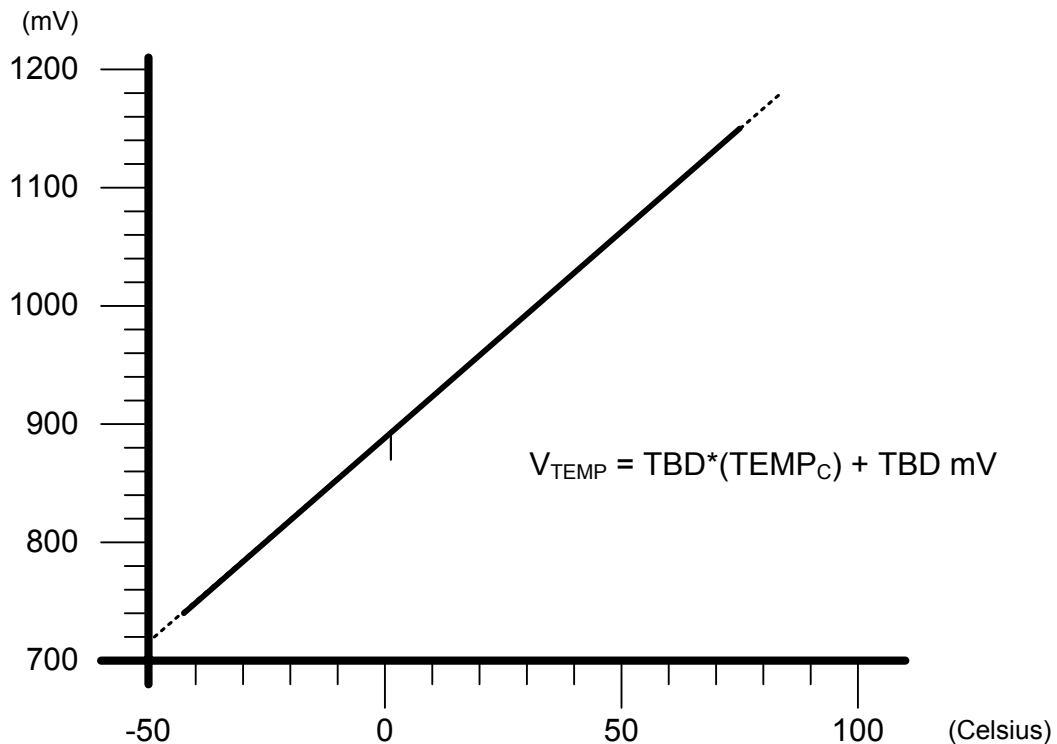


图 5.2 温度传感器典型传输函数

未经校准的温度传感器输出的线性度非常好，适合于相对温度测量（见表 5.1 的线性度指标）。对于绝对温度测量，建议对偏移和/或增益进行校准。典型的一点校准包括下面几个步骤：

1. 控制/测量环境温度（该温度必须是已知的）。
2. 给器件上电，等待几秒钟使器件自热。
3. 将温度传感器选择为正输入，将 GND 选择为负输入，进行一次 ADC 转换。
4. 计算偏移和/或增益特性值，并将这些计算值存入到非易失性存储器中，以备以后使用温度传感器进行温度测量时使用。

图 5.3 示出了典型的温度传感器误差曲线（假设在 25℃ 进行一点校准）。**注意：**影响 ADC 测量精度的参数，尤其是基准电压值，也同样会影响温度测量的精度。

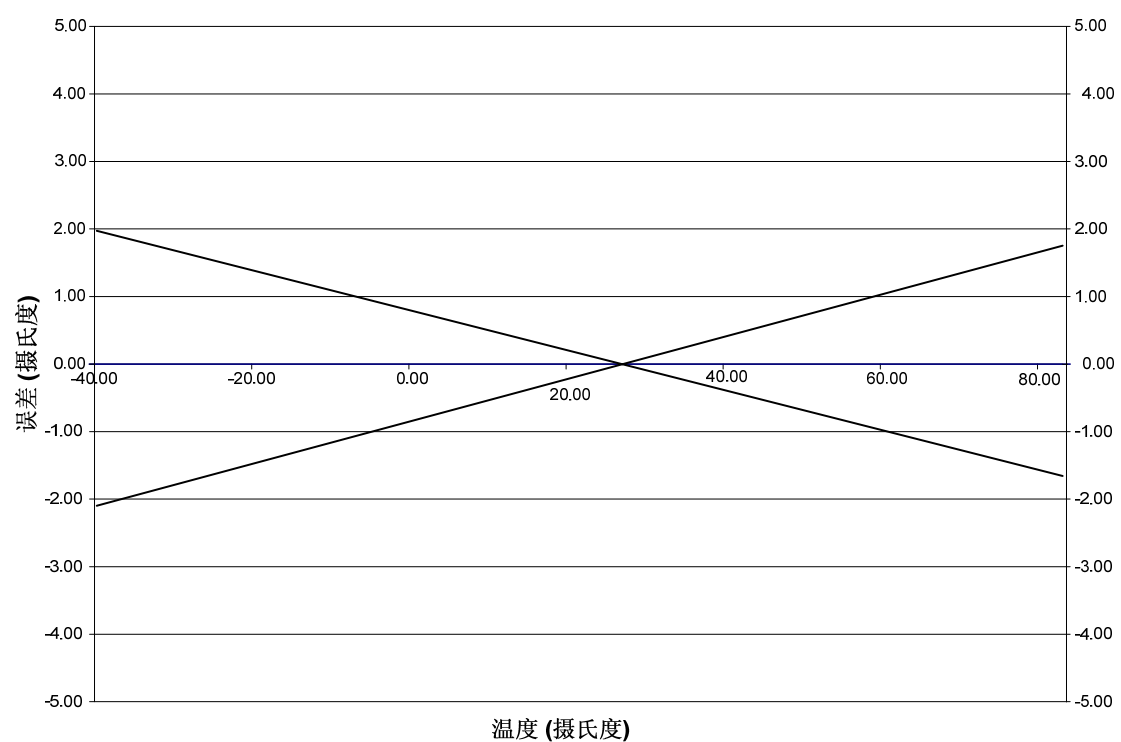


图 5.3 一点校准的温度传感器误差

5.3 工作方式

ADC0 的最高转换速度为 200kps。ADC0 的转换时钟由系统时钟分频得到，分频系数由 ADC0CF 寄存器的 AD0SC 位决定（转换时钟为系统时钟/（AD0SC+1）， $0 \leq \text{AD0SC} \leq 31$ ）。

5.3.1 转换启动方式

有 6 种 A/D 转换启动方式，由 ADC0CN 中的 ADC0 转换启动方式位（AD0CM2-0）的状态决定采用哪一种方式。转换触发源有：

1. 写‘1’到 ADC0CN 的 AD0BUSY 位；
2. 定时器 0 溢出（即定时的连续转换）；
3. 定时器 2 溢出；
4. 定时器 1 溢出；
5. CNVSTR 输入信号的上升沿；
6. 定时器 3 溢出。

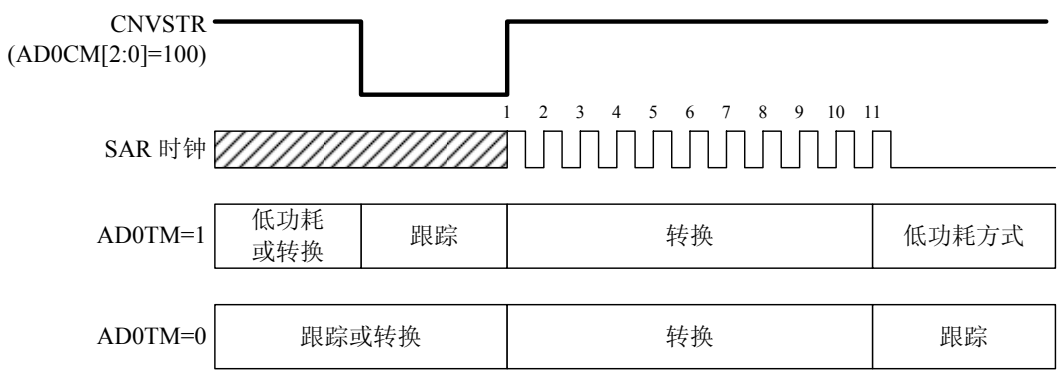
向 AD0BUSY 写‘1’方式提供了用软件控制 ADC0 转换的能力。AD0BUSY 位在转换期间被置‘1’，转换结束后复‘0’。AD0BUSY 位的下降沿触发中断（当被允许时）并置位 ADC0CN 中的中断标志（AD0INT）。注意：当工作在查询方式时，应使用 ADC0 中断标志（AD0INT）来查询 ADC 转换是否完成。当 AD0INT 位为逻辑‘1’时，ADC0 数据寄存器（ADC0H:ADC0L）中的转换结果有效。注意：当使用定时器 2 溢出或定时器 3 溢出作为转换源时，如果定时器 2 或定时器 3 工作在 8 位方式，使用定时器 2/3 的低字节溢出；如果定时器 2/3 工作在 16 位方式，则使用定时器 2/3 的高字节溢出。有关定时器配置方面的信息见“21. 定时器”。

关于使用 CNVSTR 的重要注意事项：CNVSTR 输入引脚在 C8051F360 中作为端口引脚 P0.7，在 C8051F361/2/6/7/8/9 中作为端口引脚 P0.6。当使用 CNVSTR 输入作为 ADC0 转换源时，相应的端口引脚应被数字交叉开关跳过。为使交叉开关跳过某个引脚，应将寄存器 PnSKIP 中的对应置‘1’。有关端口 I/O 配置的详细信息，见“17. 端口输入/输出”。

5.3.2 跟踪方式

根据表 5.1，每次 ADC0 转换之前都必须有一个最小的跟踪时间，以保证转换结果准确。寄存器 ADC0CN 中的 AD0TM 位控制 ADC0 的跟踪保持方式。在缺省状态，ADC0 输入被连续跟踪（转换期间除外）。当 AD0TM 位被置 ‘1’ 时，ADC0 工作在低功耗跟踪保持方式。在该方式，每次转换前有 3 个 SAR 时钟的跟踪时间（跟踪发生在转换启动信号有效之后）。在低功耗跟踪保持方式下使用 CNVSTR 信号作为转换启动源时，只在 CNVSTR 输入为低电平时跟踪；从 CNVSTR 的上升沿开始转换（见图 5.4）。当器件处于低功耗停机或休眠方式时，可以禁止跟踪。低功耗跟踪和保持方式在 AMUX 的设置经常改变时也是很有用的，因为 ADC 有建立时间要求（见“5.3.3 建立时间要求”）。

A. 使用外部触发源的ADC0时序



B. 使用内部触发源的ADC0时序

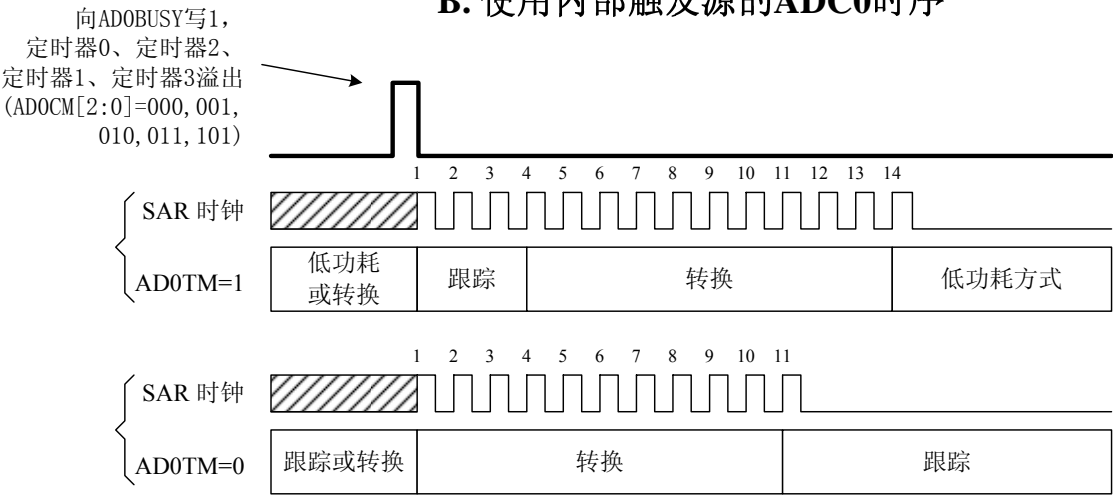


图 5.4 10 位 ADC0 跟踪和转换时序示例

5.3.3 建立时间要求

当 ADC0 输入配置发生改变时（即 AMUX0 的选择发生变化），在进行一次精确的转换之前需要有一个最小的跟踪时间。该跟踪时间由 AMUX0 的电阻、ADC0 采样电容、外部信号源阻抗及所要求的转换精度决定。注意：在低功耗跟踪方式，每次转换需要用三个 SAR 时钟跟踪。对于大多数应用，三个 SAR 时钟可以满足最小跟踪时间的要求。

图 5.5 给出了单端和差分方式下等效的 ADC0 输入电路，这两种电路的时间常数相等。对于一个给定的建立精度（SA），所需要的 ADC0 建立时间可以用方程 5.1 估算。当测量温度传感器的输出或 VDD（相对于 GND）时， R_{TOTAL} 减小为 R_{MUX} 。表 5.1 给出了 ADC0 的最小建立时间要求。

方程 5.1 ADC0 建立时间要求

$$t = \ln\left(\frac{2^n}{SA}\right) \times R_{TOTAL} C_{SAMPLE}$$

其中：

- SA 是建立精度，用一个 LSB 的分数表示（例如，建立精度 0.25 对应 1/4 LSB）；
- t 为所需要的建立时间，以秒为单位；
- R_{TOTAL} 为 AMUX0 电阻与外部信号源电阻之和；
- n 为 ADC 的分辨率，用比特表示（10）。

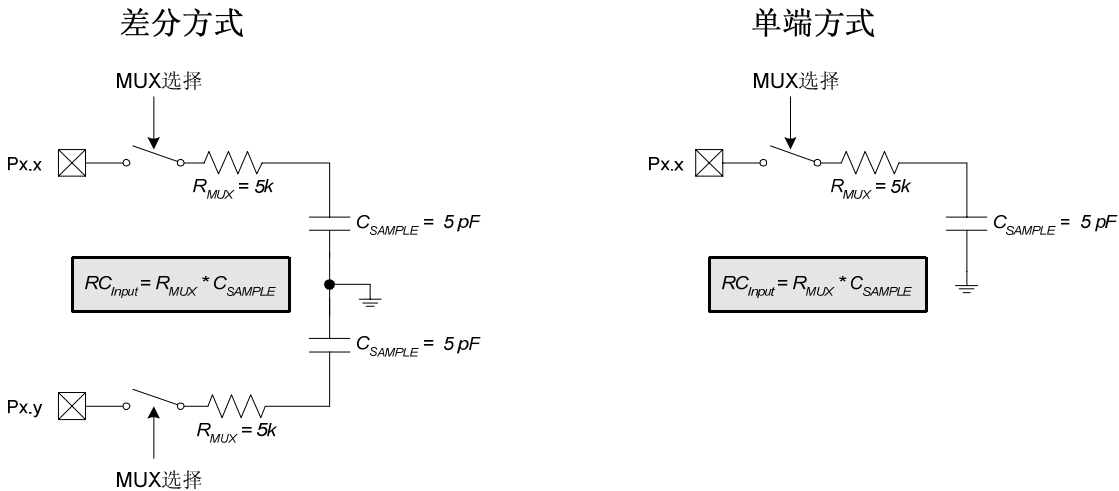


图 5.5 ADC0 等效输入电路

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 5.1 AMX0P: AMUX0 正输入通道选择寄存器

SFR 页: 所有页
SFR 地址: 0xBB

R	R	R	R/W	R/W	R/W	R/W	R/W	复位值
-	-	-	AMX0P4	AMX0P3	AMX0P2	AMX0P1	AMX0P0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-5: 未使用。读=000b, 写=忽略。
位 4-0: AMX0P4-0: AMUX0 正输入选择

AMX0P4-0	ADC0 正输入
00000 ⁽¹⁾	P1.0 ⁽¹⁾
00001 ⁽¹⁾	P1.1 ⁽¹⁾
00010 ⁽¹⁾	P1.2 ⁽¹⁾
00011 ⁽¹⁾	P1.3 ⁽¹⁾
00100	P1.4
00101	P1.5
00110	P1.6
00111	P1.7
01000	P2.0
01001	P2.1
01010	P2.2
01011	P2.3
01100	P2.4
01101	P2.5
01110	P2.6
01111	P2.7
10000	P3.0
10001 ⁽²⁾	P3.1 ⁽²⁾
10010 ⁽²⁾	P3.2 ⁽²⁾
10011 ⁽²⁾	P3.3 ⁽²⁾
10100 ⁽²⁾	P3.4 ⁽²⁾
10101~11101	保留
11110	温度传感器
11111	VDD

注:
1. 只适用于 C8051F361/2/6/7/8/9 (32 脚和 28 脚); 这些选择在 C8051F360 (48 脚) 中保留。
2. 只适用于 C8051F360/1/6/8 (48 脚和 32 脚); 这些选择在 C8051F362/7/9 (28 脚) 中保留。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 5.2 AMX0N: AMUX0 负输入通道选择寄存器

SFR 页: 所有页
SFR 地址: 0xBA

R	R	R	R/W	R/W	R/W	R/W	R/W	复位值
-	-	-	AMX0N4	AMX0N3	AMX0N2	AMX0N1	AMX0N0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-5: 未使用。读=000b, 写=忽略。
位 4-0: AMX0N4-0: AMUX0 负输入选择
当 GND 被选择为负输入时, ADC0 工作在单端方式。对于所有其它负输入选择, ADC0 工作在差分方式。

AMX0N4-0	ADC0 负输入
00000 ⁽¹⁾	P1.0 ⁽¹⁾
00001 ⁽¹⁾	P1.1 ⁽¹⁾
00010 ⁽¹⁾	P1.2 ⁽¹⁾
00011 ⁽¹⁾	P1.3 ⁽¹⁾
00100	P1.4
00101	P1.5
00110	P1.6
00111	P1.7
01000	P2.0
01001	P2.1
01010	P2.2
01011	P2.3
01100	P2.4
01101	P2.5
01110	P2.6
01111	P2.7
10000	P3.0
10001 ⁽²⁾	P3.1 ⁽²⁾
10010 ⁽²⁾	P3.2 ⁽²⁾
10011 ⁽²⁾	P3.3 ⁽²⁾
10100 ⁽²⁾	P3.4 ⁽²⁾
10101~11101	保留
11110	温度传感器
11111	VDD

注:

- 只适用于 C8051F361/2/6/7/8/9 (32 脚和 28 脚); 这些选择在 C8051F360 (48 脚) 中保留。
- 只适用于 C8051F360/1/6/8 (48 脚和 32 脚); 这些选择在 C8051F362/7/9 (28 脚) 中保留。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 5.3 ADC0CF: ADC0 配置寄存器

SFR 页: 所有页

SFR 地址: 0xBC

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
AD0SC4	AD0SC3	AD0SC2	AD0SC1	AD0SC0	AD0LJST	-	-	11111000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-3: AD0SC4-0: ADC0 SAR 转换时钟周期控制位

SAR 转换时钟来源于系统时钟, 由下面的方程给出, 其中 $AD0SC$ 表示 AD0SC4-0 中保存的 5 位数值。对 SAR 转换时钟频率的要求见表 5.1。

$$AD0SC = \frac{SYSCLK}{CLK_{SAR}} - 1$$

位 2 AD0LJST: ADC0 左对齐选择位。

0: ADC0H:ADC0L 中的数据为右对齐。

1: ADC0H:ADC0L 中的数据为左对齐。

位 1-0: 未使用。读=00b, 写=忽略。

SFR 定义 5.4 ADC0H: ADC0 数据字高字节寄存器

SFR 页: 所有页

SFR 地址: 0xBE

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: ADC0 数据字高字节。

AD0LJST = 0 时: 位 7~2 为位 1 的符号扩展位, 位 1~0 为 10 位 ADC0 数据的高 2 位。

AD0LJST = 1 时: 位 7~0 是 10 位 ADC0 数据的高 8 位。

SFR 定义 5.5 ADC0L: ADC0 数据字低字节寄存器

SFR 页: 所有页

SFR 地址: 0xBD

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: ADC0 数据字低字节。

AD0LJST = 0 时: 位 7~0 是 10 位 ADC0 数据的低 8 位。

AD0LJST = 1 时: 位 7~6 是 10 位 ADC0 数据的低 2 位, 位 5~0 的读出值总是为 0。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 5.6 ADC0CN: ADC0 控制寄存器

SFR 页: 所有页

SFR 地址: 0xE8 (可位寻址)

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
AD0EN	AD0TM	AD0INT	AD0BUSY	AD0WINT	AD0CM2	AD0CM1	AD0CM0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7: AD0EN: ADC0 使能位

0: ADC0 禁止。ADC0 处于低功耗停机状态。

1: ADC0 使能。ADC0 处于活动状态, 可以进行转换数据。

位 6: AD0TM: ADC0 跟踪方式位

0: 正常方式: 当 ADC0 被使能时, 除了转换期间之外一直处于跟踪方式。

1: 低功耗跟踪方式: 由 AD0CM2-0 定义跟踪方式 (见下面的说明)。

位 5: AD0INT: ADC0 转换结束中断标志

0: 自最后一次将该位清 '0' 后, ADC0 还没有完成一次数据转换。

1: ADC0 完成了一次数据转换。

位 4: AD0BUSY: ADC0 忙标志位

读

0: ADC0 转换结束或当前不在进行数据转换。AD0INT 在 AD0BUSY 的下降沿被置 '1'。

1: ADC0 正在进行转换。

写

0: 无作用。

1: 若 AD0CM2-0=000b 则启动 ADC0 转换。

位 3: AD0WINT: ADC0 窗口比较中断标志

0: 自该标志最后一次被清 0 以来未发生 ADC0 窗口比较匹配。

1: 发生了 ADC0 窗口比较匹配。

位 2-0: AD0CM2-0: ADC0 转换启动方式选择

当 AD0TM = 0 时:

000: 向 AD0BUSY 写 1 时启动 ADC0 转换。

001: 定时器 0 溢出启动 ADC0 转换。

010: 定时器 2 溢出启动 ADC0 转换。

011: 定时器 1 溢出启动 ADC0 转换。

100: 外部 CNVSTR 输入信号的上升沿启动 ADC0 转换。

101: 定时器 3 溢出启动 ADC0 转换。

11x: 保留。

当 AD0TM = 1 时:

000: 向 AD0BUSY 写 1 时启动跟踪, 持续 3 个 SAR 时钟后开始转换。

001: 定时器 0 溢出启动跟踪, 持续 3 个 SAR 时钟后开始转换。

010: 定时器 2 溢出启动跟踪, 持续 3 个 SAR 时钟后开始转换。

011: 定时器 1 溢出启动跟踪, 持续 3 个 SAR 时钟后开始转换。

100: ADC0 只在 CNVSTR 输入为逻辑低电平时跟踪, 在 CNVSTR 的上升沿开始转换。

101: 定时器 3 溢出启动跟踪, 持续 3 个 SAR 时钟后开始转换。

11x: 保留。

5.4 可编程窗口检测器

ADC 可编程窗口检测器不停地将 ADC0 输出与用户编程的极限值进行比较，并在检测到越限条件时通知系统控制器。这在一个中断驱动的系统尤其有效，既可以节省代码空间和 CPU 带宽又能提供快速响应时间。窗口检测器中断标志（ADC0CN 中的 AD0WINT）也可被用于查询方式。ADC0 下限（大于）寄存器（ADC0GTH:ADC0GTL）和 ADC0 上限（小于）寄存器（ADC0LTH:ADC0LTL）中保持比较值。窗口检测器标志既可以在测量数据位于用户编程的极限值以内时有效，也可以在测量数据位于用户编程的极限值以外时有效，这取决于 ADC0GT 和 ADC0LT 寄存器的编程值。

窗口检测器寄存器的数据格式（左/右对齐，有符号/无符号）必须与当前的 ADC 配置格式（左/右对齐，单端/差分）一致。

SFR 定义 5.7 ADC0GTH: ADC0 下限（大于）数据字高字节寄存器

SFR 页：所有页							
SFR 地址：0xC4							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值							11111111
位 7-0： ADC0 下限数据字高字节。							

SFR 定义 5.8 ADC0GTL: ADC0 下限（大于）数据字低字节寄存器

SFR 页：所有页							
SFR 地址：0xC3							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值							11111111
位 7-0： ADC0 下限数据字低字节。							

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 5.9 ADC0LTH: ADC0 上限（小于）数据字高字节寄存器

SFR 页：所有页							
SFR 地址：0xC6							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
位 7-0： ADC0 上限数据字高字节。							
复位值 00000000							

SFR 定义 5.10 ADC0LTL: ADC0 上限（小于）数据字低字节寄存器

SFR 页：所有页							
SFR 地址：0xC5							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
位 7-0： ADC0 上限数据字低字节。							
复位值 00000000							

5.4.1 单端方式下的窗口检测器

图 5.6 给出了单端方式下数据右对齐窗口比较的两个例子。左边的例子所使用的极限值为：ADC0LTH:ADC0LTL = 0x0080 (128d) 和 ADC0GTH:ADC0GTL = 0x0040 (64d)；右边的例子所使用的极限值为：ADC0LTH:ADC0LTL = 0x0040 和 ADC0GTH:ADC0GTL = 0x0080。在单端方式，转换码是 10 位无符号整数，对应的电压范围为 0 ~ VREF×1023/1024。对于左边的例子，如果 ADC0 转换结果数据字位于由 ADC0GTH:ADC0GTL 和 ADC0LTH:ADC0LTL 定义的范围之内（即 $0x0040 < \text{ADC0H:ADC0L} < 0x0080$ ），则会产生一个 AD0WINT 中断。对于右边的例子，如果 ADC0 转换结果数据字位于由 ADC0GT 和 ADC0LT 定义的范围之外（即 $\text{ADC0H:ADC0L} < 0x0040$ 或 $\text{ADC0H:ADC0L} > 0x0080$ ），则会产生一个 AD0WINT 中断。图 5.7 给出了使用相同比较值的单端方式下数据左对齐窗口比较的例子。

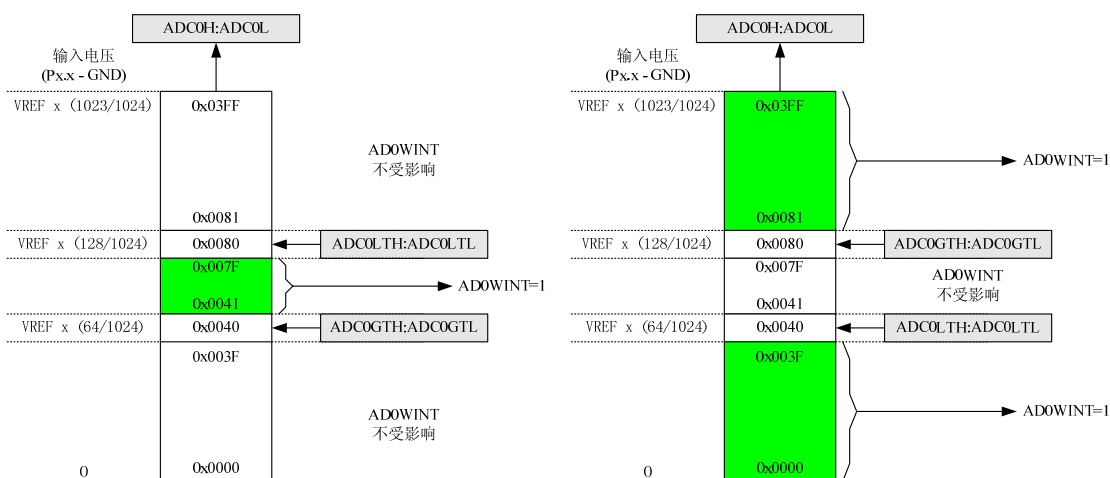


图 5.6 ADC 窗口比较示例（单端方式右对齐数据）

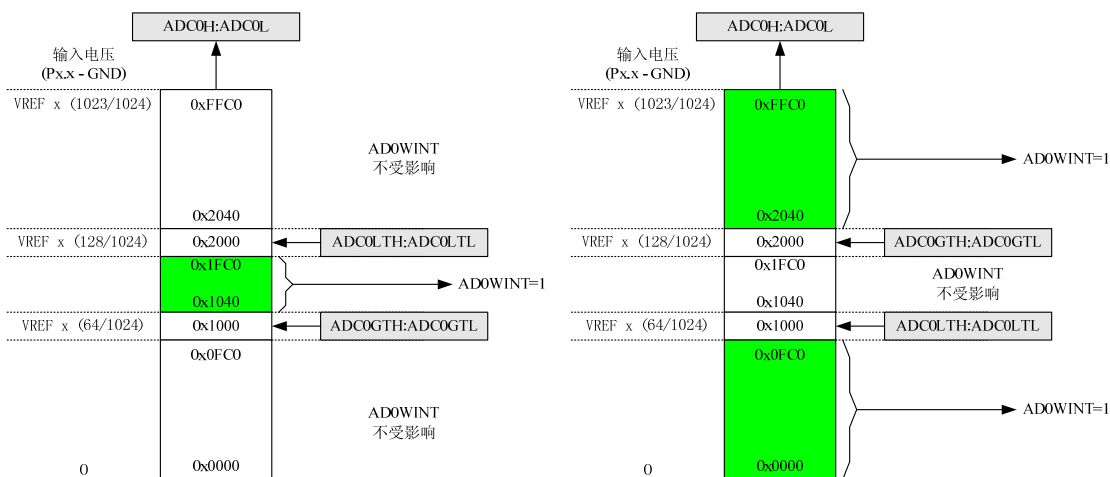


图 5.7 ADC 窗口比较示例（单端方式左对齐数据）

5.4.2 差分方式下的窗口检测器

图 5.8 给出了差分方式下数据右对齐窗口比较的两个例子。左边的例子所使用的极限值为：ADC0LTH:ADC0LTL = 0x0040 (+64d) 和 ADC0GTH:ADC0GTL = 0xFFFF (-1d)；右边的例子所使用的极限值为：ADC0LTH:ADC0LTL = 0xFFFF (-1d) 和 ADC0GTH:ADC0GTL = 0x0040 (+64d)。在差分方式，转换码是 10 位有符号整数（2 的补码），对应的电压范围为 -VREF ~ VREF*511/512。对于左边的例子，如果 ADC0 转换结果数据字（ADC0H:ADC0L）位于由 ADC0GTH:ADC0GTL 和 ADC0LTH:ADC0LTL 定义的范围之内（即 $0xFFFF (-1d) < ADC0H:ADC0L < 0x0040 (+64d)$ ），则会产生一个 AD0WINT 中断。对于右边的例子，如果 ADC0 转换结果数据字（ADC0H:ADC0L）位于由 ADC0GT 和 ADC0LT 定义的范围之外（即 $ADC0H:ADC0L < 0xFFFF (-1d)$ 或 $ADC0H:ADC0L > 0x0040 (+64d)$ ），则会产生一个 AD0WINT 中断。图 5.9 给出了使用相同比较值的差分方式下数据左对齐窗口比较的例子。

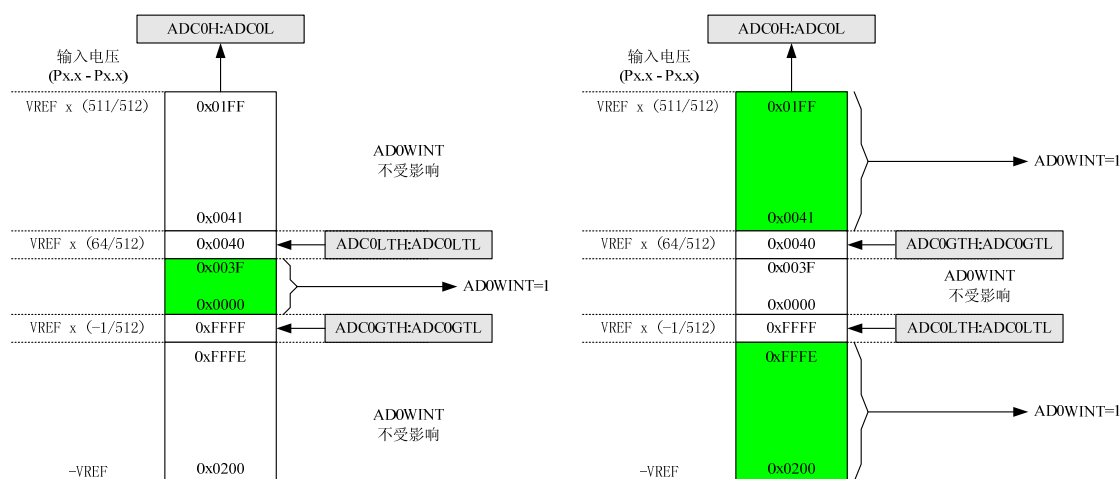


图 5.8 ADC 窗口比较示例（差分方式右对齐数据）

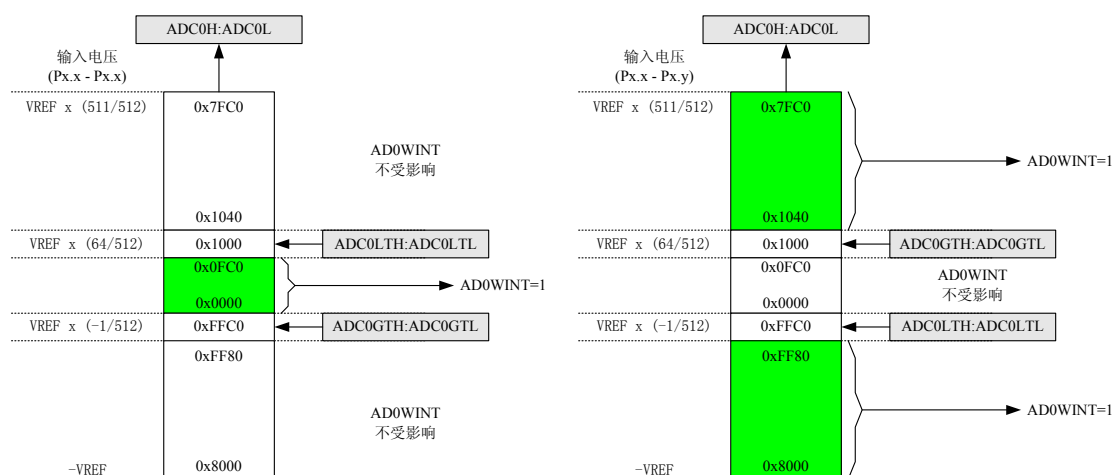


图 5.9 ADC 窗口比较示例（差分方式左对齐数据）

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 5.1 ADC0 电气特性

VDD=3.0V, VREF=2.40V, -40°C 到+85°C (除非特别说明)

参 数	条 件	最小值	典型值	最大值	单 位
直流精度					
分辨率		10			位
积分非线性		—	±0.5	±1	LSB
微分非线性	保证单调	—	±0.5	±1	LSB
偏移误差		-12	0	12	LSB
满度误差		-5	-1	5	LSB
动态性能 (10kHz 正弦波单端输入, 满度值之下 0~1dB, 200ksps)					
信号与噪声加失真比		53	58	—	dB
总谐波失真	到 5 次谐波	—	-75	—	dB
无失真动态范围		—	75	—	dB
转换速率					
SAR 转换时钟		—	—	3	MHz
转换时间 (SAR 时钟数)		13	—	—	时钟
跟踪/保持捕获时间		300	—	—	ns
转换速率		—	—	200	ksps
模拟输入					
ADC 输入电压范围	单端方式 (AIN+-GND)	0	—	VREF	V
	差分方式 (AIN+-AIN-)	-VREF	—	VREF	V
引脚输入电压 (相对于 GND)	单端或差分方式	0	—	VDD	V
输入电容		—	5	—	pF
温度传感器					
线性度*		—	±0.2	—	°C
增益		—	2.18	—	mV/°C
增益误差*		—	±172	—	μV/°C
偏移	(温度=0°C)	—	802	—	mV
偏移误差*		—	±18.5	—	mV
电源指标					
电 源 电 流 (VDD 给 ADC0 供电)	工作方式, 200ksps	—	450	900	μA
电源抑制比		—	3	—	mV/V
*注: 代表偏离平均值一个标准偏差。包括 ADC 偏移、增益和线性度偏差。					

6. 10 位电流模式 DAC (IDA0, C8051F360/1/2/6/7/8/9)

C8051F360/1/2/6/7/8/9 内部有一个 10 位的电流模式数/模转换器 (IDAC)。IDAC 的最大输出电流可以有三种不同的设置: 0.5mA、1mA 和 2mA。用 IDA0 控制寄存器中的 IDA0EN 位来使能或禁止 IDAC (见 SFR 定义 6.1)。当 IDA0EN 被设置为 0 时, IDAC 引脚 (对于 C8051F360 为 P0.4, 对于 C8051F361/2/6/7/8/9 为 P0.1) 作为 GPIO 引脚使用; 当 IDA0EN 被置 1 时, IDAC 引脚的数字输出驱动器和弱上拉被自动禁止, 该引脚被连到 IDAC 的输出。当 IDAC 被使能时, 内部的带隙偏置发生器为其提供基准电流。当使用 IDAC 时, P0SKIP 寄存器中的位 1 应被置 1, 以使交叉开关跳过 IDAC 引脚。

6.1 IDA0 输出更新

IDA0 具有灵活的输出更新机制，允许无缝满度变化，支持无抖动波形更新。IDA0 有三种更新模式：写 IDA0H、定时器溢出或外部引脚边沿。

6.1.1 On-Demand 输出更新

IDA0 的缺省更新模式 (IDAC0.[6:4]='111') 为 “On-Demand” 模式, 更新发生在写 IDA0 数据寄存器高字节 (IDA0H) 时。需要注意的是, 在该模式下, 写 IDA0L 时数据被保持, 在写 IDA0H 之前 IDA0 的输出不会发生变化。如果要向 IDAC 的数据寄存器写 10 位的数据字, 则 10 位数据字要写入低字节 (IDA0L) 和高字节 (IDA0H) 数据寄存器。在执行完对 IDA0H 的写操作后, 数据被锁存到 IDA0, 因此, 在需要 10 位分辨率的情况下, 应先写 IDA0L, 再写 IDA0H。IDAC 可以用于 8 位方式, 此时要将 IDA0L 初始化为一个所希望的数值 (通常为 0x00), 只对 IDA0H 写入。

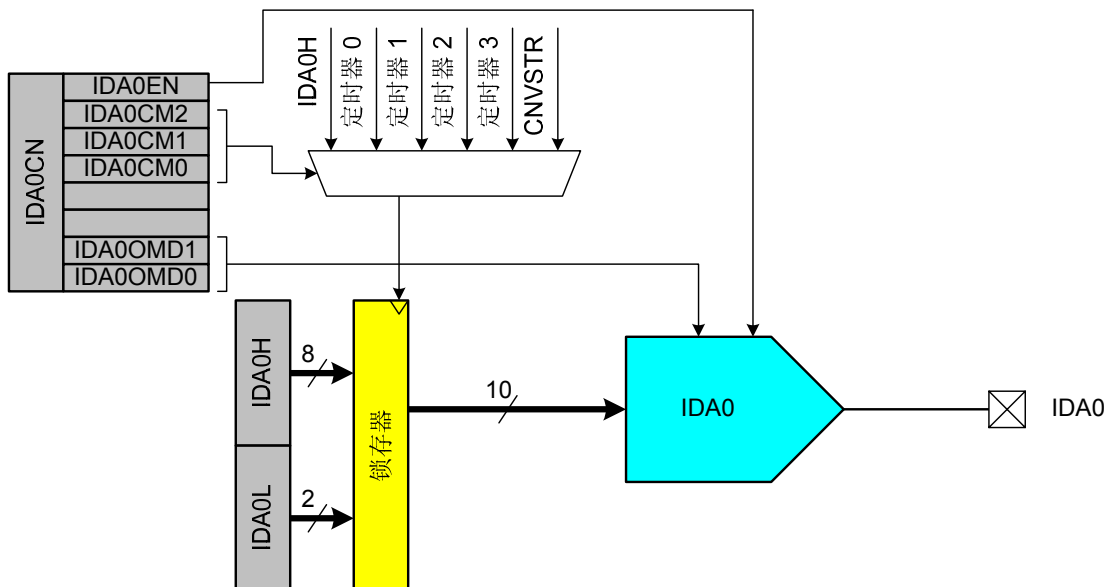


图6.1 IDA0原理框图

6.1.2 基于定时器溢出的输出更新模式

在用定时器溢出启动 ADC 转换时，转换发生时间与处理器无关。与此类似，IDAC 的输出也可以用定时器溢出事件触发更新。这一特性在以给定采样频率产生输出波形的系统中非常有用，可以避免中断延迟时间和指令执行时间变化对 IDAC 输出时序的影响。当 IDA0CM 位 (IDA0CN.[6:4]) 被设置为 ‘000’、‘001’、‘010’ 或 ‘011’ 时，写入到两个 IDAC 数据寄存器 (IDA0L 和 IDA0H) 的数据被保持，直到相应的定时器溢出事件 (分别为定时器 0、定时器 1、定时器 2 或定时器 3) 发生时，IDA0H:IDA0L 的内容才被复制到 IDAC 输入锁存器，允许 IDAC 输出变为新值。

6.1.3 基于 CNVSTR 边沿的输出更新模式

IDAC 还可以被配置为在外部 CNVSTR 信号的上升沿、下降沿或两个边沿进行输出更新。当 IDA0CM 位 (IDA0CN.[6:4]) 被设置为 ‘100’、‘101’ 或 ‘110’ 时，写入到两个 IDAC 数据寄存器 (IDA0L 和 IDA0H) 的数据被保持，直到 CNVSTR 输入引脚的边沿发生。IDA0CM 位的具体设置决定 IDAC 输出更新发生在 CNVSTR 的上升沿、下降沿或在两个边沿都发生更新。当相应的边沿发生时，IDA0H:IDA0L 的内容被复制到 IDAC 输入锁存器，允许 IDAC 输出变为所希望的新值。

6.2 IDAC 输出字格式

IDAC 数据寄存器 (IDA0H 和 IDA0L) 中的数据是左对齐的，这意味着 IDAC 输出数据字的高 8 位被映射到 IDA0H 的位 7-0，而 IDAC 输出数据字的低 2 位被映射到 IDA0L 的位 7 和位 6。图 6.2 示出了 IDAC 数据字的格式。

IDA0H								IDA0L							
D9	D8	D7	D6	D5	D4	D3	D2	D1	D0						

输入数据字 (D9 – D0)	输出电流 IDA0OMD[1:0]='1x'	输出电流 IDA0OMD[1:0]='01'	输出电流 IDA0OMD[1:0]='00'
0x000	0 mA	0 mA	0 mA
0x001	$1/1024 \times 2 \text{ mA}$	$1/1024 \times 1 \text{ mA}$	$1/1024 \times 0.5 \text{ mA}$
0x200	$512/1024 \times 2 \text{ mA}$	$512/1024 \times 1 \text{ mA}$	$512/1024 \times 0.5 \text{ mA}$
0x3FF	$1023/1024 \times 2 \text{ mA}$	$1023/1024 \times 1 \text{ mA}$	$1023/1024 \times 0.5 \text{ mA}$

图 6.2 IDA0 数据字格式

IDAC 的满度输出电流由 IDA0OMD 位 (IDA0CN[1:0]) 选择。缺省情况下，IDAC 的满度输出电流被设置为 2 mA。通过配置 IDA0OMD 位还可以将满度输出电流设置为 0.5mA 或 1mA。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 6.1 IDA0CN: IDA0 控制寄存器

SFR 页: 所有页							
SFR 地址: 0xB9							
R/W	R/W	R/W	R/W	R	R	R/W	R/W
IDA0EN		IDA0CM		-	-	IDA0OMD	复位值
位7	位6	位5	位4	位3	位2	位1	位0
01110010							
位 7: IDA0EN: IDA0 使能位							
0: IDA0 禁止。							
1: IDA0 使能。							
位 6-4: IDA0CM[2:0]: IDA0 输出更新源选择位							
000: 定时器 0 溢出触发 DAC 输出更新。							
001: 定时器 1 溢出触发 DAC 输出更新。							
010: 定时器 2 溢出触发 DAC 输出更新。							
011: 定时器 3 溢出触发 DAC 输出更新。							
100: CNVSTR 的上升沿触发 DAC 输出更新。							
101: CNVSTR 的下降沿触发 DAC 输出更新。							
110: CNVSTR 的两个边沿触发 DAC 输出更新。							
111: 写 IDA0H 触发 DAC 输出更新 (缺省)。							
位 3-2: 未使用。读 = 00b。写 = 忽略。							
位 1-0: IDA0OMD[1:0]: IDA0 输出方式选择位							
00: 0.5 mA 满度输出电流。							
01: 1.0 mA 满度输出电流。							
1x: 2.0 mA 满度输出电流 (缺省)。							

SFR 定义 6.2 IDA0H: IDA0 数据字高字节寄存器

SFR 页: 所有页							
SFR 地址: 0x97							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
							复位值
位7	位6	位5	位4	位3	位2	位1	位0
00000000							
位 7-0: IDA0 数据字高字节。							
位 7~0 是 10 位 IDA0 数据字的高 8 位。							

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 6.3 IDA0L: IDA0 数据字低字节寄存器

SFR 页: 所有页							
SFR 地址: 0x96							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
							复位值 00000000
位 7-6: 10 位 IDA0 数据字的低 2 位。							
位 5-0: 未使用。读 = 000000b。写 = 忽略。							

表 6.1 IDAC 电气特性

VDD=3.0V，满度输出电流设置为 2 mA，-40°C 到+85°C（除非特别说明）

参 数	条 件	最小值	典型值	最大值	单 位
静态性能					
分辨率		10			位
积分非线性		—	±0.5	—	LSB
微分非线性	保证单调	—	±0.5	TBD	LSB
输出范围		—	—	VDD-1.2	V
偏移误差		—	0	—	LSB
满度误差	2 mA 满度输出电流	-15	0	15	LSB
满度误差温度系数		—	30	—	ppm/°C
VDD 电源抑制比		—	6.5	—	μA/V
动态性能					
输出建立时间 (1/2LSB)	IDA0H:IDA0L = 0x3FF 到 0x000	—	5	—	μs
启动时间		—	5	—	μs
增益变化	1 mA 满度输出电流	—	±1	—	%
	0.5 mA 满度输出电流	—	±1	—	%
功耗					
电源电流（VDD 给 IDAC 供电）	2 mA 满度输出电流	—	2140	—	μA
	1 mA 满度输出电流	—	1140	—	μA
	0.5 mA 满度输出电流	—	640	—	μA

7. 电压基准（C8051F360/1/2/6/7/8/9）

C8051F360/1/2/6/7/8/9 的电压基准 MUX 可以被配置为连接到外部电压基准、内部电压基准发生器或电源电压 VDD（见图 7.1）。基准控制寄存器 REF0CN 中的 REFSL 位用于选择基准源。选择使用外部或内部基准时，REFSL 位应被设置为‘0’；选择 VDD 作为基准源时，REFSL 应被置‘1’。

REF0CN 中的 BIASE 位控制内部偏置电压发生器。ADC、温度传感器、内部振荡器和电流 DAC 都要使用偏置电压发生器提供的偏置电压。当这些外设中的任何一个被使能时，BIASE 位被自动置‘1’，也可以通过向 REF0CN 中的 BIASE 位写‘1’来使能偏置电压发生器，见 SFR 定义 7.1 对 REF0CN 寄存器的详细说明。表 7.1 给出了电压基准电路的电气特性。

内部电压基准电路包含一个 1.2V 的带隙电压基准发生器和一个两倍增益的输出缓冲放大器。内部电压基准可以被驱动输出到 VREF 引脚，这可通过将 REF0CN 寄存器中的 REFBE 位置 1 来实现（见 SFR 定义 7.1）。VREF 引脚对地的负载电流应小于 200 μ A。当使用内部电压基准时，建议在 VREF 和 GND 之间接 0.1 μ F 和 4.7 μ F 的旁路电容。如果不使用内部基准，REFBE 位应被清 0。表 7.1 给出了内部电压基准的电气特性。

注意：C8051F360 的端口引脚 P0.3 和 C8051F361/2/6/7/8/9 的 P0.0 用作外部 VREF 的输入和内部 VREF 的输出。当使用外部电压基准或内部基准中时，该端口引脚应被配置为模拟输入并被数字交叉开关跳过。为了将该端口引脚配置为模拟输入，应将 P0MDIN 寄存器的相应位设置为‘0’。为使交叉开关跳过该引脚，应将 P0SKIP 寄存器的相应位置‘1’。有关端口 I/O 配置的详细信息，见“17 端口输入/输出”。REF0CN 中的 TEMPE 位用于使能/禁止温度传感器。当被禁止时，温度传感器为缺省的高阻状态，此时对温度传感器的任何 ADC0 测量结果都是无意义的。

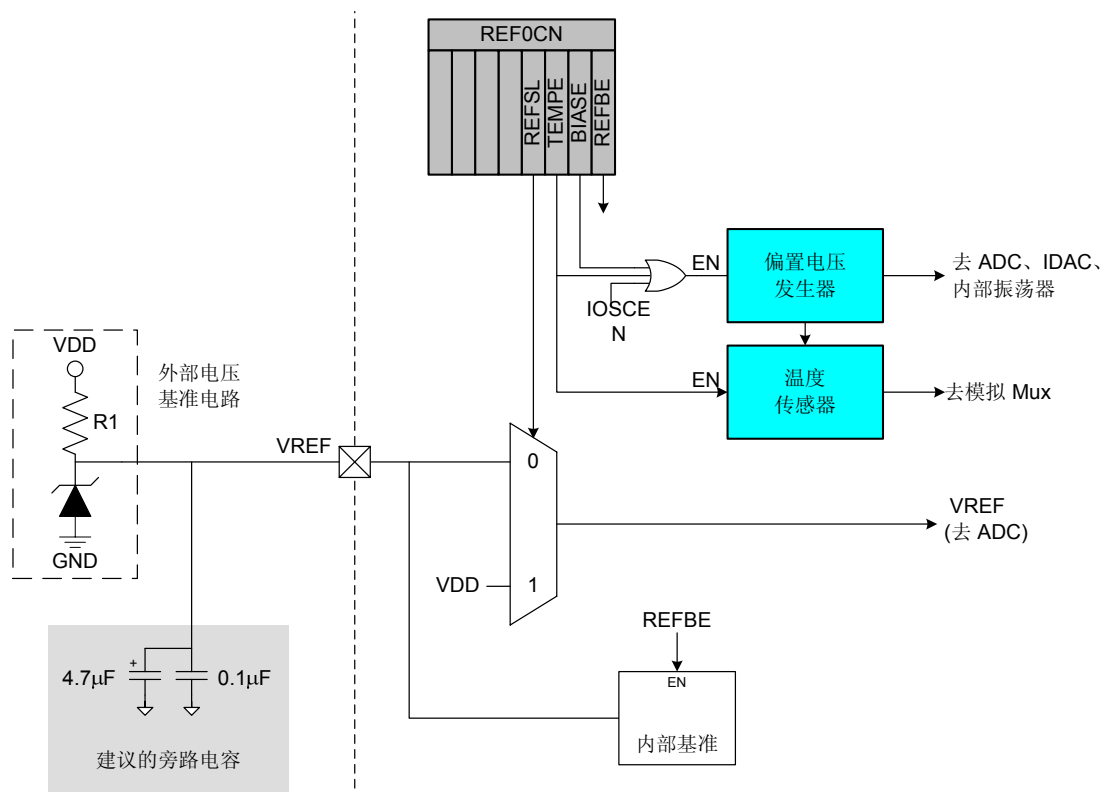


图 7.1 电压基准功能框图

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 7.1 REF0CN: 电压基准控制寄存器

SFR 页：所有页								
SFR 地址：0xD1								
R	R	R	R	R/W	R/W	R/W	R/W	复位值
-	-	-	-	REFSL	TEMPE	BIASE	REFBE	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-4：未用。读 = 0000b，写 = 忽略。								
位 3：REFSL：电压基准选择								
该位选择电压基准源。								
0：VREF 引脚作为电压基准。								
1：VDD 作为电压基准。								
位 2：TEMPE：温度传感器使能位								
0：内部温度传感器关闭。								
1：内部温度传感器工作。								
位 1：BIASE：内部模拟偏压发生器使能位								
0：内部偏压发生器关闭。								
1：内部偏压发生器工作。								
位 0：REFBE：内部基准缓冲器使能位								
0：内部基准缓冲器被禁止。								
1：内部基准缓冲器被使能。内部电压基准被驱动到 VREF 引脚。								

表 7.1 电压基准的电气特性

VDD=3.0V, -40℃到+85℃（除非特别说明）

参 数	条 件	最小值	典型值	最大值	单 位
内部基准（REFBE=1）					
输出电压	环境温度 25℃	2.35	2.42	2.50	V
VREF 短路电流		—	—	10	mA
VREF 温度系数		—	25	—	ppm/℃
负载调整	负载 = 0-200μA 到 GND	—	3	—	ppm/μA
VREF 开启时间 1	4.7μF 钽电容, 0.1μF 陶瓷旁路电容	—	7.5	—	ms
VREF 开启时间 2	0.1μF 陶瓷旁路电容	—	200	—	μs
电源抑制比		—	1.4	—	mV/V
外部基准（REFBE=0）					
输入电压范围		0	—	VDD	V
输入电流	采样频率 = 200ksps, VREF=3.0V	—	3	—	μA
电源指标					
ADC 偏压发生器	BIASE = 1 或 AD0EN = 1 或 IOSSEN = 1	—	100	150	μA
基准偏压发生器	REFBE = 1 或 TEMPE = 1 或 IDA0EN = 1	—	30	50	μA

8. 比较器

C8051F36x 器件内部有 2 个可编程电压比较器，即比较器 0 和比较器 1，如图 8.1 和图 8.2 所示（注意：比较器输入使用的端口引脚在 C8051F36x 器件之间是不同的，图中所示的第一组引脚是针对 C8051F360/3 的）。两个比较器在工作上完全相同，但只有比较器 0 可以用作复位源。

比较器的响应时间和回差电压都是可编程的。比较器有一个模拟输入多路器和两个可以通过交叉开关接到外部引脚的输出：一个同步“锁存”输出（CP0、CP1）和一个异步“直接”输出（CP0A、CP1A）。即使在系统时钟停止时，异步输出 CP0A 和 CP1A 信号仍然可用，这就允许比较器在器件处于停机（STOP）方式时仍然可以工作并产生输出。当被分配了端口引脚时，比较器的输出可以被配置为漏极开路或推挽方式（见“17.2 端口 I/O 初始化”。比较器 0 可以被用作复位源（见“12.5 比较器 0 复位”）。

比较器的输入用 CPT0MX 和 CPT1MX 寄存器（SFR 定义 8.2 和 SFR 定义 8.5）来选择。CMXnN1 ~ CMXnN0 位选择比较器的正输入；CMXnN1 ~ CMXnN0 位选择比较器的负输入。

注意：被选择为比较器输入的引脚应在相应的端口配置寄存器中被配置为模拟输入，并且应被配置为使交叉开关跳过这些引脚（有关端口配置的详细信息见“17.3 通用端口 I/O”）。

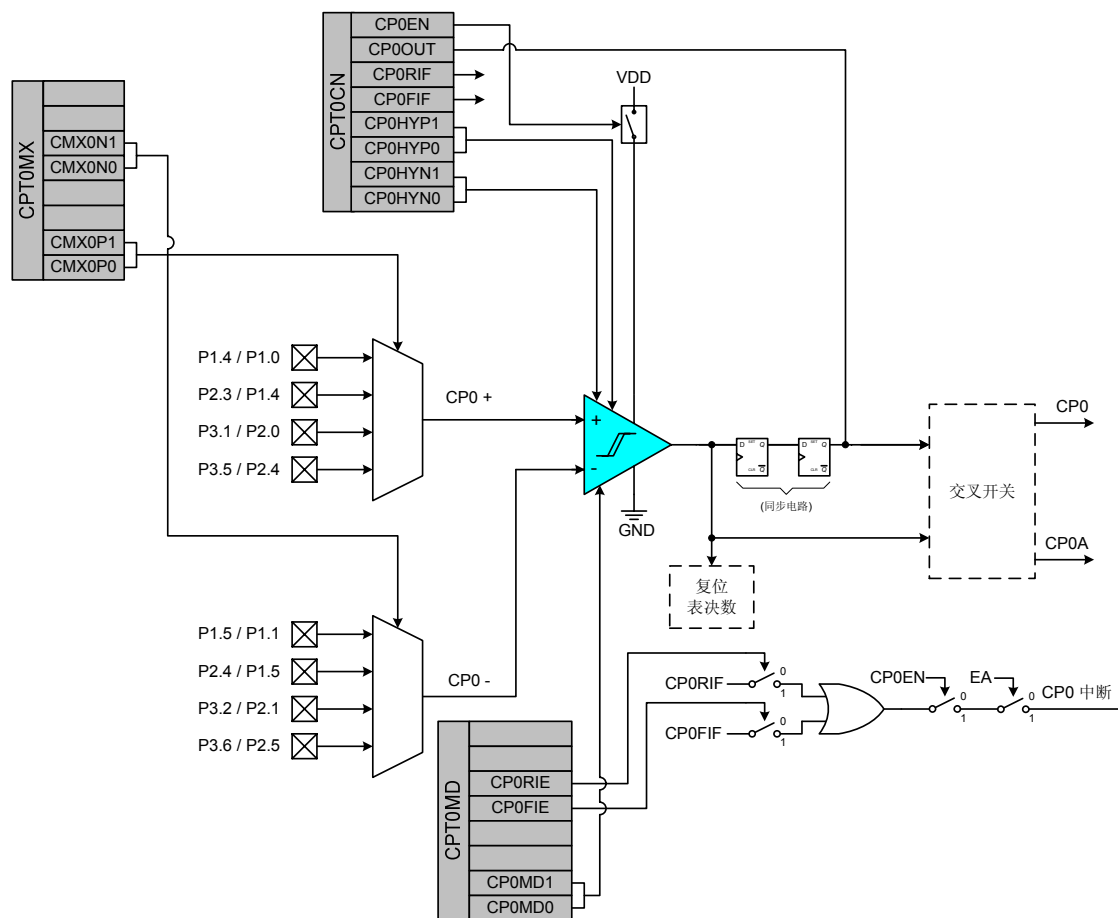


图 8.1 比较器 0 功能框图

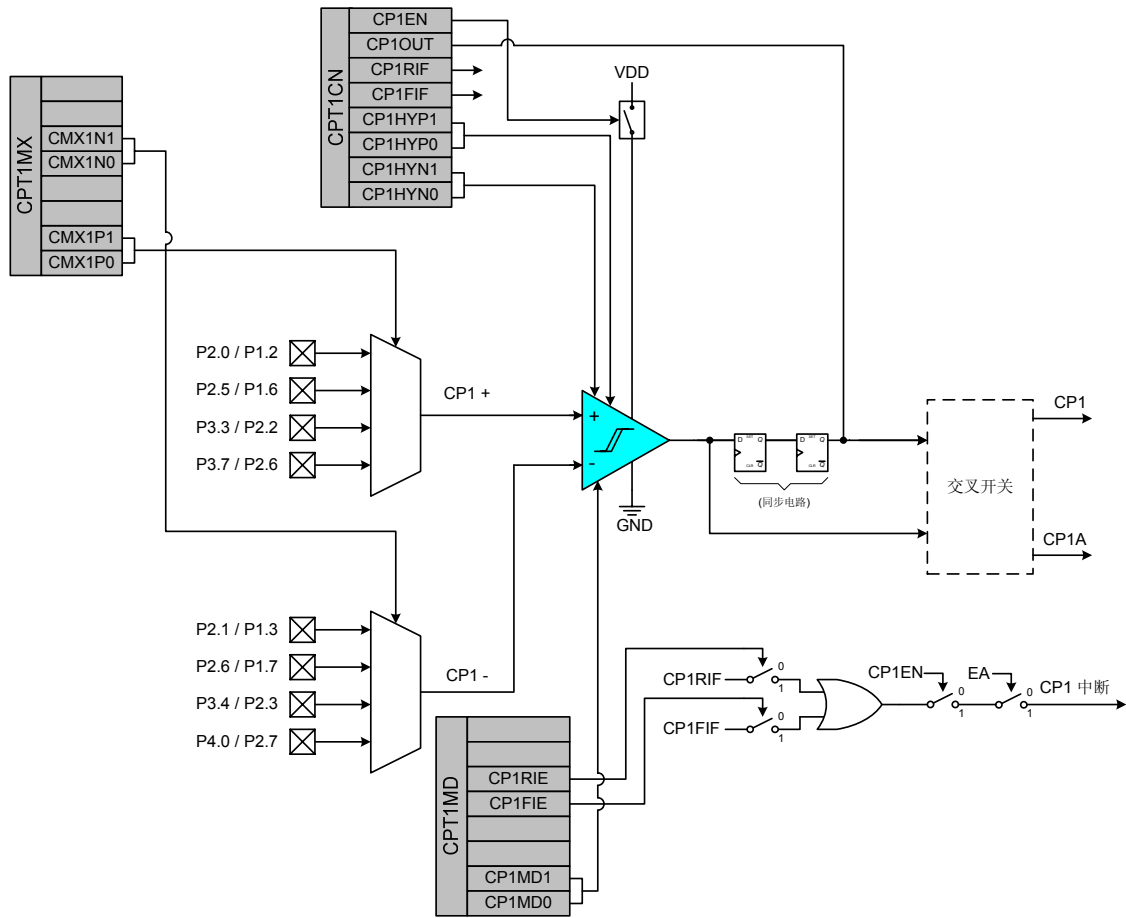


图 8.2 比较器 1 功能框图

比较器的输出可以被软件查询，可以作为中断源，还可以被连到端口引脚。当被连到端口引脚时，比较器具有与系统时钟同步和不同步两种输出。即使在停机方式（系统时钟停止），异步输出信号仍然可用。当被禁止时，比较器输出（如果已通过交叉开关分配了端口 I/O 引脚）的缺省值为逻辑低电平，其电源电流降到小于 100 nA。有关通过交叉开关配置比较器输出的详细信息见“17.1 优先权交叉开关译码器”。比较器的输入可以承受-0.25V 到(VDD) + 0.25V 的外部驱动电压而不至损坏或发生工作错误。表 8.1 给出了比较器的电气特性。

可以通过对寄存器 CPT0MD 和 CPT1MD（见 SFR 定义 8.3 和 SFR 定义 8.6）编程来设置比较器的响应时间。选择较长的响应时间可以减小比较器电源电流。表 8.1 给出了时序和电流消耗特性。

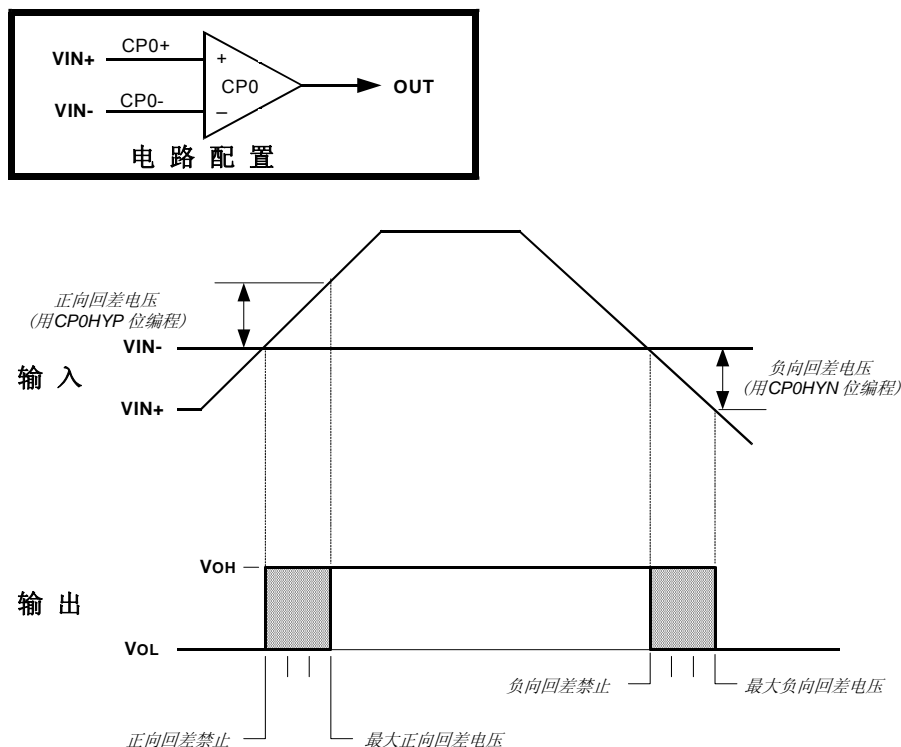


图 8.3 比较器回差电压曲线

比较器的回差电压可以通过比较器控制寄存器 CPT0CN 和 CPT1CN 用软件编程。用户既可以对回差电压值（相对于输入电压）编程，也可以对门限电压两侧的正向和负向回差对称度编程。

使用比较器控制寄存器 CPT0CN 和 CPT1CN（见 SFR 定义 8.1 和 SFR 定义 8.4）中的位 3-0 对比较器的回差值进行编程。负向回差电压值由 CP0HYN 和 CP1HYN 位的设置决定。如图 8.3 所示，可以设置 20mV、10mV 或 5mV 的负向回差电压值，或者禁止负向回差电压。类似地，通过编程 CP0HYP 和 CP1HYP 位设置正向回差电压值。

比较器输出的上升沿和下降沿都可以产生中断。比较器的下降沿置位 CP0FIF 和 CP1FIF 中断标志，比较器的上升沿置位 CP0RIF 或 CP1RIF 中断标志。这些位一旦被置 1，将一直保持 1 状态直到被软件清 0。通过将 CP0RIE 或 CP1RIE 设置为逻辑 1 来允许比较器上升沿中断，通过将 CP0FIE 或 CP1FIE 设置为逻辑 1 来允许比较器下降沿中断。

可以在任意时刻通过读取 CP0OUT 或 CP1OUT 位得到比较器的输出状态。通过置位 CP0EN 或 CP1EN 位来使能比较器，通过将该位清 0 来禁止比较器。

注意：在对比较器上电或改变比较器的回差电压或响应时间控制位时，可能会检测到假上升沿或下降沿。建议在比较器被使能或方式位改变后经过一段延时将上升沿和下降沿标志显式清 0。表 8.1 中给出了上电时间。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 8.1 CPT0CN: 比较器 0 控制寄存器

SFR 页: 所有页								
SFR 地址: 0x9B								
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	复位值
CP0EN	CP0OUT	CP0RIF	CP0FIF	CP0HYP1	CP0HYP0	CP0HYN1	CP0HYN0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7:	CP0EN: 比较器 0 使能位							
	0: 比较器 0 禁止。							
	1: 比较器 0 使能。							
位 6:	CP0OUT: 比较器 0 输出状态标志							
	0: 电压值 CP0+ < CP0-。							
	1: 电压值 CP0+ > CP0-。							
位 5:	CP0RIF: 比较器 0 上升沿中断标志, 必须用软件清 0。							
	0: 自该标志位最后一次被清除后, 未检测到比较器 0 上升沿。							
	1: 检测到比较器 0 上升沿。							
位 4:	CP0FIF: 比较器 0 下降沿中断标志, 必须用软件清 0							
	0: 自该标志位最后一次被清除后, 未检测到比较器 0 下降沿。							
	1: 检测到比较器 0 下降沿。							
位 3-2:	CP0HYP1-0: 比较器 0 正向回差电压控制位							
	00: 禁止正向回差电压。							
	01: 正向回差电压= 5mV。							
	10: 正向回差电压= 10mV。							
	11: 正向回差电压= 20mV。							
位 1-0:	CP0HYN1-0: 比较器 0 负向回差电压控制位							
	00: 禁止负向回差电压。							
	01: 负向回差电压= 5mV。							
	10: 负向回差电压= 10mV。							
	11: 负向回差电压= 20mV。							

SFR 定义 8.2 CPT0MX: 比较器 0 MUX 选择寄存器

SFR 页: 所有页
SFR 地址: 0x9F

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	CMX0N1	CMX0N0	—	—	CMX0P1	CMX0P0	11111111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-6: 未用。读 = 11b, 写 = 忽略。

位 5-4: CMX0N1-0: 比较器 0 负输入 MUX 选择
这些位选择作为比较器 0 负输入的端口引脚。

CMX0N1	CMX0N0	C8051F360/3 负输入	C8051F361/2/4/5/6/7/8/9 负输入
0	0	P1.5	P1.1
0	1	P2.4	P1.5
1	0	P3.2	P2.1
1	1	P3.6	P2.5

位 3-2: 未用。读 = 11b, 写 = 忽略。

位 1-0: CMX0P1-0: 比较器 0 正输入 MUX 选择
这些位选择作为比较器 0 正输入的端口引脚。

CMX0P1	CMX0P0	C8051F360/3 正输入	C8051F361/2/4/5/6/7/8/9 正输入
0	0	P1.4	P1.0
0	1	P2.3	P1.4
1	0	P3.1	P2.0
1	1	P3.5	P2.4

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 8.3 CPT0MD: 比较器 0 方式选择寄存器

SFR 页: 所有页

SFR 地址: 0x9D

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	CP0RIE	CP0FIE	—	—	CP0MD1	CP0MD0	00000010
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-6: 未用。读 = 00b, 写 = 忽略。

位 5: CP0RIE: 比较器 0 上升沿中断允许

0: 比较器 0 上升沿中断禁止

1: 比较器 0 上升沿中断允许

位 4: CP0FIE: 比较器 0 下降沿中断允许

0: 比较器 0 下降沿中断禁止

1: 比较器 0 下降沿中断允许

位 3-2: 未用。读 = 00b, 写 = 忽略。

位 1-0: CP0MD1-0: 比较器 0 方式选择

这两位选择比较器 0 的响应时间。

方式	CP0MD1	CP0MD0	CP0 下降沿响应时间（典型值）
0	0	0	100ns
1	0	1	175ns
2	1	0	320ns
3	1	1	1050ns

SFR 定义 8.4 CPT1CN: 比较器 1 控制寄存器

SFR 页: 所有页

SFR 地址: 0x9A

R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	复位值
CP1EN	CP1OUT	CP1RIF	CP1FIF	CP1HYP1	CP1HYP0	CP1HYN1	CP1HYN0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7: CP1EN: 比较器 1 使能位

0: 比较器 1 禁止。

1: 比较器 1 使能。

位 6: CP1OUT: 比较器 1 输出状态标志

0: 电压值 $CP1+ < CP1-$ 。

1: 电压值 $CP1+ > CP1-$ 。

位 5: CP1RIF: 比较器 1 上升沿中断标志, 必须用软件清 0。

0: 自该标志位最后一次被清除后, 未检测到比较器 1 上升沿。

1: 检测到比较器 1 上升沿。

位 4: CP1FIF: 比较器 1 下降沿中断标志, 必须用软件清 0

0: 自该标志位最后一次被清除后, 未检测到比较器 1 下降沿。

1: 检测到比较器 1 下降沿。

位 3-2: CP1HYP1-0: 比较器 1 正向回差电压控制位

00: 禁止正向回差电压。

01: 正向回差电压= 5mV。

10: 正向回差电压= 10mV。

11: 正向回差电压= 20mV。

位 1-0: CP1HYN1-0: 比较器 1 负向回差电压控制位

00: 禁止负向回差电压。

01: 负向回差电压= 5mV。

10: 负向回差电压= 10mV。

11: 负向回差电压= 20mV。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 8.5 CPT1MX: 比较器 1 MUX 选择寄存器

SFR 页: 所有页

SFR 地址: 0x9E

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	CMX1N1	CMX1N0	—	—	CMX1P1	CMX1P0	11111111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-6: 未用。读 = 11b, 写 = 忽略。

位 5-4: CMX1N1-0: 比较器 1 负输入 MUX 选择
这些位选择作为比较器 1 负输入的端口引脚。

CMX1N1	CMX1N0	C8051F360/3 负输入	C8051F361/2/4/5/6/7/8/9 负输入
0	0	P2.1	P1.3
0	1	P2.6	P1.7
1	0	P3.4	P2.3
1	1	P4.0	P2.7

位 3-2: 未用。读 = 11b, 写 = 忽略。

位 1-0: CMX1P-0: 比较器 1 正输入 MUX 选择
这些位选择作为比较器 1 正输入的端口引脚。

CMX1P1	CMX1P0	C8051F360/3 正输入	C8051F361/2/4/5/6/7/8/9 正输入
0	0	P2.0	P1.2
0	1	P2.5	P1.6
1	0	P3.3	P2.2
1	1	P3.7	P2.6

SFR 定义 8.6 CPT1MD: 比较器 1 方式选择寄存器

SFR 页: 所有页
SFR 地址: 0x9C

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	CP1RIE	CP1FIE	—	—	CP1MD1	CP1MD0	00000010
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-6: 未用。读 = 00b, 写 = 忽略。

位 5: CP1RIE: 比较器 1 上升沿中断允许
0: 比较器 1 上升沿中断禁止
1: 比较器 1 上升沿中断允许

位 4: CP1FIE: 比较器 1 下降沿中断允许
0: 比较器 1 下降沿中断禁止
1: 比较器 1 下降沿中断允许

位 3-2: 未用。读 = 00b, 写 = 忽略。

位 1-0: CP1MD1-0: 比较器 1 方式选择
这两位选择比较器 1 的响应时间。

方式	CP1MD1	CP1MD0	CP1 下降沿响应时间 (典型值)
0	0	0	100ns
1	0	1	175ns
2	1	0	320ns
3	1	1	1050ns

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 8.1 比较器电气特性

VDD = 3.0V, -40℃ ~ +85℃（除非特别说明）。

所有指标均适用于比较器 0 和比较器 1，除非特别说明。典型值是在 25℃下给出的。

参 数	条 件	最小值	典型值	最大值	单位
响应时间： 方式 0, Vcm ^{*1} =1.5V	(CP0+) - (CP0-) = 100mV	—	100	—	ns
	(CP0+) - (CP0-) = -100mV	—	250	—	ns
响应时间： 方式 1, Vcm [*] =1.5V	(CP0+) - (CP0-) = 100mV	—	175	—	ns
	(CP0+) - (CP0-) = -100mV	—	500	—	ns
响应时间： 方式 2, Vcm [*] =1.5V	(CP0+) - (CP0-) = 100mV	—	320	—	ns
	(CP0+) - (CP0-) = -100mV	—	1100	—	ns
响应时间： 方式 3, Vcm [*] =1.5V	(CP0+) - (CP0-) = 100mV	—	1050	—	ns
	(CP0+) - (CP0-) = -100mV	—	5200	—	ns
共模抑制比		—	1.26	5	mV/V
正向回差电压 1	CP0HYP1-0 = 00	—	0	1	mV
正向回差电压 2	CP0HYP1-0 = 01	1	5	10	mV
正向回差电压 3	CP0HYP1-0 = 10	6	10	20	mV
正向回差电压 4	CP0HYP1-0 = 11	12	20	30	mV
负向回差电压 1	CP0HYN1-0 = 00	—	0	1	mV
负向回差电压 2	CP0HYN1-0 = 01	1	5	10	mV
负向回差电压 3	CP0HYN1-0 = 10	6	10	20	mV
负向回差电压 4	CP0HYN1-0 = 11	12	20	30	mV
反相或同相输入电压范围		-0.25	—	VDD+0.25	V
输入电容		—	4	—	pF
输入偏置电流		—	0.001	—	nA
输入偏移电压		-5	—	+5	mV
电源					
电源抑制比 ²		—	0.3	—	mV/V
上电时间		—	10	—	μs
电源电流（DC）	方式 0	—	11.4	20	μA
	方式 1	—	4.6	10	μA
	方式 2	—	1.9	5	μA
	方式 3	—	0.4	2.5	μA
*注： Vcm 是 CPx+和 CPx-上的共模电压。					

9. CIP-51 微控制器

MCU 系统控制器的内核是 CIP-51 微控制器。CIP-51 与 MCS-51TM 指令集完全兼容，可以使用标准 803x/805x 的汇编器和编译器进行软件开发。C8051F36x 的外设是标准 8051 的所有外设的超集，包括 5 个 16 位的计数器/定时器（详见第 21 章）、一个全双工 UART（详见第 19 章）、256 字节内部 RAM、128 字节特殊功能寄存器（SFR）地址空间（见 9.4.6 节）及最多达 4 个 8 位和一个 7 位的 I/O 端口（详见第 17 章）。CIP-51 内还包含调试硬件（详见第 24 章），与模拟和数字子系统直接接口，在一个集成电路内提供了完全的数据采集或控制系统解决方案。

CIP-51 微控制器内核除了具有标准 8051 的组织结构和外设以外，另有增加的定制外设和功能，大大增强了它的处理能力（见图 9.1 的原理框图）。CIP-51 核具有下列特点：

- 与 MCS-51 指令集完全兼容
- 峰值速度为 100 或 50MIPS（使用片内 PLL）
- 256 字节内部 RAM
- 扩展的中断处理系统
- 复位输入
- 电源管理方式
- 片上调试逻辑

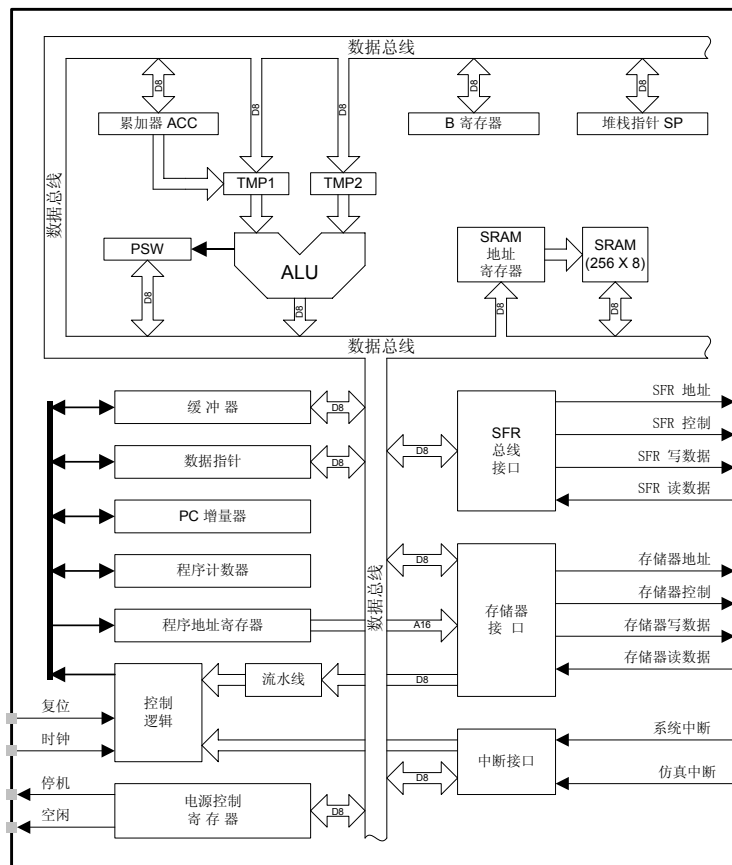


图 9.1 CIP-51 原理框图

9.1 性能

CIP-51采用流水线结构，与标准的8051结构相比指令执行速度有很大的提高。在一个标准的8051中，除MUL和DIV以外所有指令都需要12或24个系统时钟周期，并且通常最大系统时钟频率为12 MHz。而对于CIP-51内核，70%的指令的执行时间为1或2个系统时钟周期，没有执行时间超过8个系统时钟周期的指令。

CIP-51 工作在最大系统时钟频率 100MHz 时，其峰值性能达到 100MIPS。CIP-51 共有 111 条指令。下表列出了指令条数与执行时所需的系统时钟周期数的关系。

执行周期数	1	2	2/4	3	3/5	4	4/5	5	8
指令数	26	50	5	16	7	3	1	2	1

9.2 编程和调试支持

CIP-51 提供了基于 C2 的串行接口，用于 FLASH 程序存储器的在系统编程和与片内调试支持逻辑通信。可以在用户软件中使用 MOV_C 和 MOV_X 指令对可再编程的 FLASH 读和写，每次读或写一个字节。这一特性允许将程序存储器用于非易失性数据存储以及在软件控制下更新程序代码。

片内调试逻辑支持全速的在系统调试，允许设置硬件断点和观察点，支持开始、停止和单步执行（包括中断服务程序）命令，支持检查程序调用堆栈及读/写寄存器和存储器。这种片内调试方法完全是非侵入式的，不需要额外的目标 RAM、堆栈、定时器或其它片内资源。

CIP-51 有 Silicon Labs 公司和第三方供应商的开发工具支持。Silicon Labs 提供一个集成开发环境（IDE），包括编辑器、宏汇编器、调试器和编程器。IDE 的调试器和编程器与 CIP-51 之间通过 C2 接口连接，提供快速和有效的在系统编程和调试。也有第三方的宏汇编器和 C 编译器可用。

9.3 指令集

CIP-51 系统控制器的指令集与标准 MCS-51[™] 指令集完全兼容，可以使用标准 8051 的开发工具开发 CIP-51 的软件。所有的 CIP-51 指令在二进制码和功能上与同类的 MCS-51[™] 产品完全等价，包括操作码、寻址方式和对 PSW 标志的影响，但是指令时序与标准 8051 不同。

9.3.1 指令和 CPU 时序

在很多的 8051 产品中，机器周期和时钟周期是不同的，机器周期的长度在 2 到 12 个时钟周期之间。但是 CIP-51 只基于时钟周期，所有指令时序都以时钟周期计算。

由于 CIP-51 采用了流水线结构，大多数指令执行所需的时钟周期数与指令的字节数一致。条件转移指令在不发生转移时的执行周期数比发生转移时少 1 个。表 9.1 给出了所有 CIP-51 指令一览表，包括每条指令的助记符、字节数和时钟周期数。

9.3.2 MOV_X 指令和程序存储器

在 CIP-51 中，MOV_X 指令有三种用途：访问片内 XRAM、访问片外 XRAM 和访问片内 FLASH 程序存储器。FLASH 访问特性提供了由用户软件更新程序代码和将程序存储器空间用于非易失性数据存储的机制，详见“13. FLASH 存储器”。外部存储器接口提供对片外 XRAM（或存储器映射的外设）的快速访问（用 MOV_X 指令）。详见“15. 外部数据存储器接口和片内 XRAM”。

表 9.1 CIP-51 指令集一览表

助记符	功能说明	字节数	时钟周期数
算术操作类指令			
ADD A,Rn	寄存器加到累加器	1	1
ADD A,direct	直接寻址字节加到累加器	2	2
ADD A,@Ri	间址 RAM 内容加到累加器	1	2
ADD A,#data	立即数加到累加器	2	2
ADDC A,Rn	寄存器加到累加器(带进位)	1	1
ADDC A,direct	直接寻址字节加到累加器(带进位)	2	2
ADDC A,@Ri	间址 RAM 加到累加器(带进位)	1	2
ADDC A,#data	立即数加到累加器(带进位)	2	2
SUBB A,Rn	累加器减去寄存器(带借位)	1	1
SUBB A,direct	累加器减去直接寻址字节(带借位)	2	2
SUBB A,@Ri	累加器减去间址 RAM(带借位)	1	2
SUBB A,#data	累加器减去立即数(带借位)	2	2
INC A	累加器加 1	1	1
INC Rn	寄存器加 1	1	1
INC direct	直接寻址字节加 1	2	2
INC @Ri	间址 RAM 加 1	1	2
DEC A	累加器减 1	1	1
DEC Rn	寄存器减 1	1	1
DEC direct	直接寻址字节减 1	2	2
DEC @Ri	间址 RAM 减 1	1	2
INC DPTR	数据指针加 1	1	1
MUL AB	累加器与寄存器 B 相乘	1	4
DIV AB	累加器除以寄存器 B	1	8
DA A	累加器十进制调整	1	1
逻辑操作类指令			
ANL A,Rn	寄存器“与”到累加器	1	1
ANL A,direct	直接寻址字节“与”到累加器	2	2
ANL A,@Ri	间址 RAM “与”到累加器	1	2
ANL A,#data	立即数“与”到累加器	2	2
ANL direct,A	累加器“与”到直接寻址字节	2	2
ANL direct,#data	立即数“与”到直接寻址字节	3	3
ORL A,Rn	寄存器“或”到累加器	1	1
ORL A,direct	直接寻址字节“或”到累加器	2	2
ORL A,@Ri	间址 RAM “或”到累加器	1	2
ORL A,#data	立即数“或”到累加器	2	2
ORL direct,A	累加器“或”到直接寻址字节	2	2
ORL direct,#data	立即数“或”到直接寻址字节	3	3
XRL A,Rn	寄存器“异或”到累加器	1	1
XRL A,direct	直接寻址字节“异或”到累加器	2	2
XRL A,@Ri	间址 RAM “异或”到累加器	1	2
XRL A,#data	立即数“异或”到累加器	2	2
XRL direct,A	累加器“异或”到直接寻址字节	2	2
XRL direct,#data	立即数“异或”到直接寻址字节	3	3
CLR A	累加器清零	1	1
CPL A	累加器求反	1	1
RL A	累加器循环左移	1	1
RLC A	带进位的累加器循环左移	1	1

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

助记符	功能说明	字节数	时钟 周期数
RR A	累加器循环右移	1	1
RRC A	带进位的累加器循环右移	1	1
SWAP A	累加器内高低半字节交换	1	1
数据传送类指令			
MOV A,Rn	寄存器传送到累加器	1	1
MOV A,direct	直接寻址字节传送到累加器	2	2
MOV A,@Ri	间址 RAM 传送到累加器	1	2
MOV A,#data	立即数传送到累加器	2	2
MOV Rn,A	累加器传送到寄存器	1	1
MOV Rn,direct	直接寻址字节传送到寄存器	2	2
MOV Rn,#data	立即数传送到寄存器	2	2
MOV direct,A	累加器传送到直接寻址字节	2	2
MOV direct,Rn	寄存器传送到直接寻址字节	2	2
MOV direct,direct	直接寻址字节传送到直接寻址字节	3	3
MOV direct,@Ri	间址 RAM 传送到直接寻址字节	2	2
MOV direct,#data	立即数传送到直接寻址字节	3	3
MOV @Ri,A	累加器传送到间址 RAM	1	2
MOV @Ri,direct	直接寻址字节传送到间址 RAM	2	2
MOV @Ri,#data	立即数传送到间址 RAM	2	2
MOV DPTR,#data16	16 位常数装入 DPTR	3	3
MOVC A,@A+DPTR	相对于 DPTR 的代码字节传送到累加器	1	3
MOVC A,@A+PC	相对于 PC 的代码字节传送到累加器	1	3
MOVX A,@Ri	外部 RAM(8 位地址)传送到累加器	1	3
MOVX @Ri,A	累加器传到外部 RAM (8 位地址)	1	3
MOVX A,@DPTR	外部 RAM(16 位地址)传送到累加器	1	3
MOVX @DPTR,A	累加器传到外部 RAM (16 位地址)	1	3
PUSH direct	直接寻址字节压入栈顶	2	2
POP direct	栈顶数据弹出到直接寻址字节	2	2
XCH A,Rn	寄存器和累加器交换	1	1
XCH A,direct	直接寻址字节与累加器交换	2	2
XCH A,@Ri	间址 RAM 与累加器交换	1	2
XCHD A,@Ri	间址 RAM 和累加器交换低半字节	1	2
位操作类指令			
CLR C	清进位位	1	1
CLR bit	清直接寻址位	2	2
SETB C	进位位置 1	1	1
SETB bit	直接寻址位置位	2	2
CPL C	进位位取反	1	1
CPL bit	直接寻址位取反	2	2
ANL C,bit	直接寻址位“与”到进位位	2	2
ANL C,/bit	直接寻址位的反码“与”到进位位	2	2
ORL C,bit	直接寻址位“或”到进位位	2	2
ORL C,/bit	直接寻址位的反码“或”到进位位	2	2
MOV C,bit	直接寻址位传送到进位位	2	2
MOV bit,C	进位位传送到直接寻址位	2	2
JC rel	若进位位为 1 则跳转	2	2/3*
JNC rel	若进位位为零则跳转	2	2/3*
JB bit,rel	若直接寻址位为 1 则跳转	3	3/4*
JNB bit,rel	若直接寻址位为零则跳转	3	3/4*
JBC bit,rel	若直接寻址位为 1 则跳转，并清除该位	3	3/4*

助记符	功能说明	字节数	时钟周期数
控制转移类指令			
ACALL addr11	绝对调用子程序	2	3*
LCALL addr16	长调用子程序	3	4*
RET	从子程序返回	1	5*
RETI	从中断返回	1	5*
AJMP addr11	绝对转移	2	3*
LJMP addr16	长转移	3	4*
SJMP rel	短转移（相对地址）	2	3*
JMP @A+DPTR	相对 DPTR 的间接转移	1	3*
JZ rel	累加器为 0 则转移	2	2/3*
JNZ rel	累加器为非 0 则转移	2	2/3*
CJNE A,direct,rel	比较直接寻址字节与累加器，不相等则转移	3	3/4*
CJNE A,#data,rel	比较立即数与累加器，不相等则转移	3	3/4*
CJNE Rn,#data,rel	比较立即数与寄存器，不相等则转移	3	3/4*
CJNE @Ri,#data,rel	比较立即数与间接寻址 RAM，不相等则转移	3	4/5*
DJNZ Rn,rel	寄存器减 1，不为零则转移	2	2/3*
DJNZ direct,rel	直接寻址字节减 1，不为零则转移	3	3/4*
NOP	空操作	1	1
*如果转移指令的转移目标地址没有存储在转移目标高速缓存中，则转移指令将招致高速缓存不命中。详见“14. 转移目标高速缓存”。			

寄存器、操作数和寻址方式说明：

Rn – 当前选择的寄存器区的寄存器 R0-R7。

@Ri – 通过寄存器 R0-R1 间接寻址的数据 RAM 地址。

rel – 相对于下一条指令第一个字节的 8 位有符号（2 的补码）偏移量。SJMP 和所有条件转移指令使用。

direct – 8 位内部数据存储器地址。可以是直接访问数据 RAM 地址（0x00-0x7F）或一个 SFR 地址（0x80-0xFF）。

#data – 8 位常数

#data16 – 16 位常数

bit – 数据 RAM 或 SFR 中的直接寻址位

addr11 – ACALL 或 AJMP 使用的 11 位目的地址。目的地址必须与下一条指令第一个字节处于同一个 2K 字节的程序存储器页。

addr16 – LCALL 或 LJMP 使用的 16 位目的地址。目的地址可以是 64KB 程序存储器空间内的任何位置。

有一个未使用的操作码（0xA5），它执行与 NOP 指令相同的功能。

9.4 存储器组织

CIP-51 系统控制器的存储器组织与标准 8051 类似。有两个独立的存储器空间：程序存储器和数据存储器。程序和数据存储器共享同一个地址空间，但用不同的指令类型访问。C8051F36x 器件有 256 字节的内部数据存储器和 32KB（C8051F360/1/2/3/4/5/6/7）或 16KB（C8051F368/9）的内部程序存储器空间。C8051F36x 的存储器组织如图 9.2 所示。

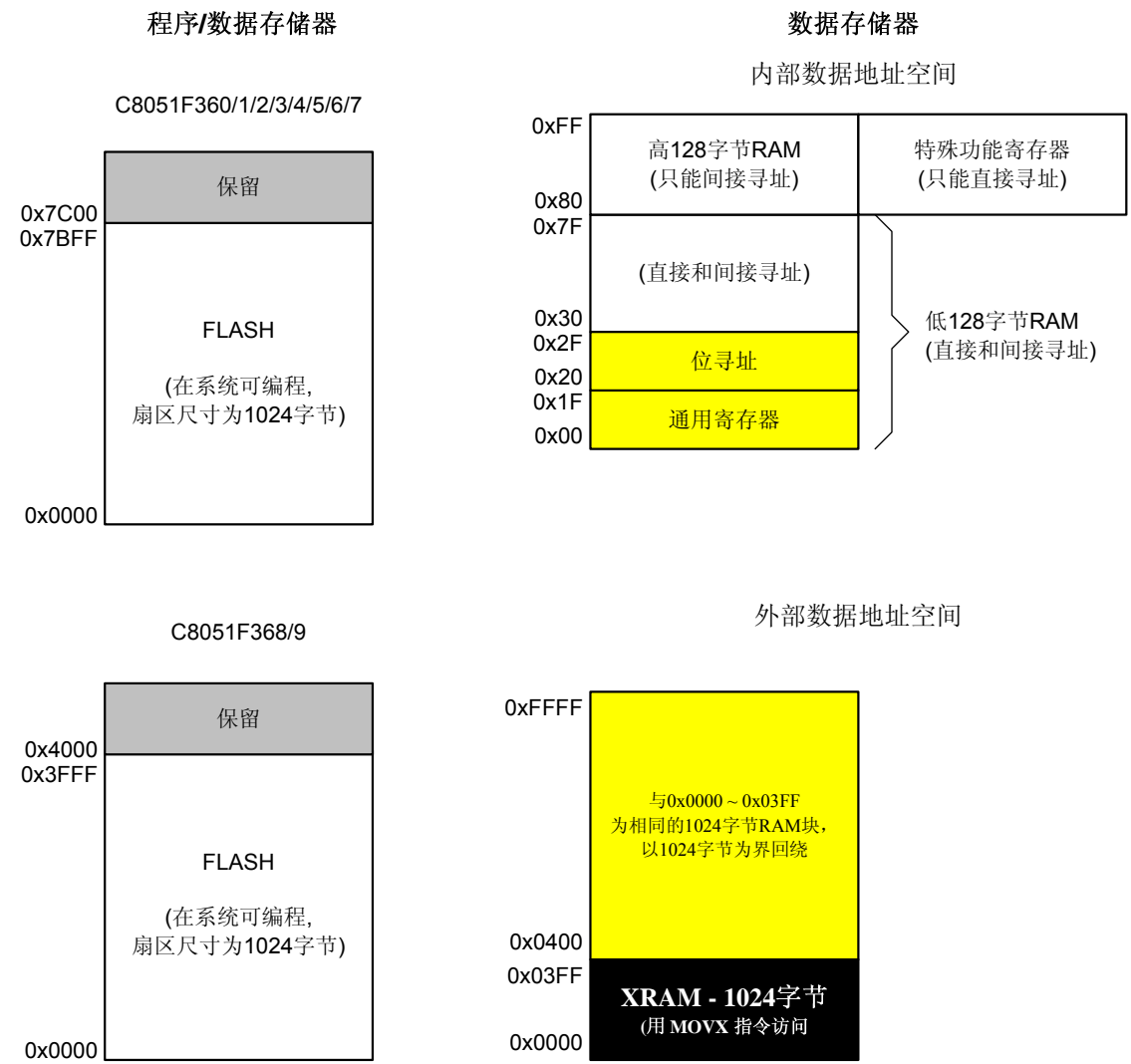


图 9.2 存储器组织图

9.4.1 程序存储器

CIP-51 核有 64KB 的程序存储器空间。C8051F360/1/2/3/4/5/6/7 在这个程序存储器空间中实现了 32KB 的可在系统编程的 FLASH 存储器，组织在一个连续的存储块内（地址为 0x0000 – 0x7BFF）。注意：在 32KB 器件中，0x7BFF 以上的地址保留。C8051F368/9 实现了 16KB 的 FLASH 存储器，地址范围为 0x0000 ~ 0x3FFF。

程序存储器通常被认为是只读的。但 CIP-51 可以通过置位程序存储写允许位（PSCTL.0）和使用 MOVX 写指令对程序存储器写入。这一特性为 CIP-51 提供了更新程序代码和将程序存

存储器空间用于非易失性数据存储的机制。更详细的信息见“13. FLASH 存储器”。

9.4.2 数据存储器

CIP-51 的数据存储器空间中有 256 字节的内部 RAM，位于 0x00 ~ 0xFF 的数据存储器空间。数据存储器中的低 128 字节用于通用寄存器和临时存储器。可以用直接或间接寻址方式访问数据存储器中的低 128 字节。0x00 ~ 0x1F 可作为 4 个通用寄存器区来访问，每个区有 8 个 8 位寄存器。接下来的 16 字节，地址 0x20 ~ 0x2F，既可以按字节寻址又可以作为 128 个位地址用直接寻址方式访问。

数据存储器中的高 128 字节只能用间接寻址访问。该存储区与特殊功能寄存器（SFR）占据相同的地址空间，但物理上与 SFR 空间是分开的。当寻址高于 0x7F 的地址时，指令所用的寻址方式决定了 CPU 是访问数据存储器的高 128 字节还是访问 SFR。使用直接寻址方式的指令将访问 SFR 空间，间接寻址大于 0x7F 地址的指令将访问数据存储器的高 128 字节。图 9.2 示出了 C8051F36x 的数据存储器组织。

C8051F36x 系列器件内部还有位于外部数据存储器空间的 1024 字节 RAM。该 RAM 可以用 CIP-51 核的 MOVX 指令访问。有关 XRAM 存储器的更详细信息见“15. 外部数据存储器接口和片内 XRAM”。

9.4.3 通用寄存器

数据存储器的低 32 字节（地址 0x00 ~ 0x1F）可以作为 4 个通用寄存器区访问。每个区有 8 个 8 位寄存器，称为 R0 ~ R7。在某一时刻只能选择一个寄存器区。程序状态字中的 RS0（PSW.3）和 RS1（PSW.4）位用于选择当前的寄存器区（见 SFR 定义 9.8 对 PSW 的说明）。这允许在进入子程序或中断服务程序时进行快速现场切换。间接寻址方式使用 R0 和 R1 作为间址寄存器。

9.4.4 位寻址空间

除了直接访问按字节组织的数据存储器外，从 0x20 到 0x2F 的 16 个数据存储器单元还可以作为 128 个独立寻址位访问。每个位有一个位地址，从 0x00 到 0x7F。位于地址 0x20 的数据字节的位 0 具有位地址 0x00，位于 0x20 的数据字节的位 7 具有位地址 0x07。位于 0x2F 的数据字节的位 7 具有位地址 0x7F。由所用指令的类型来区分是位寻址还是字节寻址。

MCS-51TM 汇编语言允许用 XX.B 的形式表示位地址，XX 为字节地址，B 为寻址位在该字节中的位置。例如，指令：

```
MOV    C,  22.3h
```

将 0x13 中的布尔值（字节地址 0x22 中的位 3）传送到进位标志。

9.4.5 堆栈

程序的堆栈可以位于 256 字节数据存储器中的任何位置。堆栈区域用堆栈指针（SP, 0x81）SFR 指定。SP 指向最后使用的位置。下一个压入堆栈的数据将被存放在 SP+1，然后 SP 加 1。复位后堆栈指针被初始化为地址 0x07，因此第一个被压入堆栈的数据将被存放在地址 0x08，这也是寄存器区 1 的第一个寄存器（R0）。如果使用不止一个寄存器区，SP 应被初始化为数据存储器中不用于数据存储的位置。堆栈深度最大可达 256 字节。

MCU 中还有内建的堆栈记录硬件，可由调试逻辑访问。该堆栈记录硬件是一个 32 位的移位寄存器，每次 PUSH 操作或 SP 增 1 都会向该寄存器压入一个记录位，每次 CALL 操作向该寄存器压入两个记录位。（一次 POP 或 SP 减 1 弹出一个记录位，一次 RET 操作弹出两个记录位。）堆栈记录电路还可以检查该 32 位移位寄存器的溢出或下溢，即使在 MCU 全速运行时也可通知调试软件。

9.4.6 特殊功能寄存器

从 0x80 到 0xFF 的直接寻址存储器空间为特殊功能寄存器（SFR）。SFR 提供对 CIP-51 的资源和外设的控制及 CIP-51 与这些资源和外设之间的数据交换。CIP-51 具有标准 8051 中的全部 SFR，还增加了一些用于配置和访问专有子系统的 SFR。这就允许在保证与 MCS-51™ 指令集兼容的前提下增加新的功能。表 9.2 列出了 CIP-51 系统控制器中的全部 SFR。

任何时刻用直接寻址访问从 0x80 到 0xFF 的存储器空间将访问特殊功能寄存器（SFR）。地址以 0x0 或 0x8 结尾的 SFR（例如 P0、TCON、P1、SCON、IE 等）既可以按字节寻址也可以按位寻址，所有其它 SFR 只能按字节寻址。SFR 空间中未使用的地址保留为将来使用，访问这些地址会产生不确定的结果，应予避免。有关表 9.3 中列出的每个寄存器的详细说明请参见本数据表的相关部分。

9.4.6.1 SFR 分页

CIP-51 实现了 SFR 分页机制，允许器件将很多 SFR 映射到 0x80 ~ 0xFF 这个存储器地址空间。SFR 存储器空间有 256 页。这样，0x80 ~ 0xFF 的每个存储器地址都可以访问多达 256 个 SFR。C8051F36x 系列器件使用 2 个 SFR 页：0 和 F。使用特殊功能寄存器页选择寄存器 SFRPAGE（见 SFR 定义 9.2）来选择 SFR 页。读和写一个 SFR 的步骤如下：

1. 用 SFRPAGE 寄存器选择相应的 SFR 页号。
2. 用直接寻址方式读或写特殊功能寄存器（MOV 指令）。

9.4.6.2 中断和 SFR 分页

当一个中断发生时，SFR 页寄存器会自动切换到 SFR 页 0，所有包含中断标志位的寄存器都位于 SFR 页 0 并且是可位寻址的。这种自动 SFR 页切换功能减轻了从中断服务程序切换 SFR 页的负担。在执行 RETI 指令时，中断前使用的 SFR 页会被自动恢复。这是通过一个 3 字节的 *SFR 页堆栈* 来实现的。位于该堆栈顶部的是 SFRPAGE，即当前 SFR 页；SFR 页堆栈的第二个字节是 SFRNEXT；第三个或者说 SFR 堆栈底部的字节是 SFRLAST。发生中断时，当前 SFRPAGE 的值被压入到 SFRNEXT 字节，SFRNEXT 的值被压入到 SFRLAST。然后硬件将包含该中断对应标志位的 SFR 页装入 SFRPAGE。在中断返回时执行 SFR 页堆栈出栈操作，SFRNEXT 的值返回到 SFRPAGE 寄存器，因此不需要软件干预即可恢复 SFR 页的上下文。SFRLAST 中的值（如果堆栈底部没有 SFR 页值，则该值为 0x00）被保存到 SFRNEXT 寄存器。如果需要，可以在中断服务程序中修改 SFRNEXT 和 SFRLAST 的值，以使 CPU 在执行 RETI 指令（中断返回）时返回到不同的 SFR 页。修改 SFR 页堆栈中的寄存器并不引起压栈或出栈操作。只有中断调用和返回才会导致对 SFR 页堆栈的压栈/出栈操作。

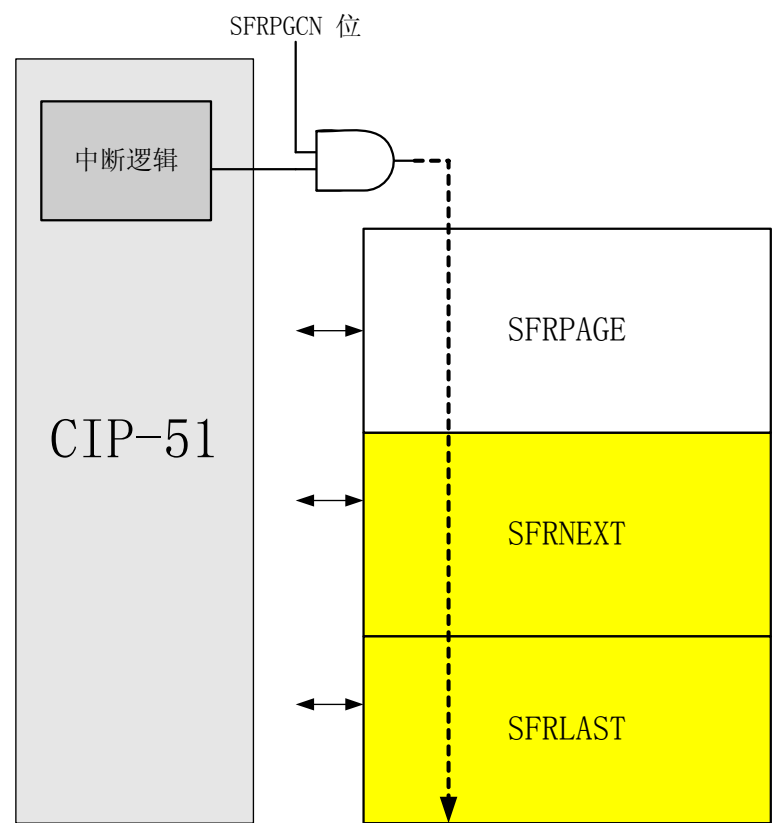


图 9.3 SFR 页堆栈

可以根据需要使能或禁止中断时的 SFR 页自动硬件切换功能，这是通过对位于 SFR 页控制寄存器（SFRPGCN）中的自动页控制使能位编程来实现的。系统复位后该功能缺省为使能状态。这样，自动切换功能被使能，除非用软件禁止。

表 9.2 以 SFR 存储器映像的形式给出了 SFR 单元（地址和 SFR 页）一览表。该表中的每个存储器单元都有指示其所在 SFR 页的列。注意：有些 SFR 可以从所有的 SFR 页访问，在表中以底纹标记。例如，端口 I/O 寄存器 P0、P1、P2 和 P3 都有底纹，表示可以从所有的 SFR 页访问这些 SFR 寄存器，而不管 SFRPAGE 寄存器的值为何。

9.4.6.3 SFR 页堆栈示例

下面给出了中断过程中 SFR 页堆栈操作的一个例子。

在本例中，SFR 页控制为缺省的使能状态（即 $SFRPGEN = 1$ ），CIP-51 正在执行向 OSCICN（SFR “OSCICN”，位于地址 0xB6，SFR 页为 0x0F）的写入操作。器件还使用可编程计数器阵列（PCA）并用 10 位 ADC（ADC0）窗口比较器监视一个电压值。系统用 PCA 中断服务程序（ISR）实现一个关键控制功能，因此 PCA 中断被使能并被设置为高优先级。ADC0 用于监视一个重要性稍差的电压，但为了减少软件开销，我们使用窗口比较器和相关的 ISR，窗口比较器中断被设置为低优先级。此时，SFR 页被设置为访问 OSCICN SFR（ $SFRPAGE = 0x0F$ ）。见下面的图 9.4。

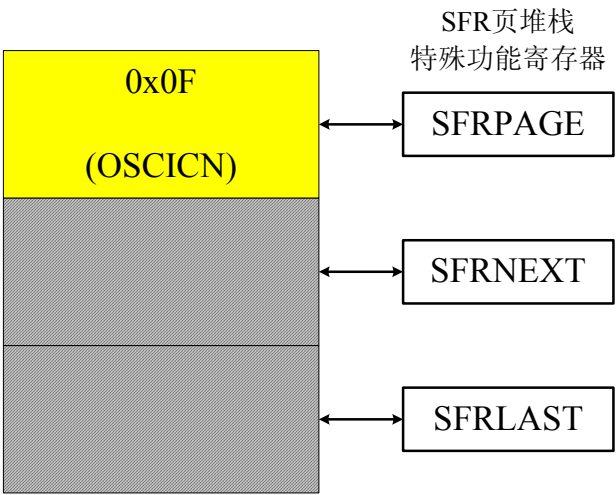


图 9.4 SFR 页堆栈：用 SFR 页 0x0F 访问 OSCICN

当 CIP-51 执行代码（在本例中为向 OSCICN 写值）时，发生了 ADC0 窗口比较器中断。CIP-51 转去执行 ADC0 窗口比较器 ISR，将当前 SFR 页值（SFR 页 0x0F）压入到 SFR 页堆栈的 SFRNEXT。然后，SFR 页 0x00 被自动装入 SFRPAGE 寄存器。SFRPAGE 是 SFR 页堆栈的“栈顶”。软件现在可以访问 ADC0 的特殊功能寄存器。软件可以在执行 ADC0 ISR 的任何时刻通过向 SFRPAGE 寄存器写一个新值来切换到任何一个 SFR 页，以访问不在 SFR 页 0x00 的特殊功能寄存器。见下面的图 9.5。

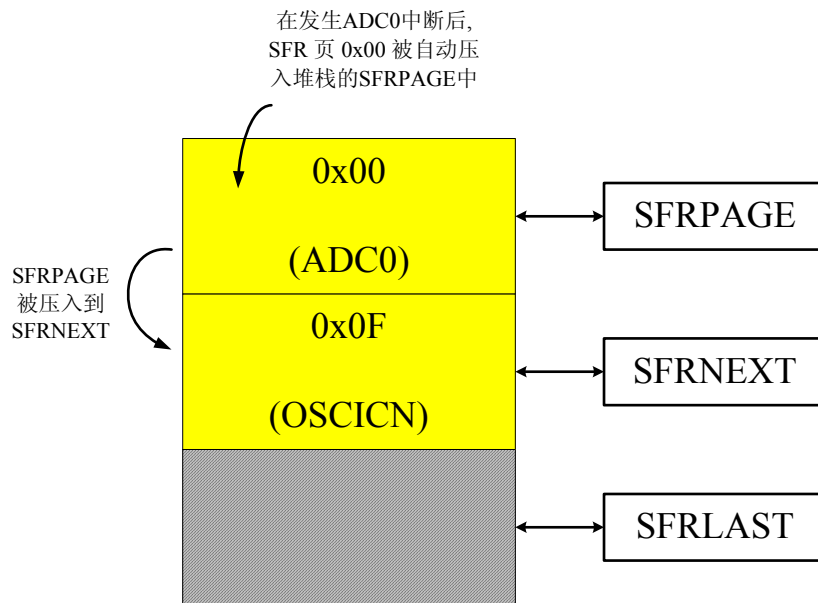


图 9.5 ADC0 窗口比较器中断发生后的 SFR 页堆栈

当 CIP-51 执行 ADC0 ISR 时，发生了 PCA 中断。回顾一下，PCA 中断被配置为高优先级，ADC0 中断被配置为低优先级。因此 CIP-51 现在转去执行高优先级的 PCA ISR。进入 PCA ISR 之时，CIP-51 自动将 SFR 页 0x00 装入 SFRPAGE 寄存器。在 PCA 中断之前保存在 SFRPAGE 寄存器中的值（ADC0 所在的 SFR 页 0x00）被压入到堆栈的 SFRNEXT 中。同样，在 PCA 中断之前保存在 SFRNEXT 寄存器中的值（OSCICN 所在的 SFR 页 0x0F）被压入到 SFRLAST 寄存器中，即堆栈的底部。注意，先前保存在 SFRLAST 中的值（前一次软件写 SFRLAST 的操作）被覆盖。见下面的图 9.6。

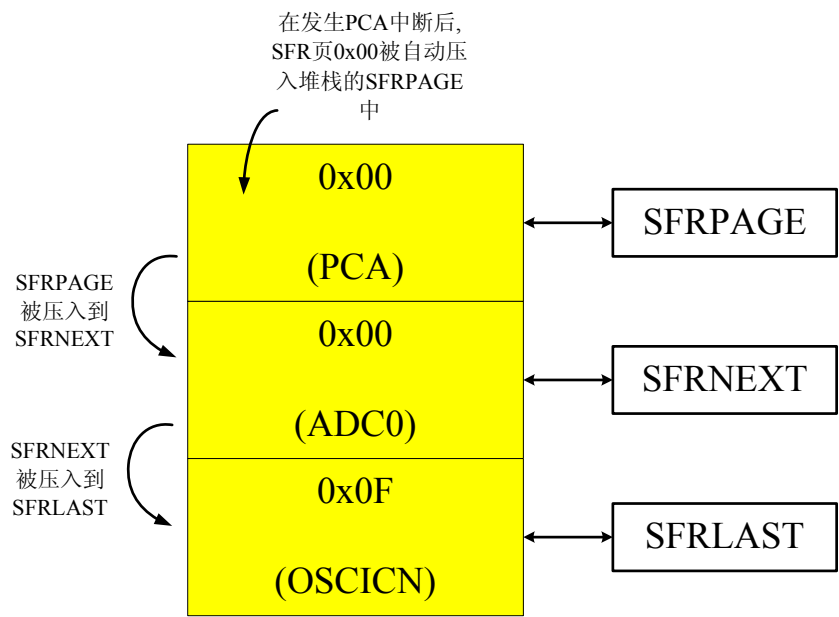


图 9.6 在 ADC0 ISR 期间发生 PCA 中断后的 SFR 页堆栈

从 PCA 中断服务程序返回时，CIP-51 将返回到 ADC0 窗口比较器 ISR。在执行 RETI 指令时，用于访问 PCA 寄存器的 SFR 页 0x00 被自动弹出 SFR 页堆栈，SFRNEXT 寄存器的内容被保存到 SFRPAGE 寄存器中。ADC0 ISR 中的软件可以像 PCA 中断发生之前那样继续访问 SFR。同样，SFRLAST 寄存器中的值被保存到 SFRNEXT 寄存器中。这是在 ADC0 中断发生之前用于访问 OSCICN 的 SFR 页值 0x0F。见下面的图 9.7。

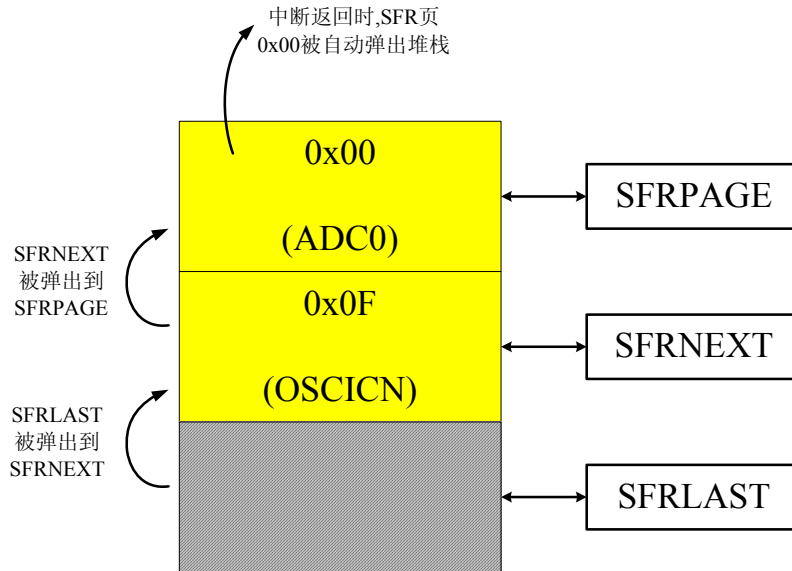


图 9.7 从 PCA 中断返回后的 SFR 页堆栈

在执行 ADC0 窗口比较器 ISR 中的 RETI 指令时，SFRPAGE 寄存器中的值被 SFRNEXT 的内容覆盖。CIP-51 现在可以像在中断发生之前那样访问 OSCICN SFR 中的数据位。见下面的图 9.8。

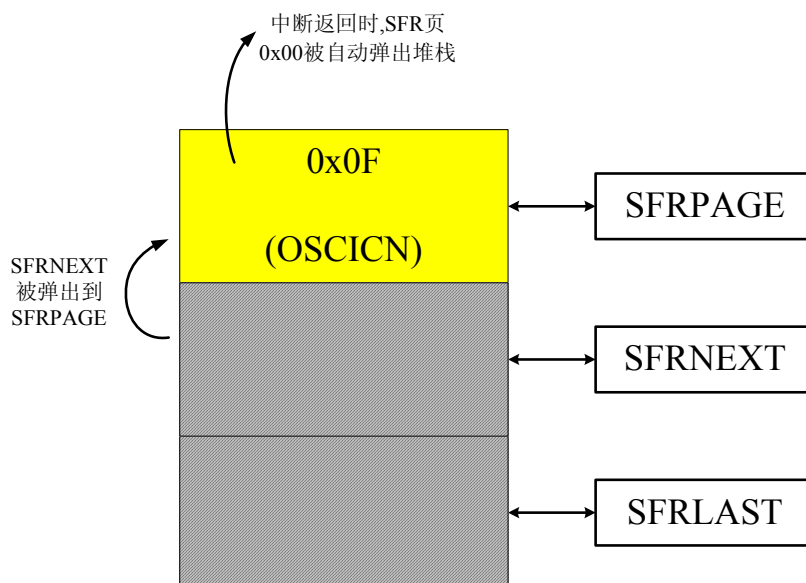


图 9.8 从 ADC2 窗口中断返回后的 SFR 页堆栈

注意：在上述例子中，SFR 页堆栈的全部 3 个字节都可以通过 SFRPAGE、SFRNEXT 和 SFRLAST 这几个特殊功能寄存器访问。如果在中断服务期间该堆栈被修改，中断返回后的当前 SFR 页可能与中断调用发生之前所选择的 SFR 页不同。在实时操作系统控制和管理多个任务间的上下文切换时，直接访问 SFR 页堆栈是很有用的。

SFR 页堆栈的压栈操作只能发生在中断服务之时，出栈操作只能发生在中断返回之际（执行 RETI 指令时）。上述的 SFRPAGE 自动切换和 SFR 页堆栈操作可以用软件禁止，这可以通过清除 SFR 页控制寄存器（SFRPGCN）中的 SFR 自动页使能位（SFRPGEN）来实现。见 SFR 定义 9.1。

SFR 定义 9.1 SFR0CN: SFR 页控制

SFR 页: F

SFR 地址: 0xE5

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
保留	保留	保留	保留	保留	保留	保留	SFRPGCN	00000001
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-1: 保留。读 = 0000000b, 必须写 0000000b。

位 0: SFRPGEN: SFR 自动页控制使能位。
发生中断时, C8051 核将转向特定的中断服务程序, 并自动切换到 SFR 页 0。
该位用于控制这种自动页切换功能。
0: 自动页控制功能被禁止。C8051 核不会自动切换到 SFR 页 0。
1: 自动页控制功能被使能。中断发生时, C8051 自动将 SFR 页切换到 SFR 页 0。

SFR 定义 9.2 SFRPAGE: SFR 页

SFR 页: 所有页

SFR 地址: 0xA7

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

SFR 地址: 0x84

SFR 页: 所有页

位 7-0: SFR 页位: 代表 C8051 MCU 读或修改 SFR 时所使用的 SFR 页。
写: 设置 SFR 页。
读: C8051 MCU 正在使用的 SFR 页。
当 SFR 页控制寄存器 (SFRPGCN) 中的 SFRPGEN 被使能时, C8051 自动切换到 SFR 页 0x00, 并在中断返回时返回到中断前的 SFR 页 (除非在中断返回前 SFR 栈被修改)。

SFRPAGE 是 SFR 页堆栈的顶部字节, 对该堆栈的压栈/出栈操作是由中断引起的 (而不是由读/写 SFRPAGE 寄存器引起的)。

SFR 定义 9.3 SFRNEXT: SFR 下一页

SFR 页: 所有页								复位值 00000000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0: SFR 页堆栈位: 在中断进入/返回时, SFR 页上下文被保存在一个 3 字节的 SFR 堆栈中: SFRPAGE 是第一个字节, SFRNEXT 是第二个字节, SFRLAST 是第三个字节。SFR 页堆栈字节可以用于改写 SFR 页堆栈的上下文, 但不能引起 SFR 页堆栈的压栈和出栈操作。只有中断发生和中断返回才能导致 SFR 页堆栈的压栈和出栈操作。								
写: 设置 SFR 页堆栈的第二字节所包含的 SFR 页。这将导致在中断返回时 SFRPAGE 寄存器将含有该 SFR 页值。								
读: 返回 SFR 页堆栈的第二字节所包含的 SFR 值。这是中断返回时进入 SFRPAGE 寄存器的值。								

SFR 定义 9.4 SFRLAST: SFR 最后寄存器

SFR 页: 所有页								复位值 00000000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0: SFR 页堆栈位: 在中断进入/返回时, SFR 页上下文被保存在一个 3 字节的 SFR 堆栈中: SFRPAGE 是第一个字节, SFRNEXT 是第二个字节, SFRLAST 是第三个字节。SFR 页堆栈字节可以用于改写 SFR 页堆栈的上下文, 但不能引起 SFR 页堆栈的压栈和出栈操作。只有中断发生和中断返回才能导致 SFR 页堆栈的压栈和出栈操作。								
写: 设置 SFR 页堆栈最后字节所包含的 SFR 页。这将导致在中断返回时 SFRNEXT 寄存器将含有该 SFR 页值。								
读: 返回 SFR 页堆栈的最后一个字节所包含的 SFR 值。								

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 9.2 特殊功能寄存器（SFR）存储器映象

地址	SFR 页	0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
F8	0 F	SPI0CN	PCA0L	PCA0H	PCA0CPL0	PCA0CPH0	PCA0CPL4	PCA0CPH4	VDM0CN
F0	0 F	B	MAC0BL P0MDIN	MAC0BH P1MDIN	P0MAT P2MDIN	P0MASK P3MDIN	PCA0CPL5	PCA0CPH5	- EMI0TC
E8	0 F	ADC0CN	PCA0CPL1	PCA0CPH1	PCA0CPL2	PCA0CPH2	PCA0CPL3	PCA0CPH3	RSTSRC
E0	0 F	ACC (所有页)	P1MAT XBR0	P1MASK XBR1	- -	IT01CF	- SFR0CN	EIE1	EIE2
D8	0 F	PCA0CN	PCA0MD	PCA0CPM0	PCA0CPM1	PCA0CPM2	PCA0CPM3	PCA0CPM4	PCA0CPM5
D0	0 F	PSW	REF0CN	MAC0ACC0 CCH0LC	MAC0ACC1 CCH0MA	MAC0ACC2 P0SKIP	MAC0ACC3 P1SKIP	MAC0OVR P2SKIP	MAC0CF P3SKIP
C8	0 F	TMR2CN	- CCH0TN	TMR2RLL	TMR2RLH	TMR2L	TMR2H	- EIP1	MAC0STA EIP2
C0	0 F	SMB0CN	SMB0CF	SMB0DAT	ADC0GTL	ADC0GTH	ADC0LT	ADC0LTH	- EMI0CF
B8	0 F	IP	IDA0CN	AMX0N	AMX0P	ADC0CF	ADC0L	ADC0H	- OSCICL
B0	0 F	P3	P2MAT PLL0MUL	P2MASK PLL0FLT	- PLL0CN	- -	P4	FLSCL OSCXCN	FLKEY OSCICN
A8	0 F	IE	- PLL0DIV	EMI0CN	- -	- FLSTAT	- OSCLCN	MAC0RNDL P4MDOUT	MAC0RNDH P3MDOUT
A0	0 F	P2	SPI0CFG	SPI0CKR	SPI0DAT	MAC0AL P0MDOUT	MAC0AH P1MDOUT	- P2MDOUT	SFRPAGE
98	0 F	SCON0	SBUF0	CPT1CN	CPT0CN	CPT1MD	CPT0MD	CPT1MX	CPT0MX
90	0 F	P1	TMR3CN	TMR3RLL	TMR3RLH	TMR3RL	TMR3RH	IDA0L	IDA0H
88	0 F	TCON	TMOD	TL0	TL1	TH0	TH1	CKCON	PSCTL CLKSEL
80	0 F	P0	SP	DPL	DPH	- CCH0CN	SFRNEXT	SFRLAST	PCON
		0(8)	1(9)	2(A)	3(B)	4(C)	5(D)	6(E)	7(F)
		可位寻址	带底纹的 SFR 可以从所有 SFR 页访问，不管 SFRPAGE 的内容如何。						

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 9.3 特殊功能寄存器

SFR 以字母顺序排列，所有未定义的 SFR 位置保留。

寄存器	地址	SFR 页	说 明	页码
ACC	0xE0	所有页	累加器	
ADC0CF	0xBC	所有页	ADC0 配置寄存器	
ADC0CN	0xE8	所有页	ADC0 控制寄存器	
ADC0GTH	0xC4	所有页	ADC0 下限（大于）数据字（高字节）	
ADC0GTL	0xC3	所有页	ADC0 下限（大于）数据字（低字节）	
ADC0H	0xBE	所有页	ADC0 数据字（高字节）	
ADC0L	0xBD	所有页	ADC0 数据字（低字节）	
ADC0LTH	0xC6	所有页	ADC0 上限（小于）数据字（高字节）	
ADC0LTL	0xC5	所有页	ADC0 上限（小于）数据字（低字节）	
AMX0N	0xBA	所有页	ADC0 负通道选择寄存器	
AMX0P	0xBB	所有页	ADC0 正通道选择寄存器	
B	0xF0	所有页	B 寄存器	
CCH0CN	0x84	F	高速缓存（Cache）控制寄存器	
CCH0LC	0xD2	F	高速缓存（Cache）锁定寄存器	
CCH0MA	0xD3	F	高速缓存（Cache）未命中累加器	
CCH0TN	0xC9	F	高速缓存（Cache）调节寄存器	
CKCON	0x8E	所有页	时钟控制寄存器	
CLKSEL	0x8F	F	系统时钟选择寄存器	
CPT0CN	0x9B	所有页	比较器 0 控制寄存器	
CPT0MD	0x9D	所有页	比较器 0 配置寄存器	
CPT0MX	0x9F	所有页	比较器 0 MUX 选择寄存器	
CPT1CN	0x9A	所有页	比较器 1 控制寄存器	
CPT1MD	0x9C	所有页	比较器 1 配置寄存器	
CPT1MX	0x9E	所有页	比较器 1 MUX 选择寄存器	
DPH	0x83	所有页	数据指针（高字节）	
DPL	0x82	所有页	数据指针（低字节）	
EIE1	0xE6	所有页	扩展中断允许 1	
EIE2	0xE7	所有页	扩展中断允许 2	
EIP1	0xCE	所有页	扩展中断优先级 1	
EIP2	0xCF	所有页	扩展中断优先级 2	
EMI0CF	0xC7	F	外部存储器接口配置寄存器	
EMI0CN	0xAA	所有页	外部存储器接口控制寄存器	
EMI0TC	0xF7	F	外部存储器接口时序控制寄存器	
FLKEY	0xB7	0	FLASH 锁定和关键码寄存器	
FLSCL	0xB6	0	FLASH 存储器定时预分频器	
FLSTAT	0x88	F	FLASH 状态寄存器	
IE	0xA8	所有页	中断允许寄存器	
IP	0xB8	所有页	中断优先级控制寄存器	
IT01CF	0xE4	所有页	INT0/INT1 配置寄存器	

表 9.3 特殊功能寄存器（续）

SFR 以字母顺序排列，所有未定义的 SFR 位置保留。

寄存器	地址	SFR 页	说 明	页码
MAC0ACC0	0xD2	0	MAC0 累加器字节 0 (LSB)	
MAC0ACC1	0xD3	0	MAC0 累加器字节 1	
MAC0ACC2	0xD4	0	MAC0 累加器字节 2	
MAC0ACC3	0xD5	0	MAC0 累加器字节 3 (MSB)	
MAC0AH	0xA5	0	MAC0 A 寄存器高字节	
MAC0AL	0xA4	0	MAC0 A 寄存器低字节	
MAC0BH	0xF2	0	MAC0 B 寄存器高字节	
MAC0BL	0xF1	0	MAC0 B 寄存器低字节	
MAC0CF	0xD7	0	MAC0 配置寄存器	
MAC0OVR	0xD6	0	MAC0 累加器溢出寄存器	
MAC0RNDH	0xAF	0	MAC0 舍入寄存器高字节	
MAC0RNDL	0xAE	0	MAC0 舍入寄存器低字节	
MAC0STA	0xCF	0	MAC0 状态寄存器	
OSCICL	0xBF	F	内部振荡器校准寄存器	
OSICN	0xB7	F	内部振荡器控制寄存器	
OSCLCN	0xAD	F	内部低频振荡器控制寄存器	
OSCXCN	0xB6	F	外部振荡器控制寄存器	
P0	0x80	所有页	端口 0 锁存器	
P0MASK	0xF4	0	端口 0 屏蔽寄存器	
P0MAT	0xF3	0	端口 0 匹配寄存器	
P0MDIN	0xF1	F	端口 1 输入方式寄存器	
P0MDOUT	0xA4	F	端口 0 输出方式配置寄存器	
P0SKIP	0xD4	F	端口 0 跳过寄存器	
P1	0x90	所有页	端口 1 锁存器	
P1MASK	0xE2	0	端口 1 屏蔽寄存器	
P1MAT	0xE1	0	端口 1 匹配寄存器	
P1MDIN	0xF2	F	端口 1 输入方式寄存器	
P1MDOUT	0xD5	F	端口 1 输出方式配置寄存器	
P1SKIP	0xD5	F	端口 1 跳过寄存器	
P2	0xA0	所有页	端口 2 锁存器	
P2MASK	0xB2	0	端口 2 屏蔽寄存器	
P2MAT	0xB1	0	端口 2 匹配寄存器	
P2MDIN	0xF3	F	端口 2 输入方式寄存器	
P2MDOUT	0xA6	F	端口 2 输出方式配置寄存器	
P2SKIP	0xD6	F	端口 2 跳过寄存器	
P3	0xB0	所有页	端口 3 锁存器	
P3MDIN	0xF4	F	端口 3 输入方式寄存器	
P3MDOUT	0xA7	F	端口 3 输出方式配置寄存器	
P3SKIP	0xD7	F	端口 3 跳过寄存器	

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 9.3 特殊功能寄存器（续）

SFR 以字母顺序排列，所有未定义的 SFR 位置保留。

寄存器	地址	SFR 页	说 明	页码
P4	0xB5	所有页	端口 4 锁存器	
P4MDOUT	0xAE	F	端口 4 输出方式配置寄存器	
PCA0CN	0xD8	所有页	PCA 控制寄存器	
PCA0CPH0	0xFC	所有页	PCA 模块 0 捕捉/比较高字节	
PCA0CPH1	0xEA	所有页	PCA 模块 1 捕捉/比较高字节	
PCA0CPH2	0xEC	所有页	PCA 模块 2 捕捉/比较高字节	
PCA0CPH3	0xEE	所有页	PCA 模块 3 捕捉/比较高字节	
PCA0CPH4	0xFE	所有页	PCA 模块 4 捕捉/比较高字节	
PCA0CPH5	0xF6	所有页	PCA 模块 5 捕捉/比较高字节	
PCA0CPL0	0xFB	所有页	PCA 模块 0 捕捉/比较低字节	
PCA0CPL1	0xE9	所有页	PCA 模块 1 捕捉/比较低字节	
PCA0CPL2	0xEB	所有页	PCA 模块 2 捕捉/比较低字节	
PCA0CPL3	0xED	所有页	PCA 模块 3 捕捉/比较低字节	
PCA0CPL4	0xFD	所有页	PCA 模块 4 捕捉/比较低字节	
PCA0CPL5	0xF5	所有页	PCA 模块 5 捕捉/比较低字节	
PCA0CPM0	0xDA	所有页	PCA 模块 0 方式寄存器	
PCA0CPM1	0xDB	所有页	PCA 模块 1 方式寄存器	
PCA0CPM2	0xDC	所有页	PCA 模块 2 方式寄存器	
PCA0CPM3	0xDD	所有页	PCA 模块 3 方式寄存器	
PCA0CPM4	0xDE	所有页	PCA 模块 4 方式寄存器	
PCA0CPM5	0xDF	所有页	PCA 模块 5 方式寄存器	
PCA0H	0xFA	所有页	PCA 计数器高字节	
PCA0L	0xF9	所有页	PCA 计数器低字节	
PCA0MD	0xD9	所有页	PCA 方式寄存器	
PCON	0x87	所有页	电源控制寄存器	
PLL0CN	0xB3	F	PLL 控制寄存器	
PLL0DIV	0xA9	F	PLL 除数寄存器	
PLL0FLT	0xB2	F	PLL 滤波器寄存器	
PLL0MUL	0xB1	F	PLL 乘数寄存器	
PSCTL	0x8F	0	FLASH 写/擦除控制寄存器	
PSW	0xD0	所有页	程序状态字	
REF0CN	0xD1	所有页	电压基准控制寄存器	
RSTSRC	0xEF	所有页	复位源寄存器	
SBUF0	0x99	所有页	UART0 数据缓冲器	
SCON0	0x98	所有页	UART0 控制寄存器	
SFR0CN	0xE5	F	SFR 页控制寄存器	
SFRLAST	0x86	所有页	SFR 页堆栈最后字节	
SFRNEXT	0x85	所有页	SFR 页堆栈下一字节	
SFRPAGE	0xA7	所有页	SFR 页选择	

表 9.3 特殊功能寄存器（续）

SFR 以字母顺序排列，所有未定义的 SFR 位置保留。

寄存器	地址	SFR 页	说 明	页码
SMB0CF	0xC1	所有页	SMBus 0 配置寄存器	
SMB0CN	0xC0	所有页	SMBus 0 控制寄存器	
SMB0DAT	0xC2	所有页	SMBus 0 数据寄存器	
SP	0x81	所有页	堆栈指针	
SPI0CFG	0xA1	所有页	SPI 配置寄存器	
SPI0CKR	0xA2	所有页	SPI 时钟速率寄存器	
SPI0CN	0xF8	所有页	SPI 控制寄存器	
SPI0DAT	0xA3	所有页	SPI 数据寄存器	
TCON	0x88	所有页	定时器/计数器控制寄存器	
TH0	0x8C	所有页	定时器/计数器 0 高字节	
TH1	0x8D	所有页	定时器/计数器 1 高字节	
TL0	0x8A	所有页	定时器/计数器 0 低字节	
TL1	0x8B	所有页	定时器/计数器 1 低字节	
TMOD	0x89	所有页	定时器/计数器方式寄存器	
TMR2CN	0xC8	所有页	定时器 2 控制寄存器	
TMR2H	0xCD	所有页	定时器 2 高字节	
TMR2L	0xCC	所有页	定时器 2 低字节	
TMR2RLH	0xCB	所有页	计数器/定时器 2 重载值高字节	
TMR2RLL	0xCA	所有页	计数器/定时器 2 重载值低字节	
TMR3CN	0x91	所有页	定时器 3 控制寄存器	
TMR3H	0x95	所有页	定时器 3 高字节	
TMR3L	0x94	所有页	定时器 3 低字节	
TMR3RLH	0x93	所有页	计数器/定时器 3 重载值高字节	
TMR3RLL	0x92	所有页	计数器/定时器 3 重载值低字节	
VDM0CN	0xFF	所有页	VDD 监视器控制寄存器	
XBR0	0xE1	F	端口 I/O 交叉开关控制 0	
XBR1	0xE2	F	端口 I/O 交叉开关控制 1	
注：				
1. 仅对 C8051F360/1/2/6/7/8/9；				
2. 仅对 C8051F360/3。				

9.4.7 寄存器说明

下面对与 CIP-51 系统控制器操作有关的 SFR 加以说明。保留位不应被置为逻辑 ‘1’。将来的产品版本可能会使用这些位实现新功能，在这种情况下各位的复位值将是逻辑 ‘0’ 以选择缺省状态。有关其它 SFR 的详细说明见本数据表中与它们对应的系统功能相关的章节。

SFR 定义 9.5 SP：堆栈指针

SFR 页：所有页								复位值
SFR 地址：0x81								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	00000111
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0： SP：堆栈指针								
堆栈指针保持栈顶位置。在每次执行 PUSH 操作前，堆栈指针加 1。SP 寄存器复位后的默认值为 0x07。								

SFR 定义 9.6 DPL：数据指针低字节

SFR 页：所有页								复位值
SFR 地址：0x82								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0： DPL：数据指针低字节								
DPL 为 16 位数据指针（DPTR）的低字节。DPTR 用于访问间接寻址的 XRAM 或 FLASH 存储器。								

SFR 定义 9.7 DPH：数据指针高字节

SFR 页：所有页								复位值
SFR 地址：0x83								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0： DPH：数据指针高字节								
DPH 为 16 位数据指针（DPTR）的高字节。DPTR 用于访问间接寻址的 XRAM 或 FLASH 存储器。								

SFR 定义 9.8 PSW：程序状态字

SFR 页：所有页

SFR 地址：0xD0（可位寻址）

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	复位值
CY	AC	F0	RS1	RS0	OV	F1	PARITY	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7：CY：进位标志。
当最后一次算术操作产生进位（加法）或借位（减法）时，该位置 1。其它算术操作将其清 0。

位 6：AC：辅助进位标志。
当最后一次算术操作向高半字节有进位（加法）或借位（减法）时，该位置 1。其它算术操作将其清 0。

位 5：F0：用户标志 0。
这是一个可位寻址、受软件控制的通用标志位。

位 4-3：RS1-RS0：寄存器区选择。
该两位选择访问寄存器时所使用的寄存器区。

RS1	RS0	寄存器区	地址
0	0	0	0x00-0x07
0	1	1	0x08-0x0F
1	0	2	0x10-0x17
1	1	3	0x18-0x1F

位 2：OV：溢出标志。
该位在下列情况下被置 1：

- ADD、ADDC 或 SUBB 指令引起符号位变化溢出。
- MUL 指令引起溢出（结果大于 255）。
- DIV 指令的除数为 0。

ADD、ADDC、SUBB、MUL 和 DIV 指令的其它情况使该位清 0。

位 1：F1：用户标志 1。
这是一个可位寻址、受软件控制的通用标志位。

位 0：PARITY：奇偶标志。
累加器中 8 个位的和为奇数时该位被置 1，为偶数时被清 0。

SFR 定义 9.9 ACC: 累加器

SFR 页：所有页								
SFR 地址：0xE0 （可位寻址）								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0： ACC：累加器								
该寄存器为算术操作用的累加器。								

SFR 定义 9.10 B: B 寄存器

SFR 页：所有页								
SFR 地址：0xF0 （可位寻址）								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0： B： B 寄存器								
该寄存器为某些算术操作的第二累加器。								

9.5 电源管理方式

CIP-51 有两种可软件编程的电源管理方式：空闲和停机。在空闲方式，CPU 停止运行，而外设和时钟处于活动状态。在停机方式，CPU 停止运行，所有的中断和定时器（时钟丢失检测器除外）都处于非活动状态，内部振荡器停止（模拟外设保持在所选择的状态；外部振荡器不受影响）。由于在空闲方式下时钟仍然运行，所以功耗与进入空闲方式之前的系统时钟频率和处于活动状态的外设数目有关。停机方式消耗最少的功率。SFR 定义 9.1 对用于控制 CIP-51 电源管理方式的电源控制寄存器（PCON）作出了说明。

虽然 CIP-51 具有空闲和停机方式（与任何标准 8051 结构一样），但通过按需要使能和禁止每个外设，可以使整个 MCU 的功耗最小。每个模拟外设在不用时都可以被禁止，使其进入低功耗方式。像定时器、串行总线这样的数字外设在不使用时消耗很少的功率。关闭振荡器可以大大降低功耗，但需要复位来重新启动 MCU。

C8051F36x 器件还有一个低功耗方式 SUSPEND，在该方式下内部振荡器停止运行，直到有唤醒事件发生。详见“16.1.1 内部振荡器挂起方式”。

9.5.1 空闲方式

将空闲方式选择位（PCON.0）置 1 使 CIP-51 停止 CPU 运行并进入空闲方式，在执行完对该位置 1 的指令后 MCU 立即进入空闲方式。所有内部寄存器和存储器都保持原来的数据不变。所有模拟和数字外设空闲方式期间都可以保持活动状态。

有被允许的中断发生或复位引脚有效将结束空闲方式。当有一个被允许的中断发生时，空闲方式选择位（PCON.0）被清 0，CPU 将继续工作。该中断将得到服务，中断返回（RET）后将开始执行设置空闲方式选择位的那条指令的下一条指令。如果空闲方式因一个内部或外部复位而结束，则 CIP-51 进行正常的复位过程并从地址 0x0000 开始执行程序。

如果被使能，WDT 将产生一个内部看门狗复位，从而结束空闲方式。这一功能可以保护系统不会因为对 PCON 寄存器的意外写入而导致永久性停机。如果不需要这种功能，可以在进入空闲方式之前用软件禁止 WDT（如果 WDT 被初始化为允许该操作）。这将进一步节省功耗，允许系统一直保持在空闲状态，等待一个外部激励唤醒系统。有关 WDT 的使用和配置见 22.3 节。

注意：如果在写 IDLE 位的指令之后是一条单字节指令，并且在将 IDLE 位置 1 的指令的执行阶段发生了中断，则将来发生中断时 CPU 可能不会被唤醒。因此，将 IDLE 位置 1 的指令的后面应跟随一条具有 2 或多字节操作码的指令。例如：

```
// 用 'C' 语言：
PCON |= 0x01 ; //      将 IDLE 位置 1
PCON = PCON ; //      ... 跟随一条 3 字节操作码的假指令

; 用汇编语言：
ORL  PCON, #01h      ; 将 IDLE 位置 1
MOV  PCON, PCON      ; ... 跟随一条 3 字节操作码的假指令
```

9.5.2 停机方式

将停机方式选择位（PCON.1）置 1 使 CIP-51 进入停机方式，在执行完对该位置 1 的指令后 MCU 立即进入停机方式。在停机方式，内部振荡器、CPU 和所有的数字外设都停止工作，但外部振荡器电路的状态不受影响。在进入停机方式之前，每个模拟外设（包括外部振荡器电路）都可以被单独关闭。只有内部或外部复位能结束停机方式。复位时，CIP-51 进行正常的复位过程并从地址 0x0000 开始执行程序。

如果被使能，时钟丢失检测器将产生一个内部复位，从而结束停机方式。如果想要使 CPU 的休眠时间长于 100 微秒的 MCD 超时时间，则应禁止时钟丢失检测器。

9.5.3 挂起方式

C8051F36x 器件还有一个低功耗方式 SUSPEND，在该方式下内部振荡器停止运行，直到有唤醒事件发生。详见“16.1.1 内部振荡器挂起方式”。

SFR 定义 9.7 PCON：电源控制寄存器

SFR 页：所有页								复位值
SFR 地址：0x87								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	00000000
保留	保留	保留	保留	保留	保留	STOP	IDLE	
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-2： 保留。读 = 000000b，必须写 000000b。								
位 1： STOP： 停机方式选择。								
将该位置 1 使 CIP-51 进入停机方式。该位的读出值总是为 0。								
1： 进入停机方式（关闭内部振荡器）								
位 0： IDLE： 空闲方式选择。								
将该位置 1 使 CIP-51 进入空闲方式。该位读出值总是为 0。								
1： CPU 进入空闲方式。（断开供给 CPU 的时钟信号，但供给定时器、中断、串口和所有外设的时钟保持活动状态。）								

10. 中断系统

C8051F36x 包含一个扩展的中断系统，支持 16 个中断源，每个中断源有两个优先级。中断源在片内外设与外部输入引脚之间的分配随器件的不同而变化。每个中断源可以在一个 SFR 中有一个或多个中断标志。当一个外设或外部源满足有效的中断条件时，相应的中断标志被置为逻辑 1。

如果一个中断源被允许，则在中断标志被置位时将产生中断请求。一旦当前指令执行结束，CPU 产生一个 LCALL 到预定地址，开始执行中断服务程序 (ISR)。每个 ISR 必须以 RETI 指令结束，使程序回到中断前执行的那条指令的下一条指令。如果中断未被允许，中断标志将被硬件忽略，程序继续正常执行。中断标志置 1 与否不受中断允许/禁止状态的影响。

每个中断源都可以用中断允许或扩展中断允许寄存器中相应的使能位来允许或禁止，但是必须首先将 EA 位 (IE.7) 置 1，以保证每个单独的中断允许位有效。不管每个中断允许位的设置如何，清除 EA 位将禁止所有中断。在 EA 位被清 0 期间所发生的中断请求被挂起，直到 EA 位被置 1 后才能得到服务。

注意：任何使 EA 位清 0 的指令的后面都应跟随一条具有两个或更多操作码字节的指令。例如可以这样使用 EA：

```
// 用 C 语言编程
EA = 0; // 清 '0' EA 位
EA = 0; // 这是一条两字节操作码的假指令

; 用汇编语言编程
CLR    EA    ; 清 '0' EA 位
CLR    EA    ; 这是一条两字节操作码的假指令
```

例如，如果一个中断在“CLR EA”指令（或任何使 EA 清‘0’的指令）的执行阶段有效，并且该指令的后面是一条单周期的指令，则该中断可能被响应，但在中断服务程序中读 EA 位将返回‘0’值。如果“CLR EA”指令后面是一条多周期的指令，则中断不会被响应。

某些中断标志在 CPU 进入 ISR 时被自动清除，但大多数中断标志不是由硬件清除的，必须在 ISR 返回前用软件清除。如果一个中断标志在 CPU 执行完中断返回 (RETI) 指令后仍然保持置位状态，则会立即产生一个新的中断请求，CPU 将在执行完下一条指令后再次进入该 ISR。

10.1 MCU 中断源和中断向量

MCU 支持 16 个中断源。软件可以通过将任何一个中断标志设置为逻辑 1 来模拟一个中断。如果中断标志被允许，系统将产生一个中断请求，CPU 将转向与该中断标志对应的 ISR 地址。表 10.1 给出了 MCU 中断源、对应的向量地址、优先级和控制位一览表。关于外设有效中断条件和中断标志位工作状态方面的详细信息，请见与特定外设相关的章节。

10.2 中断优先级

每个中断源都可以被独立地编程为两个优先级中的一个：低优先级或高优先级。一个低优先级的中断服务程序可以被高优先级的中断所中断，但高优先级的中断不能被中断。每个中断在 SFR（IP 或 EIP1、EIP2）中都有一个配置其优先级的中断优先级设置位，缺省值为低优先级。如果两个中断同时发生，具有高优先级的中断先得到服务。如果这两个中断的优先级相同，则由固定的优先级顺序决定哪一个中断先得到服务（见表 10.1）。

10.3 中断响应时间

中断响应时间取决于中断发生时 CPU 的状态。中断系统在每个系统时钟周期对中断请求标志采样并对优先级译码。最快的响应时间为 5 个系统时钟周期：一个周期用于检测中断，4 个周期用于完成对 ISR 的长调用（LCALL）。如果发生高速缓存不命中，则还要附加几个时钟周期（详见第 14 章）。如果中断标志有效时 CPU 正在执行 RETI 指令，则需要再执行一条指令后才能执行 LCALL，进入中断服务程序。因此，最长的中断响应时间（没有其它中断正被服务或新中断具有较高优先级）发生在 CPU 正在执行 RETI 指令，而下一条指令是 DIV，并且发生高速缓存不命中的情况。如果 CPU 正在执行一个具有相同或更高优先级的中断的 ISR，则新中断要等到当前 ISR 执行完（包括 RETI 和下一条指令）才能得到服务。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 10.1 中断一览表

中断源	中断向量	优先级	中断标志	位寻址	硬件清除	中断允许位	优先级控制
复位	0x0000	最高	无	N/A	N/A	总是允许	总是最高
外部中断 0 (/INT0)	0x0003	0	IE0 (TCON.1)	Y	Y	EX0 (IE.0)	PX0 (IP.0)
定时器 0 溢出	0x000B	1	TF0 (TCON.5)	Y	Y	ET0 (IE.1)	PT0 (IP.1)
外部中断 1 (/INT1)	0x0013	2	IE1 (TCON.3)	Y	Y	EX1 (IE.2)	PX1 (IP.2)
定时器 1 溢出	0x001B	3	TF1 (TCON.7)	Y	Y	ET1 (IE.3)	PT1 (IP.3)
UART0	0x0023	4	RI0 (SCON0.0) TI0 (SCON0.1)	Y	N	ES0 (IE.4)	PS0 (IP.4)
定时器 2 溢出	0x002B	5	TF2H (TMR2CN.7) TF2L (TMR2CN.6)	Y	N	ET2 (IE.5)	PT2 (IP.5)
SPI0	0x0033	6	SPIF (SPI0CN.7) WCOL (SPI0CN.6) MODF (SPI0CN.5) RXOVRN(SPI0CN.4)	Y	N	ESPI0 (IE.6)	PSPI0 (IP.6)
SMB0	0x003B	7	SI (SMB0CN.0)	Y	N	ESMB0 (EIE1.0)	PSMB0 (EIP1.0)
保留	0x0043	8	N/A	N/A	N/A	N/A	N/A
ADC0 窗口比较器	0x004B	9	AD0WINT (ADC0CN.5)	Y	N	EWADC0 (EIE1.2)	PWADC0 (EIP1.2)
ADC0 转换结束	0x0053	10	AD0INT (ADC0STA.5)	Y	N	EADC0 (EIE1.3)	PADC0 (EIP1.3)
可编程计数器阵列	0x005B	11	CF (PCA0CN.7) CCFn (PCA0CN.n)	Y	N	EPCA0 (EIE1.4)	PPCA0 (EIP1.4)
比较器 0	0x0063	12	CP0FIF(CPT0CN.4) CP0RIF(CPT0CN.5)	N	N	ECP0 (EIE1.5)	PCP0 (EIP1.5)
比较器 1	0x006B	13	CP1FIF(CPT1CN.4) CP1RIF(CPT1CN.5)	N	N	ECP1 (EIE1.6)	PCP1 (EIP1.6)
定时器 3 溢出	0x0073	14	TF3H(TMR3CN.7) TF3L(TMR3CN.6)	N	N	ET3 (EIE1.7)	PT3 (EIP1.7)
保留	0x007B	15	N/A	N/A	N/A	N/A	N/A
端口匹配	0x0083	16	N/A	N/A	N/A	EMAT (EIE2.1)	PMAT (EIP2.1)

10.4 中断寄存器说明

下面介绍用于允许中断源和设置中断优先级的特殊功能寄存器。关于外设有效中断条件和中断标志位工作状态方面的详细信息，请见与特定片内外设相关的章节。

SFR 定义 10.1 IE：中断允许寄存器

SFR 页：所有页								
SFR 地址：0xA8 （可位寻址）								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
EA	ESPI0	ET2	ES0	ET1	EX1	ET0	EX0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7:	EA：允许所有中断。 该位允许 / 禁止所有中断。它超越所有的单个中断屏蔽设置。 0：禁止所有中断源。 1：开放中断。每个中断由它对应的中断屏蔽设置决定。							
位 6:	ESPI0：串行外设接口（SPI0）中断允许位。 该位用于设置 SPI0 的中断屏蔽。 0：禁止 SPI0 中断。 1：允许 SPI0 的中断请求。							
位 5:	ET2：定时器 2 中断允许位。 该位用于设置定时器 2 的中断屏蔽。 0：禁止定时器 2 中断。 1：允许 TF2L 或 TF2H 标志的中断请求。							
位 4:	ES0：UART0 中断允许位。 该位设置 UART0 的中断屏蔽。 0：禁止 UART0 中断。 1：允许 UART0 中断。							
位 3:	ET1：定时器 1 中断允许位。 该位用于设置定时器 1 的中断屏蔽。 0：禁止定时器 1 中断。 1：允许 TF1 标志位的中断请求。							
位 2:	EX1：外部中断 1 允许位。 该位用于设置外部中断 1 的中断屏蔽。 0：禁止外部中断 1。 1：允许/INT1 引脚的中断请求							
位 1:	ET0：定时器 0 中断允许位。 该位用于设置定时器 0 的中断屏蔽。 0：禁止定时器 0 中断。 1：允许 TF0 标志位的中断请求。							
位 0:	EX0：外部中断 0 允许位。 该位用于设置外部中断 0 的中断屏蔽。 0：禁止外部中断 0。 1：允许/INT0 引脚的中断请求							

SFR 定义 10.2 IP: 中断优先级寄存器

SFR 页: 所有页								
SFR 地址: 0xB8 (可位寻址)								
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
-	PSPI0	PT2	PS0	PT1	PX1	PT0	PX0	10000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7: 未用。读=1b, 写=忽略。								
位 6: PSPI0: 串行外设接口 (SPI0) 中断优先级控制								
该位设置 SPI0 中断的优先级。								
0: SPI0 为低优先级。								
1: SPI0 为高优先级。								
位 5: PT2: 定时器 2 中断优先级控制								
该位设置定时器 2 中断的优先级。								
0: 定时器 2 为低优先级。								
1: 定时器 2 为高优先级。								
位 4: PS0: UART0 中断优先级控制。								
该位设置 UART0 中断的优先级。								
0: UART0 为低优先级。								
1: UART0 为高优先级。								
位 3: PT1: 定时器 1 中断优先级控制								
该位设置定时器 1 中断的优先级。								
0: 定时器 1 为低优先级。								
1: 定时器 1 为高优先级。								
位 2: PX1: 外部中断 1 优先级控制								
该位设置外部中断 1 的优先级。								
0: 外部中断 1 为低优先级。								
1: 外部中断 1 为高优先级。								
位 1: PT0: 定时器 0 中断优先级控制								
该位设置定时器 0 中断的优先级。								
0: 定时器 0 为低优先级。								
1: 定时器 0 为高优先级。								
位 0: PX0: 外部中断 0 优先级控制								
该位设置外部中断 0 的优先级。								
0: 外部中断 0 为低优先级。								
1: 外部中断 0 为高优先级。								

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 10.3 EIE1: 扩展中断允许 1

SFR 页: 所有页								
SFR 地址: 0xE6								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
ET3	ECP1	ECP0	EPCA0	EADC0	EWADC0	—	ESMB0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7:	ET3: 定时器 3 中断允许位 该位设置定时器 3 的中断屏蔽。 0: 禁止定时器 3 中断。 1: 允许 TF3L 或 TF3H 标志的中断请求。							
位 6:	ECP1: 比较器 1 (CP1) 中断允许位 该位设置 CP1 的中断屏蔽。 0: 禁止 CP1 中断。 1: 允许 CP1RIF 或 CP1FIF 标志产生的中断请求。							
位 5:	ECP0: 比较器 0 (CP0) 中断允许位 该位设置 CP0 的中断屏蔽。 0: 禁止 CP0 中断。 1: 允许 CP0RIF 或 CP0FIF 标志产生的中断请求。							
位 4:	EPCA0: 可编程计数器阵列 (PCA0) 中断允许位 该位设置 PCA0 的中断屏蔽。 0: 禁止所有 PCA0 中断。 1: 允许 PCA0 的中断请求。							
位 3:	EADC0: ADC0 转换结束中断允许位 该位设置 ADC0 转换结束中断屏蔽。 0: 禁止 ADC0 转换结束中断。 1: 允许 AD0INT 标志的中断请求。							
位 2:	EWADC0: ADC0 窗口比较中断允许位 该位设置 ADC0 窗口比较中断屏蔽。 0: 禁止 ADC0 窗口比较中断。 1: 允许 ADC0 窗口比较标志 (AD0WINT) 的中断请求。							
位 1:	未用。读=0b, 写=忽略。							
位 0:	ESMB0: SMBus 中断允许位 该位设置 SMBus (SMB0) 的中断屏蔽。 0: 禁止 SMB0 中断。 1: 允许 SMB0 的中断请求。							

SFR 定义 10.4 EIP1: 扩展中断优先级 1

SFR 页: F

SFR 地址: 0xCE

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
PT3	PCP1	PCP0	PPCA0	PADC0	PWADC0	—	PSMB0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	SFR地址: 0xCE

- 位 7:** PT3: 定时器 3 中断优先级控制
该位设置定时器 3 中断的优先级。
0: 定时器 3 中断为低优先级。
1: 定时器 3 中断为高优先级。
- 位 6:** PCP1: 比较器 1 (CP1) 中断优先级控制
该位设置 CP1 中断的优先级。
0: CP1 中断为低优先级。
1: CP1 中断为高优先级。
- 位 5:** PCP0: 比较器 0 (CP0) 中断优先级控制
该位设置 CP0 中断的优先级。
0: CP0 中断为低优先级。
1: CP0 中断为高优先级。
- 位 4:** PPCA0: 可编程计数器阵列 (PCA0) 中断优先级控制
该位设置 PCA0 中断的优先级。
0: PCA0 中断为低优先级。
1: PCA0 中断为高优先级。
- 位 3:** PADC0: ADC0 转换结束中断优先级控制
该位设置 ADC0 转换结束中断的优先级。
0: ADC0 转换结束中断为低优先级。
1: ADC0 转换结束中断为高优先级。
- 位 2:** PWADC0: ADC0 窗口比较器中断优先级控制
该位设置 ADC0 窗口中断的优先级。
0: ADC0 窗口中断为低优先级。
1: ADC0 窗口中断为高优先级。
- 位 1:** 未用。读 = 0b, 写 = 忽略。
- 位 0:** PSMB0: SMBus (SMB0) 中断优先级控制
该位设置 SMB0 中断的优先级。
0: SMB0 中断为低优先级。
1: SMB0 中断为高优先级。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 10.5 EIE2: 扩展中断允许 2

SFR 页: 所有页								复位值 00000000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
—	—	—	—	—	—	EMAT	—	
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-2: 未用。读 = 000000b, 写 = 忽略。								
位 1: EMAT: 端口匹配中断允许位								
该位设置端口匹配中断屏蔽。								
0: 禁止端口匹配中断。								
1: 允许端口匹配中断。								
位 0: 未用。读 = 0b, 写 = 忽略。								

SFR 定义 10.6 EIP2: 扩展中断优先级 2

SFR 页: F								复位值 00000000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
—	—	—	—	—	—	PMAT	—	
位7	位6	位5	位4	位3	位2	位1	位0	SFR地址:
位 7-2: 未用。读 = 000000b, 写 = 忽略。								
位 1: PMAT: 端口匹配中断优先级控制								
该位设置端口匹配中断的优先级。								
0: 端口匹配中断为低优先级。								
1: 端口匹配中断为高优先级。								
位 0: 未用。读 = 0b, 写 = 忽略。								

10.5 外部中断

两个外部中断源/INT0 和/INT1 可被配置为低电平有效或高电平有效，边沿触发或电平触发。IT01CF 寄存器中的 IN0PL (/INT0 极性) 和 IN1PL (/INT1 极性) 位用于选择高电平有效还是低电平有效；TCON 中的 IT0 和 IT1 用于选择电平或边沿触发。下面的表列出了可能的配置组合。

IT0	IN0PL	/INT0 中断	IT1	IN1PL	/INT1 中断
1	0	低电平有效，边沿触发	1	0	低电平有效，边沿触发
1	1	高电平有效，边沿触发	1	1	高电平有效，边沿触发
0	0	低电平有效，电平触发	0	0	低电平有效，电平触发
0	1	高电平有效，电平触发	0	1	高电平有效，电平触发

/INT0 和/INT1 所使用的端口引脚在 IT01CF 寄存器中定义(见 SFR 定义 10.7)。注意，/INT0 和/INT0 端口引脚分配与交叉开关的设置无关。/INT0 和/INT1 监视分配给它们的端口引脚，不影响被交叉开关分配了相同引脚的外设。如果要将一个端口引脚只分配给/INT0 或/INT1，则应使交叉开关跳过这个引脚。这可以通过设置寄存器 XBR0 中的相应位来实现（有关配置交叉开关的详细信息见“17.1 优先权交叉开关译码器”）。

IE0 (TCON.1) 和 IE1 (TCON.3) 分别为外部中断/INT0 和/INT1 的中断标志。如果/INT0 或/INT1 外部中断被配置为边沿触发，CPU 在转向 ISR 时用硬件自动清除相应的中断标志。当被配置为电平触发时，在输入有效期间（根据极性控制位 IN0PL 或 IN1PL 的定义）中断标志将保持在逻辑 1 状态；在输入无效期间该标志保持逻辑 0 状态。电平触发的外部中断源必须一直保持输入有效直到中断请求被响应，在 ISR 返回前必须使该中断请求无效，否则将产生另一个中断请求。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 10.7 IT01CF: INT0/INT1 配置寄存器

SFR 页: 所有页

SFR 地址: 0xE4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
IN1PL	IN1SL2	IN1SL1	IN1SL0	IN0PL	IN0SL2	IN0SL1	IN0SL0	00000001
位7	位6	位5	位4	位3	位2	位1	位0	

关于 INT0/1 电平或边沿中断选择, 请参见 SFR 定义 21.1——“TCON: 定时器控制”。

位 7: IN1PL: /INT1 极性

0: /INT1 为低电平有效。

1: /INT1 为高电平有效。

位 6-4: IN1SL2-0: /INT1 端口引脚选择位

这些位用于选择分配给/INT1 的端口引脚。注意, 该引脚分配与交叉开关无关; /INT1 将监视分配给它的端口引脚, 但不影响被交叉开关分配了相同引脚的外设。如果将交叉开关配置为跳过这个引脚 (通过将寄存器 POSKIP 中的对应位置 1 来实现), 则该引脚将不会被分配给外设。

IN1SL2-0	/INT1 端口引脚
000	P0.0
001	P0.1
010	P0.2
011	P0.3
100	P0.4
101	P0.5
110	P0.6
111	P0.7

位 3: IN0PL: /INT0 极性

0: /INT0 为低电平有效。

1: /INT0 为高电平有效。

位 2-0: IN0SL2-0: /INT0 端口引脚选择位

这些位用于选择分配给/INT0 的端口引脚。注意, 该引脚分配与交叉开关无关; /INT0 将监视分配给它的端口引脚, 但不影响被交叉开关分配了相同引脚的外设。如果将交叉开关配置为跳过这个引脚 (通过将寄存器 POSKIP 中的对应位置 1 来实现), 则该引脚将不会被分配给外设。

IN0SL2-0	/INT0 端口引脚
000	P0.0
001	P0.1
010	P0.2
011	P0.3
100	P0.4
101	P0.5
110	P0.6
111	P0.7

11. 乘法和累加引擎（MAC0）

C8051F36x器件包含一个乘法和累加引擎（MAC0），可以用于加速很多数学运算。MAC0包含一个16 x 16的乘法器和一个40位的加法器，它可以在两个SYSCLK周期内完成对带符号的输入值的整数或小数乘法-累加或乘法。一个舍入引擎可以在一个附加的（第三个）SYSCLK周期后提供舍入的16位小数结果。MAC0还包含一个1位算术移位器，可以在一个SYSCLK周期内对40位累加器中的内容进行左移或右移。图11.1给出了MAC0单元及其相关特殊功能寄存器的原理框图。

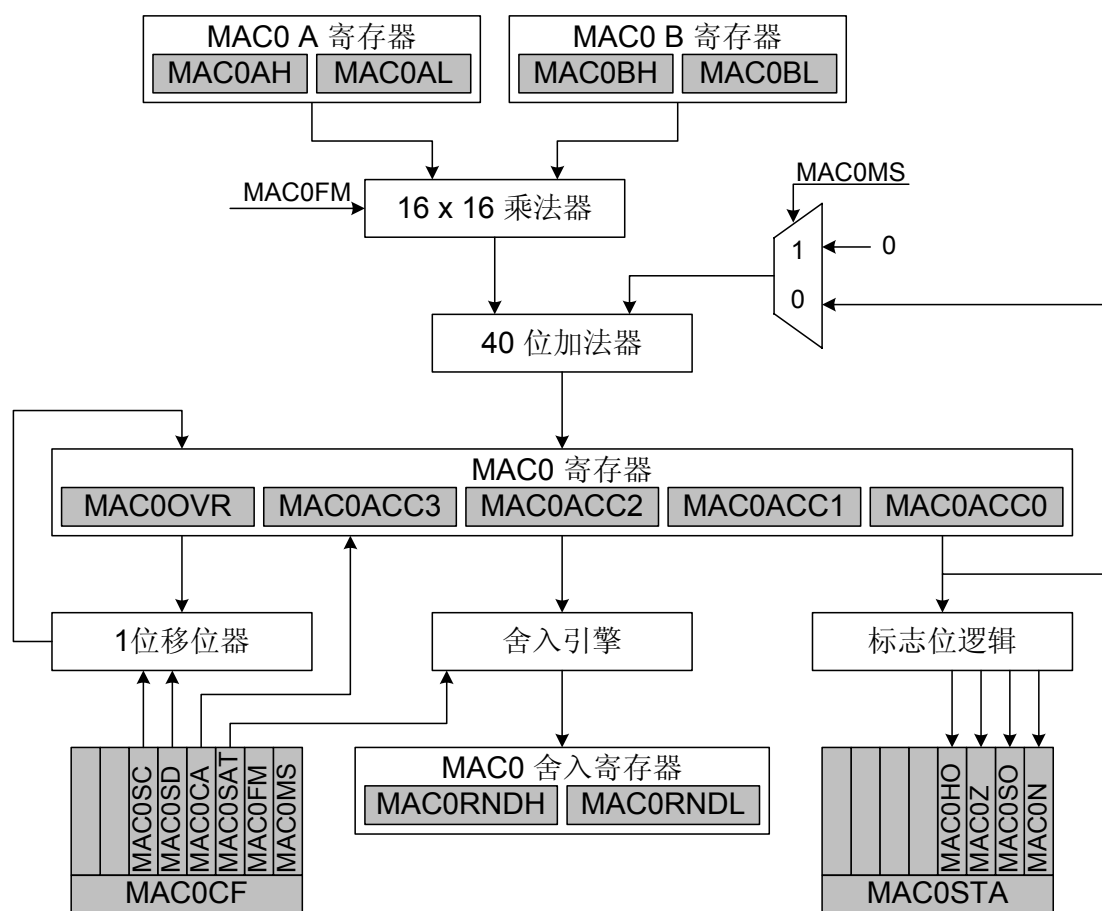


图11.1 MAC0原理框图

11.1 特殊功能寄存器

有13个与MAC0相关的特殊功能寄存器（SFR）。其中两个寄存器与配置和操作有关，其它11个寄存器用于保存MAC0的多字节输入和输出数据。配置寄存器MAC0CF（见SFR定义11.1）用于配置和控制MAC0。状态寄存器MAC0STA（见SFR定义11.2）包含用于指示溢出条件以及零和负结果值的标志位。16位的MAC0A（MAC0AH:MAC0AL）和MAC0B（MAC0BH:MAC0BL）寄存器为乘法器提供输入。MAC0累加器寄存器的长度为40位，包括5个SFR：MAC0OVR、MAC0ACC3、MAC0ACC2、MAC0ACC1和MAC0ACC0。MAC0操作的结果保存在MAC0累加器寄存器中。如果需要，舍入结果保存在舍入寄存器MAC0RND

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

(MAC0RNDH:MAC0RNDL) 中。

11.2 整数和小数运算

MAC0可以把MAC0A和MAC0B中的16位输入作为有符号整数或有符号小数处理。当MAC0FM位(MAC0CF.1)被清0时,输入值被作为16位的整数(2的补码表示)。运算结束后,累加器中将包含40位长的整数(2的补码表示)。图11.2给出了整数在这些特殊功能寄存器中的表示格式。

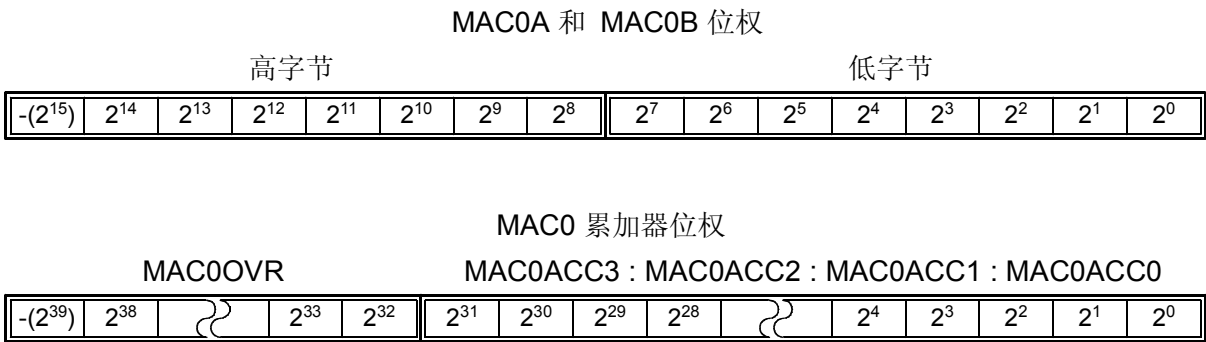
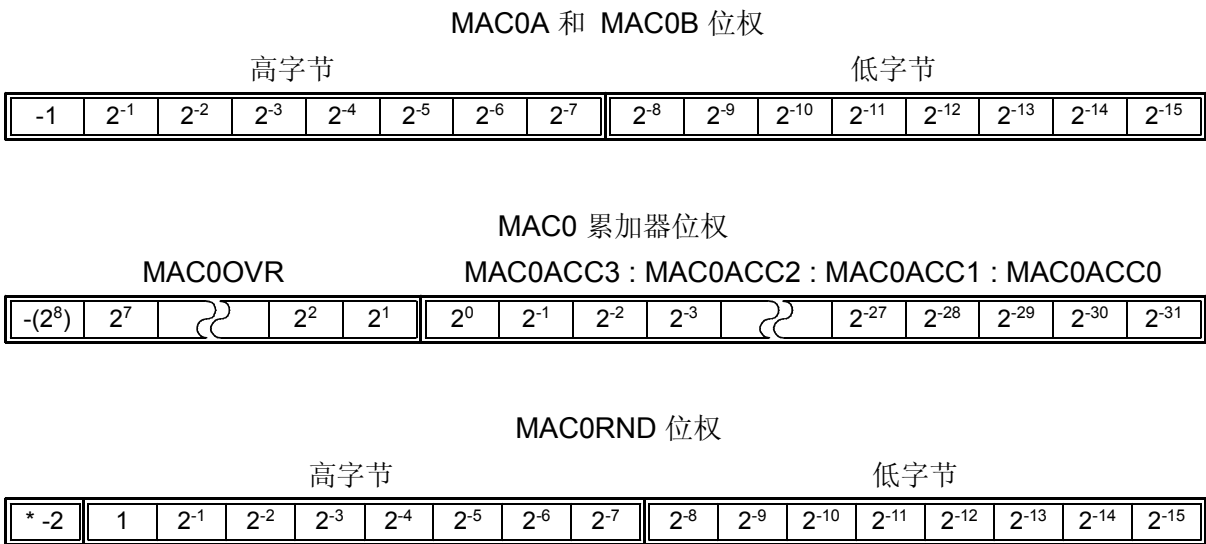


图11.2 整型数据表示

当MAC0FM位(MAC0CF.1)被置1时,输入值被作为16位的小数(2的补码表示)。小数点位于数据字的位15和位14之间。运算结束后,累加器中将包含40位长的整数(2的补码表示),小数点位于数据字的位31和位30之间。图11.3给出了小数在这些特殊功能寄存器中的表示格式。



* MAC0RND 寄存器包含一个2的补码表示的数之16位LSB。MAC0N 标志可用于确定 MAC0RND寄存器的符号。

图11.3 小数数据表示

11.3 乘法和累加工作方式

当MAC0MS位（MAC0CF.0）被清0时，MAC0工作在乘法和累加（MAC）方式。当工作在MAC方式时，MAC0对MAC0A和MAC0B寄存器的内容执行16 x 16乘法运算，并将结果与40位MAC0累加器的内容相加。图11.4给出了MAC0流水线的示意图。流水线分为三级，每一级正好需要一个SYSCLK周期。MAC操作由对MAC0BL寄存器的写操作来启动。MAC0A和MAC0B的相乘操作在MAC0BL被写入后的第一个SYSCLK周期完成。在MAC0流水线的第二级，乘法结果与当前的累加器内容相加，加法结果保存在MAC0累加器中。MAC0STA寄存器中的标志位在流水线的第二级结束后被设置。如果需要，可以在流水线的第二级期间，通过写MAC0BL寄存器来启动下一次乘法操作。在流水线的第三级结束后，舍入（也可选则饱和）结果在MAC0RNDH和MAC0RNDL寄存器中可用。如果在MAC操作启动时MAC0CA位（MAC0CF.3）被置1，则在控制器时钟（SYSCLK）的下一周期MAC累加器和所有的MAC0STA标志位都将被清零。该清零操作结束后MAC0CA位也被清零。

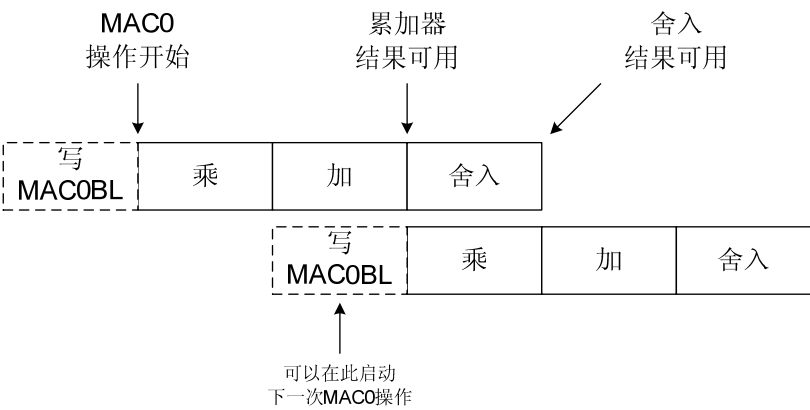


图11.4 MAC0流水线

11.4 乘法器工作方式

当MAC0MS位（MAC0CF.0）被置1时，MAC0工作在乘法器方式。乘法器工作方式与乘法和累加工作方式的工作过程相同，只是乘法结果与0值相加，然后保存到MAC0累加器中（即当前累加器的内容被重写）。乘法结果在MAC0流水线的第二级结束后被保存在MAC0累加器中（MAC0BL被写入后两个SYSCLK周期）。与MAC方式一样，在流水线的第三级结束后，舍入结果在MAC0舍入寄存器中可用。注意：在乘法器工作方式，MAC0HO标志不受影响。

11.5 累加器移位操作

MAC0包含一个1位算术移位器，可用于对40位累加器中的内容执行左移或右移1位的操作。累加器移位操作通过向MAC0SC位（MAC0CF.5）写1来启动，需一个SYSCLK周期（第二个SYSCLK周期之后，舍入结果在MAC0舍入寄存器中可用并且MAC0SC被清0）。算术移位方向由MAC0SD位（MAC0CF.4）控制。当该位被清0时，MAC0累加器将左移；当该位被置1时，MAC0累加器将右移。右移操作是带符号扩展的（即位39的当前值）。注意，MAC0STA寄存器中的状态标志不受移位操作的影响。

11.6 舍入和饱和

MAC0包含一个舍入引擎，在进行小数运算时它可以提供舍入结果。MAC0使用无偏舍入算法对累加器中的位31~16进行舍入操作，如表11.1所示。舍入操作发生在下述情况：MAC0流水线的第三级、任何一次移位之后或写累加器的LSB时。舍入结果保存在舍入寄存器中：MAC0RNDH（见SFR定义11.12）和MAC0RNDL（见SFR定义11.13）。累加器寄存器不受舍入引擎的影响。尽管舍入操作主要针对小数运算，但当MAC0工作在整数方式时，舍入寄存器中的数据也以同样的方式被更新。

表11.1 MAC0舍入（MAC0SAT = 0）

累加器位15 ~ 0 (MAC0ACC1:MAC0ACC0)	累加器位31 ~ 16 (MAC0ACC3:MAC0ACC2)	舍入方向	舍入结果 (MAC0RNDH:MAC0RNDL)
大于0x8000	任意值	向上	(MAC0ACC3:MAC0ACC2)+1
小于0x8000	任意值	向下	(MAC0ACC3:MAC0ACC2)
等于0x8000	奇数（LSB = 1）	向上	(MAC0ACC3:MAC0ACC2)+1
等于0x8000	偶数（LSB = 0）	向下	(MAC0ACC3:MAC0ACC2)

舍入引擎也可用于对保存在舍入寄存器中的数据执行饱和操作。如果MAC0SAT位被置1并且舍入寄存器溢出，则舍入寄存器将发生饱和。当发生正溢时，舍入寄存器的饱和值为0x7FFF；当发生负溢时，舍入寄存器的饱和值为0x8000。如果MAC0SAT位被清0，则舍入寄存器不执行饱和操作。

11.7 用法举例

本节详细介绍几个使用MAC0的软件例子。11.7.1节给出了使用小数的两次MAC操作的例子；11.7.2节给出了使用整数的一次乘法操作的例子；11.7.3节给出了最后一个例子，演示如何通过左移和右移操作修改累加器的内容。这些例子都假设MAC0STA寄存器中的所有标志均被初始化为0值。

11.7.1 乘法—累加运算示例

下面的例子实现方程： $(0.5 \times 0.25) + (0.5 \times -0.25) = 0.125 - 0.125 = 0$

```
MOV  MAC0CF, #0Ah    ; 累加器清零，使用小数运算
MOV  MAC0AH, #40h     ; 向MAC0A寄存器装载 4000 hex = 0.5（十进制）
MOV  MAC0AL, #00h
MOV  MAC0BH, #20h     ; 向MAC0B寄存器装载 2000 hex = 0.25（十进制）
MOV  MAC0BL, #00h     ; 本行启动第一次MAC操作
MOV  MAC0BH, #E0h     ; 向MAC0B寄存器装载 E000 hex = -0.25（十进制）
MOV  MAC0BL, #00h     ; 本行启动第二次MAC操作
NOP
NOP                   ; 执行完本指令后，累加器中的值应为 0，
                       ; MAC0STA 寄存器应为 0x04，表示结果为0。
NOP                   ; 执行完本指令后，舍入寄存器被更新。
```

11.7.2 乘法运算示例

下面的例子实现方程： $4660 \times -292 = -1360720$

```
MOV  MAC0CF, #01h     ; 使用整数，工作在乘法器方式（与0相加）
MOV  MAC0AH, #12h     ; 向MAC0A寄存器装载 1234 hex = 4660（十进制）
MOV  MAC0AL, #34h
MOV  MAC0BH, #FEh     ; 向MAC0B寄存器装载 FEDC hex = -292（十进制）
MOV  MAC0BL, #DCh     ; 本行启动乘法操作
NOP
NOP                   ; 执行完本指令后，累加器中的值应等于
                       ; FFFFEB3CB0 hex = -1360720（十进制）。
                       ; MAC0STA 寄存器应为 0x01，表示结果为负数。
NOP                   ; 执行完本指令后，舍入寄存器被更新。
```

11.7.3 累加器移位示例

下面的例子将累加器左移一位，然后右移两位：

```
MOV  MAC0OVR, #40h    ; 下面几条指令向累加器装入值 4088442211 Hex。
MOV  MAC0ACC3, #88h
MOV  MAC0ACC2, #44h
MOV  MAC0ACC1, #22h
MOV  MAC0ACC0, #11h
MOV  MAC0CF, #20h     ; 启动一次左移操作
NOP                                ; 执行完本指令后，累加器中的值应为 0x8110884422
NOP                                ; 执行完本指令后，舍入寄存器被更新
MOV  MAC0CF, #30h     ; 启动一次右移操作
MOV  MAC0CF, #30h     ; 启动第二次右移操作
NOP                                ; 执行完本指令后，累加器中的值应为 0xE044221108
NOP                                ; 执行完本指令后，舍入寄存器被更新
```


C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 11.1 MAC0CF: MAC0 配置寄存器

SFR 页: 0

SFR 地址: 0xD7

R	R	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	MAC0SC	MAC0SD	MAC0CA	MAC0SAT	MAC0FM	MAC0MS	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-6: 未用: 读 = 00b, 写 = 忽略。

位 5: MAC0SC: 累加器移位控制位

当被置 1 时, 40 位的 MAC0 累加器寄存器将在下一个 SYSCLK 周期被移位。

移位方向 (左移或右移) 由 MAC0SD 位控制。

该位在移位操作结束后被硬件清 0。

位 4: MAC0SD: 累加器移位方向控制位

该位控制累加器移位的方向, 移位操作由 MAC0SC 位启动。

0: MAC0 累加器将被左移。

1: MAC0 累加器将被右移。

位 3: MAC0CA: 累加器清除位

该位用于在下一操作前复位 MAC0。

当被置 1 时, 在下一个 SYSCLK 周期, MAC0 累加器寄存器将被清零, MAC0 状态寄存器将被复位。

该位在 MAC0 复位操作结束后被硬件清 0。

位 2: MAC0SAT: 舍入寄存器饱和控制位

该位控制舍入寄存器是否执行饱和操作。

如果该位被置位并且发生了软件溢出, 则舍入寄存器将执行饱和操作。该位不影响 MAC0 累加器的操作。有关舍入和饱和操作的详细信息见 11.6 节。

0: 舍入寄存器不执行饱和操作。

1: 舍入寄存器执行饱和操作。

位 1: MAC0FM: 小数方式选择位

该位选择 MAC0 工作方式为整数方式还是小数方式。

0: MAC0 工作在整数方式。

1: MAC0 工作在小数方式。

位 0: MAC0MS: 工作方式选择位

该位在 MAC 方式和乘法器方式之间选择。

0: MAC (乘法和累加) 方式。

1: 乘法器方式。

注: 不应在 MAC0 流水线的前两级用软件改变该寄存器的内容。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 11.2 MAC0STA: MAC0 状态寄存器

SFR 页: 0							
SFR 地址: 0xCF							
R	R	R	R	R/W	R/W	R/W	R/W
—	—	—	—	MAC0HO	MAC0Z	MAC0SO	MAC0N
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000100							
位 7-4: 未用: 读 = 0000b, 写 = 忽略。							
位 3: MAC0HO: 硬件溢出标志。 在 MAC 操作期间, 如果发生 MAC0OVR 寄存器向外溢出, 则该位被置 1 (即当 MAC0OVR 从 0x7F 变化到 0x80 或从 0x80 变化到 0x7F 时)。 硬件溢出标志必须被软件清零 (直接向该位写 0, 或使用寄存器 MAC0CF 中的 MAC0CA 位使 MAC 逻辑复位。							
位 2: MAC0Z: 零标志 如果 MAC 操作结果是累加器中的值为 0, 则该位被置 1。 结果不为 0, 则该位被清 0。							
位 1: MAC0SO: 软件溢出标志 当 MAC 操作发生向 MAC0 累加器的符号位 (位 31) 溢出时, 该位被置 1。如果在一次后续的 MAC 操作后, 溢出条件被修正, 则该位被清 0。							
位 0: MAC0N: 负数标志 如果 MAC 累加器的结果为负数, 则该位被置 1。如果结果为正数或零, 则该位被清 0。							
注: 不应在 MAC0 流水线的前两级用软件改变该寄存器的内容。							

SFR 定义 11.3 MAC0AH: MAC0 A 高字节寄存器

SFR 页: 0							
SFR 地址: 0xA5							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: MAC0 A 寄存器的高字节 (位 15 ~ 8)。							

SFR 定义 11.4 MAC0AL: MAC0 A 低字节寄存器

SFR 页: 0							
SFR 地址: 0xA4							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: MAC0A 寄存器的低字节 (位 7 ~ 0)。							

SFR 定义 11.5 MAC0BH: MAC0 B 高字节寄存器

SFR 页: 0							
SFR 地址: 0xF2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: MAC0 B 寄存器的高字节 (位 15 ~ 8)。							

SFR 定义 11.6 MAC0BL: MAC0 B 低字节寄存器

SFR 页: 0							
SFR 地址: 0xF1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: MAC0B 寄存器的低字节 (位 7 ~ 0)。							
对该寄存器的写操作启动一次乘法或乘法和累加操作。							
注: 不应在 MAC0 流水线的第一级用软件改变该寄存器的内容。							

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 11.7 MAC0ACC3: MAC0 累加器字节 3 寄存器

SFR 页: 0							
SFR 地址: 0xD5							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: MAC0 累加器的字节 3 (位 31 ~ 24)。							
注: 不应在 MAC0 流水线的前两级用软件改变该寄存器的内容。							

SFR 定义 11.8 MAC0ACC2: MAC0 累加器字节 2 寄存器

SFR 页: 0							
SFR 地址: 0xD4							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: MAC0 累加器的字节 2 (位 23 ~ 16)。							
注: 不应在 MAC0 流水线的前两级用软件改变该寄存器的内容。							

SFR 定义 11.9 MAC0ACC1: MAC0 累加器字节 1 寄存器

SFR 页: 0							
SFR 地址: 0xD3							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: MAC0 累加器的字节 1 (位 15 ~ 8)。							
注: 不应在 MAC0 流水线的前两级用软件改变该寄存器的内容。							

FR 定义 11.10 MAC0ACC0: MAC0 累加器字节 0 寄存器

SFR 页: 0							
SFR 地址: 0xD2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: MAC0 累加器的字节 0 (位 7 ~ 0)。							
注: 不应在 MAC0 流水线的前两级用软件改变该寄存器的内容。							

SFR 定义 11.11 MAC0OVR: MAC0 累加器溢出寄存器

SFR 页: 0							
SFR 地址: 0xD6							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: MAC0 累加器溢出位 (位 39 ~ 32)。							
注: 不应在 MAC0 流水线的前两级用软件改变该寄存器的内容。							

SFR 定义 11.12 MAC0RNDH: MAC0 舍入寄存器高字节

SFR 页: 0							
SFR 地址: 0xAF							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: MAC0 舍入寄存器的高字节 (位 15 ~ 8)。							

SFR 定义 11.13 MAC0RNDL: MAC0 舍入寄存器低字节

SFR 页: 0							
SFR 地址: 0xAE							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: MAC0 舍入寄存器的低字节 (位 7 ~ 0)。							

12. 复位源

复位电路允许很容易地将控制器置于一个预定的缺省状态。在进入复位状态时，将发生以下过程：

- CIP-51 停止程序执行
- 特殊功能寄存器（SFR）被初始化为所定义的复位值
- 外部端口引脚被置于一个已知状态
- 中断和定时器被禁止。

所有的 SFR 都被初始化为预定值，SFR 中各位的复位值在 SFR 的详细说明中定义。在复位期间内部数据存储器的内容不发生改变，复位前存储的数据保持不变。但由于堆栈指针 SFR 被复位，堆栈实际上已丢失，尽管堆栈中的数据未发生变化。

端口 I/O 锁存器的复位值为 0xFF（全部为逻辑 1），处于漏极开路方式。在复位期间和复位之后弱上拉被使能。对于 VDD 监视器和上电复位，/RST 引脚被驱动为低电平，直到器件退出复位状态。

在退出复位状态时，程序计数器（PC）被复位，MCU 使用内部振荡器作为默认的系统时钟。有关选择和配置系统时钟源的详细说明见“16. 振荡器”。看门狗定时器被使能，使用系统时钟的 12 分频作为其时钟源（有关使用看门狗定时器的详细信息见“22.3 看门狗定时器方式”）。程序从地址 0x0000 开始执行。

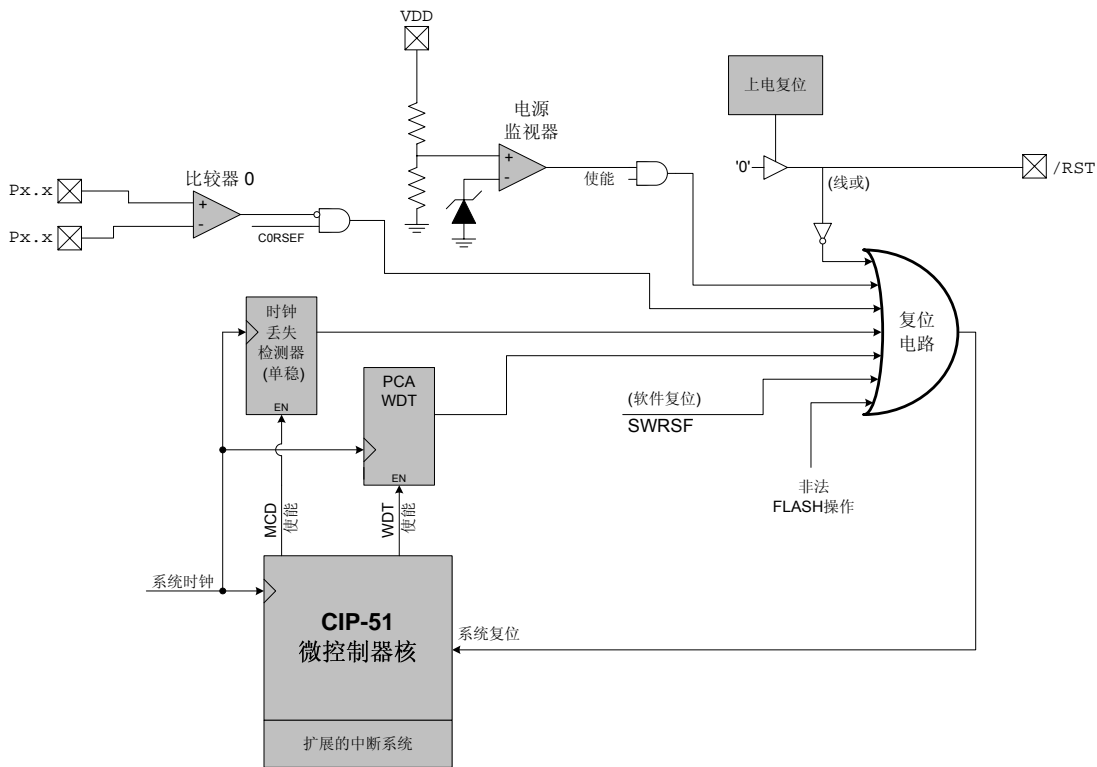


图 12.1 复位源框图

12.1 上电复位

在上电期间，器件保持在复位状态， $\overline{\text{RST}}$ 引脚被驱动到低电平，直到 VDD 上升到超过 V_{RST} 电平。从复位开始到退出复位状态要经过一个延时；该延时随着 VDD 上升时间的增大而减小（VDD 上升时间被定义为 VDD 从 0V 上升到 V_{RST} 的时间）。图 12.2 给出了上电和 VDD 监视器复位的时序。对于有效的上升时间（小于 1ms），上电复位延时（ T_{PORDelay} ）通常小于 0.3ms。

注：最大的 VDD 上升时间为 1ms；上升时间超过该最大值时可能导致器件在 VDD 达到 V_{RST} 电平之前退出复位状态。

在退出复位状态时，PORSF 标志（RSTSRC.1）被硬件置为逻辑 1。当 PORSF 标志被置位时，RSTSRC 寄存器中的所有其它复位标志都是不确定的。PORSF 被任何其它复位源清 0。由于所有的复位都导致程序从同一个地址（0x0000）开始执行，软件可以通过读 PORSF 标志来确定是否为上电产生的复位。在一次上电复位后，内部数据存储器中的内容应被认为是不确定的。在上电复位后，VDD 监视器被使能。

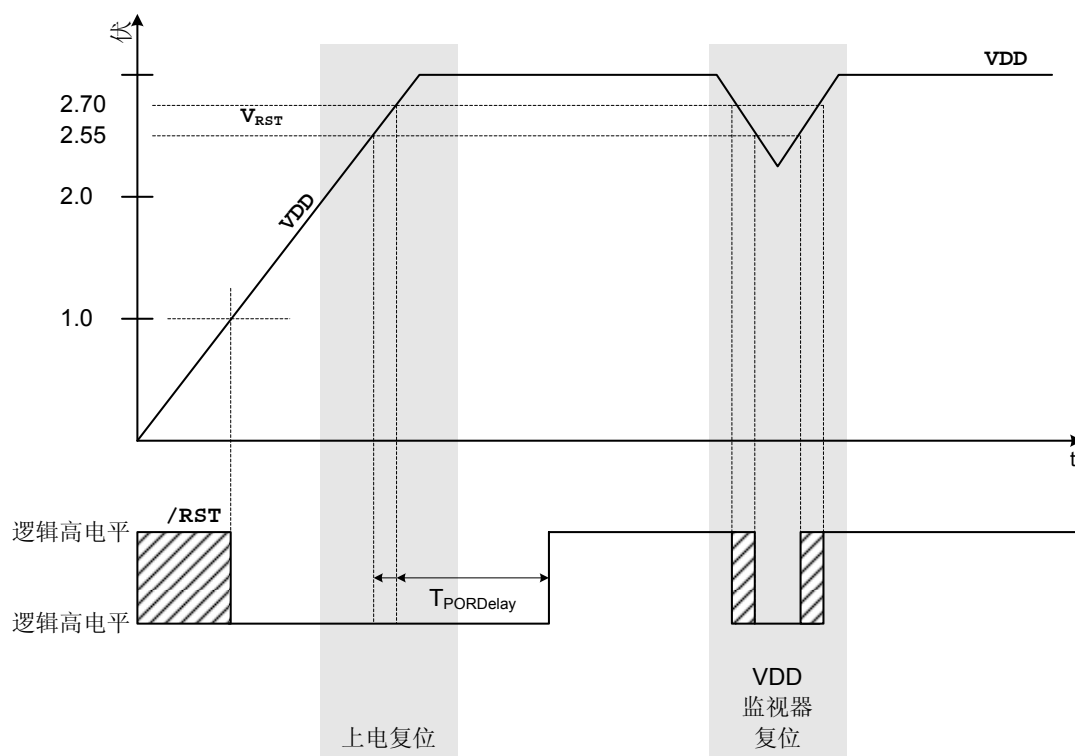


图 12.2 上电和 VDD 监视器复位时序

12.2 掉电复位和 VDD 监视器

当发生掉电或因电源波动导致 VDD 降到 V_{RST} 以下时，电源监视器将/RST 引脚驱动为低电平并使 CIP-51 保持复位状态（见图 12.2）。当 VDD 又回到高于 V_{RST} 的电平时，CIP-51 将退出复位状态。注意，尽管内部数据存储器的内容可能没有因掉电复位而发生改变，但无法确定 VDD 是否降到了数据保持所要求的最低电平以下。如果 PORSF 标志的读出值为 1，则内部 RAM 的数据可能不再有效。在上电复位后 VDD 监视器被使能，但它的定义状态（使能/禁止）不受任何其它复位源的影响。例如，在 VDD 监视器被禁止后执行一次软件复位，复位后 VDD 监视器仍然为禁止状态。如果软件包含擦除或写 FLASH 存储器的例程，为了保护 FLASH 内容的完整性，必须将使能 VDD 监视器并将其选择为复位源。如果 VDD 监视器未被使能，对 FLASH 存储器执行任何擦除或写操作都将导致 FLASH 错误器件复位。

在选择 VDD 监视器作为复位源之前，必须先使能 VDD 监视器。在 VDD 监视器被使能和稳定之前将其选择为复位源可能导致一次系统复位。将 VDD 监视器配置为复位源的步骤如下：

1. 使能 VDD 监视器（VDM0CN 中的 VDMEN 位 = 1）；
2. 等待 VDD 监视器稳定（大约 5 μ s）；
注：如果软件中包含擦除或写 FLASH 存储器的程序，则该延时应被省略。
3. 选择 VDD 监视器作为复位源（RSTSRC 中的 PORSF 位 = 1）。

VDD 监视器的详细电气特性见表 12.1。

注意：当写 RSTSRC 以使能其他复位源或触发一次软件复位时，软件操作应注意不要意外禁止 VDD 监视器作为复位源。所有写 RSTSRC 的操作都应显式地将 PORSF 置 1，以保持 VDD 监视器被使能为复位源。

SFR 定义 12.1 VDM0CN: VDD 监视器控制寄存器

SFR 页: 所有页
SFR 地址: 0xFF

R/W	R	R	R	R	R	R	R	复位值
VDMEN	VDDSTAT	保留	保留	保留	保留	保留	保留	可变
位7	位6	位5	位4	位3	位2	位1	位0	

位 7: VDMEN: VDD 监视器使能位。
该位控制 VDD 监视器电源的通断。VDD 监视器在被选择为复位源（在寄存器 RSTSRC 中，见 SFR 定义 12.2）之前不可能产生系统复位。在被选择为复位源之前，VDD 监视器必须稳定。在 VDD 监视器稳定之前选其为复位源可能导致系统复位。
0: 禁止 VDD 监视器。
1: 使能 VDD 监视器。

位 6: VDDSTAT: VDD 状态。
该位指示当前电源状态（VDD 监视器输出）。
0: VDD 等于或低于 VDD 监视器阈值。
1: VDD 高于 VDD 监视器阈值

位 5-0: 保留。读 = 可变，写 = 忽略。

12.3 外部复位

外部/RST 引脚提供了使用外部电路强制 MCU 进入复位状态的手段。在/RST 引脚上加一个低电平有效信号将产生复位，最好能提供一个外部上拉和/或对/RST 引脚去耦以防止强噪声引起复位。从外部复位状态退出后，PINRSF 标志（RSTSRC.0）被置 1。

12.4 时钟丢失检测器复位

时钟丢失检测器（MCD）实际上是由系统时钟触发的单稳态电路。如果系统时钟保持在高电平或低电平的时间大于 100 微秒，单稳态电路将超时并产生复位。在发生 MCD 复位后，MCDRSF 标志（RSTSRC.2）的读出值为 1，表示本次复位源为 MCD；否则该位读出值为 0。向 MCDRSF 位写 1 使能时钟丢失检测器；写 0 禁止时钟丢失检测器。/RST 引脚的状态不受该复位的影响。

12.5 比较器 0 复位

向 CORSEF 标志（RSTSRC.5）写 1 可以将比较器 0 配置为复位源。应在写 CORSEF 之前使能比较器 0 并待其稳定，以防止通电瞬间在输出端产生抖动，从而导致不希望的复位。比较器 0 复位为低电平有效：如果同相端输入电压（CP0+）小于反相端输入电压（CP0-），则器件被置于复位状态。在发生比较器 0 复位后，CORSEF 标志（RSTSRC.5）的读出值为 1，表示本次复位源为比较器 0；否则该位读出值为 0。/RST 引脚的状态不受该复位的影响。

12.6 PCA 看门狗定时器复位

可编程计数器阵列（PCA）的可编程看门狗定时器（WDT）功能可用于在系统出现错误的情况下防止软件运行失控。可以通过软件使能或禁止 PCA 的 WDT 功能（见“22.3 看门狗定时器方式”）。在每次复位后，WDT 被使能并使用 SYSCLK/12 作为时钟。如果因系统出错使用户软件不能更新 WDT，则 WDT 将产生复位，WDTRSF 位（RSTSRC.3）被置 1。/RST 引脚的状态不受该复位的影响。

12.7 FLASH 错误复位

如果 FLASH 读/写/擦除操作的地址或程序读地址为非法地址，将发生系统复位。下述的任何一种情况都会导致 FLASH 操作错误复位：

- FLASH 写或擦除地址超出了用户代码空间。这种情况发生在 PSWE 被置 1，并且 MOVX 写操作的地址大于 0x7BFF 时。
- FLASH 读地址超出了用户代码空间，这种情况发生在 MOVC 操作的地址大于 0x7BFF 时。
- 程序读超出了用户代码地址空间。这种情况发生在用户代码试图转移到大于 0x7BFF 时。
- 当 FLASH 读、写或擦除被安全设置禁止时（见“13.2 安全选项”）。
- 当 VDD 监视器被禁止时，试图进行 FLASH 写或擦除操作。

在发生 FLASH 错误复位后，FERROR 位（RSTSRC.6）被置 1。/RST 引脚的状态不受该复位的影响。

12.8 软件复位

软件可以通过向 SWRSF 位（RSTSRC.4）写 1 强制产生一次系统复位。在发生软件强制复位后，SWRSF 位的读出值为 1。/RST 引脚的状态不受该复位的影响。

SFR 定义 12.2 RSTSRC: 复位源寄存器

SFR 页: 所有页

SFR 地址: 0xEF

R	R	R/W	R/W	R	R/W	R/W	R	复位值
—	FERROR	CORSEF	SWRSF	WDTRSF	MCDRSF	PORSF	PINRSF	可变
位7	位6	位5	位4	位3	位2	位1	位0	

注: 对于既作为复位源使能(写)又作为复位指示标志(读)的那些位而言, 读-修改-写指令只能读和修改复位源使能状态。这些位是: CORSEF、SWRSF、MCDRSF、PORSF)。

位 7: 未用: 读 = 0b, 写 = 忽略。

位 6: FERROR: FLASH 错误标志。

0: 最后一次复位不是来自 FLASH 读/写/擦除错误。

1: 最后一次复位是由于 FLASH 读/写/擦除错误。

位 5: CORSEF: 比较器 0 复位使能和标志

0: 读: 最后一次复位不是来自比较器 0。

写: 比较器 0 不是复位源。

1: 读: 最后一次复位来自比较器 0。

写: 比较器 0 是复位源(低电平有效)。

位 4: SWRSF: 软件强制复位和标志

0: 读: 最后一次复位不是来自写 SWRSF 位。

写: 无作用。

1: 读: 最后一次复位来自写 SWRSF 位。

写: 强制产生一次系统复位。

位 3: WDTRSF: 看门狗定时器复位标志

0: 最后一次复位不是来自 WDT 超时。

1: 最后一次复位来自 WDT 超时。

位 2: MCDRSF: 时钟丢失检测器标志

0: 读: 最后一次复位不是来自时钟丢失检测器超时。

写: 禁止时钟丢失检测器。

1: 读: 最后一次复位来自时钟丢失检测器超时。

写: 使能时钟丢失检测器; 检测到时钟丢失条件时触发复位。

位 1: PORSF: 上电复位强制和标志

该位在上电复位后被置 1。对该位写入可以使能/禁止 VDD 监视器作为复位源。
注意: 在 VDD 监视器被使能和稳定之前向该位写 1 可能导致系统复位。见寄存器 VDM0CN (SFR 定义 12.1)。

0: 读: 最后一次复位不是上电复位或 VDD 监视器复位。

写: 禁止 VDD 监视器为复位源。

1: 读: 最后一次复位是上电或 VDD 监视器复位, 所有其它复位标志不确定。

写: 使能 VDD 监视器为复位源。

位 0: PINRSF: 硬件引脚复位标志

0: 最后一次复位不是来自/RST 引脚。

1: 最后一次复位来自/RST 引脚。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 12.1 复位源电气特性

-40℃到+85℃（除非特别说明）。

参 数	条 件	最小值	典型值	最大值	单位
/RST 输出低电平	$I_{OL} = 8.5 \text{ mA}$ $V_{DD} = 2.7 \sim 3.6 \text{ V}$	—	—	0.6	V
/RST 输入高电平		$0.7 \times V_{DD}$	—	—	V
/RST 输入低电平		—	—	0.7	V
/RST 输入上拉阻抗		—	100	—	kΩ
VDD 监视器复位门限 (V_{RST})		2.40	2.55	2.70	V
时钟丢失检测器超时	从最后一个系统时钟上升沿到产生复位	100	220	600	μs
复位时间延迟	从退出复位到开始执行位于 0x0000 地址的代码之间的延时	40	—	—	μs
产生系统复位的最小 /RST 低电平时间		15	—	—	μs
VDD 监视器电源电流		—	19	40	μA

13. FLASH 存储器

C8051F36x 内部有 32KB (C8051F360/1/2/3/4/5/6/7) 或 16KB (C8051F368/9) 的可重编程 FLASH 存储器, 用于程序代码和非易失性数据存储。可以通过 C2 接口或由软件使用 MOVX 写指令对 FLASH 存储器进行在系统编程。一个 FLASH 位一旦被清 0, 必须经过擦除才能再回到 1 状态。在进行重新编程之前, 一般要将数据字节擦除 (置为 0xFF)。为了保证操作正确, 写和擦除操作由硬件自动定时。在一次擦除或写操作期间, FLSTAT 寄存器中的 FLBUSY 位被置 1 (见 SFR 定义 14.5)。在此期间, 位于指令预取缓冲区或转移地址高速缓存中的指令可以被执行, 但如果必须从 FLASH 存储器中读取指令数据, 则处理器将停止执行, 直到擦除或写操作结束。如果当前执行的指令位于指令预取引擎或高速缓存, 则被预装到转移地址高速缓存中的中断此时可以得到服务。任何没有被预装到高速缓存或在 CPU 停止执行时发生的中断都将在 FLASH 写/擦除操作期间被保持, 在 FLASH 操作结束后按优先级顺序得到服务。表 13.2 给出了 FLASH 存储器的电气特性。

13.1 FLASH 存储器编程

对 FLASH 存储器编程的最简单的方法是使用由 Silicon Labs 公司或第三方供应商提供的编程工具, 通过 C2 接口编程, 这是对未被初始化过的器件的唯一编程方法。有关对 FLASH 程序存储器编程的 C2 命令的详细信息见“24. C2 接口”。有关从固件写或擦除 FLASH 的详细指南见“13.3 FLASH 写和擦除指南”。

可以在软件中使用 MOVX 指令对 FLASH 存储器编程, 像一般的操作数一样为 MOVX 指令提供待编程的地址和数据字节。在使用 MOVX 指令对 FLASH 存储器写入之前, 必须将程序存储写允许位 PSWE (PSCTL.0) 设置为逻辑 1, 以允许 FLASH 写操作。这将使 MOVX 指令执行对 FLASH 的写操作而不是对 XRAM 写入 (XRAM 是缺省目标)。在用软件清除之前 PSWE 位一直保持置位状态。为了避免对 FLASH 的误写, 建议在 PSWE 为逻辑 1 期间禁止中断。

用 MOVC 指令读 FLASH 存储器; MOVX 读操作将总是指向 XRAM, 与 PSWE 的状态无关。

注意: 在包含写和/或擦除 FLASH 存储器的代码的任何系统中, 为了保证 FLASH 内容的完整性, 必须使能 VDD 监视器。而且在使能 VDD 监视器和将其使能为复位源之间不应有延时。在 VDD 监视器被禁止期间, 对 FLASH 存储器执行任何擦除或写操作都将导致 FLASH 错误器件复位。

写 FLASH 存储器可以清除数据位, 但不能使数据位置 1; 只有擦除操作能将 FLASH 中的数据位置 1。在写入新值之前, 必须先擦除待编程字节的地址。

写/擦除操作的定时由硬件自动控制。注意: 对于 32KB FLASH 器件, 从 0x7C00 开始的 1024 个单元被保留。应避免 FLASH 写和擦除操作指向保留区

13.1.1 FLASH 锁定和关键码功能

从用户软件写和擦除 FLASH 受 FLASH 锁定和关键码功能的保护。在进行 FLASH 操作之前, 必须按顺序向 FLASH 锁定和关键码寄存器 (FLKEY) 写入正确的关键码。关键码为: 0xA5, 0xF1。写关键码的时序并不重要, 但必须按顺序写。如果写关键码的顺序不对或写入

了错误的密钥码，FLASH 写和擦除操作将被禁止，直到下一次系统复位。如果在正确写入密钥码之前进行了 FLASH 写或擦除操作，FLASH 写和擦除也将被禁止。每次 FLASH 写和擦除操作之后，FLASH 锁定功能复位；在进行下一次 FLASH 写或擦除操作之前，必须重新写密钥码。FLKEY 寄存器的详细说明见 SFR 定义 13.2。

13.1.2 从软件擦除 FLASH 页

可以在软件中使用 MOVX 写指令对 FLASH 存储器编程，像一般的操作数一样为 MOVX 写指令提供待编程的地址和数据字节。在使用 MOVX 指令对 FLASH 存储器写入之前，必须先允许 FLASH 写操作。允许 FLASH 写操作的过程是：1) 将程序存储写允许位 PSWE (PSCTL.0) 和程序存储擦除允许位 PSWE (PSCTL.0) 设置为逻辑 1 (这将使 MOVX 操作指向目标 FLASH 存储器)；2) 按顺序向 FLASH 锁定寄存器 (FLKEY) 写入 FLASH 密钥码。PSWE 位将保持置位状态，直到被软件清除。

写 FLASH 存储器可以清 0 数据位，但不能使数据位置 1，只有擦除操作能将 FLASH 中的数据位置 1。在写入新值之前，必须先擦除待编程字节的地址。FLASH 存储器是以 1024 字节的页为单位组织的，一次擦除操作将擦除整个页 (将页内的所有字节置为 0xFF)。擦除一个完整的 1024 字节页的步骤如下：

1. 禁止中断 (建议这样做)。
2. 向 FLKEY 写第一个密钥码：0xA5。
3. 向 FLKEY 写第二个密钥码：0xF1。
4. 置 1 程序存储器擦除允许位 (PSCTL 中的 PSEE)，以允许 FLASH 擦除。
5. 置 1 程序存储器写允许位 (PSCTL 中的 PSWE)，以允许 FLASH 写入。
6. 用 MOVX 指令向待擦除页内的任何一个地址写入一个数据字节。
7. 清除 PSEE 位，以禁止 FLASH 擦除。
8. 清除 PSWE 位，使 MOVX 命令指向 XRAM 数据空间。
9. 重新使能中断。

13.1.3 从软件写 FLASH 存储器

可以每次向 FLASH 存储器写一个字节或一个小块。寄存器 CCH0CN (见 SFR 定义 14.1) 中的 CHBLKW 位控制在 FLASH 写操作时写一个字节还是写一个字节块。当 CHBLKW 位被清 0 时，对 FLASH 的写操作是每次写一个字节；当 CHBLKW 位被置 1 时，对 FLASH 的程序空间每次写四个字节的存储块。块写和单字节写所用的时间相同，当向 FLASH 存储器存储大量的数据时，块写可以节省时间。

FLASH 单字节写是每次写一个字节，FLASH 写操作在每条 MOVX 写指令后执行。对 FLASH 进行单字节写的建议步骤如下：

1. 禁止中断 (建议这样做)。
2. 清除 CHBLKW 位 (寄存器 CCH0CN)，以选择单字节写方式。
3. 向 FLKEY 写第一个密钥码：0xA5。
4. 向 FLKEY 写第二个密钥码：0xF1。
5. 将 PSWE 位 (寄存器 PSCTL) 置 1，使 MOVX 命令写 FLASH。
6. 清除 PSEE 位 (寄存器 PSCTL)。

7. 用 MOVX 指令向目的地址写入一个数据字节（如果必要则重复该步）。
8. 清除 PSWE 位，使 MOVX 命令指向 XRAM 数据空间。。
9. 重新使能中断。

必须对每个要写入的字节重复步骤 3-8。

对于 FLASH 块写，只在每个块的最后一个字节被写入（用 MOVX 写指令）后才执行 FLASH 写过程。一次 FLASH 块写操作写四个字节，从末位地址 00b 到 11b。写操作必须按顺序进行（即必须按末位地址 00b, 01b, 10b, 11b 的顺序）。FLASH 内部写操作是在对末位地址为 11b 的目标单元执行完 MOVX 写指令后开始进行的。块中不需要更新的任何字节都应被写入 0xFF。对 FLASH 进行块写的建议步骤如下：

1. 禁止中断。
2. 置位 CHBLKW (CCH0CN.0) 以选择块写方式。
3. 向 FLKEY 写第一个关键码：0xA5。
4. 向 FLKEY 写第二个关键码：0xF1。
5. 置位 PSWE 位（寄存器 PSCTL），使 MOVX 命令指向 FLASH。
6. 清除 PSEE 位（寄存器 PSCTL）。
7. 用 MOVX 指令向块中第一个位置写第一个数据字节（地址末两位为 00b）。
8. 清除 PSWE 位，使 MOVX 命令指向 XRAM 数据空间。
9. 向 FLKEY 写第一个关键码：0xA5。
10. 向 FLKEY 写第二个关键码：0xF1。
11. 置位 PSWE 位（寄存器 PSCTL），使 MOVX 命令指向 FLASH。
12. 清除 PSEE 位（寄存器 PSCTL）。
13. 用 MOVX 指令向块中第二个位置写第二个数据字节（地址末两位为 01b）。
14. 清除 PSWE 位，使 MOVX 命令指向 XRAM 数据空间。
15. 向 FLKEY 写第一个关键码：0xA5。
16. 向 FLKEY 写第二个关键码：0xF1。
17. 置位 PSWE 位（寄存器 PSCTL），使 MOVX 命令指向 FLASH。
18. 清除 PSEE 位（寄存器 PSCTL）。
19. 用 MOVX 指令向块中第三个位置写第三个数据字节（地址末两位为 10b）。
20. 清除 PSWE 位，使 MOVX 命令指向 XRAM 数据空间。
21. 向 FLKEY 写第一个关键码：0xA5。
22. 向 FLKEY 写第二个关键码：0xF1。
23. 置位 PSWE 位（寄存器 PSCTL），使 MOVX 命令指向 FLASH。
24. 清除 PSEE 位（寄存器 PSCTL）。
25. 用 MOVX 指令向块中第四个位置写第四个数据字节（地址末两位为 11b）。
26. 清除 PSWE 位，使 MOVX 命令指向 XRAM 数据空间。
27. 重新允许中断。

对要写入的每个块都必须重复步骤 3-26。。

13.1.4 非易失性数据存储

FLASH 存储器除了用于存储程序代码之外还可以用于非易失性数据存储。这就允许在程序运行时计算和存储类似标定系数这样的数据。数据写入和擦除时用 MOVX 写指令(见 13.1.2 节和 13.1.3 节), 读出时用 MOVC 指令。注意: MOVX 读指令总是指向 XRAM。

13.2 安全选项

CIP-51 提供了安全选项以保护 FLASH 存储器不会被软件意外修改, 以及防止产权程序代码和常数被读取。程序存储器写允许 (PSCTL 寄存器中的 PSWE) 和程序存储器擦除允许 (PSCTL 寄存器中的 PSEE) 位保护 FLASH 存储器不会被软件意外修改。在用软件修改 FLASH 存储器的内容之前, PSWE 必须被显式置 1; 在用软件擦除 FLASH 存储器之前, PSWE 位和 PSEE 位都必须被置 1。此外, CIP-51 还提供了可以防止通过 C2 接口读取或修改产权程序代码和数据常数这一安全功能。

位于 FLASH 用户空间的最后一个字节中的安全锁定字节提供对 FLASH 存储器的保护, 使其不能被非保护代码或通过 C2 接口读、写或擦除。FLASH 安全机制允许用户从 0 页 (地址 0x0000 ~ 0x03FF) 开始锁定 n 个 1024 字节的 FLASH 页, 其中 n 是安全锁定字节的反码。**注意: 在没有其它 FLASH 页被锁定时 (锁定字节的所有位均为 1), 包含 FLASH 安全锁定字节的页不被锁定。当任何一个其他 FLASH 页被锁定时 (锁定字节有任何一位为 0), 包含 FLASH 安全锁定字节的页也被锁定。**下面是针对 C8051F360 的锁定字节示例。

安全锁定字节:	11111101 b
反码:	00000010 b
被锁定的 FLASH 页:	3 (前两个 FLASH 页 + 锁定字节页)
被锁定的地址:	0x0000 ~ 0x07FF (前两个 FLASH 页) 和 0x7800 ~ 0x7BFF (锁定字节页)

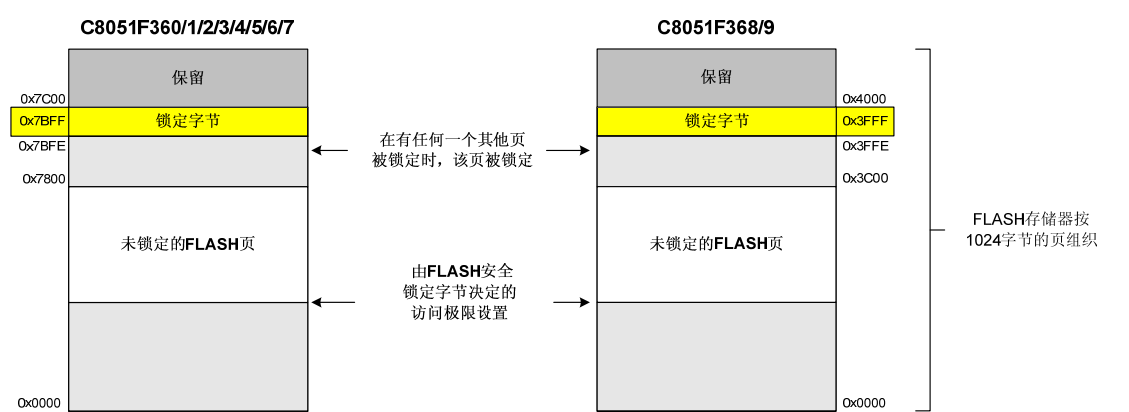


图 13.1 FLASH 程序存储器组织

FLASH 安全级别取决于对 FLASH 访问的方式。有 3 种可被限制的访问方式：经 C2 调试接口、在非锁定页执行的用户固件、在锁定页执行的用户固件对 FLASH 的读、写和擦除。表 13.1 概述了 C8051F36x 器件的 FLASH 安全特性。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 13.1 FLASH 安全一览表

操作	C2 调试接口	用户固件所在执行区域:	
		未锁定页	锁定页
读、写或擦除未锁定页 (锁定字节所在页除外)	允许	允许	允许
读、写或擦除锁定页 (锁定字节所在页除外)	不允许	FLASH 错误复位	允许
读或写锁定字节所在页 (如果没有被锁定的页)	允许	允许	允许
读或写锁定字节所在页 (如果有任何页被锁定)	不允许	FLASH 错误复位	允许
读锁定字节的内容 (如果没有被锁定的页)	允许	允许	允许
读锁定字节的内容 (如果有任何页被锁定)	不允许	FLASH 错误复位	允许
擦除锁定字节所在页 (如果没有被锁定的页)	允许	FLASH 错误复位	FLASH 错误复位
擦除锁定字节所在页—解锁所有 页 (如果有任何页被锁定)	只能进行 C2 器件擦除	FLASH 错误复位	FLASH 错误复位
锁定附加页 (将锁定字节中的 1 变成 0)	不允许	FLASH 错误复位	FLASH 错误复位
解锁单个页 (将锁定字节中的 0 变成 1)	不允许	FLASH 错误复位	FLASH 错误复位
读、写或擦除保留区	不允许	FLASH 错误复位	FLASH 错误复位
<p>C2 器件擦除——擦除所有 FLASH 页，包括锁定字节所在页。</p> <p>FLASH 错误复位——不允许相应的操作；导致 FLASH 错误器件复位（复位后寄存器 RSTSRC 中的 FERR0R 位为 1）。</p> <ul style="list-style-type: none">— 经 C2 接口的所有被禁止的操作都被忽略（不会导致器件复位）。— 锁定任何一个 FLASH 页时，包含锁定字节的页也被锁定。— 锁定字节一旦被写入便不能被修改，除非执行一次 C2 器件擦除。— 如果用户代码写锁定字节，则在下一次复位之前锁定功能不会生效。			

13.3 FLASH 写和擦除指南

如果 CPU 工作在 VDD、系统时钟频率或温度的额定范围之外，任何包含从软件写或擦除 FLASH 代码的系统都存在这样的危险，即意外执行写或擦除 FLASH 的代码。修改 FLASH 内容的代码之意外执行会导致 FLASH 存储器内容的改变，所引发的系统故障只能通过重新烧写 FLASH 来解决。

为了防止固件意外修改 FLASH，VDD 监视器必须被使能并被选择为复位源，只有这样 FLASH 才能被成功改写。**如果 VDD 监视器未被使能或未被选择为复位源，则当固件试图改写 FLASH 时会产生 FLASH 错误器件复位。**

建议在任何包含写或擦除 FLASH 代码的系统中遵循下述指南。

13.3.1 VDD 维护和 VDD 监视器

1. 如果系统电源易受电压或电流尖峰的干扰，应在电源部分增加瞬变保护器件，确保电源电压不超过极限值。
2. 保证满足 1ms 的最小上升时间。如果系统不满足这个最小上升时间指标，则要在器件的复位引脚加一个外部 VDD 欠压检测电路，以使器件在 VDD 达到 V_{RST} 之前保持复位状态和在 VDD 下降到低于 V_{RST} 时使复位引脚有效。有关监视器阈值电压 (V_{RST}) 的详细信息，见表 12.1 “复位电气特性”。
3. 在代码中尽可能早地使能片内 VDD 监视器并将其使能为复位源。这应该是复位向量之后最先被执行的指令。对于用 C 语言开发的系统，要做到这一点需修改随 C 编译器提供的启动代码。有关这方面的详细信息，请参见所用编译器的文档。要保证在使能 VDD 监视器和将其使能为复位源之间的软件没有延时。在 Silicon Laboratories 网站上提供的“AN201：从固件写 FLASH”中给出了示例代码。

注：对于 C8051F36x 器件，VDD 监视器和 VDD 监视器复位源都必须被使能，只有如此才不会在写或擦除 FLASH 时产生 FLASH 错误器件复位。

4. 可以增加一层预防措施，即在写和擦除 FLASH 存储器的函数中显式地使能 VDD 监视器并将其使能为复位源。使能 VDD 监视器的指令应紧接在将 PSWE 置 1 的指令之后，但位于 FLASH 写或擦除操作指令之前。
5. 保证所有写 RSTSRC (复位源) 寄存器的指令都使用直接赋值操作符并显式赋值，不要使用位操作符 (如 AND 或 OR)。例如，“RSTSRC = 0x02”是正确的，而“RSTSRC |= 0x02”是不正确的。
6. 保证所有写 RSTSRC 寄存器的指令都显式地将 PORSF 位置 1。检查使能其它复位源的初始化代码 (例如时钟丢失检测器或比较器) 和强制软件复位的指令。通过全局搜索“RSTSRC”可以快速完成检查。

13.3.2 PSWE 维护

1. 在代码中尽量减少将 PSWE 位 (PSCCTL 的位 0) 置 1 的位置数。在代码中应只使用一个将 PSWE 置 1 的例程 (写 FLASH 字节) 和一个将 PSWE 及 PSEE 置 1 的例程 (擦除 FLASH 页)。
2. 在 PSWE 被置 1 期间, 尽量减少变量访问次数。在 “PSWE = 1; ... PSWE = 0;” 的区域之外处理指针地址更新和改变循环变量。在 Silicon Laboratories 网站上提供的 “AN201: 从固件写 FLASH” 中给出了示例代码。
3. 在将 PSWE 置 1 之前禁止中断, 并保持中断的禁止状态直到 PSWE 被清 0。在 FLASH 写或擦除操作期间所产生的任何中断都会在 FLASH 操作完成和中断被软件重新使能之后按优先级顺序得到服务。
4. 保证 FLASH 写和擦除指针变量不位于 XRAM 空间。有关如何显式地将变量定位到不同存储器区域的说明请参见您所使用的编译器的文档。
5. 在写或擦除 FLASH 存储器的例程中增加地址边界检查, 以保证在使用非法地址调用一个例程时不会修改 FLASH。

13.3.3 系统时钟

1. 如果 CPU 使用外部晶体工作, 应注意晶体的性能容易受到电气干扰的影响和对布局布线及温度变化敏感。如果系统工作在有强电气噪声的环境, 应使用内部振荡器或外部 CMOS 时钟。
2. 如果 CPU 使用外部振荡器工作, 在 FLASH 写或擦除操作期间将系统时钟切换到内部振荡器。外部振荡器可以继续运行, CPU 可以在 FLASH 操作结束后切换回外部振荡器。

SFR 定义 13.1 PSCTL: 程序存储读写控制

SFR 页: 0

SFR 地址: 0x8F

R	R	R	R	R	R	R/W	R/W	复位值
-	-	-	-	-	-	PSEE	PSWE	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-2: 未使用。读 = 000000b, 写 = 忽略。

位 1: PSEE: 程序存储擦除允许

将该位置 1 后允许擦除 FLASH 存储器中的一个页(前提是 PSWE 位也被置 1)。在该位置 1 后, 用 MOVX 指令进行一次写操作将擦除包含 MOVX 指令寻址地址的那个 FLASH 页。用于写操作的数据可以是任意值。**注意: 包含读锁定字节和写/擦除锁定字节的 FLASH 页不能被擦除。**

0: 禁止擦除 FLASH 存储器。

1: 允许擦除 FLASH 存储器。

位 0: PSWE: 程序存储写允许

将该位置 1 后允许用 MOVX 写指令向 FLASH 存储器写一个字节。在写数据之前必须先进行擦除。

0: 禁止写 FLASH 存储器。MOVX 写操作寻址外部 RAM。

1: 允许写 FLASH 存储器。MOVX 写操作寻址 FLASH 存储器。

SFR 定义 13.2 FLKEY: FLASH 锁定和关键码寄存器

SFR 页: 0

SFR 地址: 0xB7

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: FLKEY: FLASH 锁定和关键码寄存器

写:

该寄存器为 FLASH 擦除和写操作提供锁定和关键码功能。通过向该寄存器按顺序写入下面的关键码 0xA5 和 0xF1 来使能 FLASH 写和擦除。在执行完一次写或擦除操作后, 后续的 FLASH 写或擦除操作被自动禁止。如果写 FLKEY 操作不正确或在写或擦除操作被禁止时试图写或擦除 FLASH, 则 FLASH 将被永久性锁定(不能写或擦除), 直到下一次器件复位。如果应用固件从不写 FLASH, 可以用软件向 FLKEY 写入一个非 0xA5 的值, 以锁定 FLASH。

读:

位 1-0 指示当前的 FLASH 锁定状态

00: FLASH 写/擦除被锁定。

01: 第一个关键码已被写入 (0xA5)。

10: FLASH 处于解锁状态 (允许写/擦除)

11: FLASH 写/擦除操作被禁止, 直到下一次复位。

13.4 FLASH 读定时

复位后，C8051F36x 的 FLASH 读操作定时被配置为对应最高 25 MHz 的系统时钟。如果系统时钟不超过 25 MHz，则 FLASH 定时寄存器可以保持其复位值。

对每次 FLASH 读或取指操作，系统为 FLASH 存储器提供一个内部 FLASH 读选通信号。FLASH 读选通信号持续一或两个系统时钟周期，由 FLRT（FLSCL.4 和 FLSCL.5）决定。如果系统时钟大于 25 MHz，则 FLRT 位必须被设置为合适的值。否则，从 FLASH 读取的数据或指令不是实际的 FLASH 内容。当 FLASH 读选通信号有效时，FLASH 存储器处于活动状态。当 FLASH 读选通信号无效时，FLASH 存储器处于低功耗状态。

建议用下述步骤更新 FLRT：

- 第一步：选择 SYSCLK 为小于或等于 25 MHz。
- 第二步：禁止指令预取引擎（CCH0CN 寄存器中的 CHPFEN = 0）。
- 第三步：将 FLRT 位设置为适合 SYSCLK 的值。
- 第四步：使能指令预取引擎（CCH0CN 寄存器中的 CHPFEN = 1）。

SFR 定义 13.3 FLSCL: FLASH 读定时控制寄存器

SFR 页: 0								
SFR 地址: 0xB6								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	FLRT		保留	保留	保留	保留	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-6: 保留。读 = 00b, 写= 忽略。								
位 5-4: FLRT: FLASH 读时间控制								
这两位应被编程为所允许的最小值（根据系统时钟速度）。								
00: SYSCLK≤ 25 MHz。								
01: SYSCLK≤ 50 MHz。								
10: SYSCLK≤ 725 MHz。								
11: SYSCLK≤ 100 MHz。								
位 3-0: 保留。读 = 0000b, 必须写 0000b。								
注意: 当将 FLRT 位改变为较小的设置值时（例如从 11b 变为 00b），应禁止高速缓存读、高速缓存写和指令预取引擎（用 CCH0CN 寄存器，见 SFR 定义 14.1）。								

表 13.2 FLASH 存储器电气特性

VDD = 2.7V ~ 3.6V, -40℃到+85℃（除非特别说明）。

参 数	条 件	最小值	典型值	最大值	单 位
FLASH 大小	C8051F360/1/2/3/4/5/6/7	32768*			字节
	C8051F368/9	16384			
擦写寿命		20k	250k	—	擦/写
擦除周期		8	10	12	ms
写周期		37	47	57	μs
*注：位于 0x7C00 ~ 0x7FFF 的 1024 字节保留。					

14. 转移地址高速缓存

C8051F36x 系列器件包含一个 32 x 4 字节的转移地址高速缓存和一个 4 字节指令预取引擎。由于 FLASH 存储器的访问时间是 40 ns，而最短指令执行时间是 10 ns（C8051F360/1/2/3/4/5/6/7）或 20 ns（C8051F368/9），所以需要有转移地址高速缓存和预取引擎才能使程序全速执行。预取引擎每次从 FLASH 存储器读取 4 个指令字节，送给 CIP-51 处理器核执行。当运行线性代码时（程序没有任何转移），只需预取引擎就可使程序全速执行。当程序发生转移时，需要在转移地址高速缓存中查找转移目标地址（目的地址）。如果在高速缓存中找到转移地址信息（称为“高速缓存命中”），则从高速缓存读出指令数据并立即送给 CIP-51 执行，程序执行过程没有延时。如果在高速缓存中未找到转移地址（称为“高速缓存不命中”），则处理器暂时停止执行（最多 4 个时钟周期），从 FLASH 存储器中读取下一组 4 字节指令数据。每当发生高速缓存不命中时，所需要的指令数据便被写入高速缓存（如果当前的高速缓存设置允许写入）。CIP-51 与转移地址高速缓存和预取引擎之间的数据流图如图 14.1 所示。

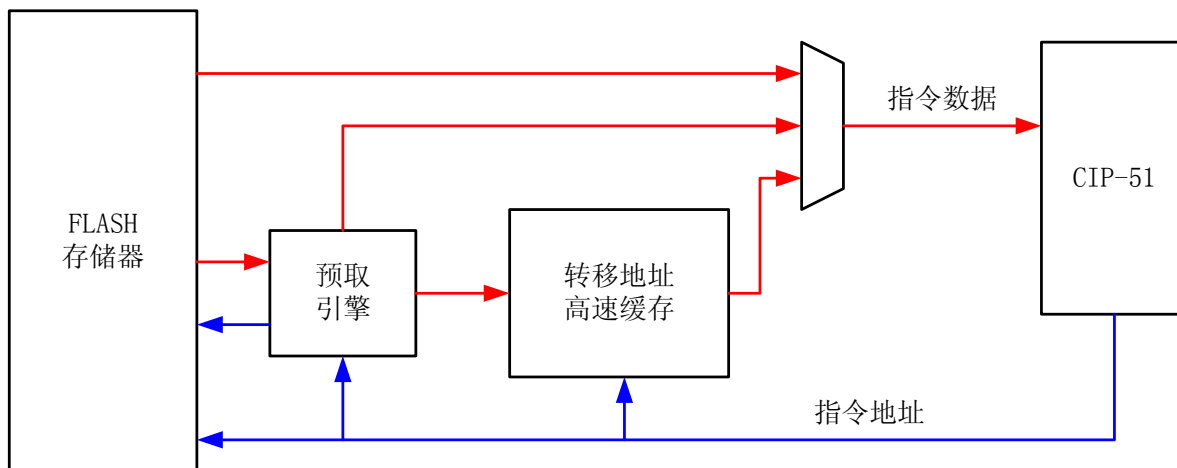


图 14.1 转移地址高速缓存数据流图

14.1 高速缓存和指令预取操作

转移地址高速缓存保存两类信息：“字块（slot）”和“标记（tag）”。字块保存从 FLASH 存储器读取的指令数据。每个字块包含 4 个连续的代码字节。标记含有一个 4 字节字块所对应 FLASH 地址的高 13 位。所以，指令数据总是以 4 字节为界被缓存。标记中还包含一个“有效位”，该位指示一个高速缓存字块中是否包含有效的指令数据。一个特殊的高速缓存位置（称为线性标记和字块）被保留，由预取引擎使用。高速缓存的组织如图 14.2 所示。每当需要进行 FLASH 读操作时，待读地址被与全部有效高速缓存标记地址比较（包括线性标记）。如果有任何一个标记地址与所要读的地址匹配，则对应字块中的数据被立即提供给 CIP-51。如果待读地址与预取引擎正在读取的指令中的一个地址匹配，则 CIP-51 暂停执行，直到预取操作完成。如果未发生匹配，则当前的预取操作被放弃，一次针对所需要的指令数据的预取操作被启动。当预取操作结束后，CIP-51 开始执行刚被读出的指令，同时预取引擎开始从 FLASH

存储器中读下一组 4 字节的指令数据。如果新读取的数据也符合被缓存的条件，则将被写入到高速缓存中由当前的替换算法给出的字块。

替换算法由高速缓存算法位 CHALGM (CCH0TN.3) 选择。当 CHALGM 位被清 0 时，高速缓存将使用回弹算法替换高速缓存中的数据。回弹算法按从高速缓存的开始到最后，然后再从高速缓存的最后到开始位置的顺序进行替换。当 CHALGM 位被置 1 时，高速缓存将使用伪随机算法替换高速缓存中的数据。伪随机算法使用一个伪随机数来决定要被替换的高速缓存位置。可以通过向 CHFLUSH 位 (CCH0CN.4) 写 1 来手动清空高速缓存。

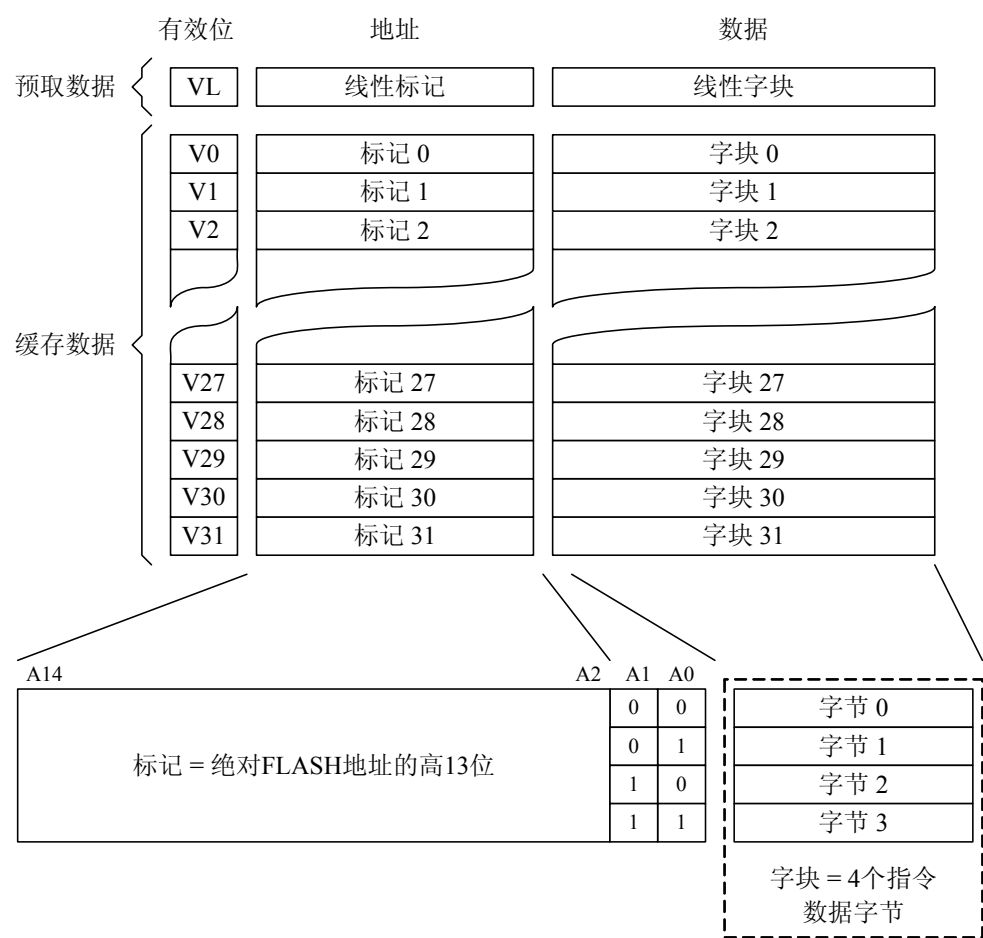


图 14.2 转移地址高速缓存组织

14.2 高速缓存和指令预取优化

转移地址高速缓存在缺省情况下被配置为对于多数情况可以提供代码执行速度的改善。在大多数应用中，高速缓存控制寄存器应被保持在它们的复位状态。有时也会希望优化一个特定例程或时间要求苛刻的循环程序的执行时间。转移地址高速缓存可以选择不缓存某些类型的数据或预装和锁定时间要求苛刻的转移地址以优化执行速度。

用高速缓存不命中记录阈值位 CHMSTH(CCH0TN.1-0)来实现对高速缓存的最基本控制。如果处理器在预取操作期间暂停执行的时钟周期数大于保存在 CHMSTH 中的数值，则所要求的数据在可用之后将被缓存。CHMSTH 位在缺省情况下被设置为 0，表示在任何时刻只要处理器暂停执行，新数据就将被缓存。如果（例如）CHMSTH 等于 2，任何导致 3 或 4 个时钟周期延时的高速缓存不命中事件都会使新数据被缓存，而引起 1 或 2 个时钟周期延时的高速缓存不命中事件不会使新数据被缓存。

某些类型的指令数据或某些代码块也可以被排除在高速缓存之外。缺省情况下，RETI 指令的目的地址不被缓存。为了能使 RETI 的目的地址被缓存，可以将 CHRETI 位(CCH0CN.3) 设置为 1。一般来说，缓存 RETI 的目的地址没有意义，除非同一条指令经常被中断（例如，等待中断发生的代码循环）。中断服务程序（ISR）中的指令也可以被排除在高速缓存之外。缺省情况下，ISR 指令可以进入高速缓存，但可以通过将 CHISR 位(CCH0CN.2) 清 0 来禁止。另一种可以被明确排除在高速缓存之外的信息是由 MOVC 指令返回的数据。将 CHMOV 位(CCH0CN.1) 清 0 可以禁止 MOVC 的数据被缓存。如果 MOVC 缓存被允许，可以限制 MOVC 信息只使用字块 0（不允许高速缓存的压栈操作）。CHFIXM 位(CCH0TN.2) 控制这一行为。

通过禁止所有的高速缓存写操作可以实现对高速缓存的进一步控制。可以通过将 CHWREN 位(CCH0CN.7) 清 0 来禁止高速缓存写操作。尽管正常的高速缓存写操作（例如在发生高速缓存不命中之后的那些写操作）被禁止，仍然可以通过高速缓存压栈操作向高速缓存写入数据。禁止高速缓存写操作可以防止非关键代码改变高速缓存的内容。注意，不管 CHWREN 的值如何，FLASH 写或擦除操作自动将受影响的字节从高速缓存中排除。高速缓存读操作和预取引擎还可以被单独禁止。禁止高速缓存读操作强制所有指令数据都从 FLASH 存储器或预取引擎中执行。将 CHRDEN 位(CCH0CN.6) 清 0 可以禁止高速缓存读操作。注意，当高速缓存读操作被禁止时，仍然可以进行高速缓存写操作（如果 CHWREN 被置 1）。用 CHPFEN 位(CCH0CN.5) 来禁止预取引擎。当该位被清 0 时，预取引擎被禁止。如果 CHPFEN 和 CHRDEN 均为 0，程序将以固定的速度执行，因为此时指令都取自 FLASH 存储器。

可以向高速缓存预装和锁定时间要求苛刻的转移目的地址。例如，在一个具有需要尽快响应的 ISR 的系统中，ISR 的入口可以被锁定在一个高速缓存地址以使 ISR 的响应延迟最小。一次可以锁定最多 30 个高速缓存位置。通过对 CHPUSH 位(CCH0LC.7) 编程来使能高速缓存的压栈操作，从而将指令锁定在高速缓存中。当 CHPUSH 被置 1 时，MOVC 指令将使包含所读数据字节的 4 字节代码段被写入到由 CHSLOT(CCH0LC.4-0) 指示的高速缓存字块。然后，CHSLOT 被减 1，指向下一个可锁定的高速缓存位置。该过程被称为高速缓存的压栈操作。位于 CHSLOT 之上的高速缓存位置被“锁定”，不能被处理器核修改，如图 14.3 所示。使用高速缓存出栈操作可以对被锁定的高速缓存位置解锁。通过向 CHPOP 位(CCH0LC.6) 写 1 来执行高速缓存出栈操作。当一个高速缓存出栈操作被启动后，CHSLOT 的值被加 1。该操作

对最后被锁定的高速缓存位置解锁，但并不将数据从高速缓存中移出。注意，如果 CHSLOT 等于 11110b，则不应启动高速缓存出栈操作，否则可能对高速缓存性能有不利的影响。**重要提示：**尽管硬件未明确禁止锁定高速缓存位置 1，但当 CHSLOT 等于 00000b 时，整个高速缓存被解锁。因此，高速缓存位置 1 和 0 在所有时间内都必须保持未锁定状态。

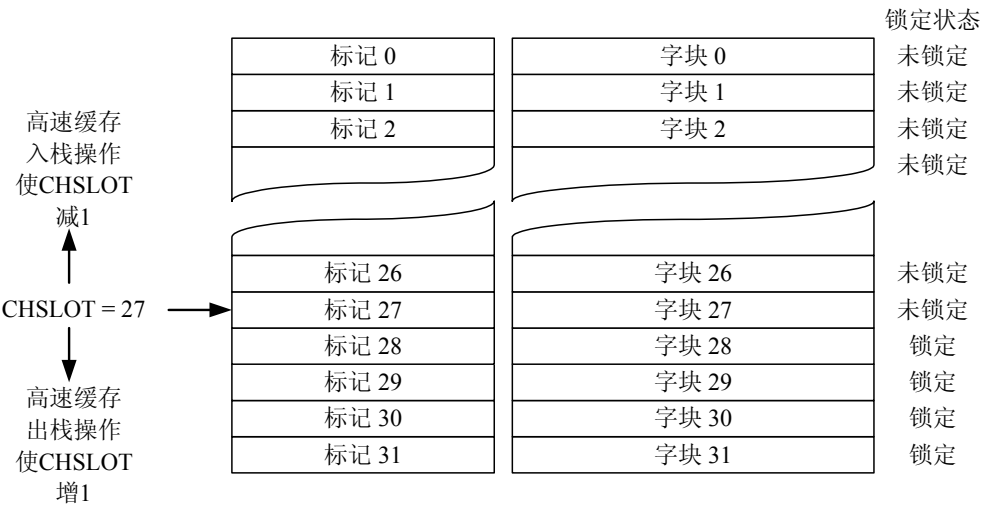


图 14.3 高速缓存锁定操作

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 14.1 CCH0CN: 高速缓存控制寄存器

SFR 页: F								
SFR 地址: 0x84								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
CHWREN	CHRDEN	CHPFEN	CHFLSH	CHRETI	CHISR	CHMOVC	CHBLKW	11100110
位7	位6	位5	位4	位3	位2	位1	位0	
位 7:	CHWREN: 高速缓存写操作使能位 该位使能处理器对高速缓存的写操作。 0: 除了在 FLASH 写/擦除或高速缓存锁定期间, 高速缓存内容不允许改变。 1: 允许对高速缓存写入。							
位 6:	CHRDEN: 高速缓存读操作使能位 该位使能处理器对高速缓存的读操作。 0: 所有指令数据都取自 FLASH 存储器或预取引擎。 1: 指令数据取自高速缓存 (当可用时)。							
位 5:	CHPFEN: 高速缓存预取使能位 该位使能预取引擎。 0: 禁止预取引擎。 1: 使能预取引擎。							
位 4:	CHFLSH: 高速缓存清除位 向该位写 1 时清除高速缓存内容。该位的读出值总是为 0。							
位 3:	CHRETI: 高速缓存 RETI 目的地址使能位 该位控制 RETI 目的地址是否可以进入高速缓存。 0: RETI 指令的目的地址不能被缓存。 1: RETI 指令的目的地址可以被缓存。							
位 2:	CHISR: 高速缓存 ISR 使能位。 该位控制中断服务程序 (ISR) 中的指令数据是否可以进入高速缓存。 0: ISR 中的指令不能进入高速缓存。 1: ISR 中的指令可以进入高速缓存。							
位 1:	CHMOVC: 高速缓存 MOVC 使能位。 该位控制 MOVC 指令返回的数据是否可以进入高速缓存。 0: MOVC 指令返回的数据不能进入高速缓存。 1: MOVC 指令返回的数据可以进入高速缓存。							
位 0:	CHBLKW: 块写使能位。 该位控制软件对 FLASH 存储器的块写操作。 0: 软件 FLASH 写操作的每个字节都被单独写入。 1: FLASH 字节按 4 字节为一组 (代码空间写) 写入。							

SFR 定义 14.2 CCH0TN: 高速缓存调整寄存器

SFR 页: F
SFR 地址: 0xC9

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
CHMSCTL				CHALGM	CHFIXM	CHMSTH		00000100
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-4:

CHMSCTL: 高速缓存未命中事件累加器 (位 4~1)
这些位是高速缓存未命中事件累加器的位 4~1。要读这些位之前, 它们必须被先锁存 (通过读 CCH0MA 寄存器中的 CHMSCTH 位实现, 见 SFR 定义 14.4)。

位 3:

CHALGM: 高速缓存替换算法选择位
该位选择高速缓存的替换算法。
0: 高速缓存使用回弹算法。
1: 高速缓存使用伪随机算法。

位 2:

CHFIXM: 高速缓存固定 MOV C 使能位。
该位强制 MOV C 数据写入到高速缓存的字块 0。
0: 根据 CHALGM 位选择的当前算法写 MOV C 数据。
1: MOV C 数据总是被写到高速缓存的字块 0。

位 1-0:

CHMSTH: 高速缓存未命中阈值。
这两位决定何时未命中的指令数据进入高速缓存。
如果获得数据的时间多于 CHMSTH 个时钟, 该数据将进入高速缓存。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 14.3 CCH0LC: 高速缓存锁定控制寄存器

SFR 页: F							
SFR 地址: 0xD2							
R/W	R/W	R/W	R	R	R	R	复位值
CHPUSH	CHPOP	保留	CHSLOT				00011111
位7	位6	位5	位4	位3	位2	位1	位0
<p>位 7: CHPUSH: 高速缓存压栈使能位 该位使能高速缓存的压栈操作, 该操作用 MOV_C 指令锁定高速缓存字块中的信息。 0: 禁止高速缓存的压栈操作。 1: 允许高速缓存的压栈操作。当执行 MOV_C 读指令时, 含有要读取数据的 4 字节代码段被锁定在高速缓存中由 CHSLOT 指示的位置, 然后 CHSLOT 减 1。</p> <p>注意: 一次锁定的高速缓存字块数不能大于 30, 因为当 CHSLOT 等于 0 时整个高速缓存将被解锁。</p>							
<p>位 6: CHPOP: 高速缓存出栈 向该位写 1 使 CHSLOT 加 1, 然后解锁对应的字块。该位的读出值总是为 0。 注意: 当 CHSLOT 等于 11110_b 时不应执行高速缓存出栈操作, 出栈的字块数若大于入栈的字块数将会对高速缓存性能造成不可确定的影响。</p>							
<p>位 5: 保留。读 = 0_b, 必须写 0_b。</p>							
<p>位 4-0: CHSLOT: 高速缓存字块指针 这些只读位是高速缓存锁定堆栈的指针。在 CHSLOT 之上的位置被锁定, 并且不能被处理器改写, 除非 CHSLOT 等于 0。</p>							

SFR 定义 14.4 CCH0MA：高速缓存不命中累加器

SFR 页: F								复位值
SFR 地址: 0xD3								
R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	00000000
CHMSOV	CHMSCTH							
位7	位6	位5	位4	位3	位2	位1	位0	
<p>位 7: CHMSOV: 高速缓存未命中溢出标志</p> <p>该位指示高速缓存未命中累加器自上一次被写入后是否发生溢出。</p> <p>0: 自上一次被写入后, 高速缓存未命中累加器未发生溢出。</p> <p>1: 自上一次被写入后, 高速缓存未命中累加器发生了溢出。</p> <p>位 6-0: CHMSCTH: 高速缓存未命中事件累加器 (位 11~5)</p> <p>这些位是高速缓存未命中累加器的位 11~5。接下来的 4 位 (位 4~1) 保存在 CCH0TN 寄存器中的 CHMSCTL 位中。</p> <p>在因高速缓存未命中导致的处理器延时的每个时钟周期该累加器加 1。该功能主要用于优化代码执行速度的调试阶段。</p> <p>写 CHMSCTH 时清除高速缓存未命中累加器的低 5 位。</p> <p>读 CHMSCTH 时返回 CHMSCTH 的当前值, 并将位 4~1 锁存到 CHMSCTL 以便读取。因为高速缓存未命中累加器的位 0 不可见, 所以高速缓存未命中累加值等于 2* (CCHMSCTH:CCHMSCTL)。</p>								

SFR 定义 14.5 FLSTAT：FLASH 状态

SFR 页: F								复位值
SFR 地址: 0xAC								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
<p>位 7-1: 保留。读 = 0000000b, 必须写 0000000b。</p> <p>位 0: FLBUSY: FLASH 忙标志 该位指示是否正在进行 FLASH 写或擦除操作。 0: FLASH 处于空闲或读状态。 1: 正在进行 FLASH 写或擦除操作。</p>								

15. 外部 RAM

C8051F36x 器件内部有映射到外部数据存储器空间的 1024 字节 RAM (XRAM)。另外, C8051F360/3 还有可用于访问连接到 GPIO 端口的片外存储器和存储器映射器件的外部存储器接口 (EMIF)。外部存储器空间可以用外部传送指令 (MOVX) 和数据指针 (DPTR) 访问, 或者通过使用 R0 或 R1 用间接寻址方式访问。如果 MOVX 指令使用一个 8 位地址操作数 (例如 @R1), 则 16 位地址的高字节由外部存储器接口控制寄存器 (EMI0CN, 见 SFR 定义 15.1) 提供。**注: MOVX 指令还用于写 FLASH 存储器, 详见“13. FLASH 存储器”。缺省情况下 MOVX 指令访问 XRAM。**

15.1 访问 XRAM

XRAM 存储器空间 (内部和外部) 用 MOVX 指令访问。MOVX 指令有两种形式, 这两种形式都使用间接寻址方式。第一种方法使用数据指针 DPTR, 该 16 位寄存器中含有待读或写的 XRAM 单元的实际地址。第二种方法使用 R0 或 R1, 与 EMI0CN 寄存器一起形成实际 XRAM 地址。下面举例说明这两种方法。

15.1.1 16 位 MOVX 示例

16 位形式的 MOVX 指令访问由 DPTR 寄存器的内容所指向的存储器单元。下面的指令将地址 0x1234 的内容读入累加器 A:

```
MOV    DPTR, #1234h      ; 将待读单元的 16 位地址 (0x1234) 装入 DPTR
MOVX   A, @DPTR          ; 将地址 0x1234 的内容装入累加器 A
```

上面的例子使用 16 位立即数 MOV 指令设置 DPTR 的内容。还可以通过访问特殊功能寄存器 DPH (DPTR 的高 8 位) 和 DPL (DPTR 的低 8 位) 来改变 DPTR 的内容。

15.1.2 8 位 MOVX 示例

8 位形式的 MOVX 指令使用特殊功能寄存器 EMI0CN 的内容给出待访问地址的高 8 位, 由 R0 或 R1 的内容给出待访问地址的低 8 位。下面的指令将地址 0x1234 的内容读入累加器 A:

```
MOV    EMI0CN, #12h      ; 将地址的高字节装入 EMI0CN
MOV    R0, #34h          ; 将地址的低字节装入 R0 (或 R1)
MOVX   A, @R0            ; 将地址 0x1234 的内容装入累加器 A
```


15.2 配置外部存储器接口

配置外部存储器接口的过程包括下面 5 个步骤：

1. 配置相应端口引脚的输出方式为推挽或漏极开路（最常用的是推挽方式），并在交叉开关中跳过这些引脚。
2. 配置对应 EMIF 引脚的端口锁存器为休眠态（通常将它们设置为逻辑‘1’）。
3. 选择复用方式或非复用方式。
4. 选择存储器模式（只用片内存储器、不带块选择的分片方式、带块选择的分片方式或只用片外存储器）。
5. 设置与片外存储器或外设接口的时序。

下面将对上述 5 个步骤作出详细说明。端口选择、复用方式选择和存储器模式位都位于 EMI0CF 寄存器中，见 SFR 定义 15.2。

15.4 端口配置

访问片外存储器时，外部存储器接口出现在端口 1、2（仅限于非复用方式）、3 和 4。在复用方式使用 EMIF 时，应用 POSKIP 寄存器将交叉开关配置为跳过 ALE 控制线（P0.0），其他控制线/RD（P4.4）和/WR（P4.5）不出现在交叉开关中，不需被跳过。有关配置交叉开关的详细信息，见“17.3. 通用端口 I/O”。EMIF 引脚分配见表 15.1。

外部存储器接口只在执行片外 MOVX 指令期间使用相关的端口引脚。一旦 MOVX 指令执行完毕，端口锁存器或交叉开关设置重新恢复对端口引脚的控制。有关交叉开关及端口操作和配置的详细信息见“17. 端口输入/输出”。**端口锁存器应被明确地配置为使外部存储器接口引脚处于休眠状态（不使用时），通常将它们设置为逻辑 1。**

在执行 MOVX 指令期间，外部存储器接口将禁止所有作为输入的那些引脚的驱动器（例如，读操作期间的 Data[7:0]）。端口引脚的输出方式（无论引脚被配置为漏极开路或是推挽方式）不受外部存储器接口操作的影响，始终受 PnMDOUT 寄存器的控制。在大多数情况下，所有 EMIF 引脚的输出方式都应被配置为推挽方式。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 15.1 EMIF 引脚分配（C8051F360/3）

复用方式		非复用方式	
信号名称	端口引脚	信号名称	端口引脚
/RD	P4.4	/RD	P4.4
/WR	P4.5	/WR	P4.5
ALE	P0.0	ALE	P0.0
D0/A0	P1.0	D0	P1.0
D1/A1	P1.1	D1	P1.1
D2/A2	P1.2	D2	P1.2
D3/A3	P1.3	D3	P1.3
D4/A4	P1.4	D4	P1.4
D5/A5	P1.5	D5	P1.5
D6/A6	P1.6	D6	P1.6
D7/A7	P1.7	D7	P1.7
A8	P3.4	A0	P2.0
A9	P3.5	A1	P2.1
A10	P3.6	A2	P2.2
A11	P3.7	A3	P2.3
A12	P4.0	A4	P2.4
A13	P4.1	A5	P2.5
A14	P4.2	A6	P2.6
A15	P4.3	A7	P2.7
—	—	A8	P3.4
—	—	A9	P3.5
—	—	A10	P3.6
—	—	A11	P3.7
—	—	A12	P4.0
—	—	A13	P4.1
—	—	A14	P4.2
—	—	A15	P4.3

SFR 定义 15.1 EMI0CN: 外部存储器接口控制

SFR 页：所有页								
SFR 地址：0xAA								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
PGSEL7	PGSEL6	PGSEL5	PGSEL4	PGSEL3	PGSEL2	PGSEL1	PGSEL0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0： PGSEL[7:0]： XRAM 页选择位								
当使用 8 位的 MOVX 命令时，XRAM 页选择位提供 16 位外部数据存储地址的高字节，实际上是选择一个 256 字节的 RAM 页。								
0x00： 0x0000 ~ 0x00FF								
0x01： 0x0100 ~ 0x01FF								
...								
0xFE： 0xFE00 ~ 0xFEFF								
0xFF： 0xFF00 ~ 0xFFFF								

SFR 定义 15.2 EMI0CF: 外部存储器接口配置

SFR 页: F								
SFR 地址: 0xC7								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	—	EMD2	EMD1	EMD0	EALE1	EALE0	00000011
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-5: 未用。读 = 000b, 写 = 忽略。

位 4: EMD2: EMIF 复用方式选择位

0: EMIF 工作在地址/数据复用方式。

1: EMIF 工作在非复用方式（独立的地址和数据引脚）。

位 3-2: EMD1-0: EMIF 工作模式选择位

这两位控制外部存储器接口的工作模式。

00: 只用内部存储器。MOVX 只寻址片内 XRAM。所有有效地址都指向片内存储器空间。

01: 不带块选择的分片方式。寻址低于 1K 边界的地址时访问片内存储器，寻址高于 1K 边界的地址时访问片外存储器。8 位片外 MOVX 操作使用地址高端口锁存器的当前内容作为地址的高字节。注意：为了能访问片外存储器空间，EMI0CN 必须被设置成一个不属于片内地址空间的页地址。

10: 带块选择的分片方式。寻址低于 1K 边界的地址时访问片内存储器，寻址高于 1K 边界的地址时访问片外存储器。8 位片外 MOVX 操作使用 EMI0CN 的内容作为地址的高字节。

11: 只用外部存储器。MOVX 只寻址片外 XRAM。片内 XRAM 对 CPU 为不可见。

位 1-0: EALE1-0: ALE 脉冲宽度选择位（只在 EMD2 =0 时有效）

00: ALE 高和 ALE 低脉冲宽度 = 1 个 SYSCLK 周期。

01: ALE 高和 ALE 低脉冲宽度 = 2 个 SYSCLK 周期。

10: ALE 高和 ALE 低脉冲宽度 = 3 个 SYSCLK 周期。

11: ALE 高和 ALE 低脉冲宽度 = 4 个 SYSCLK 周期。

15.4 复用和非复用选择

外部存储器接口可以工作在复用方式或非复用方式，由 EMD2 位（EMI0CF.4）的状态决定。

15.4.1 复用方式配置

在复用方式，数据总线和地址总线的低 8 位共享相同的端口引脚：AD[7:0]。在该方式下，要用一个外部锁存器（74HC373 或相同功能的逻辑门）保持 RAM 地址的低 8 位。外部锁存器由 ALE（地址锁存使能）信号控制，ALE 信号由外部存储器接口逻辑驱动。图 15.1 给出了复用方式配置的一个例子。

在复用方式，可以根据 ALE 信号的状态将外部 MOVX 操作分成两个阶段。在第一个阶段，ALE 为高电平，地址总线的低 8 位出现在 AD[7:0]。在该阶段，地址锁存器的 Q 输出与 D 输入的状态相同。ALE 由高变低时标志第二阶段开始，地址锁存器的输出保持不变，即与锁存器的输入无关。在第二阶段稍后，当/RD 或/WR 有效时，数据总线控制 AD[7:0]端口的状态。更详细的信息见“15.6.2 复用方式”。

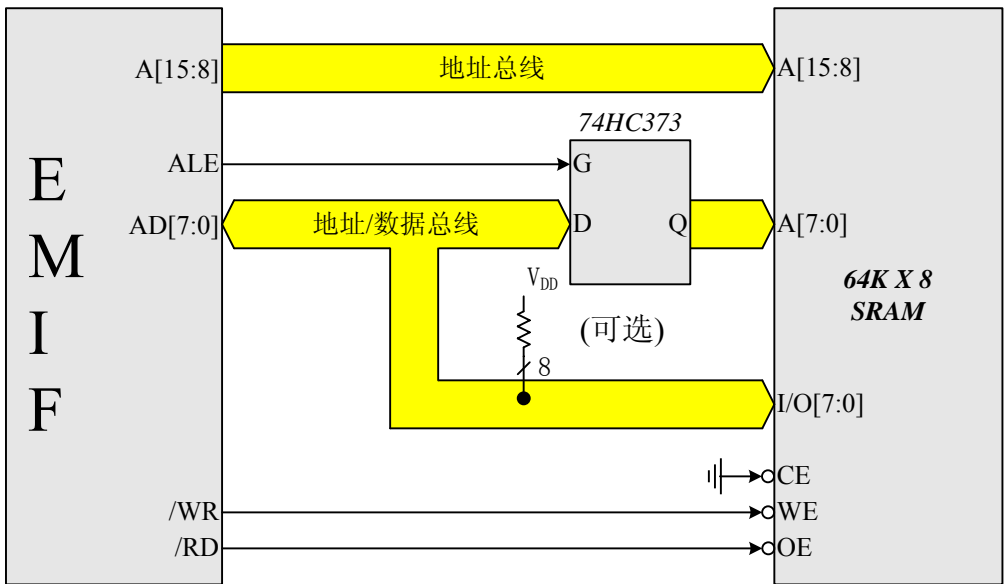


图 15.1 复用方式配置示例

15.4.2 非复用方式配置

在非复用方式，数据总线和地址总线是分开的。图 15.2 给出了非复用方式配置的一个例子。关于非复用方式操作的更详细的信息见“15.6.1 非复用方式”。

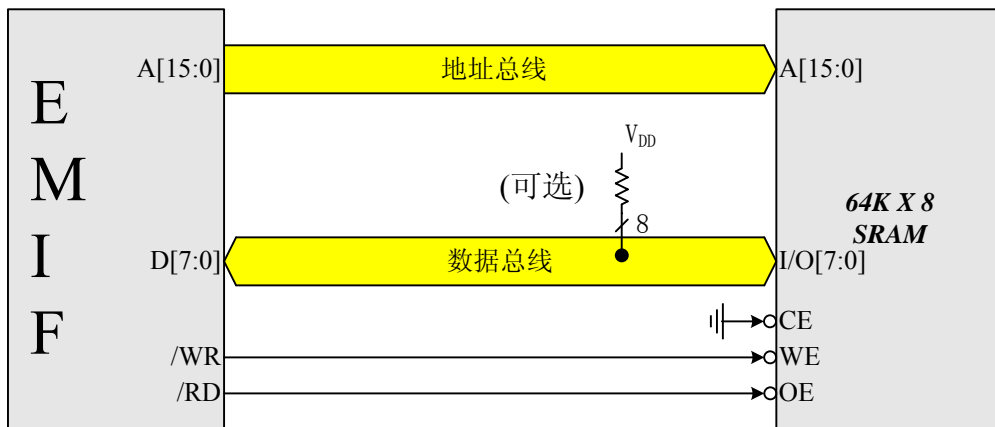


图 15.2 非复用方式配置示例

15.5 存储器模式选择

可以用 EMI0CF 寄存器（SFR 定义 15.2）中的 EMIF 模式选择位将外部数据存储器空间配置为图 15.3 所示的四种工作模式之一。下面简要介绍这些模式。有关不同模式的更详细信息见“15.6 时序”。

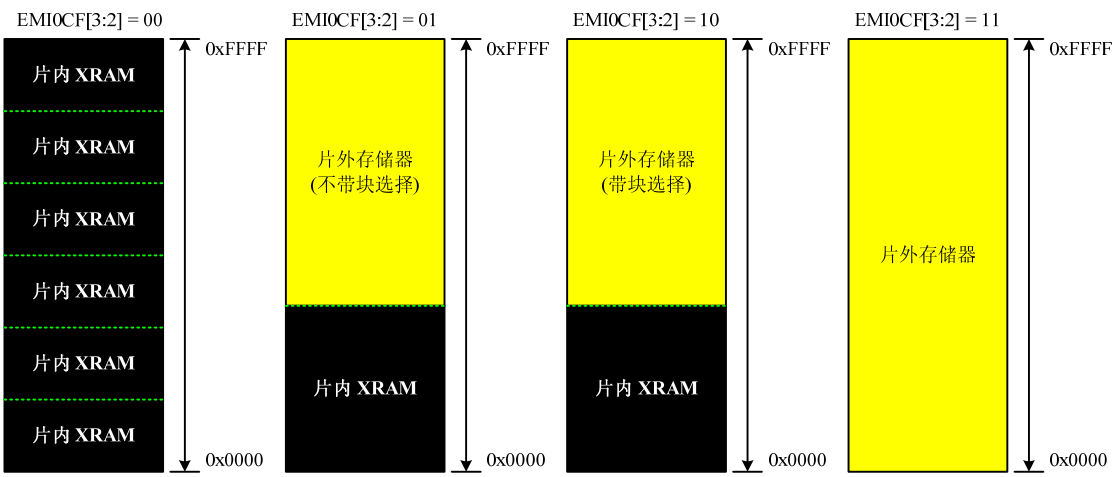


图 15.3 EMIF 工作模式

15.5.1 只用内部 XRAM

当 EMI0CF.[3:2]被设置为‘00’时，所有 MOVX 指令都将访问器件内部的 XRAM 空间。存储器寻址的地址大于实际地址空间时将以 1K 为边界回绕。例如：地址 0x0400 和 0x1000 都指向片内 XRAM 空间的 0x0000 地址。

- 8 位 MOVX 操作使用 EMI0CN 的内容作为有效地址的高字节，由 R0 或 R1 给出有效地址的低字节。
- 16 位 MOVX 操作使用 16 位寄存器 DPTR 的内容确定有效地址。

15.5.2 无块选择的分片模式

当 EMI0CF.[3:2]被设置为‘01’时，XRAM 存储器空间被分成两个区域（片），即片内空间和片外空间。

- 有效地址低于内部 XRAM 尺寸边界时将访问片内 XRAM 空间。
- 有效地址高于内部 XRAM 尺寸边界时将访问片外 XRAM 空间。
- 8 位 MOVX 操作使用 EMI0CN 的内容确定是访问片内还是片外存储器。然而对于“无块选择”模式，在访问片外存储器期间一个 8 位 MOVX 操作不驱动地址总线的高 8 位 A[15:8]。这就允许用户通过直接设置端口的状态来按自己的意愿操作高位地址。下面将要描述的“带块选择的分片模式”则与此相反。地址总线的低 8 位 A[7:0]被驱动，由 R0 或 R1 给出。
- 16 位 MOVX 操作使用 DPTR 的内容确定是访问片内还是片外存储器，与 8 位 MOVX 操作不同的是，在访问片外存储器时地址总线 A[15:0]的全部 16 位都被驱动。

15.5.3 带块选择的分片模式

当 EMI0CF[3:2]被设置为‘10’时，XRAM 存储器空间被分成两个区域（片），即片内空间和片外空间。

- 有效地址低于内部 XRAM 尺寸边界时将访问片内 XRAM 空间。
- 有效地址高于内部 XRAM 尺寸边界时将访问片外空间。
- 8 位 MOVX 操作使用特殊功能寄存器 EMI0CN 的内容确定是访问片内还是片外存储器，地址总线的高 8 位 A[15:8]由 EMI0CN 给出，而地址总线的低 8 位 A[7:0]由 R0 或 R1 给出。在“块选择”模式，地址总线 A[15:0]的全部 16 位都被驱动。
- 16 位 MOVX 操作使用 DPTR 的内容确定是访问片内还是片外存储器，在访问片外存储器时地址总线 A[15:0]的全部 16 位都被驱动。

15.5.4 只用外部存储器

当 EMI0CF[3:2]被设置为‘11’时，所有 MOVX 指令都将访问器件外部 XRAM 空间。片内 XRAM 对 CPU 为不可见。该方式在访问从 0x0000 开始到内部 XRAM 尺寸边界之间的片外存储器时有用。

- 8 位 MOVX 操作忽略 EMI0CN 的内容。高地址位 A[15:8]不被驱动（与“不带块选择的分片模式”中描述的访问片外存储器的行为相同）。这就允许用户通过直接设置端口的状态来按自己的意愿操作高位地址。有效地址的低 8 位 A[7:0]由 R0 或 R1 给出。
- 16 位 MOVX 操作使用 DPTR 的内容确定有效地址 A[15:0]。在访问片外存储器时地址总线 A[15:0]的全部 16 位都被驱动。

15.6 EMIF 时序

外部存储器接口的时序参数是可编程的，这就允许连接具有不同建立时间和保持时间要求的器件。地址建立时间、地址保持时间、/RD 和 /WR 选通脉冲的宽度以及复用方式下 ALE 脉冲的宽度都可以通过 EM0TC（见 SFR 定义 15.3）和 EMI0CF[1:0]编程，编程单位为 SYSCLK 周期。

片外 MOVX 指令的时序可以通过将 EMI0TC 寄存器中定义的时序参数加上 4 个 SYSCLK 周期来计算。在非复用方式，一次片外 XRAM 操作的最小执行时间为 5 个 SYSCLK 周期（用于 /RD 或 /WR 脉冲的 1 个 SYSCLK + 4 个 SYSCLK）。对于复用方式，地址锁存使能信号至少需要 2 个附加的 SYSCLK 周期。因此，在复用方式，一次片外 XRAM 操作的最小执行时间为 7 个 SYSCLK 周期（用于 ALE 的 2 个 SYSCLK + 用于 /RD 或 /WR 脉冲的 1 个 SYSCLK + 4 个 SYSCLK）。在器件复位后，可编程建立和保持时间的缺省值为最大延迟设置。

表 15.2 列出了外部存储器接口的 AC 参数，图 15.4 ~ 图 15.9 给出了对应不同外部存储器接口模式和 MOVX 操作的时序图。

SFR 定义 15.3 EMI0TC: 外部存储器时序控制

SFR 页: F								
SFR 地址: 0xF7								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
EAS1	EAS0	EWR3	EWR2	EWR1	EWR0	EAH1	EAH0	11111111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-6: EAS1-0: EMIF 地址建立时间位。

00: 地址建立时间 = 0 个 SYSCLK 周期。

01: 地址建立时间 = 1 个 SYSCLK 周期。

10: 地址建立时间 = 2 个 SYSCLK 周期。

11: 地址建立时间 = 3 个 SYSCLK 周期。

位 5-2: EWR3-0: EMIF /WR 和/RD 脉冲宽度控制位。

0000: /WR 和/RD 脉冲宽度 = 1 个 SYSCLK 周期。

0001: /WR 和/RD 脉冲宽度 = 2 个 SYSCLK 周期。

0010: /WR 和/RD 脉冲宽度 = 3 个 SYSCLK 周期。

0011: /WR 和/RD 脉冲宽度 = 4 个 SYSCLK 周期。

0100: /WR 和/RD 脉冲宽度 = 5 个 SYSCLK 周期。

0101: /WR 和/RD 脉冲宽度 = 6 个 SYSCLK 周期。

0110: /WR 和/RD 脉冲宽度 = 7 个 SYSCLK 周期。

0111: /WR 和/RD 脉冲宽度 = 8 个 SYSCLK 周期。

1000: /WR 和/RD 脉冲宽度 = 9 个 SYSCLK 周期。

1001: /WR 和/RD 脉冲宽度 = 10 个 SYSCLK 周期。

1010: /WR 和/RD 脉冲宽度 = 11 个 SYSCLK 周期。

1011: /WR 和/RD 脉冲宽度 = 12 个 SYSCLK 周期。

1100: /WR 和/RD 脉冲宽度 = 13 个 SYSCLK 周期。

1101: /WR 和/RD 脉冲宽度 = 14 个 SYSCLK 周期。

1110: /WR 和/RD 脉冲宽度 = 15 个 SYSCLK 周期。

1111: /WR 和/RD 脉冲宽度 = 16 个 SYSCLK 周期。

位 1-0: EAH1-0: EMIF 地址保持时间位。

00: 地址保持时间 = 0 个 SYSCLK 周期。

01: 地址保持时间 = 1 个 SYSCLK 周期。

10: 地址保持时间 = 2 个 SYSCLK 周期。

11: 地址保持时间 = 3 个 SYSCLK 周期。

15.6.1 非复用方式

15.6.1.1 16 位 MOVX: EMI0CF[4:2] = ‘101’、‘110’ 或 ‘111’

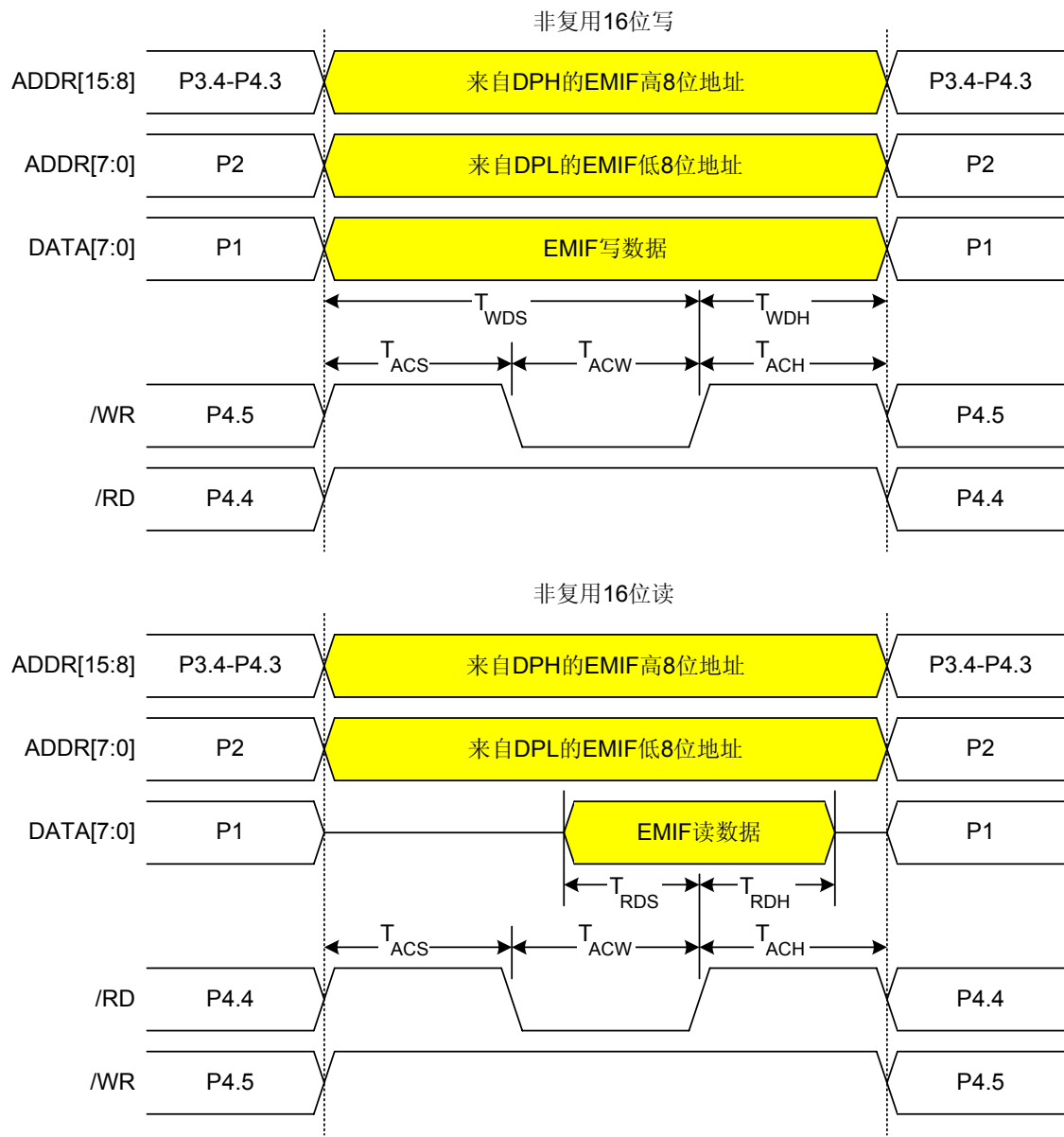
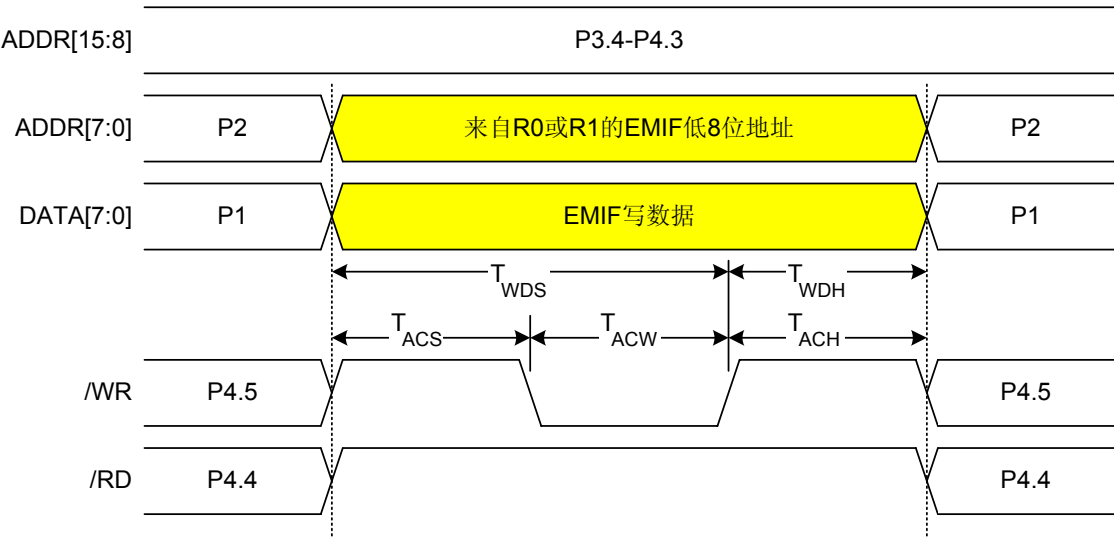


图 15.4 非复用 16 位 MOVX 时序

15.5.1.2 无块选择的 8 位 MOVX: EMI0CF[4:2] = ‘101’ 或 ‘111’

不带块选择的非复用8位写



不带块选择的非复用8位读

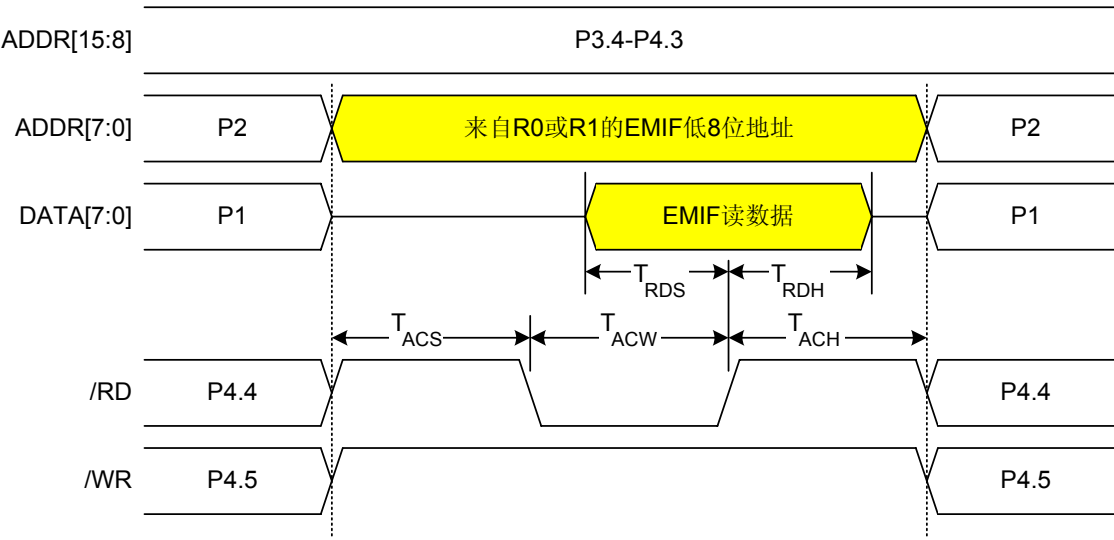


图 15.5 无块选择的非复用 8 位 MOVX 时序

15.6.1.3 带块选择的 8 位 MOVX: EMI0CF[4:2] = ‘110’

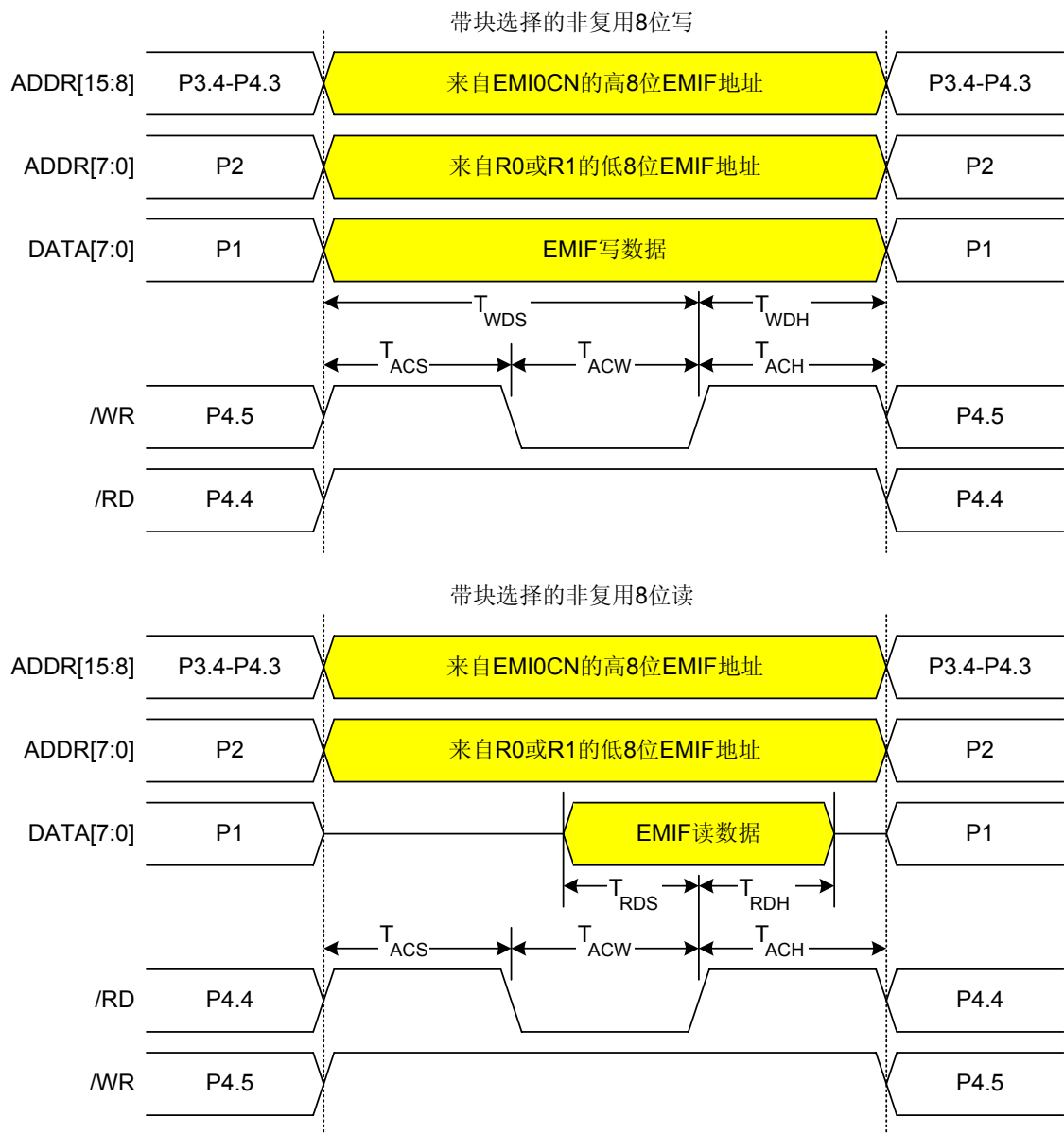


图 15.6 带块选择的非复用 8 位 MOVX 时序

15.6.2 复用方式

15.6.2.1 16 位 MOVX: EMI0CF[4:2] = ‘001’, ‘010’, ‘011’

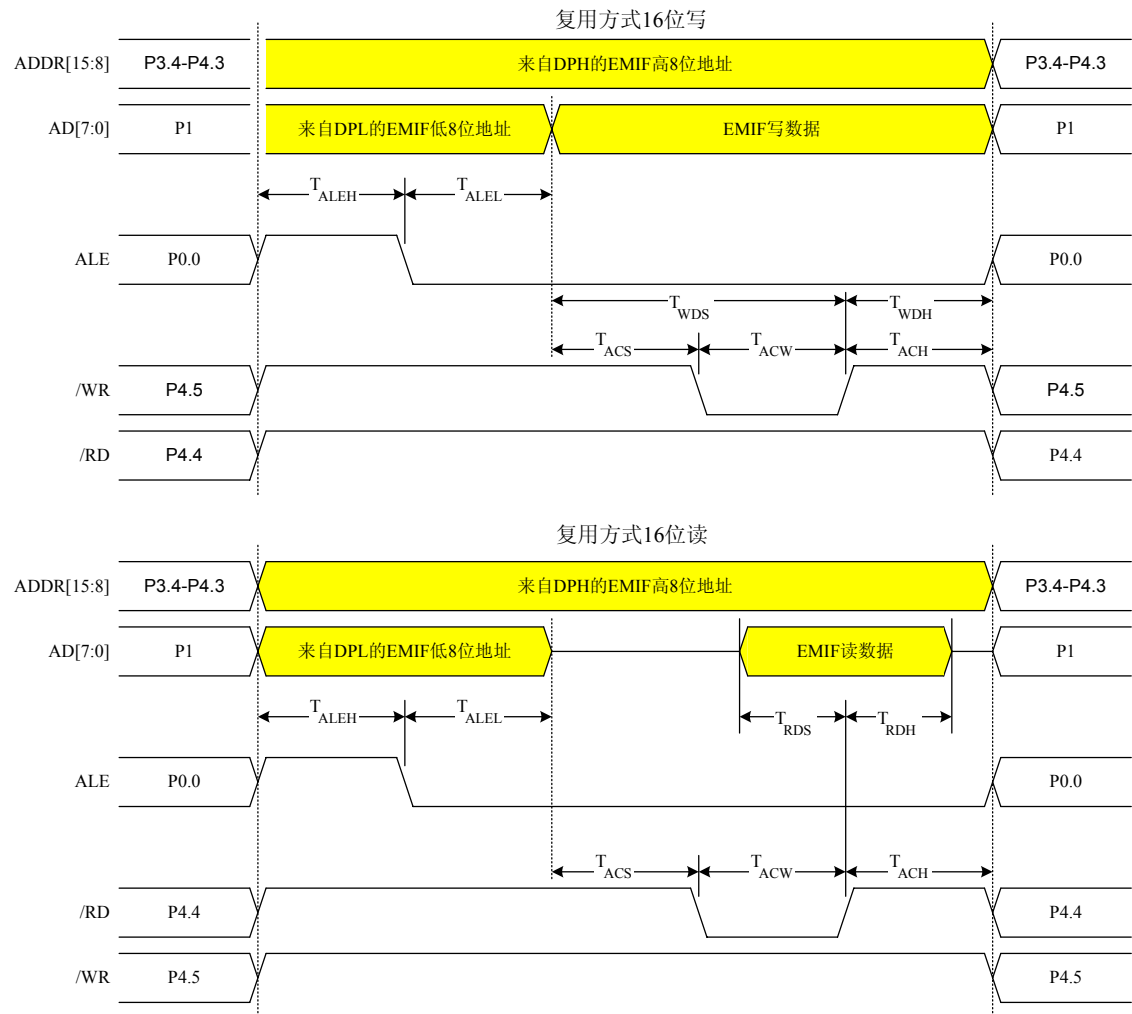


图 15.7 复用方式 16 位 MOVX 时序

15.6.2.2 无块选择的 8 位 MOVX: EMI0CF[4:2] = ‘001’ 或 ‘011’

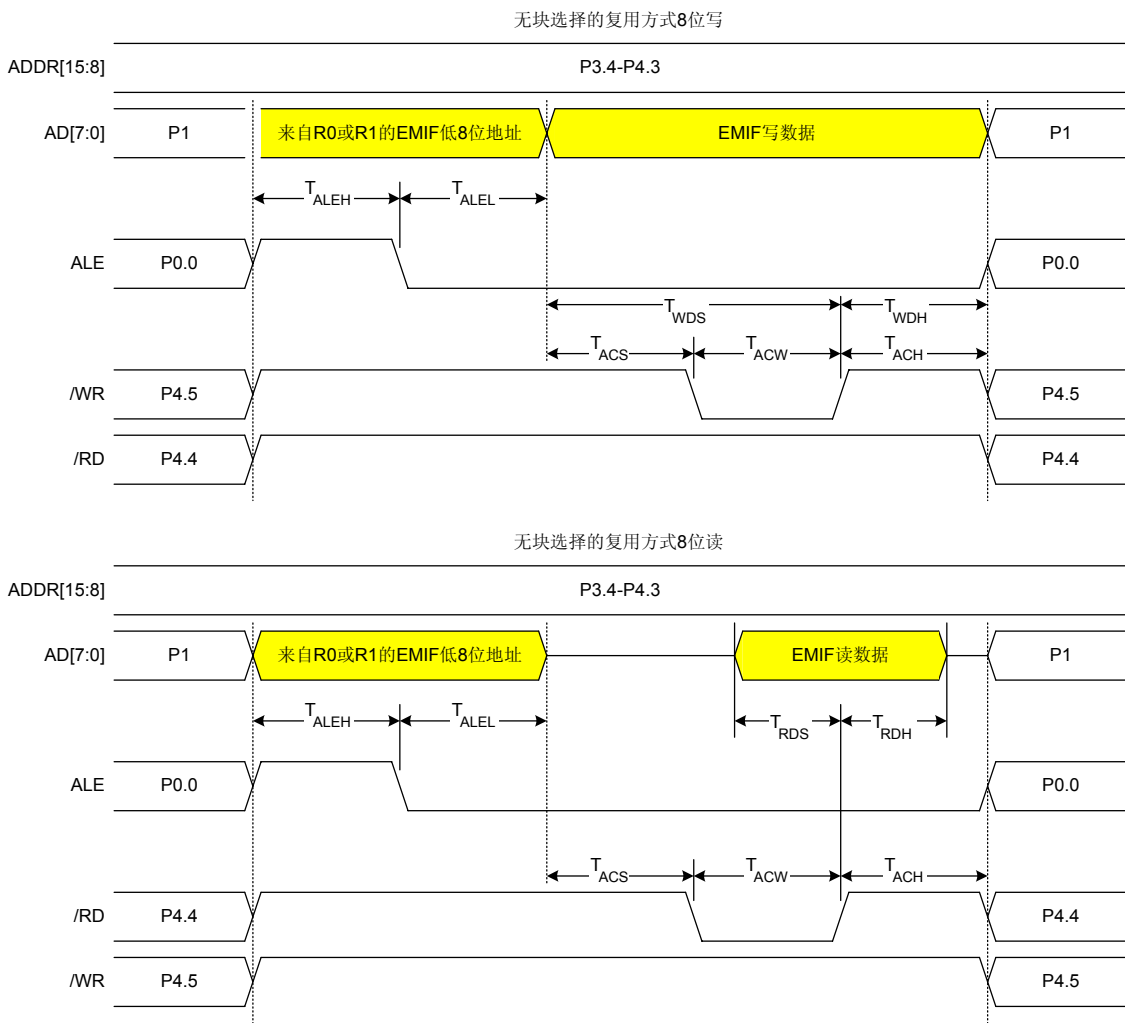


图 15.8 无块选择的复用方式 8 位 MOVX 时序

15.6.2.3 带块选择的 8 位 MOVX: EMI0CF[4:2] = ‘010’

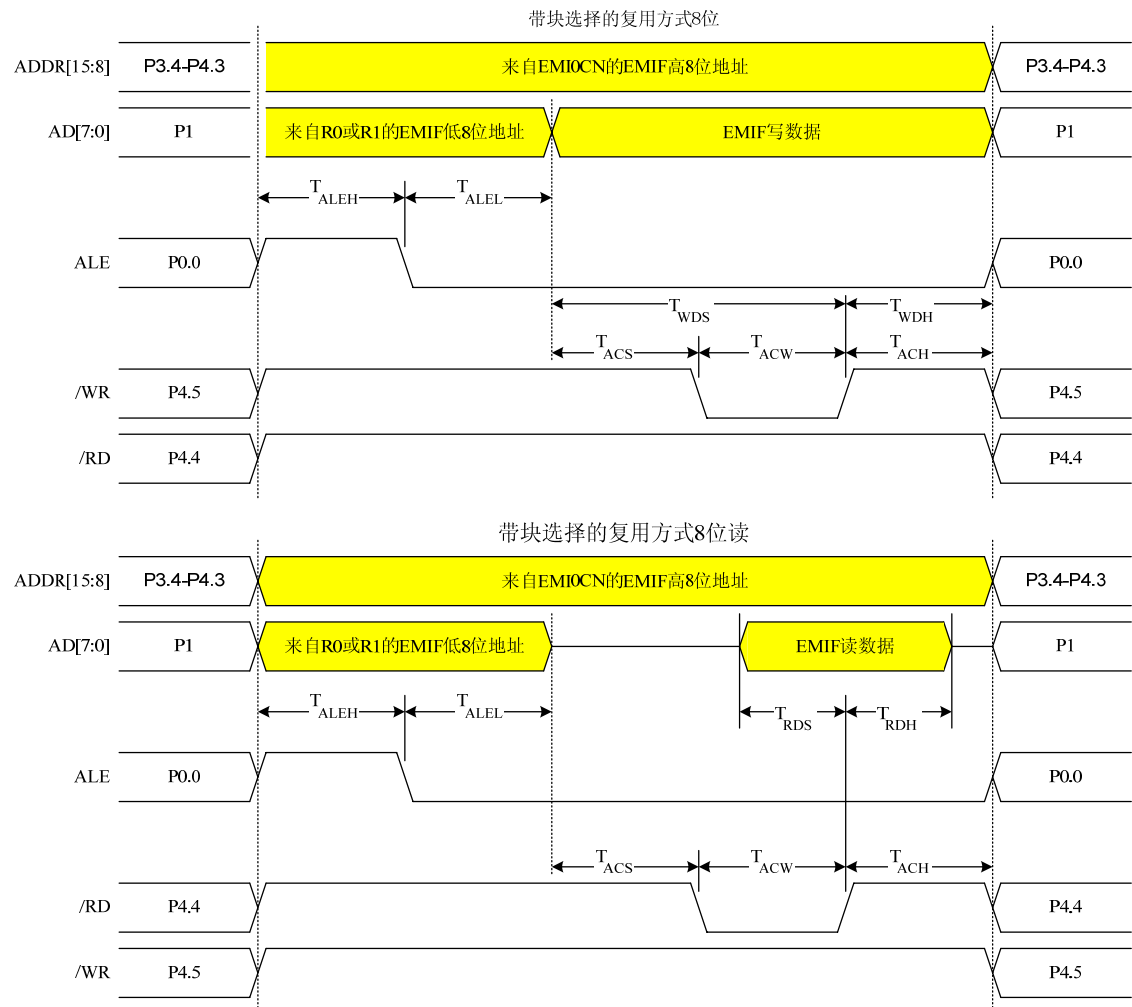


图 15.9 带块选择的复用方式 8 位 MOVX 时序

表 15.2 外部存储器接口的 AC 参数

参 数	说 明	最小值*	最大值*	单 位
T _{ACS}	地址/控制信号建立时间	0	3× T _{SYSCLK}	ns
T _{ACW}	地址/控制信号脉冲宽度	1× T _{SYSCLK}	16× T _{SYSCLK}	ns
T _{ACH}	地址/控制信号保持时间	0	3× T _{SYSCLK}	ns
T _{ALEH}	地址锁存使能信号高电平时间	1× T _{SYSCLK}	4× T _{SYSCLK}	ns
T _{ALEL}	地址锁存使能信号低电平时间	1× T _{SYSCLK}	4× T _{SYSCLK}	ns
T _{WDS}	写数据建立时间	1× T _{SYSCLK}	19× T _{SYSCLK}	ns
T _{WDH}	写数据保持时间	0	3× T _{SYSCLK}	ns
T _{RDS}	读数据建立时间	20		ns
T _{RDH}	读数据保持时间	0		ns
*注：T _{SYSCLK} 等于器件系统时钟（SYSCLK）的一个周期。				

16. 振荡器

C8051F36x 器件有一个可编程内部高频振荡器、一个可编程内部低频振荡器和一个外部振荡器驱动电路。用 OSCICN 和 OSCICL 寄存器使能/禁止内部高频振荡器和调节其输出频率(如图 16.1 所示)。用 OSCLCN 寄存器使能/禁止内部低频振荡器和调节其输出频率(见 SFR 定义 16.3)。两个内部振荡器都提供了分频选择功能。系统时钟可以由外部振荡器电路、任何一个内部振荡器或片内锁相环(PLL)提供。表 16.1 给出了内部振荡器的电气特性。

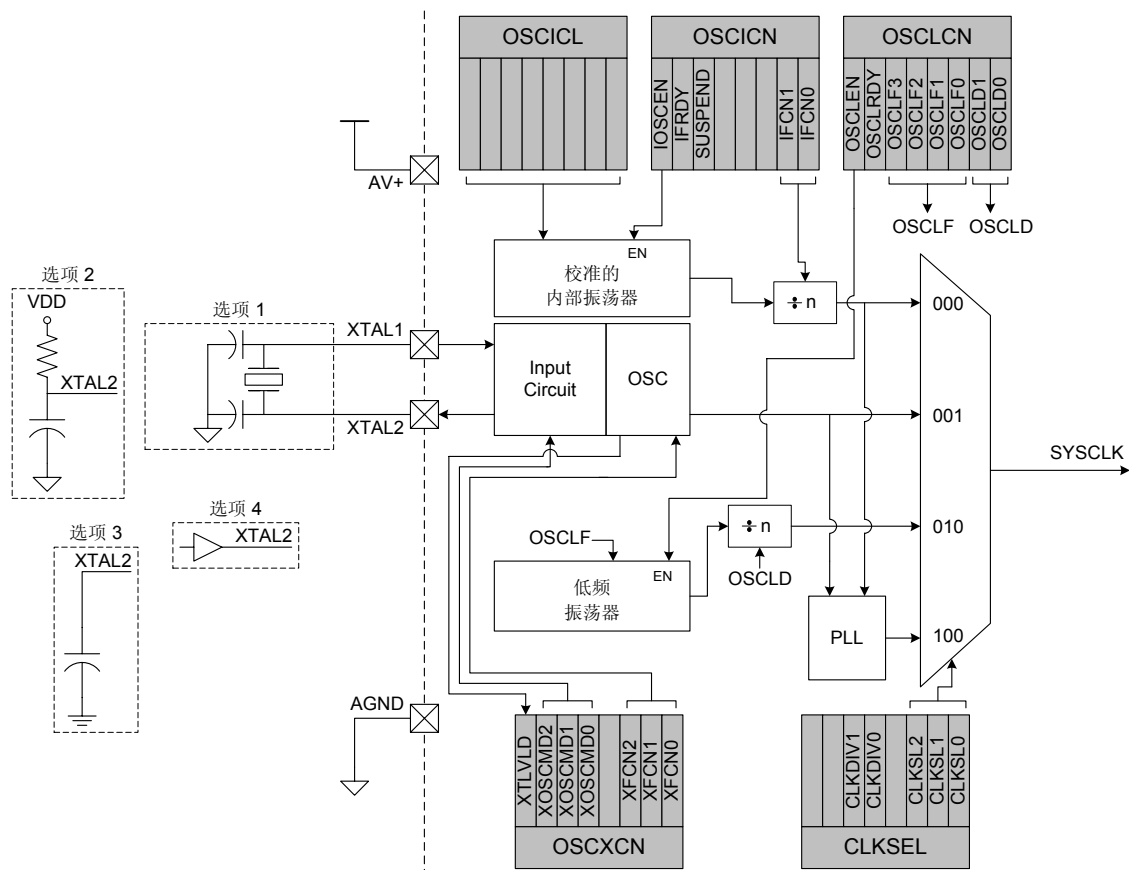


图 16.1 振荡器框图

16.1 可编程内部高频（H-F）振荡器

C8051F36x 器件包含一个经过校准的内部高频振荡器，该振荡器在系统复位后被默认为系统时钟。该振荡器的周期可以通过 OSCICL 寄存器（见 SFR 定义 16.1）调整。OSCICL 寄存器已经过工厂校准，对应的频率为 24.5 MHz。

表 16.1 和表 16.2 给出了精密内部振荡器的电气特性。注意：系统时钟可以从内部振荡器分频得到，分频系数由寄存器 OSCICN 中的 IFCN 位设定，可为 1、2、4 或 8。复位后的缺省分频系数为 8。

16.1.1 内部振荡器挂起方式

当软件向 SUSPEND 位（OSCICN.5）写 1 时，内部振荡器被挂起。如果系统时钟源自内部振荡器，则外设和 CIP-51 的输入时钟被停止，直到有下面的事件之一发生：

- 端口 0 匹配事件。
- 端口 1 匹配事件。
- 端口 2 匹配事件。
- 比较器 0 被使能且输出为逻辑 0。
- 比较器 1 被使能且输出为逻辑 0。

当有一个内部振荡器唤醒事件发生时，不论该事件是否产生中断，内部振荡器、CIP-51 和受其影响的外设都恢复正常操作。CPU 从写 SUSPEND 那条指令的下一条指令恢复执行。

注意：在进入 SUSPEND 方式之前，SYSCCLK 应被切换到内部振荡器，而不使用 PLL。当 CPU 被唤醒事件唤醒时，在被切换为时钟源之前，PLL 必须被重新初始化。

SFR 定义 16.1 OSCICL：内部振荡器校准寄存器

SFR 页：F							
SFR 地址：0xBF							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
							复位值 可变
位 7-0： OSCICL：内部振荡器校准寄存器。							
这些位决定内部振荡器的周期。OSCICL 的复位值定义了内部振荡器的基频。							
复位值已经过工厂校准，对应 24.5 MHz 的内部振荡器频率。							

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 16.2 OSCICN: 内部振荡器控制寄存器

SFR 页: F
SFR 地址: 0xB7

R/W	R	R/W	R	R/W	R/W	R/W	R/W	复位值
IOSCEN	IFRDY	SUSPEND	保留	保留	保留	IFCN1	IFCN0	11000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7: IOSCEN: 内部振荡器使能位
0: 内部振荡器禁止。
1: 内部振荡器使能。

位 6: IFRDY: 内部振荡器频率准备好标志
0: 内部振荡器未运行在编程频率。
1: 内部振荡器按编程频率运行。

位 5: SUSPEND: 内部振荡器挂起使能位
向该位写 1 将内部振荡器置于 SUSPEND 模式。当有一个 SUSPEND 模式唤醒事件发生时, 内部振荡器恢复运行。

位 4-2: 保留。读 = 000b, 必须写 000b。

位 1-0: IFCN2-0: 内部振荡器频率控制位
00: SYSCLK 为内部振荡器 8 分频 (缺省值)。
01: SYSCLK 为内部振荡器 4 分频。
10: SYSCLK 为内部振荡器 2 分频。
11: SYSCLK 为内部振荡器不分频。

表 16.1 内部振荡器电气特性

-40℃到+85℃ (除非特别说明)

参 数	条 件	最小值	典型值	最大值	单位
校准的内部振荡器频率		24	24.5	25	MHz
内部振荡器电源电流(自 VDD)	OSCICN.7 = 1	—	450	600	μA
电源敏感度	恒温	—	0.12	—	%/V
温度敏感度	恒压	—	60	—	ppm/℃
外部时钟频率		0	—	30	MHz
T _{XCH} (外部时钟高电平时间)		15	—	—	ns
T _{XCL} (外部时钟低电平时间)		15	—	—	ns

16.2 可编程内部低频（L-F）振荡器

C8051F36x 器件包含一个可编程低频内部振荡器，该振荡器的标称频率为 80KHz。该低频振荡器电路包含一个分频器，分频数由寄存器 OSCLCN 中的 OSCLD 位设定，可为 1、2、4 或 8（见 SFR 定义 16.3）。此外，OSCLF 位（OSCLCN5:2）可用于调节该振荡器的输出频率。

16.2.1 内部 L-F 振荡器标定

定时器 2 和定时器 3 具有捕捉功能，当驱动它们的时基已知时，可以用该功能获取内部 L-F 振荡器的频率。当定时器 2 或定时器 3 被配置为 L-F 振荡器捕捉方式时，低频振荡器输出的下降沿（定时器 2）或上升沿（定时器 3）将导致相应定时器发生捕捉事件。当捕捉事件发生时，定时器的当前计数值（TMRnH:TMRnL）被复制到定时器的重载寄存器（TMRnRLH:TMRnRLL）中。根据两次相邻定时器捕捉值的差值，可以计算低频振荡器的周期。然后可以调整 OSCLF 位以产生期望的振荡器频率。

SFR 定义 16.3 OSCLCN：内部 L-F 振荡器控制寄存器

SFR 页: F								复位值
SFR 地址: 0xAD								
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	00vvvv00
OSCLCN	OSCLRDY	OSCLF3	OSCLF2	OSCLF1	OSCLF0	OSCLD1	OSCLD0	
位7	位6	位5	位4	位3	位2	位1	位0	
位 7: OSCLCN: 内部 L-F 振荡器使能位								
0: 内部 L-F 振荡器禁止。								
1: 内部 L-F 振荡器使能。								
位 6: OSCLRDY: 内部 L-F 振荡器频率准备好标志								
0: 内部 L-F 振荡器频率未稳定。								
1: 内部 L-F 振荡器频率已稳定。								
位 5-2: OSCLF[3:0]: 内部 L-F 振荡器频率控制位。								
内部 L-F 振荡器频率的微调控制位。当这些位被设置为 0000b 时, L-F 振荡器工作在最高频率; 被设置为 1111b 时, L-F 振荡器工作在最低频率。								
位 1-0: OSCLD[1:0]: 内部 L-F 振荡器分频位								
00: 选择 8 分频。								
01: 选择 4 分频。								
10: 选择 2 分频。								
11: 选择不分频。								

表 14.1 内部低频振荡器电气特性

-40℃到+85℃（除非特别说明）

参 数	条 件	最小值	典型值	最大值	单位
振荡器频率	OSCLD = 11b	72	80	88	KHz
振荡器电源电流（自 VDD）	24℃, VDD = 3.0V OSCLCN.7 = 1	—	5.5	10	μA
电源敏感度	恒温	—	2.4	—	%/V
温度敏感度	恒压	—	30	—	ppm/℃

16.3 外部振荡器驱动电路

外部振荡器电路可以驱动外部晶体、陶瓷谐振器、电容或 RC 网络。也可以使用一个外部 CMOS 时钟提供系统时钟。对于晶体和陶瓷谐振器配置，晶体/陶瓷谐振器必须并接到 XTAL1 和 XTAL2 引脚（见图 16.1，选项 1），还必须在 XTAL1 和 XTAL2 引脚之间并接一个 10MΩ 的电阻。对于 RC、电容或 CMOS 时钟配置，时钟源应接到 XTAL2 引脚（见图 16.1，选项 2、3、4）。必须在 OSCXCN 寄存器中选择外部振荡器类型，还必须正确选择频率控制位 XFNCN（见 SFR 定义 16.5）。

注意：当使用外部振荡器电路时，必须对所用端口引脚进行配置。当外部振荡器电路被配置为晶体/谐振器方式时，端口引脚 P0.5 和 P0.6（C8051F360/3）或 P0.2 和 P0.3（C8051F361/2/4/5/6/7/8/9）分别被用作 XTAL1 和 XTAL2。当外部振荡器电路被使能为 RC、电容或 CMOS 时钟方式时，端口引脚 P0.6（C8051F360/3）或 P0.3（C8051F361/2/4/5/6/7/8/9）被用作 XTAL2。端口 I/O 交叉开关应配置为跳过被振荡器占用的引脚。当在晶体/陶瓷谐振器、电容或 RC 方式使用外部振荡器电路时，应将所用的端口引脚配置为**模拟输入**。在 CMOS 时钟方式，应将所用的端口引脚配置为**数字输入**。有关端口输入方式选择的详细信息见“17.2 端口 I/O 初始化”。

16.4 系统时钟选择

内部振荡器的启动时间很短，因此同一个 OSCICN 写操作中被使能和选择为系统时钟。外部晶体和陶瓷谐振器通常需要较长的起动时间，应待其稳定后方可用作系统时钟。当外部振荡器稳定后，晶体有效标志（寄存器 OSCXCN 中的 XTLVLD）被硬件置 1。**在晶体方式，为了防止读到假 XTLVLD 标志，软件在使能外部振荡器和检查 XTLVLD 之间至少应延时 1ms。**RC 和 C 方式通常不需要起动时间。PLL 锁定到所希望的频率也需要时间。一旦 PLL 锁定到正确的频率，PLL 锁定标志（寄存器 PLL0CN 中的 PLLCK）即被硬件置 1。

寄存器 CLKSEL 中的 CLKSL[1:0]位选择产生系统时钟的振荡源。要选择外部振荡器作为系统时钟时，CLKSL[1:0]位必须被设置为 01b。当选择内部振荡器作为系统时钟时，外部振荡器仍然可以给某些外设（如定时器、PCA）提供时钟。系统时钟可以在内部和外部振荡器及 PLL 之间自由切换，只要所选择的时钟源被使能并稳定运行。

SFR 定义 16.4 CLKSEL: 时钟选择寄存器

SFR 页: F								
SFR 地址: 0x8F								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
保留	保留	CLKDIV1	CLKDIV2	保留	CLKSL2	CLKSL1	CLKSL0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-6: 保留。读 = 00b, 必须写 00b。								
位 5-4: CLKDIV[1:0]: 输出 SYSCLK 分频系数								
这两位用于在 SYSCLK 通过交叉开关输出到引脚之前对 SYSCLK 预分频。								
00: 输出为 SYSCLK。								
01: 输出为 SYSCLK/2。								
10: 输出为 SYSCLK/4。								
11: 输出为 SYSCLK/8。								
位 3: 保留。读 = 0b, 必须写 0b。								
位 2-0: CLKSL[2:0]: 系统时钟源选择位								
000: 系统时钟源自内部高频振荡器, 分频数由 OSCICN 寄存器中的 IFCN 位决定。								
001: 系统时钟源自外部振荡器。								
010: 系统时钟源自内部低频振荡器, 分频数由 OSCLCN 寄存器中的 OSCLD 位决定。								
011: 保留。								
100: 系统时钟源自 PLL。								
101-11x: 保留								

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 16.5 OSCXCN: 外部振荡器控制寄存器

SFR 页: F
SFR 地址: 0xB6

R	R/W	R/W	R/W	R	R/W	R/W	R/W	复位值
XTLVLD	XOSCND2	XOSCND1	XOSCND0	保留	XFCN2	XFCN1	XFCN0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

- 位 7: XTLVLD: 晶体振荡器有效标志
 (只在 XOSCND=11x 时有效)
0: 晶体振荡器未用或未稳定。
1: 晶体振荡器稳定运行。
- 位 6-4: XOSCND2-0: 外部振荡器方式位
00x: 外部振荡器电路关闭。
010: 外部 CMOS 时钟方式。
011: 外部 CMOS 时钟方式二分频。
100: RC 振荡器方式。
101: 电容振荡器方式。
110: 晶体振荡器方式。
111: 晶体振荡器方式二分频。
- 位 3: 保留。读 = 0b, 写 = 忽略。
- 位 2-0: XFCN2-0: 外部振荡器频率控制位。
000-111: 见下表

XFCN	晶体 (XOSCND=11x)	RC(XOSCND=10x)	C(XOSCND=10x)
000	$f \leq 32\text{kHz}$	$f \leq 25\text{kHz}$	K 因子 = 0.87
001	$32\text{kHz} < f \leq 84\text{kHz}$	$25\text{kHz} < f \leq 50\text{kHz}$	K 因子 = 2.6
010	$84\text{kHz} < f \leq 225\text{kHz}$	$50\text{kHz} < f \leq 100\text{kHz}$	K 因子 = 7.7
011	$225\text{kHz} < f \leq 590\text{kHz}$	$100\text{kHz} < f \leq 200\text{kHz}$	K 因子 = 22
100	$590\text{kHz} < f \leq 1.5\text{MHz}$	$200\text{kHz} < f \leq 400\text{kHz}$	K 因子 = 65
101	$1.5\text{MHz} < f \leq 4\text{MHz}$	$400\text{kHz} < f \leq 800\text{kHz}$	K 因子 = 180
110	$4\text{MHz} < f \leq 10\text{MHz}$	$800\text{kHz} < f \leq 1.6\text{MHz}$	K 因子 = 664
111	$10\text{MHz} < f \leq 30\text{MHz}$	$1.6\text{MHz} < f \leq 3.2\text{MHz}$	K 因子 = 1590

晶体方式 (电路见图 16.1, 选项 1; XOSCND=11x)
选择与晶体振荡器频率匹配的 XFCN 值。

RC 方式 (电路见图 16.1, 选项 2; XOSCND=10x)
选择与频率范围匹配的 XFCN 值:
 $f = 1.23(10^3)/(R \times C)$, 其中:
f = 振荡器频率 (MHz)
C = 电容值 (pF)
R = 上拉电阻值 (kΩ)

C 方式 (电路见图 16.1, 选项 3; XOSCND=10x)
根据所期望的振荡器频率选择 K 因子 (KF):
 $f = KF/(C \times VDD)$, 其中:
f = 振荡器频率 (MHz)
C = XTAL2 引脚的电容值 (pF)
VDD = MCU 的电源电压值 (伏)

16.5 外部晶体示例

如果使用晶体或陶瓷谐振器作为 MCU 的外部振荡源，则电路为图 16.1 中的选项 1。应从 SFR 定义 16.5（OSCXCN 寄存器）中的晶体列选择外部振荡器频率控制值（XFCN）。例如，一个 11.0592 MHz 的晶体要求 XFCN 设置值为 111b。

在晶体振荡器被使能时，振荡器幅度检测电路需要一个建立时间来达到合适的偏置。在使能晶体振荡器和检查 XTLVLD 位之间引入 1ms 的延时可以防止提前将系统时钟切换到外部振荡器。在晶体振荡器稳定之前就切换到外部晶体振荡器可能产生不可预见的后果。建议的步骤如下：

- 第一步：通过向端口锁存器写 0 强制使 XTAL1 和 XTAL2 引脚为低电平。
- 第二步：配置 XTAL1 和 XTAL2 为模拟输入。
- 第三步：使能外部振荡器。
- 第四步：等待至少 1ms。
- 第五步：查询 XTLVLD =>1。
- 第六步：将系统时钟切换到外部振荡器。

注：对于音叉晶体，可能需要等待较长的时间 XTLVLD 才能有效。

外部晶体配置电路中的电容提供晶体正确振荡所需要的负载。从晶体来看，这两个电容是“串联”的，但与 XTAL1 和 XTAL2 引脚的寄生电容“并联”。

注：负载电容的大小取决于晶体的振荡频率和生产厂家。计算负载电容值时请参考晶体的数据手册。

例如，使用 32.768 KHz 的音叉晶体，建议的负载电容为 12.5 pF，应采用图 16.1 中的配置选项 1。负载电容与 XTAL 引脚的寄生电容的总值应为 25 pF。如果每个 XTAL 引脚的寄生电容值为 3 pF，则采用 22 pF 的负载电容后跨接在晶体两端的等效电容为 12.5 pF，如图 16.2 所示。

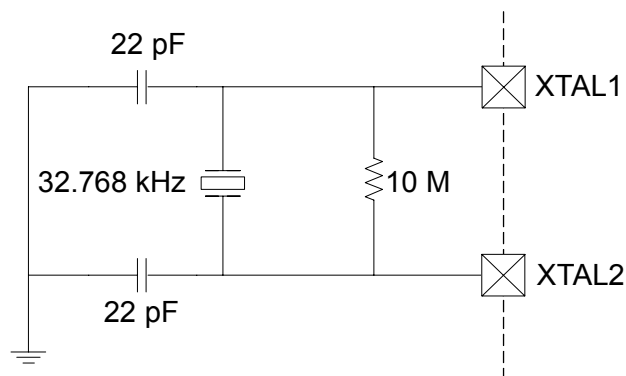


图 16.2 32.768 KHz 外部晶体示例

注意，晶体振荡器电路对 PCB 布局非常敏感。应将晶体尽可能地靠近器件的 XTAL 引脚，布线应尽可能地短并用地平面屏蔽，以防止其它引线引入噪声或干扰。

16.6 外部 RC 示例

如果使用外部 RC 网络作为 MCU 的外部振荡源，则配置电路为图 16.1 中的选项 2。电容不应大于 100pF；但当电容值很小时，PCB 的寄生电容将在总电容中占支配地位。为了确定 OSCXCN 寄存器所需要的外部振荡器频率控制值（XFCN），首先选择能产生所要求的振荡频率的 RC 网络值。如果所希望的频率是 100kHz，选 $R = 246k\Omega$ 和 $C = 50pF$ ：

$$f = \frac{1.23(10^3)}{RC} = \frac{1.23(10^3)}{246 \times 50} = 0.1MHz = 100kHz$$

查 SFR 定义 16.5 中的表，得到所需要的 XFCN 值为 010b。在 RC 方式，将 XFCN 编程为较高的设置值会改善频率精度，但外部振荡器消耗的电源电流会有少许增加。

16.7 外部电容示例

如使用外部电容作为 MCU 的外部振荡源，则电路为图 16.1 中的选项 3。电容应不大于 100pF；但当电容值很小时，PCB 的寄生电容将在总电容中占支配地位，使频率偏差很大。为了确定 OSCXCN 寄存器所需要的外部振荡器频率控制值（XFCN），先选择振荡频率并利用下面的公式计算电容值。假设 $VDD = 3.0V$ 和 $f = 75 KHz$ ：

$$f = \frac{KF}{C \times V_{DD}}$$

$$0.075MHz = \frac{KF}{C \times 3.0}$$

由于所需要的频率大约为 75 kHz，从 SFR 定义 16.5 的表中选择 K 因子，得到 $KF = 7.7$ ：

$$0.075 MHz = 7.7/(C \times 3.0)$$

$$(C \times 3.0) = 7.7/0.075 MHz$$

$$C = 102.6/3.0 pF = 34.2 pF$$

因此，本例中要用的 XFCN 值为 010b。

16.8 锁相环 (PLL)

C8051F36x 系列器件包含一个锁相环 (PLL)，用于倍增内部振荡器或外部时钟源的频率，以获得更高的 CPU 工作频率。PLL 电路被设计为能从 5 MHz 和 30 MHz 之间的一个分频参考频率产生 25 MHz 和 100 MHz 之间的 CPU 工作频率。图 16.3 给出了 PLL 的原理框图。

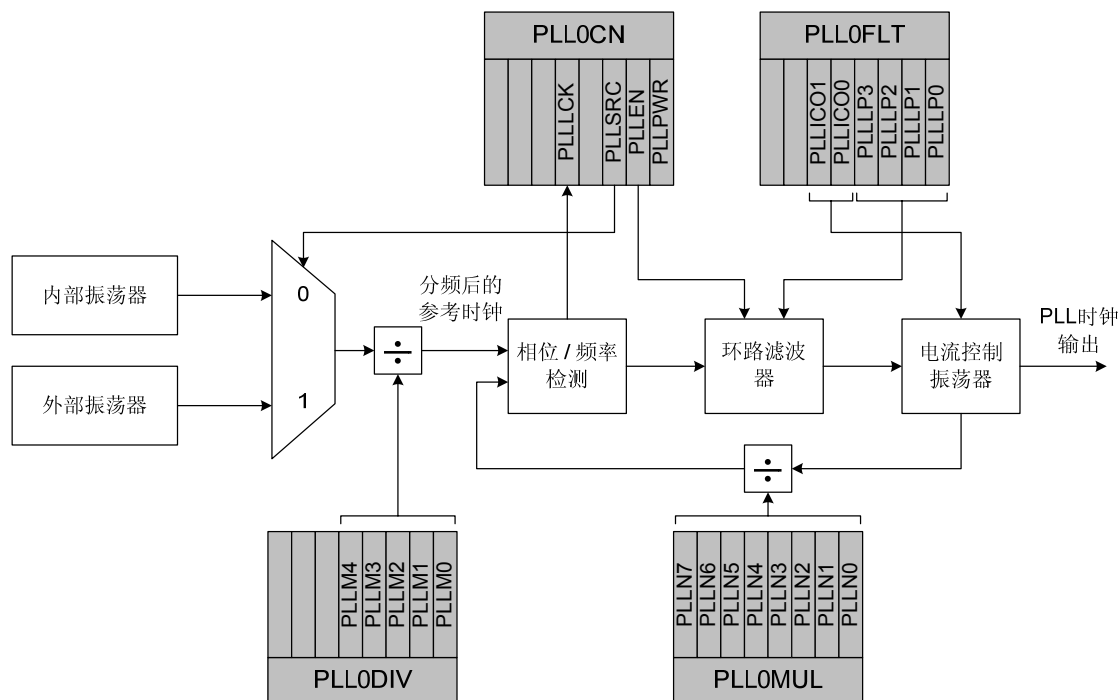


图 16.3 PLL 原理框图

16.8.1 PLL 输入时钟和预分频器

PLL 电路能从内部振荡器或外部时钟源获得参考时钟。PLLSRC 位 (PLL0CN.2) 控制参考时钟源的选择 (见 SFR 定义 16.6)。如果 PLLSRC 为 0，则使用内部振荡器。注意，内部振荡器分频系数 (由寄存器 OSCICN 中的 IFCN1-0 位决定) 也适用于该时钟。当 PLLSRC 被置 1 时，使用外部振荡源作为参考时钟。外部振荡器应在被选择为 PLL 电路参考时钟之前被使能并达到稳定。参考时钟在进入 PLL 电路之前被分频，分频系数由 PLL 预分频寄存器 (PLL0DIV) 中 PLLM4-0 位的内容决定，见 SFR 定义 16.7。

16.8.2 PLL 倍频和输出时钟

PLL 电路将分频后的参考时钟乘以保存在 PLL0MUL 寄存器 (见 SFR 定义 16.8) 中的倍频系数。为达此目的，它使用了由相位/频率检测器、环路滤波器和电流控制振荡器 (ICO) 组成的反馈环。根据期望的频率范围来配置环路滤波器和 ICO 是很重要的。应根据分频后的参考时钟频率设置 PLLLP3-0 位 (PLL0FLT.3-0)，根据所期望的输出频率范围来设置 PLLICO1-0 位 (PLL0FLT.5-4)。SFR 定义 16.9 对 PLLLP3-0 和 PLLICO1-0 位的正确设置作出了说明。当 PLL 锁定并稳定在所期望的频率时，PLLCK 位 (PLL0CN.5) 被置 1。PLL 的输出频率由下面的方程设定：

$$PLL\text{频率} = \text{参考频率} \times \frac{PLL_N}{PLL_M}$$

其中“参考频率”为所选时钟源的频率，PLL_N 是 PLL 倍频系数，PLL_M 是 PLL 预分频系数。

16.8.3 上电和 PLL 初始化

为了在器件上电后设置和使用 PLL 作为系统时钟，应遵循下列步骤：

1. 确保要使用的参考时钟（内部或外部）处于稳定运行状态。
2. 设置 PLLSRC 位（PLL0CN.2），为 PLL 选择时钟源。
3. 将 FLASH 读定时控制位 FLRT（FLSCL.5-4）编程为适合于新时钟频率的值（见 13. FLASH 存储器）。
4. 通过将 PLLPWR（PLL0CN.0）置 1 给 PLL 上电。
5. 对 PLL0DIV 寄存器编程，为 PLL 产生分频参考频率。
6. 将 PLLLP3-0 位（PLL0FLT.3-0）编程为适合于分频参考频率的值。
7. 将 PLLICO1-0 位（PLL0FLT.5-4）编程为适合于 PLL 输出频率的值。
8. 将 PLL0MUL 寄存器编程为所期望的时钟倍频系数。
9. 等待至少 5μS，以提供快速频率锁定。
10. 通过将 PLEN（PLL0CN.1）置 1 来使能 PLL。
11. 查询 PLLLCK（PLL0CN.4），直到该位从 0 变到 1。
12. 使用 CLKSEL 寄存器将系统时钟源切换到 PLL。

如果要在 PLL 已经运行时改变 PLL 的设置，则应遵循下列步骤：

1. 使用 CLKSEL 寄存器将系统时钟源切换到处于稳定运行状态的内部或外部时钟源。
2. 确保新 PLL 设置要使用的参考时钟（内部或外部）处于稳定运行状态。
3. 设置 PLLSRC 位（PLL0CN.2），为 PLL 选择时钟源。
4. 如果要转向较高的频率，将 FLASH 读定时控制位 FLRT（FLSCL.5-4）编程为适合于新时钟频率的值（见 13. FLASH 存储器）。
5. 通过将 PLEN（PLL0CN.1）清 0 来禁止 PLL。
6. 对 PLL0DIV 寄存器编程，为 PLL 产生分频参考频率。
7. 将 PLLLP3-0 位（PLL0FLT.3-0）编程为适合于分频参考频率的值。
8. 将 PLLICO1-0 位（PLL0FLT.5-4）编程为适合于 PLL 输出频率的值。
9. 将 PLL0MUL 寄存器编程为所期望的时钟倍频系数。
10. 通过将 PLEN（PLL0CN.1）置 1 来使能 PLL。
11. 查询 PLLLCK（PLL0CN.4），直到该位从 0 变到 1。
12. 使用 CLKSEL 寄存器将系统时钟源切换到 PLL。
13. 如果要转向较低的频率，将 FLASH 读定时控制位 FLRT（FLSCL.5-4）编程为适合于新时钟频率的值（见 13. FLASH 存储器）。注意：当 FLRT 位改变为较低值时，应禁止高速缓存读、高速缓存写和指令预取引擎。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

若要关闭 PLL，则首先应使用 CLKSEL 寄存器将系统时钟切换到内部振荡器或稳定的外部时钟源，然后通过将 PLEN(PLL0CN.1)清 0 来禁止 PLL，最后通过将 PLLPWR(PLL0CN.0)清 0 给 PLL 断电。注意，PLEN 和 PLLPWR 位可以被同时清 0。

SFR 定义 16.6 PLL0CN: PLL 控制寄存器

SFR 页: F

SFR 地址: 0xB3

R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	复位值
—	—	—	PLLLCK	0	PLLSRC	PLEN	PLLPWR	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-5: 未用: 读 = 000b, 写 = 忽略。

位 4: PLLLCK: PLL 锁定标志。

0: PLL 频率未锁定。

1: PLL 频率已锁定。

位 3: 保留。读 = 0b, 必须写 0b。

位 2: PLLSRC: PLL 参考时钟源选择位。

0: PLL 参考时钟源为内部振荡器。

1: PLL 参考时钟源为外部振荡器。

位 1: PLEN: PLL 使能位。

0: PLL 保持在复位状态。

1: PLL 被使能。PLLPWR 必须为 1。

位 0: PLLPWR: PLL 电源使能位。

0: PLL 偏置发生器被禁止。没有静态功耗

1: PLL 偏置发生器被使能。要使 PLL 工作, 该位必须为 1。

SFR 定义 16.7 PLL0DIV: PLL 预分频寄存器

SFR 页: F

SFR 地址: 0xA9

R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	复位值
—	—	—	PLLM4	PLLM3	PLLM2	PLLM1	PLLM0	00000001
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-5: 未用: 读 = 000b, 写 = 忽略。

位 4-0: PLLM4-0: PLL 参考时钟预分频位。

这些位选择 PLL 参考时钟的预分频系数。当被设置为非 0 值时, 参考时钟将被除以 PLLM4-0 中的值。当被设置为 ‘00000b’ 时, 参考时钟将被除以 32。

SFR 定义 16.8 PLL0MUL: PLL 时钟倍频寄存器

SFR 页: F
SFR 地址: 0xB1

R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	复位值
PLL7	PLL6	PLL5	PLL4	PLL3	PLL2	PLL1	PLL0	00000001
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0:

PLL7-0: PLL 倍频系数。
这些位选择分频 PLL 参考时钟的倍频系数。当被设置为非 0 值时，倍频系数等于 PLL7-0 中的值。当被设置为 ‘0000000b’ 时，倍频系数等于 256。

SFR 定义 16.9 PLL0FLT: PLL 滤波器寄存器

SFR 页: F
SFR 地址: 0xB2

R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	—	PLLIC01	PLLIC00	PLLLP3	PLLLP2	PLLLP1	PLLLP0	00110001
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-6:

未用：读 = 00b，写 = 忽略。

位 5-4:

PLLIC01-0: PLL 电流控制振荡器控制位。
根据所期望的输出频率选择这两位值，见下表：

PLL 输出时钟	PLLIC01-0
65 – 100 MHz	00
45 – 80 MHz	01
30 – 60 MHz	10
25 – 50 MHz	11

位 3-0:

PLLLP3-0: PLL 环路滤波器控制位。
根据分频后的 PLL 参考时钟选择这两位值，见下表：

分频后的 PLL 参考时钟	PLLLP3-0
19 – 30 MHz	0001
12.2 – 19.5 MHz	0011
7.8 – 12.5 MHz	0111
5 – 8 MHz	1111

PLL3-0 的所其他状态保留。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 16.3 PLL 频率特性

-40℃ ~+85℃（除非另有说明）。

参 数	条 件	最小值	典型值	最大值	单位
输入频率（分频后的参考频率）		5		30	MHz
PLL 输出频率		25		100*	MHz
*注：C8051F366/7/8/9 的最大工作频率为 50 MHz。					

表 16.4 PLL 锁定时间特性

-40℃ ~+85℃（除非另有说明）。

输入频率	倍频系数	PLL0FLT 设置	输出频率	最小值	典型值	最大值	单位
5 MHz	20	0x0F	100 MHz		202		μs
	13	0x0F	65 MHz		115		μs
	16	0x1F	80 MHz		241		μs
	9	0x1F	45 MHz		116		μs
	12	0x1F	60 MHz		258		μs
	6	0x1F	30 MHz		112		μs
	10	0x3F	50 MHz		263		μs
	5	0x3F	25 MHz		113		μs
25 MHz	4	0x01	100 MHz		42		μs
	2	0x01	50 MHz		33		μs
	3	0x11	75 MHz		48		μs
	2	0x11	50 MHz		17		μs
	2	0x21	50 MHz		42		μs
	1	0x21	25 MHz		33		μs
	2	0x31	50 MHz		60		μs
	1	0x31	25 MHz		25		μs

17. 端口输入/输出

数字和模拟资源可以通过 I/O 引脚（最多 39 个）使用。在最大的器件中（C8051F360/3），端口引脚被组织为四个 8 位端口和一个 7 位端口。在其他器件中（C8051F361/2/4/5/6/7/8/9），端口引脚为三个 8 位端口和一个部分端口。每个端口引脚都可以被定义为通用 I/O（GPIO）或模拟输入/输出。P0.0 ~ P3.7 可以被分配给内部数字资源，如图 17.3 所示。设计者完全控制数字功能的引脚分配，只受物理 I/O 引脚数的限制。这种资源分配的灵活性是通过使用优先权交叉开关译码器实现的。注意，不论交叉开关的设置如何，端口 I/O 引脚的状态总是可以被读到相应的端口锁存器。

交叉开关根据优先权译码表（图 17.3 和图 17.4）的外设优先顺序为所选择的内部数字资源分配 I/O 引脚。寄存器 XBR0 和 XBR1（见 SFR 定义 17.1 和 SFR 定义 17.2）用于选择内部数字功能。

所有端口 I/O 都耐 5V 电压（参图 17.2 的端口单元电路）。端口 I/O 单元可以被配置为漏极开路或推挽方式（在端口输出方式寄存器 PnMDOUT 中设置，n = 0,1,2,3,4）。表 17.1 给出了端口 I/O 的电气特性。

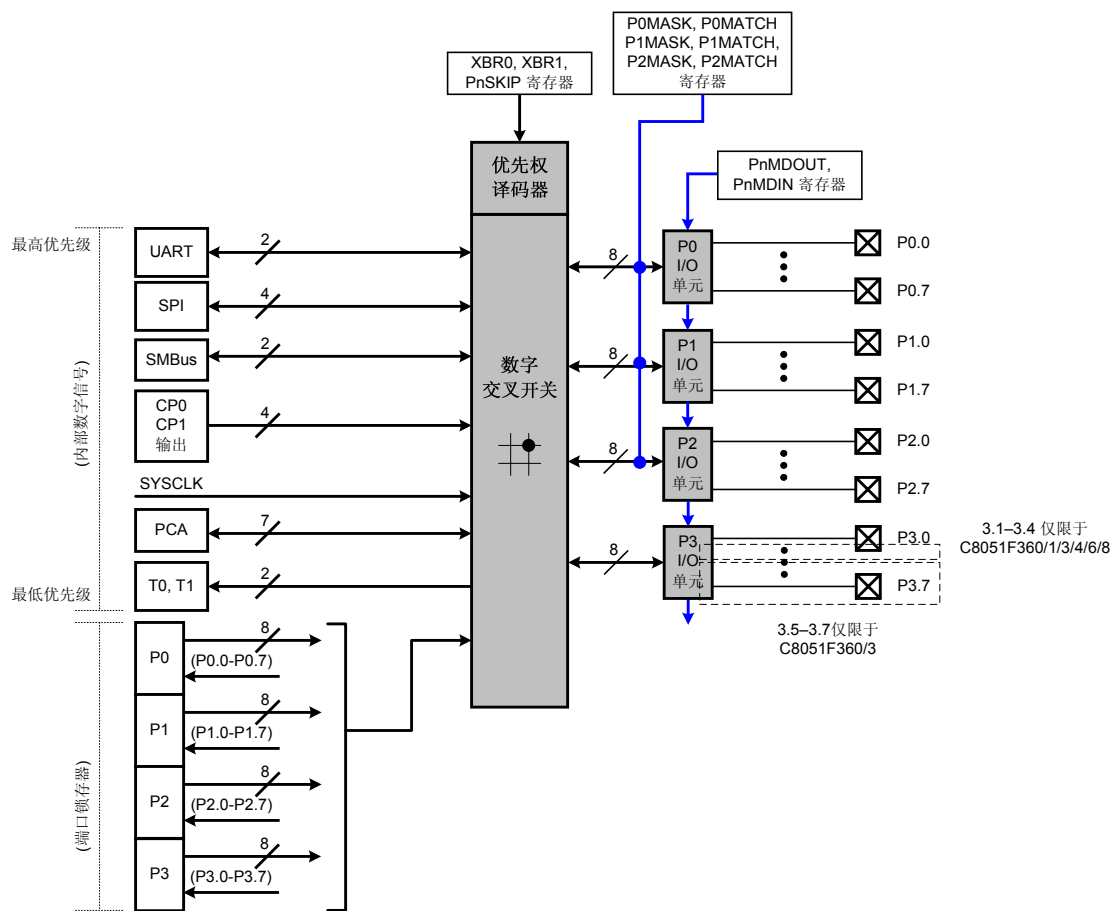


图 17.1 端口 I/O 功能框图

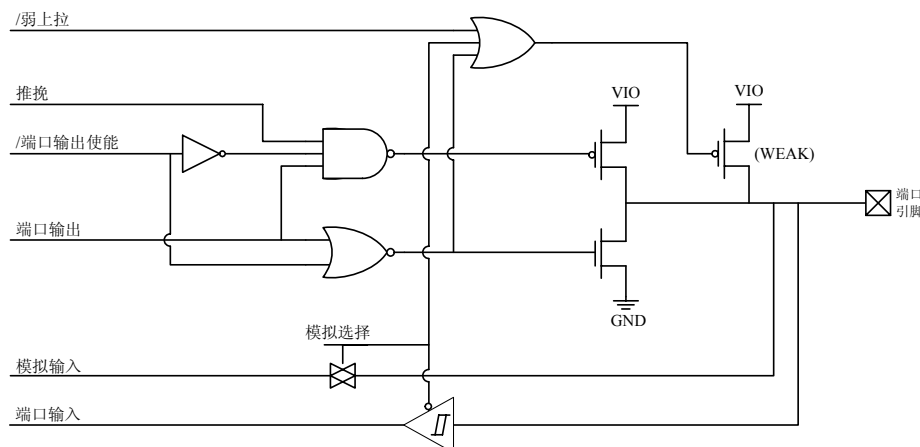


图 17.2 端口 I/O 单元框图

17.1 优先权交叉开关译码器

优先权交叉开关译码器（图 17.3）为每个 I/O 功能分配优先权，从优先权最高的 UART0 开始。当一个数字资源被选择时，尚未分配的端口引脚中的最低位被分配给该资源（UART0 除外，它总是被分配到特定的端口引脚，在 C8051F360/3 中为 P0.1 和 P0.2，在 C8051F361/2/4/5/6/7/8/9 中为 P0.4 和 P0.5）。如果一个端口引脚已经被分配，则交叉开关在为下一个被选择的资源分配引脚时将跳过该引脚。此外，交叉开关还会跳过在 PnSKIP 寄存器中被置 1 的那些位所对应的引脚。PnSKIP 寄存器允许软件跳过那些被用作模拟输入、特殊功能或 GPIO 的端口引脚。

注意：如果一个端口引脚被一个外设使用而不经交叉开关，则该引脚在 PnSKIP 寄存器中的对应位应被置 1。这种情况适用于外部振荡器、VREF、外部转换启动信号 CNVSTR、IDA0 以及任何被选择为 ADC 或比较器输入的端口引脚。交叉开关跳过那些被选择的引脚（如同它们已被分配），移向下一个未被分配的引脚。图 17.3 示出没有端口引脚被跳过（P0SKIP, P1SKIP, P2SKIP, P3SKIP = 0x00）的优先权交叉开关译码表；图 17.4 给出了 P1.0 和 P1.1 脚被跳过情况下（P1SKIP = 0x03）的交叉开关优先权译码表。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

	P0							P1							P2							P3										
特殊功能信号(32脚和28脚器件)	VREF	IDA0	XTAL1	XTAL2	CNVSTR																	P3.1-P3.4 仅存在于32/48脚器件中			P3.5-P3.7 仅存在于48脚器件中							
特殊功能信号(48脚)	ALE	VREF		IDA0	XTAL1	XTAL2	CNVSTR																									
PIN I/O	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
TX0																	(32脚和28脚封装)															
RX0																																
TX0																	(48脚封装)															
RX0																																
SCK																																
MISO																																
MOSI																																
NSS*																	(*仅限于4线SPI)															
SDA																																
SCL																																
CP0																																
CP0A																																
CP1																																
CP1A																																
/SYSCLK																																
CEX0																																
CEX1																																
CEX2																																
CEX3																																
CEX4																																
CEX5																																
ECI																																
T0																																
T1																																
	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	P0SKIP[0:7]							P1SKIP[0:7]							P2SKIP[0:7]							P3SKIP[0:7]										

图 17.3 没有引脚被跳过的交叉开关优先级译码表

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

	P0								P1								P2								P3							
特殊功能信号(32脚和28脚器件)	VREF	IDA0	XTAL1	XTAL2	CNVSTR																				P3.1-P3.4 仅存在于32/48脚器件中				P3.5-P3.7 仅存在于48脚器件中			
特殊功能信号(48脚)	ALE	VREF			IDA0	XTAL1	XTAL2	CNVSTR																								
PIN I/O	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7	0	1	2	3	4	5	6	7
TX0																																
RX0																																
TX0																																
RX0																																
SCK																																
MISO																																
MOSI																																
NSS*																																
SDA																																
SCL																																
CP0																																
CP0A																																
CP1																																
CP1A																																
/SYSCLK																																
CEX0																																
CEX1																																
CEX2																																
CEX3																																
CEX4																																
CEX5																																
ECI																																
T0																																
T1																																
	0	0	0	0	0	0	0	0	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	
	P0SKIP[0:7]								P1SKIP[0:7]								P2SKIP[0:7]								P3SKIP[0:7]							

图 17.4 有端口引脚被跳过的交叉开关优先权译码表

寄存器 XBR0 和 XBR1 用于为数字 I/O 资源分配物理 I/O 端口引脚。注意，当 SMBus 被选择时，交叉开关将为其分配两个引脚（SDA 和 SCL）。当 UART 被选择时，交叉开关也为其分配两个引脚（TX 和 RX）。出于引导装载的目的，UART0 的引脚分配是固定的：UART TX0 总是被分配到 P0.1（C8051F360/3）或 P0.4（C8051F361/2/4/5/6/7/8/9）；UART RX0 总是被分配到 P0.2（C8051F360/3）或 P0.5（C8051F361/2/4/5/6/7/8/9）。从 P0.0 开始，在优先功能和要跳过的引脚被分配之后，标准端口 I/O 是连续的。

注意：SPI 可以工作在三线或四线方式，取决于 SPI0CN 寄存器中的 NSSMD1-NSSMD0 位的设置。根据 SPI 方式，NSS 信号可以连到端口引脚，也可以不连到端口引脚。

17.2 端口 I/O 初始化

端口 I/O 初始化包括以下步骤：

第一步：用端口输入方式寄存器（PnMDIN）选择所有端口引脚的输入方式（模拟或数字）。

第二步：用端口输出方式寄存器（PnMDOUT）选择所有端口引脚的输出方式（漏极开路或推挽）。

第三步：用端口跳过寄存器（PnSKIP）选择应被交叉开关跳过的那些引脚。

第四步：用 XBRn 寄存器将引脚分配给要使用的外设。

第五步：使能交叉开关（XBARE = 1）。

所有端口引脚都必须被配置为模拟或数字输入。任何被用作比较器或 ADC 输入的引脚都应被配置为模拟输入。当一个引脚被配置为模拟输入时，其弱上拉、数字驱动器和数字接收器都被禁止，这可以节省功耗并减小模拟输入的噪声。被配置为数字输入的引脚仍可被模拟外设使用，但不建议这样做。

此外，应将交叉开关配置为跳过所有被用作模拟输入的引脚（通过将 PnSKIP 寄存器中的对应位置 1 来实现）。端口输入方式在 PnMDIN 寄存器中设置，其中 1 表示数字输入，0 表示模拟输入。对于所有为模拟方式的引脚，其对应的端口锁存器必须被置 1。复位后所有引脚的缺省设置都是数字输入。对 PnMDIN 寄存器的详细说明见 SFR 定义 17.4。

I/O 引脚的输出驱动器特性由端口输出方式寄存器 PnMDOUT 决定，每个端口输出驱动器都可被配置为漏极开路或推挽方式。这种选择不是自动的，即使对在交叉开关被选中的资源，也需要对端口驱动器的输出方式进行设置。唯一的例外是 SMBus 引脚（SDA，SCL），不管 PnMDOUT 的设置如何，这两个引脚总是被配置为漏极开路。

当 XBR1 寄存器中的 WEAKPUD 位为 0 时，输出方式为漏极开路的所有引脚的弱上拉都被使能。WEAKPUD 不影响被配置为推挽方式的端口 I/O。当漏极开路输出被驱动为逻辑 0 或引脚被配置为模拟输入时，弱上拉被自动关断（禁止）以避免不必要的功率消耗。

寄存器 XBR0 和 XBR1 必须被装入正确的值以选择设计所需要的数字 I/O 功能。将 XBR1 中的 XBARE 位置 1 使能交叉开关。不管 XBRn 寄存器的设置如何，在交叉开关被使能之前，外部引脚保持标准端口 I/O 方式（输入方式）。对于给定的 XBRn 设置，可以使用优先权译码表确定 I/O 引脚分配；另一种方法是使用 Silicon Labs IDE 软件的配置向导功能来确定基于 XBRn 寄存器设置的端口 I/O 引脚分配。

注意：为使端口引脚工作在标准端口 I/O 的输出方式，交叉开关必须被使能。当交叉开关被禁止时，端口输出驱动器被禁止。

SFR 定义 17.1 XBR0: 端口 I/O 交叉开关寄存器 0

SFR 页: F							
SFR 地址: 0xE1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
CP1AE	CP1E	CP0AE	CP0E	SYSCKE	SMB0E	SPI0E	URT0E
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7: CP1AE: 比较器 1 异步输出使能位							
0: CP1A 不连到端口引脚。							
1: CP1A 连到端口引脚。							
位 6: CP1E: 比较器 1 输出使能位							
0: CP1 不连到端口引脚。							
1: CP1 连到端口引脚。							
位 5: CP0AE: 比较器 0 异步输出使能位							
0: CP0A 不连到端口引脚。							
1: CP0A 连到端口引脚。							
位 4: CP0E: 比较器 0 输出使能位							
0: CP0 不连到端口引脚。							
1: CP0 连到端口引脚。							
位 3: SYSCKE: /SYSCLK 输出使能位							
0: /SYSCLK 不连到端口引脚;							
1: /SYSCLK (1、2、4、8 分频) 连到端口引脚。分频系数由寄存器 CLKSEL 中的 CLKDIV1-0 决定 (见 “16. 振荡器”)。							
位 2: SMB0E: SMBus I/O 使能位							
0: SMBus I/O 不连到端口引脚。							
1: SMBus I/O 连到端口引脚。							
位 1: SPI0E: SPI I/O 使能位							
0: SPI I/O 不连到端口引脚。							
1: SPI I/O 连到端口引脚。注意: SPI 可以被分配 3 个或 4 个 GPIO 引脚。							
位 0: URT0E: UART I/O 使能位							
0: UART I/O 不连到端口引脚。							
1: UART TX0, RX0 连到端口引脚 P0.1 和 P0.2 (C8051F360/3) 或 P0.4 和 P0.5 (C8051F361/2/4/5/6/7/8/9)。							

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 17.2 XBR1: 端口 I/O 交叉开关寄存器 1

SFR 页: F							
SFR 地址: 0xE2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
WEAKPUD	XBARE	T1E	T0E	ECIE	PCA0ME		复位值
位7	位6	位5	位4	位3	位2	位1	位0
00000000							
位 7: WEAKPUD: 端口 I/O 弱上拉禁止位。							
0: 弱上拉使能 (被配置为模拟输入的端口 I/O 除外)。							
1: 弱上拉禁止。							
位 6: XBARE: 交叉开关使能位							
0: 交叉开关禁止。							
1: 交叉开关使能。							
位 5: T1E: T1 使能位							
0: T1 不连到端口引脚。							
1: T1 连到端口引脚。							
位 4: T0E: T0 使能位							
0: T0 不连到端口引脚。							
1: T0 连到端口引脚。							
位 3: ECIE: PCA0 外部计数输入使能位							
0: ECI 不连到端口引脚。							
1: ECI 连到端口引脚。							
位 2-0: PCA0ME: PCA 模块 I/O 使能位							
000: 所有的 PCA I/O 都不连到端口引脚。							
001: CEX0 连到端口引脚。							
010: CEX0、CEX1 连到端口引脚。							
011: CEX0、CEX1、CEX2 连到端口引脚。							
100: CEX0、CEX1、CEX2、CXE3 连到端口引脚。							
101: CEX0、CEX1、CEX2、CXE3、CXE4 连到端口引脚。							
110: CEX0、CEX1、CEX2、CXE3、CXE4、CXE5 连到端口引脚。							
111: 保留。							

17.3 通用端口 I/O

未被交叉开关分配的端口引脚和未被模拟外设使用的端口引脚都可以用作通用 I/O。通过对应的端口数据寄存器访问端口 P0 ~ P3，这些寄存器既可以按位寻址也可以按字节寻址。端口 4（仅限于 C8051F360/3）使用的 SFR 是字节寻址的。向端口写入时，数据被锁存到端口数据寄存器中，以保持引脚上的输出数据值不变。读端口数据寄存器（或端口位）将总是返回引脚本身的逻辑电平，而与 XBRn 的设置值无关（即使在引脚被交叉开关分配给其它信号时，端口寄存器总是读其对应的端口 I/O 引脚）。但在对端口 SFR 执行下面的读-修改-写指令（ANL、ORL、XRL、JBC、CPL、INC、DEC、DJNZ）和对端口 SFR 中的某一位执行 MOV、CLR、SETB 位操作时例外。这些指令读端口寄存器（而不是引脚）的值，修改后再写回端口 SFR。

除了执行通用 I/O 功能之外，P0、P1 和 P2 还可以产生端口匹配事件（如果端口输入引脚的逻辑电平与一个软件控制值匹配）。如果（P0 & P0MASK）不等于（P0MATCH & P0MASK），或如果（P1 & P1MASK）不等于（P1MATCH & P1MASK），或如果（P2 & P2MASK）不等于（P2MATCH & P2MASK），则会产生端口匹配事件。该功能允许在 P0、P1 或 P2 输入引脚发生某种变化时软件会得到通知，与 XBRn 的设置无关。如果 EMAT（EIE2.1）被置 1，端口匹配事件可以产生中断。端口匹配事件可以将内部振荡器从 SUSPEND 方式唤醒，详见“16.1.1 内部振荡器挂起方式”。

SFR 定义 17.3 P0：端口 0 寄存器

SFR 页：所有页								
SFR 地址：0x80								
(可位寻址)								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	11111111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P0.[7:0]

写 — 输出出现在 I/O 引脚（根据交叉开关寄存器的设置）。

0: 逻辑低电平输出。

1: 逻辑高电平输出。（若相应的 P0MDOUT.n 位 = 0，则为高阻态）。

读 — 读那些在 P0MDIN 中被选择为模拟输入的引脚时总是返回 0。被配置为数字输入时直接读端口引脚。

0: P0.n 为逻辑低电平。

1: P0.n 为逻辑高电平。

SFR 定义 17.4 P0MDIN: 端口 0 输入方式寄存器

SFR 页: F							
SFR 地址: 0xF1							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
							复位值 11111111
位 7-0: P0.7 – P0.0 的模拟输入配置位（分别对应）							
当端口引脚被配置为模拟输入时，其弱上拉、数字驱动器和数字接收器都被禁止。							
0: 对应的 P0.n 引脚被配置为模拟输入。							
1: 对应的 P0.n 引脚不配置为模拟输入。							

SFR 定义 17.5 P0MDOUT: 端口 0 输出方式寄存器

SFR 页: F							
SFR 地址: 0xA4							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
							复位值 00000000
位 7-0: P0.7 – P0.0 的输出方式配置位（分别对应）。如果 P0MDIN 寄存器中的对应位为逻辑 0，则输出方式配置位被忽略。							
0: 对应的 P0.n 输出为漏极开路。							
1: 对应的 P0.n 输出为推挽方式。							
注：当 SDA 和 SCL 出现在任何端口 I/O 时，总是被配置为漏极开路，与 P0MDOUT 的设置无关。							

SFR 定义 17.6 P0SKIP: 端口 0 跳过寄存器

SFR 页: F

SFR 地址: 0xD4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P0SKIP[7:0]: 端口 0 交叉开关跳过使能位。

这些位选择被交叉开关译码器跳过的端口引脚。作为模拟输入 (ADC 或比较器) 或特殊功能 (VREF 输入、外部振荡器电路、CNVSTR 输入) 的引脚应被交叉开关跳过。

0: 对应的 P0.n 不被交叉开关跳过。

1: 对应的 P0.n 被交叉开关跳过。

SFR 定义 17.7 P0MAT: 端口 0 匹配寄存器

SFR 页: 0

SFR 地址: 0xF3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								11111111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P0MAT[7:0]: 端口 0 匹配值

这些位控制未被屏蔽的 P0 端口引脚的比较值。如果 (P0 & P0MASK) 不等于 (P0MAT & P0MASK), 则会产生端口匹配事件。

SFR 定义 17.8 P0MASK: 端口 0 屏蔽寄存器

SFR 页: 0

SFR 地址: 0xF4

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P0MASK[7:0]: 端口 0 屏蔽值

这些位选择哪些端口引脚与 P0MAT 中存储的值比较。

0: 对应的 P0.n 引脚被忽略, 不能产生端口匹配事件。

1: 对应的 P0.n 引脚被与 P0MAT 中的对应位比较。

SFR 定义 17.9 P1: 端口 1 寄存器

SFR 页: 所有页								
SFR 地址: 0x90 (可位寻址)								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	11111111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P1.[7:0]

写 — 输出出现在 I/O 引脚 (根据交叉开关寄存器的设置)。

0: 逻辑低电平输出。

1: 逻辑高电平输出。(若相应的 P1MDOUT.n 位 = 0, 则为高阻态)。

读 — 读那些在 P1MDIN 中被选择为模拟输入的引脚时总是返回 0。被配置为数字输入时直接读端口引脚。

0: P1.n 为逻辑低电平。

1: P1.n 为逻辑高电平。

SFR 定义 17.10 P1MDIN: 端口 1 输入方式寄存器

SFR 页: F								
SFR 地址: 0xF2								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								11111111
位7	位6	位5	位4	位3	位2	位1	位0	SFR地址: 0xF2
位 7-0: P1.7 – P1.0 的模拟输入配置位（分别对应）								
当端口引脚被配置为模拟输入时，其弱上拉、数字驱动器和数字接收器都被禁止。								
0: 对应的 P1.n 引脚被配置为模拟输入。								
1: 对应的 P1.n 引脚不配置为模拟输入。								

SFR 定义 17.11 P1MDOUT: 端口 1 输出方式寄存器

SFR 页: F								
SFR 地址: 0xA5								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0: P1.7 – P1.0 的输出方式配置位（分别对应）。如果 P1MDIN 寄存器中的对应位为逻辑 0，则输出方式配置位被忽略。								
0: 对应的 P1.n 输出为漏极开路。								
1: 对应的 P1.n 输出为推挽方式。								

SFR 定义 17.12 P1SKIP: 端口 1 跳过寄存器

SFR 页: F

SFR 地址: 0xD5

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P1SKIP[7:0]: 端口 1 交叉开关跳过使能位。

这些位选择被交叉开关译码器跳过的端口引脚。用作模拟输入（ADC 或比较器）或特殊功能（VREF 输入、外部振荡器电路、CNVSTR 输入）的引脚应被交叉开关跳过。

0: 对应的 P1.n 不被交叉开关跳过。

1: 对应的 P1.n 被交叉开关跳过。

SFR 定义 17.13 P1MAT: 端口 1 匹配寄存器

SFR 页: 0

SFR 地址: 0xE1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								11111111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P1MAT[7:0]: 端口 1 匹配值

这些位控制未被屏蔽的 P1 端口引脚的比较值。如果 (P1 & P1MASK) 不等于 (P1MAT & P1MASK)，则会产生端口匹配事件。

SFR 定义 17.14 P1MASK: 端口 1 屏蔽寄存器

SFR 页: 0

SFR 地址: 0xE2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P1MASK[7:0]: 端口 1 屏蔽值

这些位选择哪些端口引脚与 P1MAT 中存储的值比较。

0: 对应的 P1.n 引脚被忽略，不能产生端口匹配事件。

1: 对应的 P1.n 引脚被与 P1MAT 中的对应位比较。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 17.15 P2: 端口 2 寄存器

SFR 页：所有页								
SFR 地址：0xA0（可位寻址）								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	11111111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P2.[7:0]

写 — 输出出现在 I/O 引脚（根据交叉开关寄存器的设置）。
0: 逻辑低电平输出。
1: 逻辑高电平输出。（若相应的 P2MDOUT.n = 0，则为高阻态）。

读 — 读那些在 P2MDIN 中被选择为模拟输入的引脚时总是返回 0。当配置为数字输入时，直接读端口引脚。
0: P2.n 为逻辑低电平。
1: P2.n 为逻辑高电平。

SFR 定义 17.16 P2MDIN: 端口 2 输入方式寄存器

SFR 页: F								
SFR 地址: 0xF3								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								11111111
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0: P2.7 – P2.0 的模拟输入配置位 (分别对应)								
当端口引脚被配置为模拟输入时, 其弱上拉、数字驱动器和数字接收器都被禁止。								
0: 对应的 P2.n 引脚被配置为模拟输入。								
1: 对应的 P2.n 引脚不配置为模拟输入。								

SFR 定义 17.17 P2MDOUT: 端口 2 输出方式寄存器

SFR 页: F								
SFR 地址: 0xA6								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P2.7 – P2.0 的输出方式配置位（分别对应）。如果 P2MDIN 寄存器中的对应位为逻辑 0，则输出方式配置位被忽略。

0: 对应的 P2.n 输出为漏极开路。

1: 对应的 P2.n 输出为推挽方式。

SFR 定义 17.18 P2SKIP: 端口 2 跳过寄存器

SFR 页: F

SFR 地址: 0xD6

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P2SKIP[7:0]: 端口 2 交叉开关跳过使能位。

这些位选择被交叉开关译码器跳过的端口引脚。用作模拟输入（ADC 或比较器）或特殊功能（VREF 输入、外部振荡器电路、CNVSTR 输入）的引脚应被交叉开关跳过。

0: 对应的 P2.n 不被交叉开关跳过。

1: 对应的 P2.n 被交叉开关跳过。

SFR 定义 17.19 P2MAT: 端口 2 匹配寄存器

SFR 页: 0

SFR 地址: 0xB1

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								11111111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P2MAT[7:0]: 端口 2 匹配值

这些位控制未被屏蔽的 P2 端口引脚的比较值。如果 (P2 & P2MASK) 不等于 (P2MAT & P2MASK)，则会产生端口匹配事件。

SFR 定义 17.20 P2MASK: 端口 2 屏蔽寄存器

SFR 页: 0

SFR 地址: 0xB2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P2MASK[7:0]: 端口 1 屏蔽值

这些位选择哪些端口引脚与 P2MAT 中存储的值比较。

0: 对应的 P2.n 引脚被忽略，不能产生端口匹配事件。

1: 对应的 P2.n 引脚被与 P2MAT 中的对应位比较。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 17.21 P3：端口 3 寄存器

SFR 页：所有页								
SFR 地址：0xB0（可位寻址）								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.1	P3.0	11111111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: P3.[7:0]

写 — 输出出现在 I/O 引脚（根据交叉开关寄存器的设置）。
0: 逻辑低电平输出。
1: 逻辑高电平输出。（若相应的 P3MDOUT.n = 0，则为高阻态）。

读 — 读那些在 P3MDIN 中被选择为模拟输入的引脚时总是返回 0。当配置为数字输入时，直接读端口引脚。
0: P3.n 为逻辑低电平。
1: P3.n 为逻辑高电平。

SFR 定义 17.22 P3MDIN：端口 3 输入方式寄存器

SFR 页：F								
SFR 地址：0xF4								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								11111111
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0： P3.7 – P3.0 的模拟输入配置位（分别对应） 当端口引脚被配置为模拟输入时，其弱上拉、数字驱动器和数字接收器都被禁止。 0：对应的 P3.n 引脚被配置为模拟输入。 1：对应的 P3.n 引脚不配置为模拟输入。								

SFR 定义 17.23 P3MDOUT：端口 3 输出方式寄存器

SFR 页：F							
SFR 地址：0xAF							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0： P3.7 – P3.0 的输出方式配置位（分别对应）。如果 P3MDIN 寄存器中的对应位为逻辑 0，则输出方式配置位被忽略。							
0：对应的 P3.n 输出为漏极开路。							
1：对应的 P3.n 输出为推挽方式。							

SFR 定义 17.24 P3SKIP：端口 3 跳过寄存器

SFR 页：F							
SFR 地址：0xD7							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0： P3SKIP[7:0]：端口 3 交叉开关跳过使能位。							
这些位选择被交叉开关译码器跳过的端口引脚。用作模拟输入（ADC 或比较器）或特殊功能（VREF 输入、外部振荡器电路、CNVSTR 输入）的引脚应被交叉开关跳过。							
0：对应的 P3.n 不被交叉开关跳过。							
1：对应的 P3.n 被交叉开关跳过。							

SFR 定义 17.25 P4: 端口 4 寄存器

SFR 页：所有页

SFR 地址：0xB5

R	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
—	P4.6	P4.5	P4.4	P4.3	P4.2	P4.1	P4.0	01111111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0：未用。读 = 0b，写 = 忽略。

位 6-0：P4.[6:0]

写 — 输出出现在 I/O 引脚（根据交叉开关寄存器的设置）。

0：逻辑低电平输出。

1：逻辑高电平输出。（若相应的 P4MDOUT.n = 0，则为高阻态）。

读 — 直接读端口引脚。

0：P4.n 为逻辑低电平。

1：P4.n 为逻辑高电平。

SFR 定义 17.26 P4MDOUT: 端口 4 输出方式寄存器

SFR 页: F								
SFR 地址: 0xAE								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0: 未用。读 = 0b, 写 = 忽略。								
位 6-0: P4.6 – P4.0 的输出方式配置位（分别对应）。								
0: 对应的 P4.n 输出为漏极开路。								
1: 对应的 P4.n 输出为推挽方式。								

表 17.1 端口 I/O 直流电气特性

VDD = 2.7V ~ 3.6V, -40℃到+85℃（除非特别说明）。

参 数	条 件	最小值	典型值	最大值	单位
输出高电压	I _{OH} = -3mA，端口 I/O 为推挽方式	V _{DD} - 0.7	—	—	V
	I _{OH} = -10μA，端口 I/O 为推挽方式	V _{DD} - 0.1	—	—	
	I _{OH} = -10mA，端口 I/O 为推挽方式	—	V _{DD} - 0.8	—	
输出低电压	I _{OL} = 8.5 mA	—	—	0.6	V
	I _{OL} = 10 μA	—	—	0.1	
	I _{OL} = 25 mA	—	1.0	—	
输入高电压 (V _{IH})		2.0	—	—	V
输入低电压 (V _{IL})		—	—	0.8	V
输入漏电流	弱上拉禁止	—	—	±1	μA
	弱上拉使能，V _{IN} = 0V	—	25	50	

18. SMBus

SMBus I/O 接口是一个双线的双向串行总线。SMBus 完全符合系统管理总线规范 1.1 版，与 I²C 串行总线兼容。系统控制器对接口的读写操作都是以字节为单位的，由 SMBus 接口自动控制数据的串行传输。在作为主或从器件时，数据传输的最大速率可达系统时钟频率的十分之一（这可能比 SMBus 的规定速度要快，取决于所使用的系统时钟）。可以采用延长低电平时间的方法协调同一总线上不同速度的器件。

SMBus 接口可以工作在主和/或从方式，一个总线上可以有多个主器件。SMBus 提供了 SDA（串行数据）控制、SCL（串行时钟）产生和同步、仲裁逻辑以及起始/停止的控制和产生电路。有三个与 SMBus 相关的特殊功能寄存器：SMB0CF 配置 SMBus，SMB0CN 控制 SMBus 的状态，SMB0DAT 为数据寄存器，用于发送和接收 SMBus 数据和从器件地址。

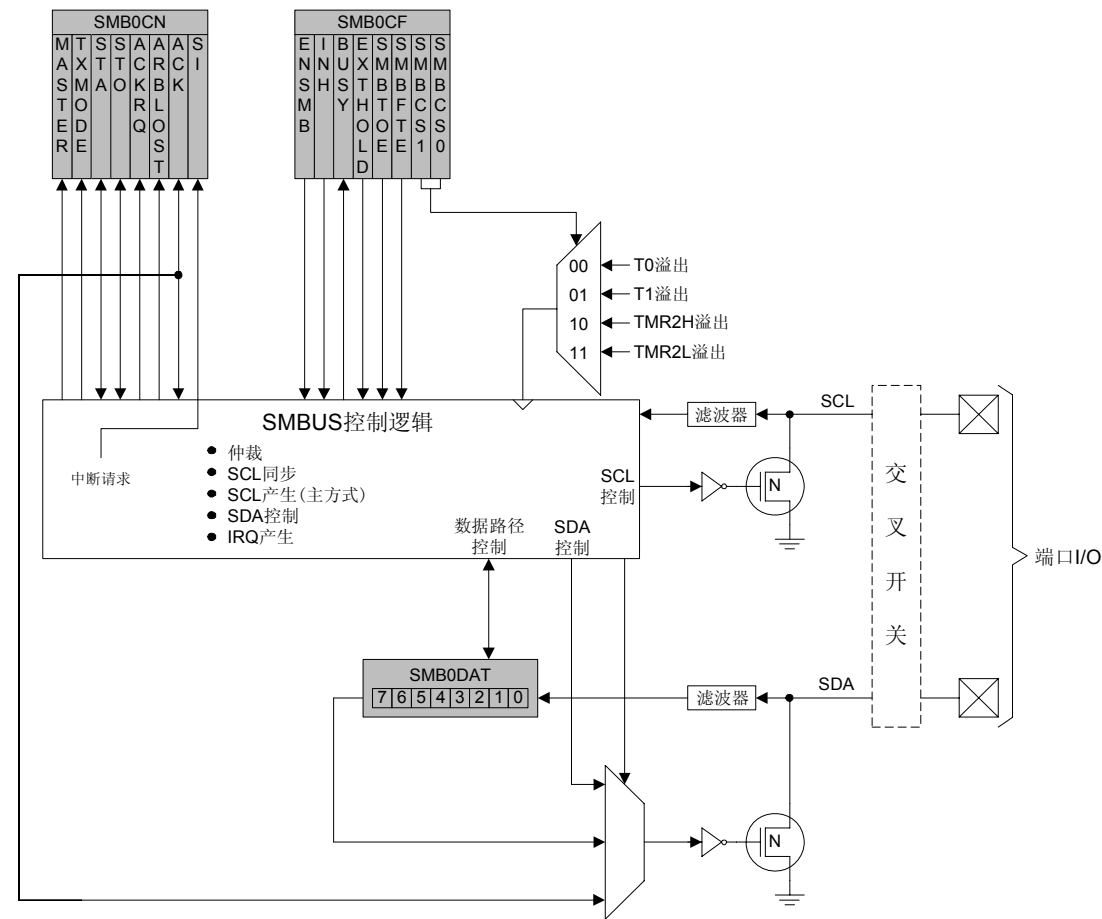


图 18.1 SMBus 原理框图

18.1 支持文档

假设读者熟悉或有条件阅读下列支持文档：

1. I²C 总线及使用（包含规范），菲利浦半导体。
2. I²C 总线规范—2.0 版，菲利浦半导体。
3. 系统管理总线规范—1.1 版。

18.2 SMBus 配置

图 18.2 给出了一个典型的 SMBus 配置。SMBus 接口的**隐性状态**电压可以在 3.0V 和 5.0V 之间，总线上不同器件的工作电压可以不同。SCL（串行时钟）和 SDA（串行数据）线是双向的，必须通过一个上拉电阻或等效电路将它们连到电源电压。连接在总线上的每个器件的 SCL 和 SDA 都必须是漏极开路或集电极开路的，因此当总线空闲时，这两条线都被拉到高电平（**隐性状态**）。总线上的最大器件数只受规定的上升和下降时间的限制，上升和下降时间分别不能超过 300ns 和 1000ns。

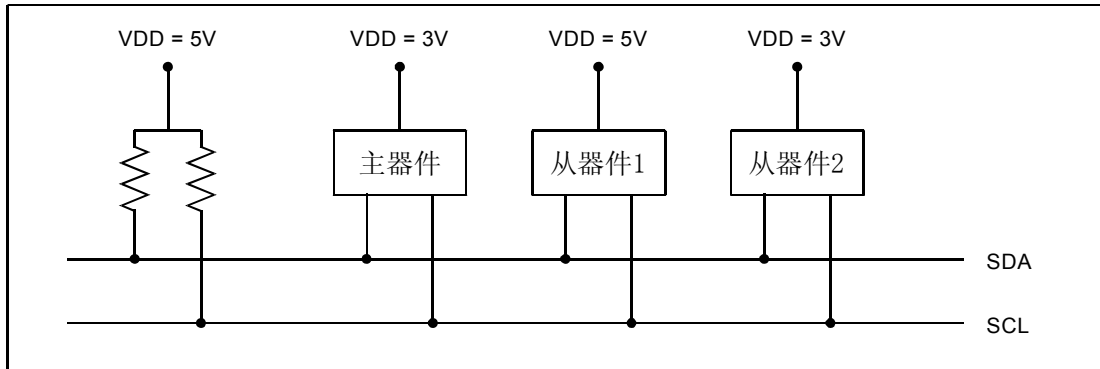


图 18.2 典型 SMBus 配置

18.3 SMBus 操作

有两种可能的数据传输类型：从主发送器到所寻址的从接收器（写）和从被寻址的从发送器到主接收器（读）。这两种数据传输都由主器件启动，主器件还在 SCL 上提供串行时钟。SMBus 接口可以工作在主方式或从方式，同一总线上可以有多个主器件。如果两个或多个主器件同时启动数据传输，仲裁机制将保证有一个主器件会赢得总线。注意：没有必要在一个系统中指定某个器件作为主器件；任何一个发送起始条件（START）和从器件地址的器件就成为该次数据传输的主器件。

一次典型的 SMBus 数据传输包括一个起始条件（START）、一个地址字节（位 7-1：7 位从地址；位 0：R/W 方向位）、一个或多个字节的数据和一个停止条件（STOP）。每个接收的字节（由一个主器件或从器件）都必须用 SCL 高电平期间的 SDA 低电平（见图 18.3）来确认（ACK）。如果接收器件不确认（ACK），则发送器件将读到一个“非确认”（NACK），这用 SCL 高电平期间的 SDA 高电平表示。

方向位(R/W)占据地址字节的最低位。方向位被设置为逻辑 1 表示这是一个“读”（READ）操作，方向位为逻辑 0 表示这是一个“写”（WRITE）操作。

所有的数据传输都由主器件启动，可以寻址一个或多个目标从器件。主器件产生一个起始条件，然后发送从地址和方向位。如果本次数据传输是一个从主器件到从器件的写操作，则主器件每发送一个数据字节后等待来自从器件的确认。如果是一个读操作，则由从器件发送数据并在每个字节结束后等待主器件的确认。在数据传输结束时，主器件产生一个停止条件，结束数据交换并释放总线。图 18.3 示出了一次典型的 SMBus 数据传输过程。

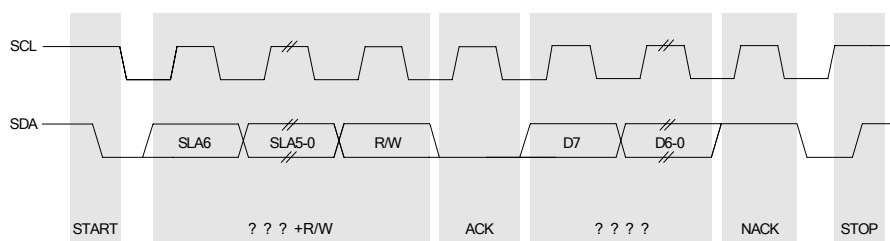


图 18.3 SMBus 数据传输

18.3.1 总线仲裁

一个主器件只能在总线空闲时启动一次传输。在一个停止条件之后或 SCL 和 SDA 保持高电平已经超过了规定的时间（见“18.3.4 SCL 高电平超时”），则总线是空闲的。两个或多个主器件可能在同一时刻产生起始条件，所以使用仲裁机制迫使一个主器件放弃总线。这些主器件继续发送起始条件，直到其中一个主器件发送高电平而其它主器件在 SDA 上发送低电平。由于总线是漏极开路的，因此被拉为低电平。试图发送高电平的主器件将检测到 SDA 上的低电平而退出竞争。赢得总线的主器件继续其数据传输过程，而未赢得总线的器件成为从器件。该仲裁机制是非破坏性的：总会有一个器件赢得总线，不会发生数据丢失。

18.3.2 时钟低电平扩展

SMBus 提供一种与 I²C 类似的时钟同步机制，允许不同速度的器件共存于同一个总线上。为了使低速从器件能与高速主器件通信，在传输期间采取低电平扩展。从器件可以临时保持 SCL 线为低电平以扩展时钟低电平时间，这实际上相当于降低了串行时钟频率。

18.3.3 SCL 低电平超时

如果 SCL 线被总线上的从器件保持为低电平，则不能再进行通信，并且主器件也不能强制 SCL 为高电平来纠正这种错误情况。为了解决这一问题，SMBus 协议规定：参加一次数据传输的器件必须检查时钟低电平时间，若超过 25ms 则认为是“超时”。检测到超时条件的器件必须在 10ms 以内复位通信电路。

当 SMB0CF 中的 SMBTOE 位被置位时，定时器 3 被用于检测 SCL 低电平超时。定时器 3 在 SCL 为高电平时被强制重载，在 SCL 为低电平时开始计数。如果定时器 3 被使能并且溢出周期被配置为 25ms（且 SMBTOE 被置 1），则可在发生 SCL 低电平超时事件时用定时器 3 中断服务程序对 SMBus 复位（禁止后重新使能）。

18.3.4 SCL 高电平（SMBus 空闲）超时

SMBus 标准规定：如果一个器件保持 SCL 和 SDA 线为高电平的时间超过 50 微秒，则认为总线处于空闲状态。当 SMB0CF 中的 SMBFTE 位被置 1 时，如果 SCL 和 SDA 保持高电平的时间超过 10 个 SMBus 时钟周期，总线将被视为空闲。如果一个 SMBus 器件正等待产生一个主起始条件，则该起始条件将在总线空闲超时之后立即产生。注意：总线空闲超时检测需要一个时钟源，即使对从器件方式也不例外。

18.4 SMBus 的使用

SMBus 可以工作在主方式或从方式。接口电路提供串行传输的时序和移位控制；更高层的协议由用户软件实现。SMBus 接口提供下述与应用无关的特性：

- 以字节为单位的串行数据传输；
- SCL 时钟信号产生（只限于主方式）及 SDA 数据同步；
- 超时/总线错误识别（在配置寄存器 SMB0CF 中定义）；
- START/STOP 定时、检测和产生；
- 总线仲裁；
- 中断产生；
- 状态信息。

每次数据字节或从地址传输都产生 SMBus 中断。发送数据时在 ACK 周期后产生中断，使软件能读取接收到的 ACK 值；接收数据时在 ACK 周期之前产生中断，使软件能确定要发出的 ACK 值。有关传输时序的详细信息见“18.5 SMBus 传输方式”。

主器件产生起始条件时也会产生一个中断，指示数据传输开始；从器件在检测到停止条件时产生一个中断，指示数据传输结束。软件应通过读 SMB0CN（SMBus 控制寄存器）来确定 SMBus 中断的原因。SMB0CN 寄存器的说明见“18.4.2 SMB0CN 控制寄存器”。表 18.4 给出了快速 SMB0CN 译码参考。

SMBus 配置选项包括：

- 超时检测（SCL 低电平超时和/或总线空闲超时）；
- SDA 建立和保持时间扩展；
- 从事件使能/禁止
- 时钟源选择。

这些选项在 SMB0CF 寄存器中设定，详见“18.4.1 SMBus 配置寄存器”。

18.4.1 SMBus 配置寄存器

SMBus 配置寄存器（SMB0CF）用于使能 SMBus 主和/或从方式、选择 SMBus 时钟源和设置 SMBus 时序和超时选项。当 ENSMB 位被置 1 时，SMBus 的所有主和从事件都被允许。可以通过将 INH 位置 1 来禁止从事件。在从事件被禁止的情况下，SMBus 接口仍然监视 SCL 和 SDA 引脚；但在接收到地址时会发出 NACK（非确认）信号，并且不会产生任何从中断。当 INH 被置位时，在下一个起始条件（START）后所有的从事件都将被禁止（当前传输过程的中断将继续）。

SMBCS1-0 位选择 SMBus 时钟源（见表 18.1），时钟源只在主方式或空闲超时检测被使能时使用。当 SMBus 接口工作在主方式时，所选择的时钟源的溢出周期决定 SCL 低电平和高电平的最小时间，该最小时间由下面的方程 18.1 给出。注意，SMBus 可以与其它外设共享该时钟源，前提是时钟源定时器一直保持运行状态。例如，定时器 1 溢出可以同时用于产生 SMBus 和 UART 波特率。定时器配置说明见“21. 定时器”。

表 18.1 SMBus 时钟源选择

SMBCS1	SMBCS0	SMBus 时钟源
0	0	定时器 0 溢出
0	1	定时器 1 溢出
1	0	定时器 2 高字节溢出
1	1	定时器 2 低字节溢出

$$T_{HighMin} = T_{LowMin} = \frac{1}{f_{ClockSourceOverflow}}$$

方程 18.1 最小 SCL 高和低电平时间

其中 $T_{HighMin}$ 为最小 SCL 高电平时间， T_{LowMin} 为最小 SCL 低电平时间， $f_{ClockSourceOverflow}$ 为时钟源的溢出频率。

所选择的时钟源应被配置为能产生由方程 18.1 所定义的最小 SCL 高电平和低电平时间。当接口工作在主方式时（并且 SCL 不被总线上的任何其它器件驱动或扩展），典型的 SMBus 位速率可由下面的方程 18.2 估算：

$$位速率 = \frac{f_{ClockSourceOverflow}}{3}$$

方程 18.2 典型 SMBus 位速率

图 18.4 给出了由方程 18.2 定义的典型 SCL 波形。注意， T_{HIGH} 通常为 T_{LOW} 的两倍。实际的 SCL 输出波形可能会因总线上有其它器件而发生改变（SCL 可能被低速从器件扩展低电平，或被其它参与竞争的主器件驱动为低电平）。当工作在主方式时，位速率不能超过由方程 18.1 定义的极限值。

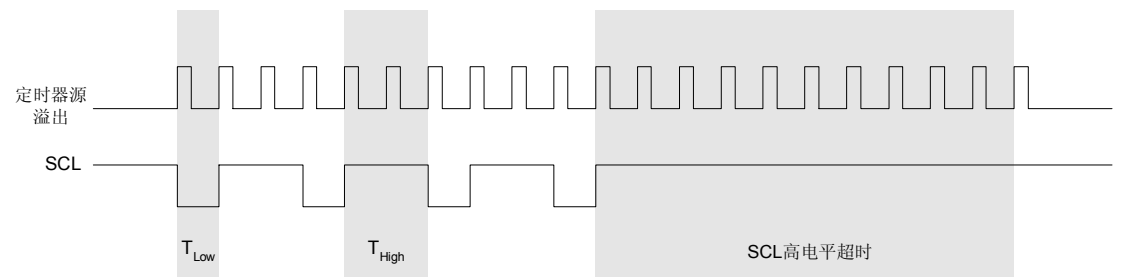


图 18.4 典型的 SMBus SCL 波形

设置 EXTHOLD 位为逻辑 1 将扩展 SDA 线的最小建立时间和保持时间。最小 SDA 建立时间定义了 SCL 上升沿到来之前 SDA 的最小稳定时间。最小 SDA 保持时间定义了 SCL 下降沿过去之后当前 SDA 值继续保持稳定的最小时间。SMBus 规定的最小建立和保持时间分别为 250ns 和 300ns。必要时应将 EXTHOLD 位置 1，以保证最小建立和保持时间符合 SMBus 规范。表 18.2 列出了对应两种 EXTHOLD 设置情况的最小建立和保持时间。当 SYSCLK 大于 10MHz 时，通常需要扩展建立和保持时间。

注：当 SCL 工作在大于 100 KHz 时，EXTHOLD 应被清 0。

表 18.2 最小 SDA 建立和保持时间

EXTHOLD	最小 SDA 建立时间	最小 SDA 保持时间
0	T_{low} – 4 个系统时钟 或 1 个系统时钟 + 软件延时*	3 个系统时钟
1	11 个系统时钟	12 个系统时钟
*注：发送 ACK 位和所有数据传输中 MSB 的建立时间。软件延时发生在写 SMB0DAT 或 ACK 到 SI 被清除之间。注意，如果写 ACK 和清除 SI 发生在同一个写操作，则软件延时为 0。		

当 SMBTOE 位被置 1 的情况下，定时器 3 应被配置为以 25ms 为周期溢出，以检测 SCL 低电平超时。SMBus 接口在 SCL 为高电平时强制重装定时器 3，并允许定时器 3 在 SCL 为低电平时开始计数。应使用定时器 3 中断服务程序对 SMBus 通信复位，这可通过先禁止然后再重新使能 SMBus 接口来实现。

通过将 SMBFTE 位置 1 来使能 SMBus 空闲超时检测。当该位被置 1 时，如果 SCL 和 SDA 保持高电平的时间超过 10 个 SMBus 时钟周期（见图 18.4），总线将被视为空闲。当检测到空闲超时，SMBus 接口的响应就如同检测到一个停止条件（产生中断，STO 被置 1）。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 18.1 SMB0CF: SMBus 时钟/配置寄存器

SFR 页: 所有页

SFR 地址: 0xC1

R/W	R/W	R	R/W	R/W	R/W	R/W	R/W	复位值
ENSMB	INH	BUSY	EXTHOLD	SMBTOE	SMBFTE	SMBCS1	SMBCS0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7:

ENSMB: SMBus 使能
该位使能/禁止 SMBus 接口。当被使能时，接口一直监视 SDA 和 SCL 引脚。
0: 禁止 SMBus 接口。
1: 使能 SMBus 接口。

位 6:

INH: SMBus 从禁止
当该位被设置为逻辑 1 时，SMBus 接口不产生从事件中断。这实际上相当于将 SMBus 从器件移出总线。主方式中断不受影响。
0: SMBus 从方式使能。
1: SMBus 从方式禁止。

位 5:

BUSY: SMBus 忙状态标志
当正在进行一次传输时，该位由硬件置 1。当检测到停止条件或空闲超时时，该位被清 0。

位 4:

EXTHOLD: SMBus 建立和保持时间扩展允许位
该位控制 SDA 的建立和保持时间。
0: 禁止 SDA 建立和保持时间扩展。
1: 允许 SDA 建立和保持时间扩展

位 3:

SMBTOE: SMBus SCL 超时检测允许位
该位使能 SCL 低电平超时检测。当被置 1 时，SMBus 接口在 SCL 为高电平时强制重装载定时器 3，并允许定时器 3 在 SCL 为低电平时开始计数。如果定时器 3 被配置为分割模式，则在 SCL 为搞电平时只有定时器的高字节被重装载。
应将定时器 3 编程为每 25ms 产生一次中断，并使用定时器 3 中断服务程序对 SMBus 通信复位。

位 2:

SMBFTE: SMBus 空闲超时检测允许位
当该位被置 1 时，如果 SCL 和 SDA 保持高电平的时间超过 10 个 SMBus 时钟周期，总线将被视为空闲。

位 1-0:

SMBCS1-SMBCS0: SMBus 时钟源选择位
这两位选择用于产生 SMBus 位速率的时钟源。应根据方程 18.1 配置所选时钟源。

SMBCS1	SMBCS0	SMBus 时钟源
0	0	定时器 0 溢出
0	1	定时器 1 溢出
1	0	定时器 2 高字节溢出
1	1	定时器 2 低字节溢出

18.4.2 SMBus 控制寄存器 SMB0CN

SMBus 控制寄存器(SMB0CN)用于控制 SMBus 接口和提供状态信息(见 SFR 定义 18.2)。SMB0CN 中的高 4 位(MASTER、TXMODE、STA 和 STO)组成一个状态向量,可利用该状态向量转移到中断服务程序。MASTER 和 TXMODE 分别指示主/从状态和发送/接收方式。

STA 和 STO 指示自上次 SMBus 中断以来检测到或产生了一个起始(START)和/或停止条件(STOP)。当 SMBus 工作在主方式时,STA 和 STO 还用于产生起始和停止条件。当总线空闲时,向 STA 写 1 将使 SMBus 接口进入主方式并产生一个起始条件。在产生起始条件后 STA 不能由硬件清除,必须用软件清除。在主方式,向 STO 写 1 将使 SMBus 接口产生一个停止条件,并在下一个 ACK 周期之后结束当前的数据传输。如果 STA 和 STO 都被置位(在主方式),则发送一个停止条件后再发送一个起始条件。

当 SMBus 接口作为接收器时,写 ACK 位定义要发出的 ACK 值;当作为发送器时,读 ACK 位将返回最后一个 ACK 周期的接收值。ACKRQ 在每接收到一个字节后置位,表示需要写待发出的 ACK 值。当 ACKRQ 置位时,软件应在清除 SI 之前向 ACK 位写入要发出的 ACK 值。如果在清除 SI 之前软件未写 ACK 位,接口电路将产生一个 NACK。在向 ACK 位写入后,SDA 线将立即出现所定义的 ACK 值;但 SCL 将保持低电平,直到 SI 被清除。如果接收的地址未被确认,则以后的从事件将被忽略,直到检测到下一个起始条件。

ARBLOST 位指示 SMBus 接口是否在一次总线竞争中失败。当接口工作在发送方式时(主或从),可能出现这种情况。当工作在从方式时,出现这种情况表示发生了总线错误条件。在每次 SI 被清除后,ARBLOST 被硬件清除。

在每次传输的开始和结束、每个字节帧之后或竞争失败时,SI 位(SMBus 中断标志)被硬件置 1,详见表 18.3。

注意: 当 SI 位被置 1 时,SMBus 接口暂停工作;SCL 线被保持为低电平,总线状态被冻结,直到 SI 被软件清 0 为止。

表 18.3 列出了影响 SMB0CN 寄存器中各个位的硬件源。有关 SMBus 的状态请参见表 18.4 的 SMBus 状态译码表。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 18.2 SMB0CN: SMBus 控制寄存器

SFR 页: 所有页								
SFR 地址: 0xC0 (可位寻址)								
R	R	R/W	R/W	R	R	R/W	R/W	复位值
MASTER	TXMODE	STA	STO	ACKRQ	ARBLOST	ACK	SI	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7:	MASTER: SMBus 主/从标志 该只读位指示 SMBus 是否工作在主方式。 0: SMBus 工作在从方式。 1: SMBus 工作在主方式。							
位 6:	TXMODE: SMBus 发送方式标志 该只读位指示 SMBus 是否工作在发送器方式。 0: SMBus 工作在接收器方式。 1: SMBus 工作在发送器方式。							
位 5:	STA: SMBus 起始标志 写: 0: 不产生起始条件。 1: 当工作在主方式时, 若总线空闲, 则发送出一个起始条件 (如果总线不空闲, 在收到停止条件或检测到超时后再发送起始条件)。当工作在主方式时, 如果 STA 被软件置 1, 在下一个 ACK 周期之后将产生一个重复起始条件。 读: 0: 未检测到起始条件或重复起始条件。 1: 检测到起始条件或重复起始条件。							
位 4:	STO: SMBus 停止标志。 写: 0: 不发送停止条件。 1: 将 STO 置为逻辑 1 将导致发送一个停止条件 (在下一个 ACK 周期之后)。在产生停止条件之后, 硬件将 STO 清为逻辑 0。如果 STA 和 STO 都被置 1, 则发送一个停止条件后再发送一个起始条件。 读: 0: 未检测到停止条件。 1: 检测到停止条件 (在从方式) 或挂起 (在主方式)。							
位 3:	ACKRQ: SMBus 确认请求 当 SMBus 接收到一个字节并需要向 ACK 位写 ACK 响应值时, 该只读位被硬件置 1。							
位 2:	ARBLOST: SMBus 竞争失败标志 当 SMBus 作为发送器在总线竞争中失败时该只读位被置 1。在从方式时, 竞争失败表示发生了总线错误条件。							
位 1:	ACK: SMBus 确认标志 该位定义要发出的 ACK 电平和记录接收的 ACK 电平。应在每接收到一个字节后写 ACK 位 (当 ACKRQ = 1 时), 或在每发送一个字节后读 ACK 位。 0: 接收到“非确认”(在发送器方式)或将发出“非确认”(在接收器方式)。 1: 接收到“确认”(在发送器方式)或将发出“确认”(在接收器方式)。							
位 0:	SI: SMBus 中断标志 当出现表 18.3 列出的条件时该位被硬件置 1。SI 只能用软件清除。当 SI 被置 1 时, SCL 被保持为低电平, 总线状态被冻结。							

表 18.3 影响 SMB0CN 的硬件源

位	在下述情况被硬件置 1:	在下述情况被硬件清 0:
MASTER	<ul style="list-style-type: none">• 产生了起始条件。	<ul style="list-style-type: none">• 产生了停止条件。• 在总线竞争中失败。
TXMODE	<ul style="list-style-type: none">• 产生了起始条件。• 在一个 SMBus 帧开始之前写了 SMB0DAT。	<ul style="list-style-type: none">• 检测到起始条件。• 竞争失败。• 在一个 SMBus 帧开始之前没写 SMB0DAT。
STA	<ul style="list-style-type: none">• 在起始条件后接收到一个地址字节。	<ul style="list-style-type: none">• 必须用软件清除。
STO	<ul style="list-style-type: none">• 在作为从器件被寻址时检测到一个停止条件。• 因检测到停止条件而导致竞争失败。	<ul style="list-style-type: none">• 产生了一个挂起的停止条件。
ACKRQ	<ul style="list-style-type: none">• 接收到一个字节并需要一个 ACK 响应值。	<ul style="list-style-type: none">• 每个 ACK 周期之后。
ARBLOST	<ul style="list-style-type: none">• 当 STA 为低时，主器件检测到一个重复起始条件（不希望的重复起始条件）。• 在试图产生一个停止条件或重复起始条件时检测到 SCL 为低电平。• 在试图发送 1 时检测到 SDA 为低电平(ACK 位除外)。	<ul style="list-style-type: none">• 每次 SI 被清除时。
ACK	<ul style="list-style-type: none">• 输入的 ACK 值为低（确认）。	<ul style="list-style-type: none">• 输入的 ACK 值为高(非确认)。
SI	<ul style="list-style-type: none">• 产生了一个起始条件。• 竞争失败。• 发送了一个字节并收到一个 ACK/NACK• 接收到一个字节。• 在起始条件或重复起始条件之后接收到一个从地址字节+R/W。• 收到一个停止条件。	<ul style="list-style-type: none">• 必须用软件清除。

18.4.3 数据寄存器

SMBus 数据寄存器 SMB0DAT 保存要发送或刚接收的串行数据字节。在 SI 标志被置 1 时，软件可以安全地读/写数据寄存器。当 SMBus 被使能但 SI 标志被清为逻辑 0 时软件不应访问 SMB0DAT 寄存器，因为接口可能正在对该寄存器中的数据字节进行移入或移出操作。

SMB0DAT 中的数据总是先移出 MSB。在收到一个字节后，接收数据的第一位位于 SMB0DAT 的 MSB。在数据被移出的同时，总线上的数据被移入，所以 SMB0DAT 中总是保存最后出现在总线上的数据字节。在竞争失败后，从主发送器变为从接收器时 SMB0DAT 中的数据或地址保持不变。

SFR 定义 18.3 SMB0DAT: SMBus 数据寄存器

SFR 页: 所有页							
SFR 地址: 0xC2							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
							复位值 00000000
位 7-0: SMB0DAT: SMBus 数据							
SMB0DAT 寄存器保存要发送到 SMBus 串行接口上的一个数据字节，或刚从 SMBus 串行接口接收到的一个字节。一旦串行中断标志 SI 被置 1，CPU 即可读或写该寄存器。只要串行中断标志位 SI (SMB0CN.0) 为逻辑 1，该寄存器内的串行数据就是稳定的。当 SI 标志位不为 1 时，系统可能正在移入/移出数据，此时 CPU 不应访问该寄存器。							

18.5 SMBus 传输方式

SMBus 接口可以被配置为工作在主方式和/或从方式。在任一时刻，它将工作在下述 4 种方式之一：主发送器、主接收器、从发送器或从接收器。SMBus 在产生起始条件时进入主方式，并保持在该方式直到产生一个停止条件或在总线竞争中失败。SMBus 在每个字节帧结束后都产生一个中断；但作为接收器时中断在 ACK 周期之前产生，作为发送器时中断在 ACK 周期之后产生。

18.5.1 主发送器方式

在 SDA 上发送串行数据，在 SCL 上输出串行时钟。SMBus 接口首先产生一个起始条件，然后发送含有目标从器件地址和数据方向位的第一个字节。在这种情况下，数据方向位 (R/W) 应为逻辑 0，表示这是一个“写”操作。主发送器接着发送一个或多个字节的串行数据。在每发送一个字节后，从器件发出确认位。当 STO 位被置 1 并产生一个停止条件后，串行传输结束。注意，如果在发生主发送器中断后没有向 SMB0DAT 写入数据，则接口将切换到主接收器方式。图 18.5 给出了典型的主发送器时序，只给出了发送两个字节的传输时序，尽管可以发送任意多个字节。注意，在该方式下，“数据字节传输结束”中断发生在 ACK 周期之后。

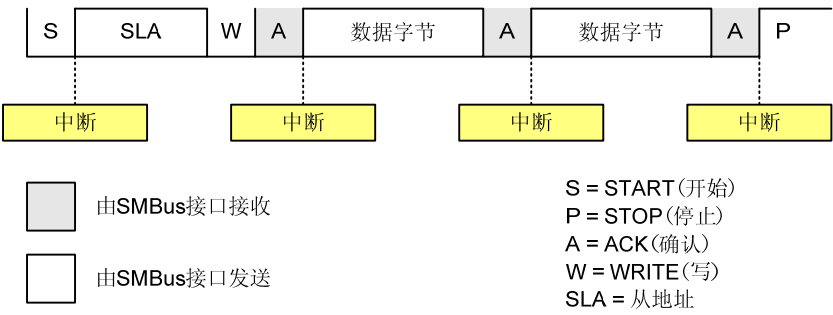


图 18.5 典型的主发送器时序

18.5.2 主接收器方式

在 SDA 上接收串行数据，在 SCL 上输出串行时钟。SMBus 接口首先产生一个起始条件，然后发送含有目标从器件地址和数据方向位的第一个字节。在这种情况下数据方向位（R/W）应为逻辑 1，表示这是一个“读”操作。接着从 SDA 接收来自从器件的串行数据并在 SCL 上输出串行时钟。从器件发送一个或多个字节的串行数据。每收到一个字节后，ACKRQ 被置 1 并产生一个中断。软件必须写 ACK 位（SMB0CN.1），以定义要发出的确认值（注：向 ACK 位写 1 产生一个 ACK，写 0 产生一个 NACK）。软件应在接收到最后一个字节后向 ACK 位写 0，以发送 NACK。接口电路将在对 STO 位置 1 并产生一个停止条件后退出主接收器方式。注意：在主接收器方式，如果执行 SMB0DAT 写操作，接口将切换到主发送器方式。图 18.6 给出了典型的主接收器时序，只给出了接收两个字节的传输时序，尽管可以接收任意多个字节。注意，在该方式下，“数据字节传输结束”中断发生在 ACK 周期之前。

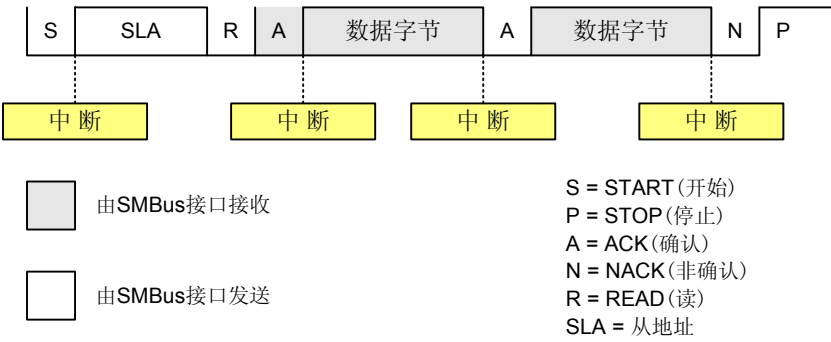


图 18.6 典型的主接收器时序

18.5.4 从发送器方式

在 SDA 上发送串行数据，在 SCL 上接收串行时钟。在从事件被允许的情况下 (INH = 0)，当接收到一个起始条件 (START) 和一个含有从地址和数据方向位 (此处应为读) 的字节时，SMBus 接口进入从接收器方式 (接收从地址)。在进入从发送器方式时，会产生一个中断，并且 ACKRQ 位被置 1。软件用一个 ACK 对接收到的从地址确认，或用一个 NACK 忽略接收到的从地址。如果接收到的从地址被忽略，从事件中断将被禁止，直到检测到下一个起始条件。如果收到的从地址被确认，软件应向 SMB0DAT 写入待发送的数据，SMBus 接口进入从发送器方式，并发送一个或多个字节的数据。在每发送一个字节后，主器件发出确认位。如果确认位为 ACK，应向 SMB0DAT 写入下一个数据字节；如果确认位为 NACK，在 SI 被清除前不应再写 SMB0DAT (注：在从发送器方式，如果在写 SMB0DAT 后收到 NACK，将会导致一个错误条件)。在收到主器件发出的停止条件后，SMBus 接口退出从发送器方式。注意，如果在一个从发送器中断发生之后没有对 SMB0DAT 进行写操作，接口将切换到从接收器方式。图 18.8 给出了典型的从发送器时序，只给出了接收两个字节的传输时序，尽管可以接收任意多个字节。注意，在该方式下“数据字节传输结束”中断发生在 ACK 周期之后。

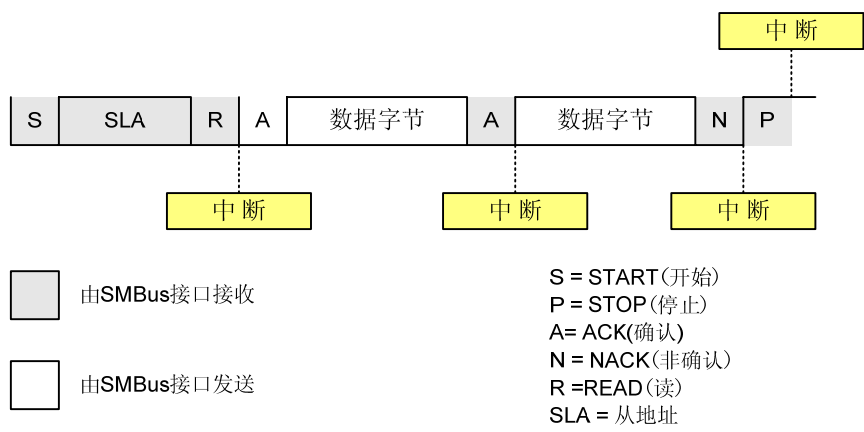


图 18.8 典型的从发送器时序

18.6 SMBus 状态译码

读 SMB0CN 寄存器可以得到 SMBus 的当前状态。在下面的表 18.4 中，状态向量指的是 SMB0CN 中的高 4 位：MASTER、TXMODE、STA 和 STO。注意，表中只列出了典型的响应选项。只要符合 SMBus 规范，特定应用过程是允许的。表中被突出显示的响应选项是允许的，但不符合 SMBus 规范。

表 18.4 SMBus 状态译码

方式	读取值				SMBus 的当前状态	典型响应选项	写入值		
	状态向量	ACKRQ	ARBLOST	ACK			STA	STO	ACK
主发送器	1110	0	0	X	起始条件已发出。	将从地址+R/W 装入到 SMB0DAT。	0	0	X
	1100	0	0	0	数据或地址字节已发出； 收到 NACK。	置位 STA 以重新启动数据传输。	1	0	X
		0	0	1	数据或地址字节已发出； 收到 ACK。	放弃发送。	0	1	X
					将下一数据字节装入到 SMB0DAT。	0	0	X	
					用停止条件结束数据传输。	0	1	X	
					用停止条件结束数据传输并开始另一次传输。	1	1	X	
					发送重复起始条件。	1	0	X	
					切换到主接收器方式（清除 SI，不向 SMB0DAT 写新数据）。	0	0	X	
主接收器	1000	1	0	X	收到数据字节；请求确认。	确认接收的字节；读 SMB0DAT。	0	0	1
					发 NACK，表示这是最后一个字节， 发停止条件。	0	1	0	
					发 NACK，表示这是最后一个字节， 接着发停止条件，再发起始条件。	1	1	0	
					发 ACK 后再发重复起始条件。	1	0	1	
					发 NACK，表示这是最后一个字节， 接着发重复起始条件。	1	0	0	
					发 ACK 并切换到主发送器方式（在清除 SI 之前写 SMB0DAT）。	0	0	1	
					发 NACK 并切换到主发送器方式（在清除 SI 之前写 SMB0DAT）。	0	0	0	

表 18.4 SMBus 状态译码（续）

方式	读取值				SMBus 的当前状态	典型响应选项	写入值		
	状态向量	ACKRQ	ARBLOST	ACK			STA	STO	ACK
从发送器	0100	0	0	0	字节已发送；收到 NACK。	不需任何操作（等待停止条件）。	0	0	X
		0	0	1	字节已发送；收到 ACK。	将下一个要发送的数据字节装入到 SMB0DAT。	0	0	X
		0	1	X	字节已发送；检测到错误。	不需任何操作（等待主器件结束传输）。	0	0	X
	0101	0	X	X	在从器件发送期间检测到停止条件。	不需任何操作（传输完成）。	0	0	X
从接收器	0010	1	0	X	接收到从地址；请求确认。	对接收到的地址进行确认。	0	0	1
						不对接收到的地址进行确认。	0	0	0
		1	1	X	竞争主器件失败；收到从地址；请求确认。	对接收到的地址进行确认。	0	0	1
						不对接收到的地址进行确认。	0	0	0
						重新安排失败的传输；不对接收到的地址进行确认。	1	0	0
	0001	0	1	X	试图发送重复起始条件时竞争失败。	放弃失败的传输。	0	0	X
						重新安排失败的传输	1	0	X
		1	1	X	试图发送停止条件时竞争失败。	不需任何操作（传输完成/放弃）。	0	0	0
		0	0	X	在作为从接收器被访问期间检测到停止条件。	不需任何操作（传输完成）。	0	0	X
		0	1	X	因检测到停止条件而导致竞争失败。	放弃传输。	0	0	X
						重新安排失败的传输。	1	0	X
	0000	1	0	X	接收到从字节；请求确认。	确认接收的字节；读 SMB0DAT。	0	0	1
						不对接收到的字节进行确认。	0	0	0
		1	1	X	作为主器件发送数据字节时竞争失败。	放弃失败的传输。	0	0	0
						重新安排失败的传输。	1	0	0

19. UART0

UART0 是一个异步、全双工串口，它提供标准 8051 串行口的方式 1 和方式 3。UART0 具有增强的波特率发生器电路，有多个时钟源可用于产生标准波特率（详见“19.1 增强波特率发生器”）。接收数据缓冲机制允许 UART0 在软件尚未读取前一个数据字节的情况下开始接收第二个输入数据字节。

UART0 有两个相关的特殊功能寄存器：串行控制寄存器（SCON0）和串行数据缓冲器（SBUF0）。用同一个 SBUF0 地址可以访问发送寄存器和接收寄存器。写 SBUF0 时总是访问发送寄存器；读 SBUF0 时总是访接收寄存器，不能从发送数据寄存器中读数据。

如果 UART0 中断被允许，则每次发送完成（SCON0 中的 TI0 位被置 1）或接收到一个数据字节（SCON0 中的 RI0 位被置 1）时将产生中断。当 CPU 转向中断服务程序时硬件不清除 UART0 中断标志。中断标志必须用软件清除，这就允许软件判断 UART0 中断的原因（发送完成或接收完成）。

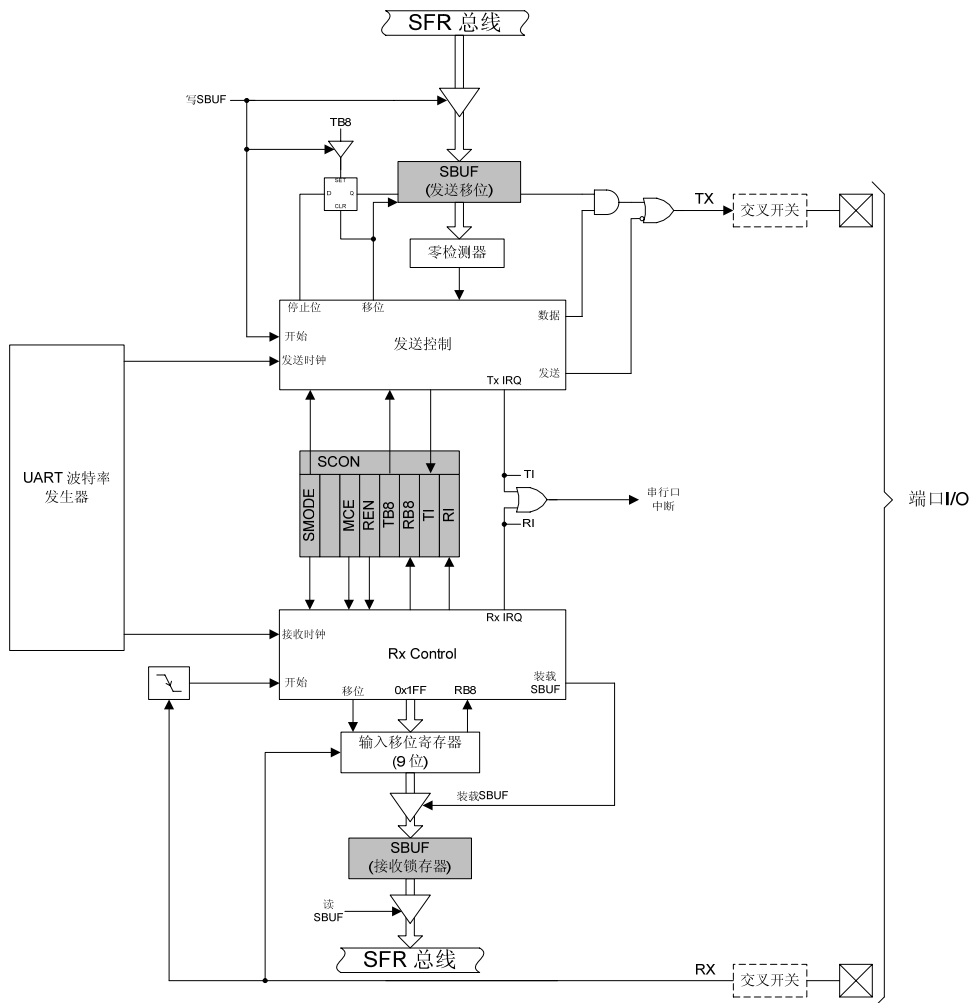


图 19.1 UART0 原理框图

19.1 增强的波特率发生器

UART0 波特率由定时器 1 工作在 8 位自动重载方式产生。发送 (TX) 时钟由 TL1 产生；接收 (RX) 时钟由 TL1 的拷贝寄存器 (图 19.2 中的 RX 定时器) 产生，该寄存器不能被用户访问。TX 和 RX 定时器的溢出信号经过二分频后用于产生 TX 和 RX 波特率。当定时器 1 被允许时，RX 定时器运行并使用与定时器 1 相同的重载值 (TH1)。在检测到 RX 引脚上的起始条件时 RX 定时器被强制重载，这允许在检测到起始位时立即开始接收过程，而与 TX 定时器的状态无关。

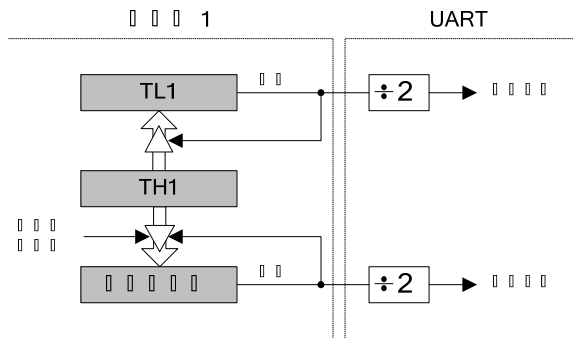


图 19.2 UART0 波特率逻辑

定时器 1 应被配置为方式 2，即 8 位自动重载方式。定时器 1 的重载值应设置为使其溢出频率为所期望的 UART 波特率频率的两倍。注意，定时器 1 的时钟可以在 6 个时钟源中选择：SYSCLK、SYSCLK/4、SYSCLK/12、SYSCLK/48、外部振荡器时钟/8 和外部输入 T1。对于任何给定的定时器 1 时钟源，UART0 的波特率由方程 19.1-A 和方程 19.1-B 决定：

A) $UART \text{ 波特率} = \frac{1}{2} \times T1 \text{ 溢出率}$

B) $T1 \text{ 溢出率} = \frac{T1_{CLK}}{(256 - TH1)}$

方程 19.1 UART0 波特率

其中 $T1_{CLK}$ 是定时器 1 的时钟频率， $TH1$ 是定时器 1 的高字节 (8 位自动重载方式的重载值)。

定时器 1 时钟频率的选择方法见“21. 定时器”。表 19.1 – 19.6 给出了典型波特率和系统时钟频率的快速对照表。注意，当外部振荡器驱动定时器 1 时，内部振荡器仍可产生系统时钟。

19.2 工作方式

UART0 提供标准的异步、全双工通信，其工作方式（8 位或 9 位）通过 S0MODE 位（SCON0.7）来选择。典型的 UART 连接方式如图 19.3 所示。

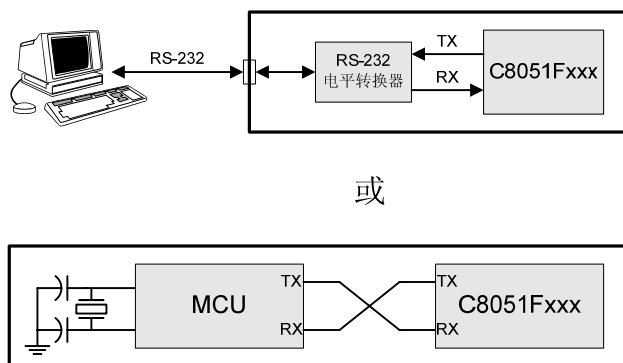


图 19.3 UART 连接图

19.2.1 8 位 UART

在 8 位 UART 方式，每个数据字节共使用 10 位：一个起始位、8 个数据位（LSB 在先）和一个停止位。数据从 TX0 引脚发送（LSB 在先），在 RX0 引脚接收。在接收时，8 个数据位存入 SBUF0，停止位进入 RB80（SCON0.2）。

当软件向 SBUF0 寄存器写入一个字节时开始数据发送。在发送结束时（停止位开始）发送中断标志 TI0（SCON0.1）被置 1。在接收允许位 REN0（SCON0.4）被置 1 后，数据接收可以在任何时刻开始。收到停止位后，如果满足下述条件则数据字节将被装入到接收寄存器 SBUF0：RI0 必须为逻辑 0；如果 MCE0 为逻辑 1，则停止位必须为 1。在发生接收数据溢出的情况下，先接收到的 8 位数据被锁存到 SBUF0，而后面的溢出数据丢失。

如果这些条件满足，则 8 位数据被存入 SBUF0，停止位被存入 RB80，RI0 标志被置位。如果这些条件不满足，则不装入 SBUF0 和 RB80，RI0 标志也不会被置 1。如果中断被允许，在 TI0 或 RI0 置位时将产生一个中断。

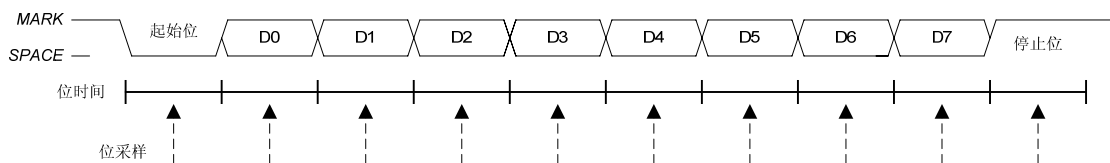


图 19.4 8 位 UART 时序图

19.2.2 9 位 UART

在 9 位 UART 方式，每个数据字节共使用 11 位：一个起始位、8 个数据位（LSB 在先）、一个可编程的第九位和一个停止位。第九发送数据位由 TB80（SCON0.3）中的值决定，由用户软件赋值。它可以被赋值为 PSW 中的奇偶位 P（用于错误检测），或用于多处理器通信。在接收时，第九数据位进入 RB80（SCON0.2），停止位被忽略。

当执行一条向 SBUF0 寄存器写一个数据字节的指令时开始数据发送。在发送结束时（停止位开始）发送中断标志 TI0 被置 1。在接收允许位 REN0（SCON0.4）被置 1 后，数据接收可以在任何时刻开始。收到停止位后如果满足下述条件则数据字节将被装入到接收寄存器 SBUF0：RI0 为逻辑 0；如果 MCE0 为逻辑 1，则第九位必须为逻辑 1（当 MCE0 为逻辑 0 时，第九位数据的状态并不重要）。如果这些条件满足，则 8 位数据被存入 SBUF0，第九位被存入 RB80，RI0 标志被置位。如果这些条件不满足，则不装入 SBUF0 和 RB80，RI0 标志也不会被置 1。如果中断被允许，在 TI0 或 RI0 置位时将产生 UART0 中断。

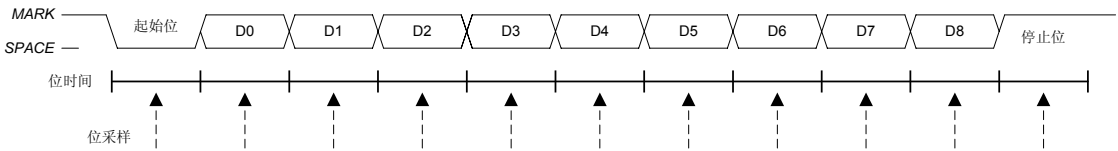


图 19.5 9 位 UART 时序图

19.3 多机通信

9 位 UART 方式通过使用第 9 数据位可以支持一个主处理器与一个或多个从处理器之间的多机通信。当主机要发送数据给一个或多个从机时，它先发送一个用于选择目标的地址字节。地址字节与数据字节的区别是：地址字节的第 9 位为逻辑 1；数据字节的第 9 位总是设置为逻辑 0。

如果从机的 MCE0 位 (SCON.5) 被置 1，则只有当 UART 接收到的第九位为逻辑 1 (RB80 = 1) 并收到有效的停止位后 UART 才会产生中断，意味着接收到一个地址字节。在 UART 的中断处理程序中，软件将接收到的地址与从机自身的 8 位地址进行比较。如果地址匹配，从机将清除它的 MCE0 位以允许后面接收数据字节时产生中断。未被寻址的从机仍保持其 MCE0 位为 1，在收到后续的数据字节时不产生中断，从而忽略收到的数据。一旦接收完整个消息，被寻址的从机将它的 MCE0 位重新置 1 以忽略所有的数据传输，直到它收到下一个地址字节。

可以将多个地址分配给一个从机，或将一个地址分配给多个从机从而允许同时向多个从机“广播”发送。主机可以被配置为接收所有的传输数据，或通过实现某种协议使主/从角色能临时变换以允许原来的主机和从机之间进行半双工通信。

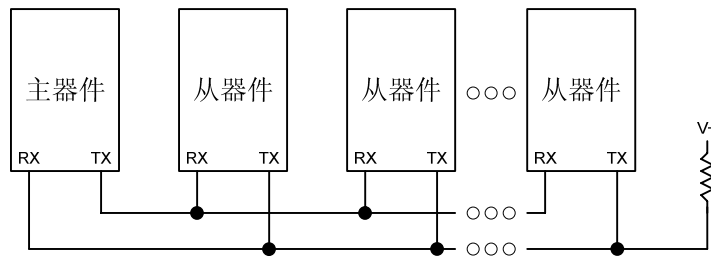


图 19.6 UART 多机方式连接图

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 19.1 SCON0: UART0 控制寄存器

SFR 页: 所有页								
SFR 地址: 0x98 (可位寻址)								
R/W	R	R/W	R/W	R/W	R/W	R/W	R/W	复位值
S0MODE	—	MCE0	REN0	TB80	RB80	TI0	RI0	01000000
位7	位6	位5	位4	位3	位2	位1	位0	
<p>位 7: S0MODE: UART0 工作方式选择位 该位选择 UART0 的工作方式。 0: 方式 0: 波特率可编程的 8 位 UART。 1: 方式 1: 波特率可编程的 9 位 UART。</p>								
<p>位 6: 未使用。读 = 1b。写 = 忽略。</p>								
<p>位 5: MCE0: 多处理器通信允许 该位的功能取决于 UART0 工作方式。 S0MODE = 0: 检查有效停止位。 0: 停止位的逻辑电平被忽略。 1: 只有当停止位为逻辑 1 时 RI0 激活。 S0MODE = 1: 多处理器通信允许。 0: 第 9 位的逻辑电平被忽略。 1: 只有当第 9 位为逻辑 1 时 RI0 才被置位并产生中断。</p>								
<p>位 4: REN0: 接收允许 该位允许/禁止 UART 接收器。 0: UART0 接收禁止。 1: UART0 接收允许。</p>								
<p>位 3: TB80: 第 9 发送位 该位的逻辑电平被赋值给 9 位 UART 方式的第 9 发送位。在 8 位 UART 方式中未用。根据需要用软件置 1 或清 0。</p>								
<p>位 2: RB80: 第 9 接收位 在方式 0, 则 RB80 被赋值为停止位的值。在方式 1 该位被赋值为 9 位 UART 方式中第九数据位的值。</p>								
<p>位 1: TI0: 发送中断标志 当 UART0 发送完一个字节数据后该位被硬件置 1 (在 8 位 UART 方式时, 是在发送第 8 位后; 在 9 位 UART 方式时, 是在停止位开始)。当 UART0 中断被允许时, 置 1 该位将导致 CPU 转到 UART0 中断服务程序。该位必须用软件清 0。</p>								
<p>位 0: RI0: 接收中断标志 当 UART0 接收到一个字节数据时该位被硬件置 1(在停止位采样时)。当 UART0 中断被允许时, 置 1 该位将会使 CPU 转到 UART0 中断服务程序。该位必须用软件清 0。</p>								

SFR 定义 19.2 SBUF0: UART0 数据缓冲器

SFR 页: 所有页							
SFR 地址: 0x99							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
							复位值
							00000000
位7	位6	位5	位4	位3	位2	位1	位0
位 7-0: SBUF0.[7:0]: UART0 数据缓冲器位 7-0 (MSB-LSB)							
该 SFR 访问两个寄存器: 发送移位寄存器和接收锁存寄存器。当数据被写到 SBUF0 时, 它进入发送移位寄存器等待串行发送。向 SBUF0 写入一个字节即启动发送过程。读 SBUF0 时返回接收锁存器的内容。							

表 19.1 对应标准波特率的定时器设置 (使用内部 24.5 MHz 振荡器)

频率: 24.5MHz							
	目标波特率 (bps)	波特率 误差 (%)	振荡器 分频系数	定时器 时钟源	SCA1-SCA0 (分频选择) ¹	T1M ¹	定时器 1 重载值 (hex)
SYSCLK 源自 内部振荡器	230400	-0.32%	106	SYSCLK	XX ²	1	0xCB
	115200	-0.32%	212	SYSCLK	XX	1	0x96
	57600	0.15%	426	SYSCLK	XX	1	0x2B
	28800	-0.32%	848	SYSCLK/4	01	0	0x96
	14400	0.15%	1704	SYSCLK/12	00	0	0xB9
	9600	-0.32%	2544	SYSCLK/12	00	0	0x96
	2400	-0.32%	10176	SYSCLK/48	10	0	0x96
	1200	0.15%	20448	SYSCLK/48	10	0	0x2B
注:							
1. SCA1-SCA0 和 T1M 位的定义见 21.1 节。							
2. 忽略。							

表 19.2 对应标准波特率的定时器设置（使用 25MHz 外部振荡器）

频率：25MHz							
	目标波特率 (bps)	波特率 误差 (%)	振荡器 分频系数	定时器 时钟源	SCA1-SCA0 (分频选择) ¹	T1M ¹	定时器 1 重载值 (hex)
SYSCLK 和定时器时钟 源自外部振荡器	230400	-0.47%	108	SYSCLK	XX ²	1	0xCA
	115200	0.45%	218	SYSCLK	XX	1	0x93
	57600	-0.01%	434	SYSCLK	XX	1	0x27
	28800	0.45%	872	SYSCLK/4	01	0	0x93
	14400	-0.01%	1736	SYSCLK/4	01	0	0x27
	9600	0.15%	2608	EXTCLK/8	11	0	0x5D
	2400	0.45%	10464	SYSCLK/48	10	0	0x93
	1200	-0.01%	20832	SYSCLK/48	10	0	0x27
SYSCLK 源自内部振荡器 定时器时钟源自外部振荡器	57600	-0.47%	432	EXTCLK/8	11	0	0xE5
	28800	-0.47%	864	EXTCLK/8	11	0	0xCA
	14400	0.45%	1744	EXTCLK/8	11	0	0x93
	9600	0.15%	2608	EXTCLK/8	11	0	0x5D
注： 1. SCA1-SCA0 和 T1M 位的定义见 21.1 节。 2. 忽略。							

表 19.3 对应标准波特率的定时器设置（使用 22.1184MHz 外部振荡器）

频率：22.1184MHz							
	目标波特率 (bps)	波特率 误差 (%)	振荡器 分频系数	定时器 时钟源	SCA1-SCA0 (分频选择) ¹	T1M ¹	定时器 1 重载值 (hex)
SYSCLK 和定时器时钟 源自外部振荡器	230400	0.00%	96	SYSCLK	XX ²	1	0xD0
	115200	0.00%	192	SYSCLK	XX	1	0xA0
	57600	0.00%	384	SYSCLK	XX	1	0x40
	28800	0.00%	768	SYSCLK/12	00	0	0xE0
	14400	0.00%	1536	SYSCLK/12	00	0	0xC0
	9600	0.00%	2304	SYSCLK/12	00	0	0xA0
	2400	0.00%	9216	SYSCLK/48	10	0	0xA0
	1200	0.00%	18432	SYSCLK/48	10	0	0x40
SYSCLK 源自内部振荡器 定时器时钟源自外部振荡器	230400	0.00%	96	EXTCLK/8	11	0	0xFA
	115200	0.00%	192	EXTCLK/8	11	0	0xF4
	57600	0.00%	384	EXTCLK/8	11	0	0xE8
	28800	0.00%	768	EXTCLK/8	11	0	0xD0
	14400	0.00%	1536	EXTCLK/8	11	0	0xA0
	9600	0.00%	2304	EXTCLK/8	11	0	0x70
注： 1. SCA1-SCA0 和 T1M 位的定义见 21.1 节。 2. 忽略。							

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 19.4 对应标准波特率的定时器设置（使用 18.432MHz 外部振荡器）

频率：18.432MHz							
	目标波特率 (bps)	波特率 误差 (%)	振荡器 分频系数	定时器 时钟源	SCA1-SCA0 (分频选择) ¹	T1M ¹	定时器 1 重载值 (hex)
SYSCLK 和定时器时钟 源自外部振荡器	230400	0.00%	80	SYSCLK	XX ²	1	0xD8
	115200	0.00%	160	SYSCLK	XX	1	0xB0
	57600	0.00%	320	SYSCLK	XX	1	0x60
	28800	0.00%	640	SYSCLK/4	01	0	0xB0
	14400	0.00%	1280	SYSCLK/4	01	0	0x60
	9600	0.00%	1920	SYSCLK/12	00	0	0xB0
	2400	0.00%	7680	SYSCLK/48	10	0	0xB0
	1200	0.00%	15360	SYSCLK/48	10	0	0x60
SYSCLK 源自内部振荡器 定时器时钟源自外部振荡器	230400	0.00%	80	EXTCLK/8	11	0	0xFB
	115200	0.00%	160	EXTCLK/8	11	0	0xF6
	57600	0.00%	320	EXTCLK/8	11	0	0xEC
	28800	0.00%	640	EXTCLK/8	11	0	0xD8
	14400	0.00%	1280	EXTCLK/8	11	0	0xB0
	9600	0.00%	1920	EXTCLK/8	11	0	0x88
注： 1. SCA1-SCA0 和 T1M 位的定义见 21.1 节。 2. 忽略。							

表 19.5 对应标准波特率的定时器设置（使用 11.0592MHz 外部振荡器）

频率：11.0592MHz							
	目标波特率 (bps)	波特率 误差 (%)	振荡器 分频系数	定时器 时钟源	SCA1-SCA0 (分频选择) ¹	T1M ¹	定时器 1 重载值 (hex)
SYSCLK 和定时器时钟 源自外部振荡器	230400	0.00%	48	SYSCLK	XX ²	1	0xE8
	115200	0.00%	96	SYSCLK	XX	1	0xD0
	57600	0.00%	192	SYSCLK	XX	1	0xA0
	28800	0.00%	384	SYSCLK	XX	1	0x40
	14400	0.00%	768	SYSCLK/12	00	0	0xE0
	9600	0.00%	1152	SYSCLK/12	00	0	0xD0
	2400	0.00%	4608	SYSCLK/12	00	0	0x40
	1200	0.00%	9216	SYSCLK/48	10	0	0xA0
SYSCLK 源自内部振荡器 定时器时钟源自外部振荡器	230400	0.00%	48	EXTCLK/8	11	0	0xFD
	115200	0.00%	96	EXTCLK/8	11	0	0xFA
	57600	0.00%	192	EXTCLK/8	11	0	0xF4
	28800	0.00%	384	EXTCLK/8	11	0	0xE8
	14400	0.00%	768	EXTCLK/8	11	0	0xD0
	9600	0.00%	1152	EXTCLK/8	11	0	0xB8
注： 1. SCA1-SCA0 和 T1M 位的定义见 21.1 节。 2. 忽略。							

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 19.6 对应标准波特率的定时器设置（使用 3.6864MHz 外部振荡器）

频率：3.6864MHz							
	目标波特率 (bps)	波特率 误差 (%)	振荡器 分频系数	定时器 时钟源	SCA1-SCA0 (分频选择) ¹	T1M ¹	定时器 1 重载值 (hex)
SYSCLK 和定时器时钟 源自外部振荡器	230400	0.00%	16	SYSCLK	XX ²	1	0xF8
	115200	0.00%	32	SYSCLK	XX	1	0xF0
	57600	0.00%	64	SYSCLK	XX	1	0xE0
	28800	0.00%	128	SYSCLK	XX	1	0xC0
	14400	0.00%	256	SYSCLK	XX	1	0x80
	9600	0.00%	384	SYSCLK	XX	1	0x40
	2400	0.00%	1536	SYSCLK/12	00	0	0xC0
	1200	0.00%	3072	SYSCLK/12	00	0	0x80
SYSCLK 源自内部振荡器 定时器时钟源自外部振荡器	230400	0.00%	16	EXTCLK/8	11	0	0xFF
	115200	0.00%	32	EXTCLK/8	11	0	0xFE
	57600	0.00%	64	EXTCLK/8	11	0	0xFC
	28800	0.00%	128	EXTCLK/8	11	0	0xF8
	14400	0.00%	256	EXTCLK/8	11	0	0xF0
	9600	0.00%	384	EXTCLK/8	11	0	0xE8
注： 1. SCA1-SCA0 和 T1M 位的定义见 21.1 节。 2. 忽略。							

表 19.7 对应标准波特率的定时器设置（使用 PLL）

频率：50MHz						
目标波特率 (bps)	波特率 误差 (%)	振荡器 分频系数	定时器 时钟源	SCA1-SCA0 (分频选择) ¹	TIM ¹	定时器 1 重载值 (hex)
230400	0.45%	218	SYSCLK	XX ²	1	0x93
115200	-0.01%	434	SYSCLK	XX	1	0x27
57600	0.45%	872	SYSCLK/4	01	0	0x93
28800	-0.01%	1736	SYSCLK/4	01	0	0x27
14400	0.22%	3480	SYSCLK/12	00	0	0x6F
9600	-0.01%	5208	SYSCLK/12	00	0	0x27
2400	-0.01%	20832	SYSCLK/48	10	0	0x27
注： 1. SCA1-SCA0 和 TIM 位的定义见 21.1 节。 2. 忽略。						

表 19.8 对应标准波特率的定时器设置（使用 PLL）

频率：100MHz						
目标波特率 (bps)	波特率 误差 (%)	振荡器 分频系数	定时器 时钟源	SCA1-SCA0 (分频选择) ¹	TIM ¹	定时器 1 重载值 (hex)
230400	-0.01%	434	SYSCLK	XX ²	1	0x27
115200	0.45%	872	SYSCLK/4	01	0	0x93
57600	-0.01%	1736	SYSCLK/4	01	0	0x27
28800	0.22%	3480	SYSCLK/12	00	0	0x6F
14400	-0.47%	6912	SYSCLK/48	10	0	0xB8
9600	-0.01%	10464	SYSCLK/48	10	0	0x93
注： 1. SCA1-SCA0 和 TIM 位的定义见 21.1 节。 2. 忽略。						

20. 增强型串行外设接口（SPI0）

增强型串行外设接口（SPI0）提供访问一个全双工同步串行总线的能力。SPI0 可以作为主器件或从器件工作，可以使用 3 线或 4 线方式，并可在同一 SPI 总线上支持多个主器件和从器件。从选择信号（NSS）可被配置为输入以选择工作在从方式的 SPI0，或在多主环境中禁止主方式操作，以避免两个以上主器件试图同时进行数据传输时发生 SPI 总线冲突。NSS 可以被配置为片选输出（在主方式），或在 3 线操作时被禁止。在主方式，可以用其他通用端口 I/O 引脚选择多个从器件。

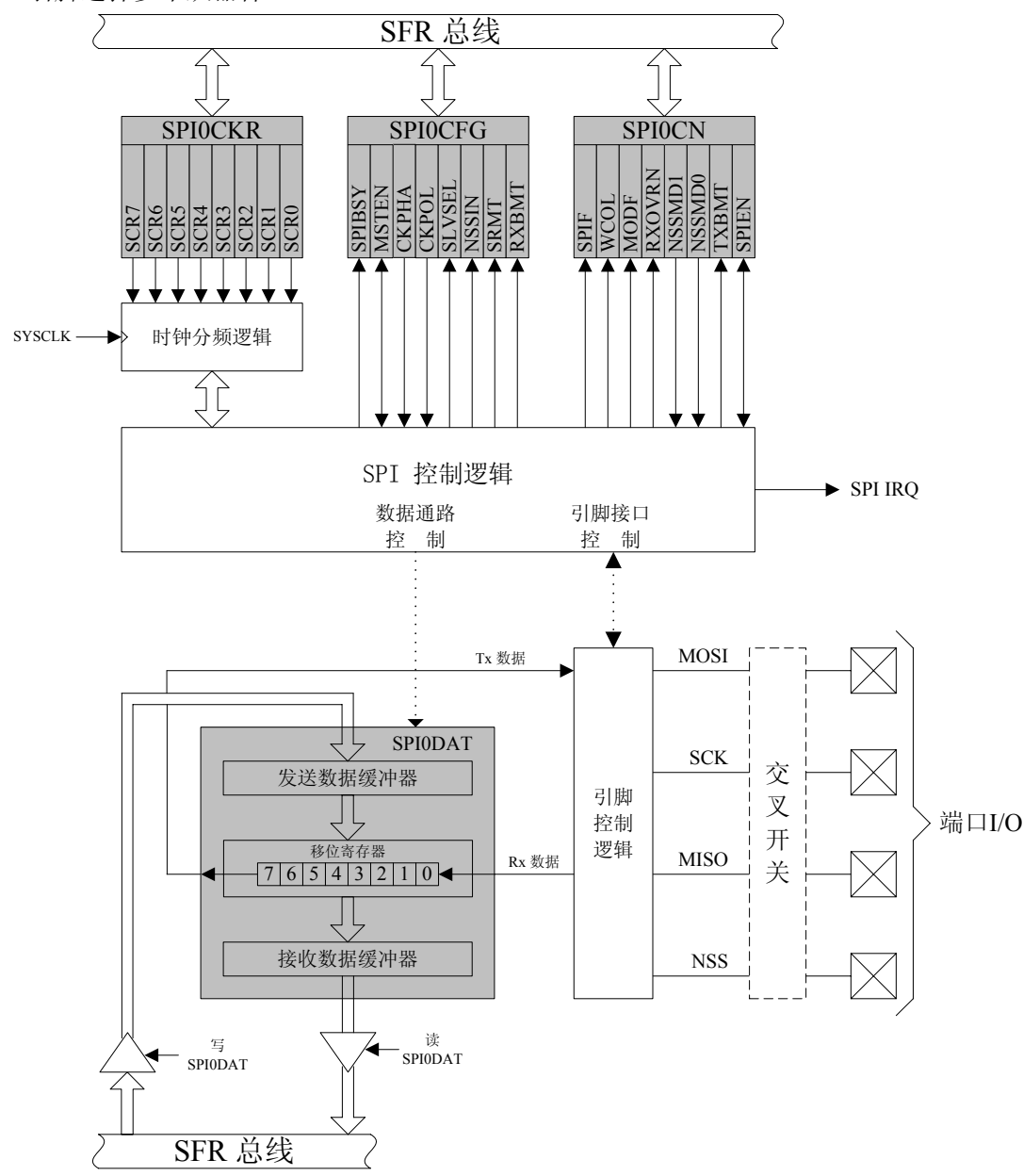


图 20.1 SPI 原理框图

20.1 信号说明

下面介绍 SPI0 所使用的 4 个信号（MOSI、MISO、SCK、NSS）。

20.1.1 主输出、从输入（MOSI）

主出从入（MOSI）信号是主器件的输出和从器件的输入，用于从主器件到从器件的串行数据传输。当 SPI0 作为主器件时，该信号是输出；当 SPI0 作为从器件时，该信号是输入。数据传输时最高位在先。当被配置为主器件时，MOSI 由移位寄存器的 MSB 驱动。

20.1.2 主输入、从输出（MISO）

主入从出（MISO）信号是从器件的输出和主器件的输入，用于从从器件到主器件的串行数据传输。当 SPI0 作为主器件时，该信号是输入；当 SPI0 作为从器件时，该信号是输出。数据传输时最高位在先。当 SPI 被禁止或工作在 4 线从方式而未被选中时，MISO 引脚被置于高阻态。当作为从器件工作在 3 线方式时，MISO 总是由移位寄存器的 MSB 驱动。

20.1.3 串行时钟（SCK）

串行时钟（SCK）信号是主器件的输出和从器件的输入，用于同步主器件和从器件之间在 MOSI 和 MISO 线上的串行数据传输。当 SPI0 作为主器件时产生该信号。在 4 线从方式，当从器件未被选中时（NSS=1），SCK 信号被忽略。

20.1.4 从选择（NSS）

从选择（NSS）信号的功能取决于 SPI0CN 寄存器中 NSSMD1 和 NSSMD0 位的设置。有 3 种可能的方式：

1. NSSMD[1:0] = 00：3 线主方式或从方式：SPI0 工作在 3 线方式，NSS 被禁止。当作为从器件工作在 3 线方式时，SPI0 总是被选择。由于没有选择信号，SPI0 工作在 3 线方式时必须是总线唯一的从器件。这种情况用于一个主器件和一个从器件之间点对点通信。
2. NSSMD[1:0] = 01：4 线从方式或多主方式：SPI0 工作在 4 线方式，NSS 作为输入。当作为从器件时，NSS 选择从 SPI0 器件。当作为主器件时，NSS 信号的负跳变禁止 SPI0 的主器件功能，因此可以在同一个 SPI 总线上使用多个主器件。
3. NSSMD[1:0] = 1x：4 线主方式：SPI0 工作在 4 线方式，NSS 作为输出。NSSMD0 的设置值决定 NSS 引脚的输出逻辑电平。这种配置只能在 SPI0 作为主器件时使用。

图 20.2 ~ 20.4 给出了不同方式下的典型连接图。**注意：NSSMD 位的设置影响器件的引脚分配。**当工作在 3 线主或从方式时，NSS 不被交叉开关分配引脚。在所有其他方式，NSS 必须被映射到器件引脚。有关通用端口 I/O 和交叉开关的详细信息见“17. 端口输入/输出”。

20.2 SPI0 主方式

SPI 总线上的所有数据传输都由 SPI 主器件启动。通过将主允许标志 (MSTEN, SPI0CN.6) 置 1 将 SPI0 置于主方式。当处于主方式时, 向 SPI0 数据寄存器 (SPI0DAT) 写入一个字节时是写发送缓冲器。如果 SPI 移位寄存器为空, 发送缓冲器中的数据字节被传送到移位寄存器, 数据传输开始。SPI0 主器件立即在 MOSI 线上串行移出数据, 同时在 SCK 上提供串行时钟。在传输结束后 SPIF (SPI0CN.7) 标志被置为逻辑 1。如果中断被允许, 在 SPIF 标志置位时将产生一个中断请求。在全双工操作中, 当 SPI 主器件在 MOSI 线向从器件发送数据时, 被寻址的 SPI 从器件可以同时在 MISO 线上向主器件发送其移位寄存器中的内容。因此, SPIF 标志既作为发送完成标志又作为接收数据准备好标志。从从器件接收的数据字节以 MSB 在前的形式传送到主器件的移位寄存器。当一个数据字节被完全移入移位寄存器时, 便被传送到接收缓冲器, 处理器通过读 SPI0DAT 来读该缓冲器。

当被配置为主器件时, SPI0 可以工作在下面的三种方式之一: 多主方式、3 线单主方式或 4 线单主方式。当 NSSMD1 (SPI0CN.3) =0 且 NSSMD0 (SPI0CN.2) =1 时, 是默认的多主方式。在该方式, NSS 是器件的输入, 用于禁止主 SPI0, 以允许另一主器件访问总线。在该方式, 当 NSS 被拉为低电平时, MSTEN (SPI0CN.6) 和 SPIEN (SPI0CN.0) 位被清 0, 以禁止 SPI 主器件, 且方式错误标志 (MODEF, SPI0CN.5) 被置 1。如果方式错误中断被允许, 将产生中断。在这种情况下, 必须用软件重新使能 SPI0。在多主系统中, 当器件不作为系统主器件使用时, 一般被默认为从器件。在多主方式, 可以用通用 I/O 引脚对从器件单独寻址 (如果需要)。图 20.2 给出了两个主器件在多主方式下的连接图。

当 NSSMD1 (SPI0CN.3) =0 且 NSSMD0 (SPI0CN.2) =0 时, SPI0 工作在 3 线单主方式。在该方式, NSS 未被使用, 也不被交叉开关映射到外部端口引脚。在该方式, 应使用通用 I/O 引脚选择要寻址的从器件。图 20.3 给出了一个 3 线主方式主器件和一个从器件的连接图。

当 NSSMD1 (SPI0CN.3) =1 时, SPI0 工作在 4 线单主方式。在该方式, NSS 被配置为输出引脚, 可被用作从选择信号去选中一个 SPI 器件。在该方式, NSS 的输出值由 NSSMD0 (SPI0CN.2) 控制 (用软件)。可以用通用 I/O 引脚寻址另外的从器件。图 20.4 给出了一个 4 线主方式主器件和两个从器件的连接图。

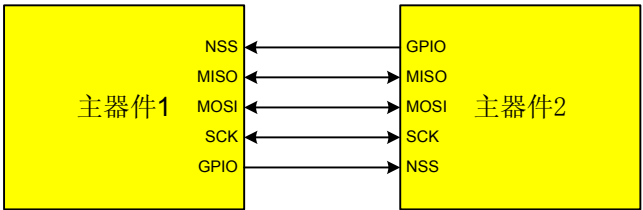


图 20.2 多主方式连接图

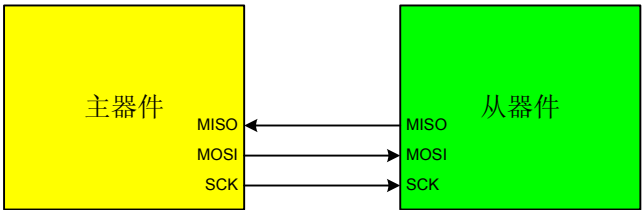


图 20.3 3 线单主方式和 3 线单从方式连接图

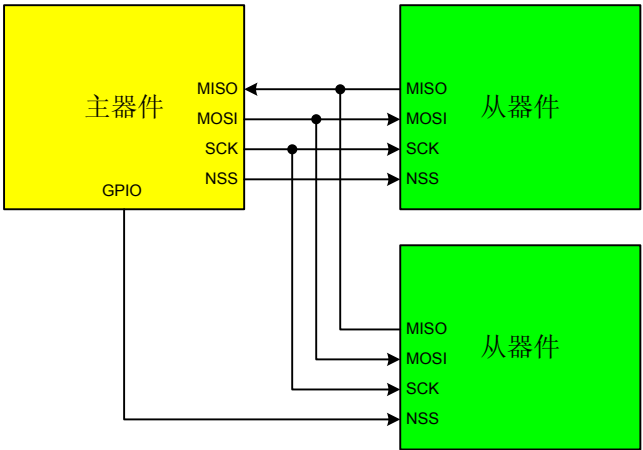


图 20.4 4 线单主方式和 4 线从方式连接图

20.3 SPI0 从方式

当 SPI0 被使能而未被配置为主器件时，它将作为 SPI 从器件工作。作为从器件，由主器件控制串行时钟信号（SCK），从 MOSI 引脚移入数据，从 MISO 引脚移出数据。SPI0 逻辑中的位计数器对 SCK 边沿计数。当 8 位数据经过移位寄存器后，SPIF 标志被置为逻辑 1，接收到的字节被传送到接收缓冲器。通过读 SPI0DAT 来读取接收缓冲器中的数据。从器件不能启动数据传送。通过写 SPI0DAT 来预装要发送给主器件的数据。写往 SPI0DAT 的数据是双缓冲的，首先被放在发送缓冲器。如果移位寄存器为空，发送缓冲器中的数据会立即被传送到移位寄存器。当移位寄存器中已经有数据时，SPI 将在下一次（或当前）SPI 传输的最后一个 SCK 边沿过去后再将发送缓冲器的内容装入移位寄存器。

当被配置为从器件时，SPI0 可以工作 4 线或 3 线方式。当 NSSMD1（SPI0CN.3）=0 且 NSSMD0（SPI0CN.2）=1 时，是默认的 4 线从方式。在 4 线方式，NSS 被分配端口引脚并被配置为数字输入。当 NSS 为逻辑 0 时，SPI0 被使能；当 NSS 为逻辑 1 时，SPI0 被禁止。在 NSS 的下降沿，位计数器被复位。注意，对应每次字节传输，在第一个有效 SCK 边沿到来之前，NSS 信号必须被驱动到低电平至少两个系统时钟周期。图 20.4 给出了两个 4 线方式从器件和一个主器件的连接图。

当 NSSMD1（SPI0CN.3）=0 且 NSSMD0（SPI0CN.2）=0 时，SPI0 工作在 3 线从方式。在该方式，NSS 未被使用，也不被交叉开关映射到外部端口引脚。由于在 3 线从方式无法唯一地寻址从器件，所以 SPI0 必须是总线上唯一的从器件。需要注意的是，在 3 线从方式，没有外部手段对位计数器复位以判断是否收到一个完整的字节。只能通过用 SPIEN 位禁止并重启用 SPI0 来复位位计数器。图 20.3 给出了一个 3 线从器件和一个主器件的连接图。

20.4 SPI0 中断源

如果 SPI0 中断被允许，在下述 4 个标志位被置 1 时将产生中断。

注意：这 4 个标志位都必须用软件清 0。

1. 在每次字节传输结束时，SPI 中断标志 SPIF（SPI0CN.7）被置 1。该标志适用于所有 SPI 方式。
2. 如果在发送缓冲器中的数据尚未被传送到 SPI 移位寄存器时写 SPI0DAT，写冲突标志 WCOL（SPI0CN.6）被置 1。发生这种情况时，写 SPI0DAT 的操作被忽略，不会对发送缓冲器写入。该标志适用于所有 SPI 方式。
3. 当 SPI0 被配置为工作于多主方式的主器件而 NSS 被拉为低电平时，方式错误标志 MODF（SPI0CN.5）被置 1。当发生方式错误时，SPI0CN 中的 MSTEN 和 SPIEN 位被清 0，以禁止 SPI0 并允许另一个主器件访问总线。
4. 当 SPI0 被配置为从器件并且一次传输结束，而接收缓冲器中还保持着上一次传输的数据未被读取时，接收溢出标志 RXOVRN（SPI0CN.4）被置 1。新接收的字节将不被传送到接收缓冲器，允许前面接收的字节被读取。引起溢出的数据字节丢失。

20.5 串行时钟时序

使用 SPI0 配置寄存器 (SPI0CFG) 中的时钟控制选择位可以在串行时钟相位和极性的 4 种组合中选择其一。CKPHA 位 (SPI0CFG.5) 选择两种时钟相位 (锁存数据所用的边沿) 中的一种。CKPOL 位 (SPI0CFG.4) 在高电平有效和低电平有效的时钟之间选择。主器件和从器件必须被配置为使用相同的时钟相位和极性。在改变时钟相位和极性期间应禁止 SPI0 (通过清除 SPIEN 位, SPI0CN.0)。主方式下时钟和数据线的时序关系示于图 20.5; 从方式下时钟和数据线的时序关系示于图 20.6 和图 20.7。注意: 当 C8051F04x、C8051F06x、C8051F12x、C8051F31x、C8051F32x、C8051F33x 和 C8051F36x 中的两个器件通信时, 不论工作在主方式还是从方式, CKPHA 必须被置 0。

SFR 定义 20.3 所示的 SPI0 时钟速率寄存器 (SPI0CKR) 控制主方式的串行时钟频率。当工作于从方式时该寄存器被忽略。当 SPI 被配置为主器件时, 最大数据传输率 (位/秒) 是系统时钟频率的二分之一或 12.5MHz (取较低的频率)。当 SPI 被配置为从器件时, 全双工操作的最大数据传输率 (位/秒) 是系统时钟频率的十分之一, 前提是主器件与从器件系统时钟同步发出 SCK、NSS (在 4 线从方式) 和串行输入数据。如果主器件发出的 SCK、NSS 及串行输入数据不同步, 则最大数据传输率 (位/秒) 必须小于系统时钟频率的十分之一。在主器件只发送数据到从器件而不需要接收从器件发出的数据 (即半双工操作) 这一特殊情况下, SPI 从器件接收数据时的最大数据传输率 (位/秒) 是系统时钟频率的四分之一, 这是在假设由主器件发出 SCK、NSS 和串行输入数据与从器件系统时钟同步的情况下。

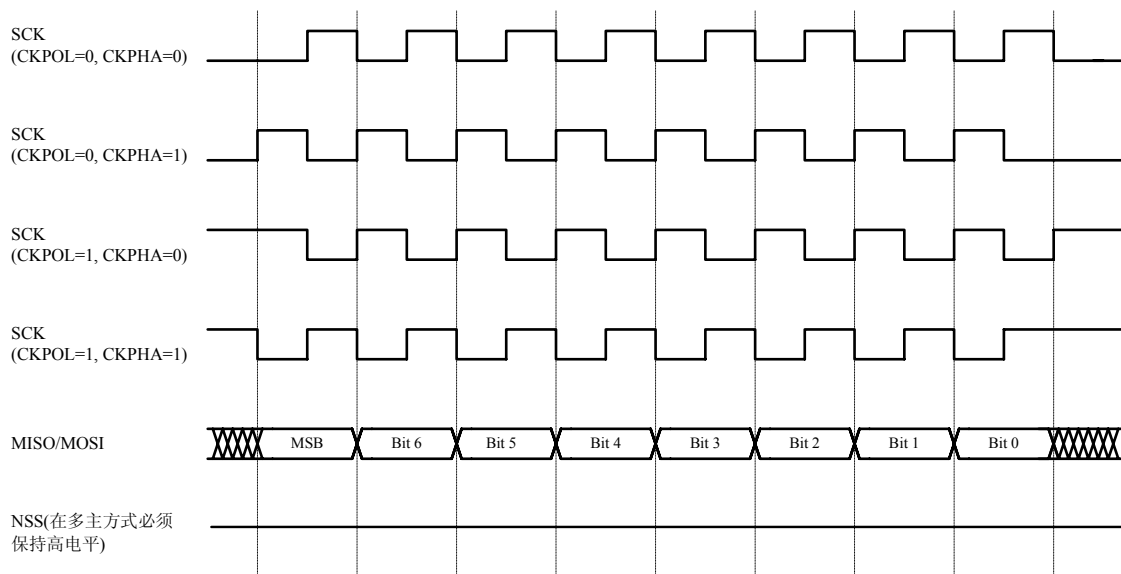


图 20.5 数据/时钟时序图

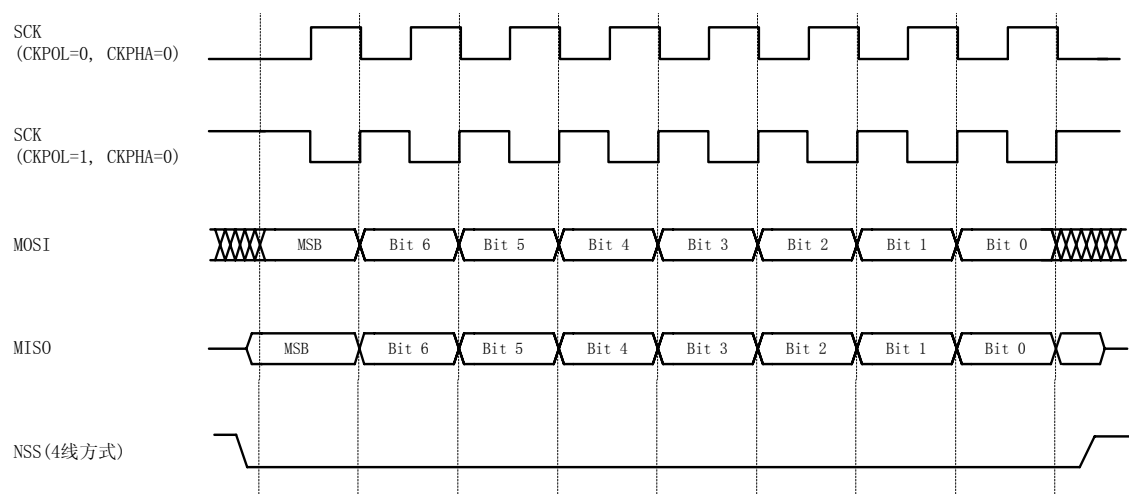


图 20.6 从方式数据/时钟时序图 (CKPHA = 0)

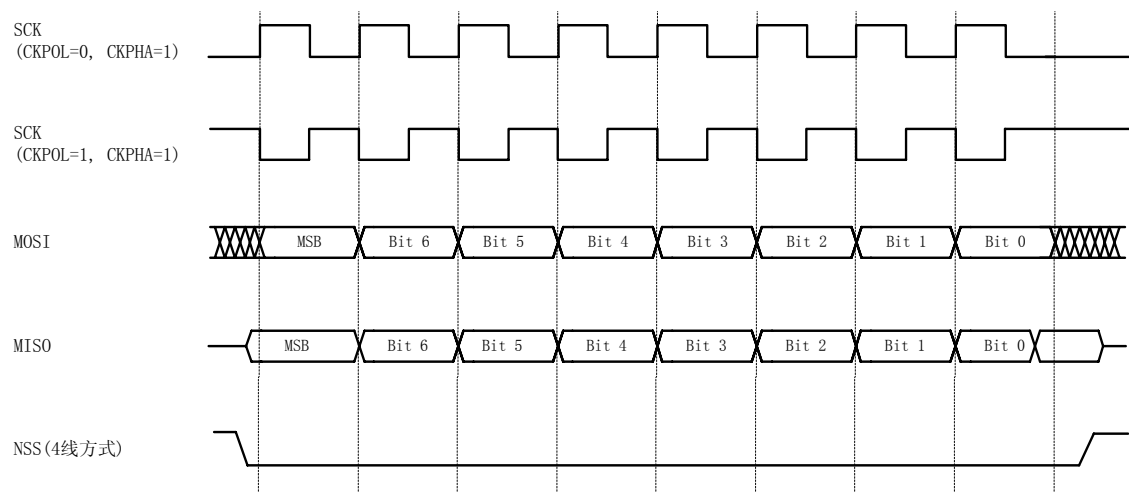


图 20.7 从方式数据/时钟时序图 (CKPHA = 1)

20.6 SPI 特殊功能寄存器

对 SPI0 的访问和控制是通过系统控制器中的 4 个特殊功能寄存器实现的：控制寄存器 SPI0CN、数据寄存器 SPI0DAT、配置寄存器 SPI0CFG 和时钟频率寄存器 SPI0CKR。下面将介绍这 4 个与 SPI0 总线操作有关的特殊功能寄存器。

SFR 定义 20.1 SPI0CFG：SPI0 配置寄存器

SFR 页：所有页								
SFR 地址：0xA1								
R	R/W	R/W	R/W	R	R	R	R	复位值
SPIBSY	MSTEN	CKPHA	CKPOL	SLVSEL	NSSIN	SRMT	RXBMT	00000111
位7	位6	位5	位4	位3	位2	位1	位0	

位 7:

SPIBSY: SPI 忙标志（只读）
当一次 SPI 传输正在进行时（主或从方式），该位被置为逻辑 1。

位 6:

MSTEN: 主方式允许位
0: 禁止主方式，工作在从方式。
1: 允许主方式，工作在主器件方式。

位 5:

CKPHA: SPI0 时钟相位。
该位控制 SPI0 时钟的相位。
0: 数据以 SCK 周期的第一个边沿为中心*。
1: 数据以 SCK 周期的第二个边沿为中心*。

位 4:

CKPOL: SPI0 时钟极性
该位控制 SPI0 时钟的极性。
0: SCK 在空闲状态时处于低电平。
1: SCK 在空闲状态时处于高电平。

位 3:

SLVSEL: 从选择标志（只读）。
当 NSS 引脚为低电平时该位被置 1，表示 SPI0 是被选中的从器件。当 NSS 引脚为高电平时（未被选中为从器件）该位被清 0。该位不指示 NSS 引脚的即时值，而是该引脚输入的去噪信号。

位 2:

NSSIN: NSS 引脚的即时输入值（只读）
该位指示读该寄存器时 NSS 引脚的即时值。该信号未被去噪。

位 1:

SRMT: 移位寄存器空标志（只在从方式有效，只读）。
当所有数据都被移入/移出移位寄存器并且没有新数据可以从发送缓冲器读出或向接收缓冲器写入时，该位被置 1。当数据字节被从发送缓冲器传送到移位寄存器或 SCK 发生变化时，该位被清 0。
注：在主方式时 SRMT = 1。

位 0:

RXBMT: 接收缓冲器空（只在从方式有效，只读）
当接收缓冲器被读取且没有新数据时，该位被置 1。如果在接收缓冲器中有新数据未被读取，则该位被清 0。
注：在主方式时，RXBMT = 1。

*注：在从方式，MOSI 上的数据是在每个数据位的中间被采样。在主方式，MISO 上的数据是在每个数据位结束前一个 SYSCLK 位被采样，为从器件提供最大的建立时间。时序参数见表 20.1。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 20.2 SPI0CN: SPI0 控制寄存器

SFR 页: 所有页							
SFR 地址: 0xF8 (可位寻址)							
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
SPIF	WCOL	MODF	RXOVRN	NSSMD1	NSSMD0	TXBMT	SPIEN
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000110							
位 7:	SPIF: SPI0 中断标志 该位在数据传输结束后被硬件置为逻辑 1。如果中断被允许, 置 1 该位将会使 CPU 转到 SPI0 中断处理服务程序。该位不能被硬件自动清 0, 必须用软件清 0。						
位 6:	WCOL: 写冲突标志 该位由硬件置为逻辑 1 (并产生一个 SPI0 中断), 表示数据传送期间对 SPI0 数据寄存器进行了写操作。该位不能被硬件自动清 0, 必须用软件清 0。						
位 5:	MODF: 方式错误标志 当检测到主方式冲突 (NSS 为低电平, MSTEN=1, NSSMD[1:0] = 01) 时, 该位由硬件置为逻辑 1 (并产生一个 SPI0 中断)。该位不能被硬件自动清 0, 必须用软件清 0。						
位 4:	RXOVRN: 接收溢出标志 (只适用于从方式) 当前传输的最后一位已经移入 SPI0 移位寄存器, 而接收缓冲器中仍保存着前一次传输未被读取的数据时该位由硬件置为逻辑 1 (并产生一个 SPI0 中断)。该位不会被硬件自动清 0, 必须用软件清 0。						
位 3-2:	NSSMD1-NSSMD0: 从选择方式位 选择 NSS 工作方式: 00: 3 线从方式或 3 线主方式。NSS 信号不连到端口引脚。 01: 4 线从方式或多主方式 (默认值)。NSS 总是器件的输入。 1x: 4 线单主方式。NSS 信号被分配一个输出引脚并输出 NSSMD0 的值。						
位 1:	TXBMT: 发送缓冲器空标志 当新数据被写入发送缓冲器时, 该位被清 0。当发送缓冲器中的数据被传送到 SPI 移位寄存器时, 该位被置 1, 表示可以安全地向发送缓冲器写新数据。						
位 0:	SPIEN: SPI0 使能位 该位使能 / 禁止 SPI0。 0: 禁止 SPI0 1: 使能 SPI0						

SFR 定义 20.3 SPI0CKR: SPI0 时钟速率寄存器

SFR 页: 所有页
SFR 地址: 0xA2

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
SCR7	SCR6	SCR5	SCR4	SCR3	SCR2	SCR1	SCR0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: SCR7-SCR0: SPI0 时钟频率

当 SPI0 模块被配置为工作于主方式时, 这些位决定 SCK 输出的频率。SCK 时钟频率是从系统时钟分频得到的, 由下面的方程给出, 其中: *SYSCLK* 是系统时钟频率, *SPI0CKR* 是 SPI0CKR 寄存器中的 8 位值。

$$f_{SCK} = \frac{SYSCLK}{2 \times (SPI0CKR + 1)}$$

(0 ≤ SPI0CKR ≤ 255)

例如: 如果 *SYSCLK* = 2MHz, *SPI0CKR* = 0x04, 则

$$f_{SCK} = \frac{2000000}{2 \times (4 + 1)}$$
$$f_{SCK} = 200kHz$$

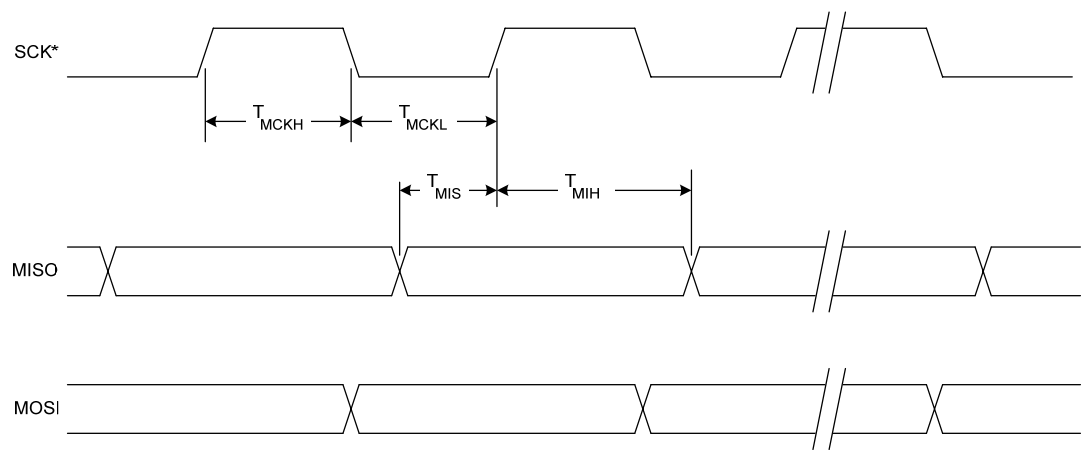
SFR 定义 20.4 SPI0DAT: SPI0 数据寄存器

SFR 页: 所有页
SFR 地址: 0xA3

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

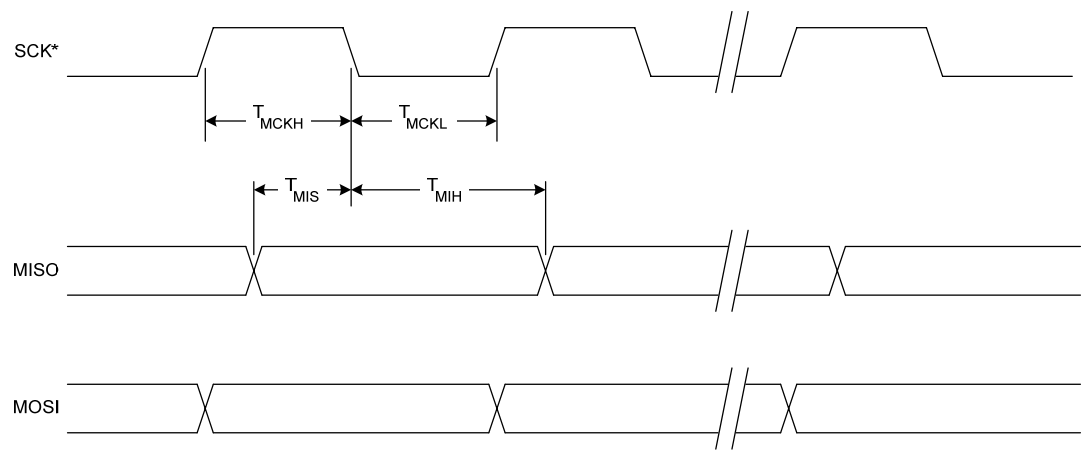
位 7-0: SPI0DAT: SPI0 发送和接收数据寄存器。

SPI0DAT 寄存器用于发送和接收 SPI0 数据。在主方式下, 向 SPI0DAT 写入数据时, 数据被放到发送缓冲器并启动发送。读 SPI0DAT 返回接收缓冲器的内容。



* 这是对应 CKPOL = 0时的 SCK 波形。对于 CKPOL = 1，SCK波形的极性反向。

图 20.8 SPI 主方式时序（CKPHA = 0）



* 这是对应 CKPOL = 0时的 SCK 波形。对于 CKPOL = 1，SCK波形的极性反向。

图 20.9 SPI 主方式时序（CKPHA = 1）

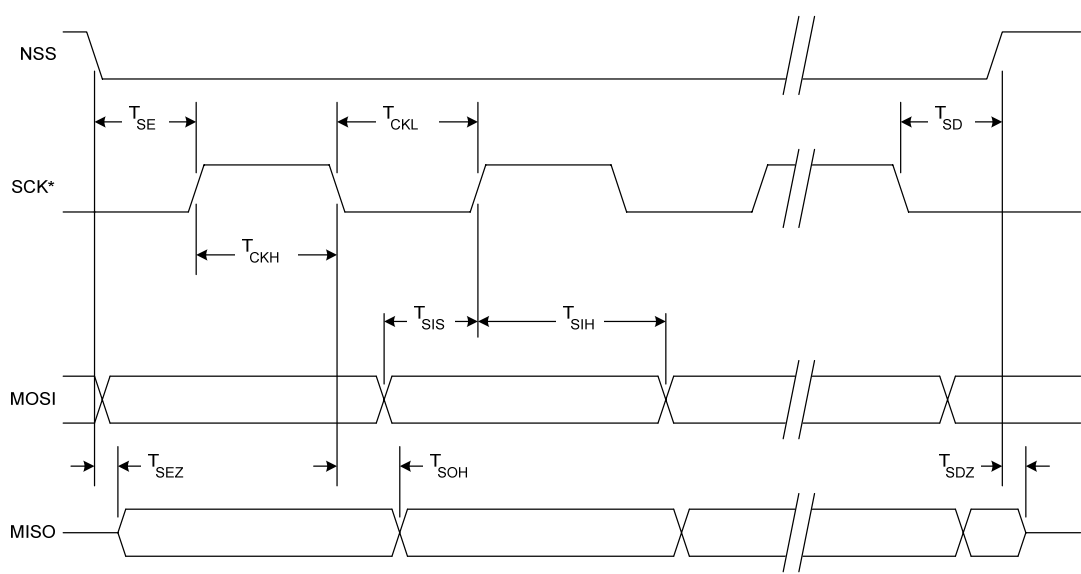


图 20.10 SPI 从方式时序 (CKPHA = 0)

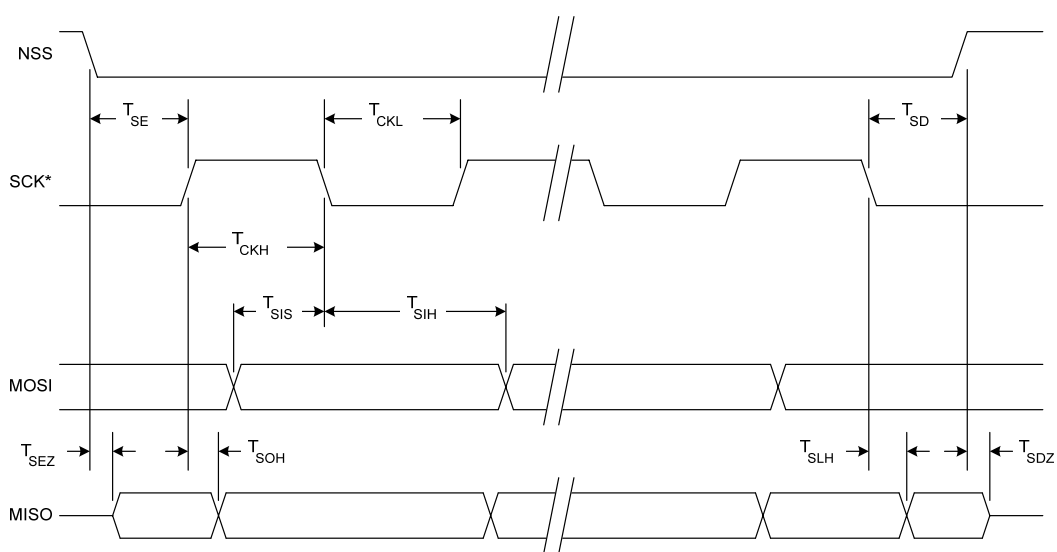


图 20.11 SPI 从方式时序 (CKPHA = 1)

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

表 20.1 SPI 从方式时序参数

参 数	说 明	最小值	最大值	单位
主方式时序*（见图 20.8 和图 20.9）				
T _{MCKH}	SCK 高电平时间	1×T _{SYSCLK}	—	ns
T _{MCKL}	SCK 低电平时间	1×T _{SYSCLK}	—	ns
T _{MIS}	MISO 有效到 SCK 移位边沿	1×T _{SYSCLK} +20	—	ns
T _{MIH}	SCK 采样边沿到 MISO 发生改变	0	—	ns
从方式时序*（见图 20.10 和图 20.11）				
T _{SE}	NSS 下降沿到第一个 SCK 边沿	2×T _{SYSCLK}	—	ns
T _{SD}	最后一个 SCK 边沿到 NSS 上升沿	2×T _{SYSCLK}	—	ns
T _{SEZ}	NSS 下降沿到 MISO 有效	—	4×T _{SYSCLK}	ns
T _{SDZ}	NSS 上升沿到 MISO 变为高阻态	—	4×T _{SYSCLK}	ns
T _{CKH}	SCK 高电平时间	5×T _{SYSCLK}	—	ns
T _{CKL}	SCK 低电平时间	5×T _{SYSCLK}	—	ns
T _{SIS}	MOSI 有效到 SCK 采样边沿	2×T _{SYSCLK}	—	ns
T _{SIH}	SCK 采样边沿到 MOSI 发生改变	2×T _{SYSCLK}	—	ns
T _{SOH}	SCK 移位边沿到 MISO 发生改变	—	4×T _{SYSCLK}	ns
T _{SLH}	最后一个 SCK 边沿到 MISO 发生改变 （只限于 CKPHA = 1）	6×T _{SYSCLK}	8×T _{SYSCLK}	ns
*注：T _{SYSCLK} 为器件的一个系统时钟（SYSCLK）周期。				

21. 定时器

C8051F36x 内部有 4 个 16 位计数器/定时器：其中两个与标准 8051 中的计数器/定时器兼容，另外两个是 16 位自动重载定时器，可用于 ADC、SMBus 或作为通用定时器使用。这些定时器可以用于测量时间间隔，对外部事件计数或产生周期性的中断请求。定时器 0 和定时器 1 几乎完全相同，有四种工作方式。定时器 2 和定时器 3 均可作为一个 16 位或两个 8 位自动重载定时器。

定时器 0 和定时器 1 工作方式	定时器 2 工作方式	定时器 3 工作方式
13 位计数器/定时器	16 位自动重载定时器	16 位自动重载定时器
16 位计数器/定时器		
8 位自动重载的计数器/定时器	两个 8 位自动重载定时器	两个 8 位自动重载定时器
两个 8 位计数器/定时器 (仅限于定时器 0)		

定时器 0 和定时器 1 有 5 个可选择的时钟源，由定时器时钟选择位 (T1M-T0M) 和时钟分频位 (SCA1-SCA0) 决定。时钟分频位定义一个预分频时钟，作为定时器 0 和/或定时器 1 的时钟源（预分频时钟选择见 SFR 定义 21.3）。

定时器 0 和定时器 1 可以被配置为使用预分频时钟或系统时钟。定时器 2 和定时器 3 可以使用系统时钟、系统时钟/12 或外部振荡器时钟/8 作为时钟源。

定时器 0 和定时器 1 可以工作在计数器方式。当作为计数器使用时，在为定时器所选择的输入引脚 (T0 或 T1) 上出现负跳变时计数器/定时器寄存器的值加 1。对事件计数的最大频率可达到系统时钟频率的四分之一。输入信号不需要是周期性的，但在一个给定电平上的保持时间至少应为两个完整的系统时钟周期，以保证该电平能够被正确采样。

21.1 定时器 0 和定时器 1

每个计数器/定时器都是一个 16 位的寄存器，在被访问时分为两个字节：一个低字节 (TL0 或 TL1) 和一个高字节 (TH0 或 TH1)。计数器/定时器控制寄存器 (TCON) 用于使能定时器 0 和定时器 1 以及指示它们的状态。通过将 IE 寄存器中的 ET0 位置 1 来允许定时器 0 中断，通过将 ET1 位置 1 来允许定时器 1 中断。这两个计数器/定时器都有四种工作方式，通过设置计数器/定时器方式寄存器 (TMOD) 中的方式选择位 T1M1-T0M0 来选择工作方式，每个定时器都可以被独立配置。下面对每种工作方式进行详细说明。

21.1.1 方式 0 — 13 位计数器/定时器

在方式 0，定时器 0 和定时器 1 被作为 13 位的计数器/定时器使用。图 21.1 给出了定时器 0 工作在方式 0 时的原理框图。下面介绍对定时器 0 的配置和操作。由于这两个定时器在工作上完全相同，定时器 1 的配置过程与定时器 0 一样。

TH0 寄存器保持 13 位计数器/定时器的 8 个 MSB，TL0 在 TL0.4-TL0.0 位置保持 5 个 LSB。TL0 的高 3 位 (TL0.7-TL0.5) 是不确定的，在读计数值时应屏蔽掉或忽略这 3 位。作为 13 位定时器寄存器，计到 0x1FFF (全 1) 后再计一次将发生溢出，使计数值回到 0x0000，此时定

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

时器溢出标志 TF0 (TCON.5) 被置位并产生一个中断 (如果定时器 0 中断被允许)。

C/T0 位 (TMOD.2) 选择计数器/定时器的时钟源。当 C/T0 被设置为逻辑 1 时, 出现在所选定时器 0 输入引脚 (T0) 上的负跳变使定时器寄存器加 1。清除 C/T0 位将选择由 T0M 位 (CKCON.3) 定义的时钟作为定时器的输入。当 T0M 被置 1 时, 定时器 0 的时钟为系统时钟; 当 T0M 位被清 0 时, 定时器 0 的时钟源由 CKCON (见 SFR 定义 21.3) 中的时钟分频位定义。

当 GATE0 (TMOD.3) 为逻辑 0 或输入信号/INT0 有效时 (有效电平由 IT01CF 寄存器中的 IN0PL 位定义, 见 SFR 定义 10.7), 置位 TR0 位 (TCON.4) 将允许定时器 0 工作。设置 GATE0 为逻辑 1 允许定时器受外部输入信号/INT0 的控制, 便于脉冲宽度测量。

TR0	GATE0	/INT0	计数器/定时器
0	X	X	禁止
1	0	X	允许
1	1	0	禁止
1	1	1	允许

X=任意

注意, 置位 TR0 并不强制定时器复位。应在定时器被使能前将定时器寄存器装入所需要的初值。

与上述的 TL0 和 TH0 一样, TL1 和 TH1 构成定时器 1 的 13 位寄存器。定时器 1 的配置和控制方法与定时器 0 一样, 使用 TCON 和 TMOD 中的对应位。输入信号/INT1 为定时器 1 所用, 其极性由 IT01CF 寄存器中的 IN1PL 位定义 (见 SFR 定义 10.7)。

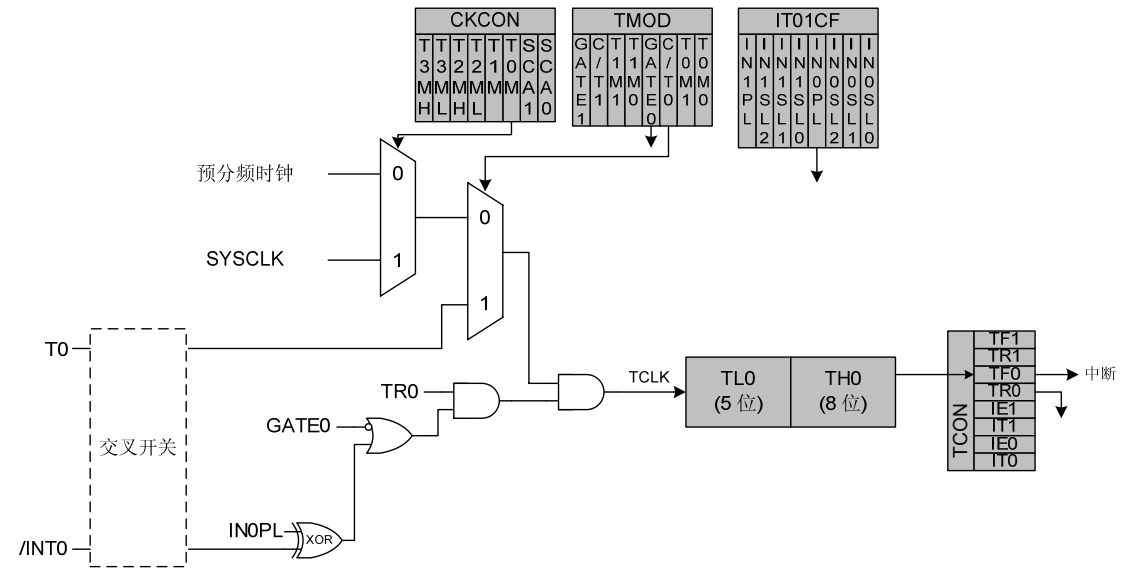


图 21.1 T0 方式 0 原理框图

21.1.2 方式 1 — 16 位计数器/定时器

方式 1 的操作与方式 0 完全一样，所不同的是计数器/定时器使用全部 16 位。用与方式 0 相同的方法使能和控制工作在方式 1 的计数器/定时器。

21.1.3 方式 2 — 自动重载的 8 位计数器/定时器

方式 2 将定时器 0 和定时器 1 配置为具有自动重新装入计数初值能力的 8 位计数器/定时器。TL0 保持计数值，而 TH0 保持重载值。当 TL0 中的计数值发生溢出（从全 1 到 0x00）时，定时器溢出标志 TF0（TCON.5）被置位，TH0 中的重载值被重新装入到 TL0。如果中断被允许，在 TF0 被置位时将产生一个中断。TH0 中的重载值保持不变。为了保证第一次计数正确，必须在允许定时器之前将 TL0 初始化为所希望的计数初值。当工作于方式 2 时，定时器 1 的操作与定时器 0 完全相同。

在方式 2，定时器 1 和定时器 0 的配置和控制方法与方式 0 一样。当 GATE0（TMOD.3）为逻辑 0 或输入信号/INT0 有效时（有效电平由 IT01CF 寄存器中的 IN0PL 为定义，见“10.5 外部中断”），置位 TR0 位（TCON.4）将允许定时器 0 工作。

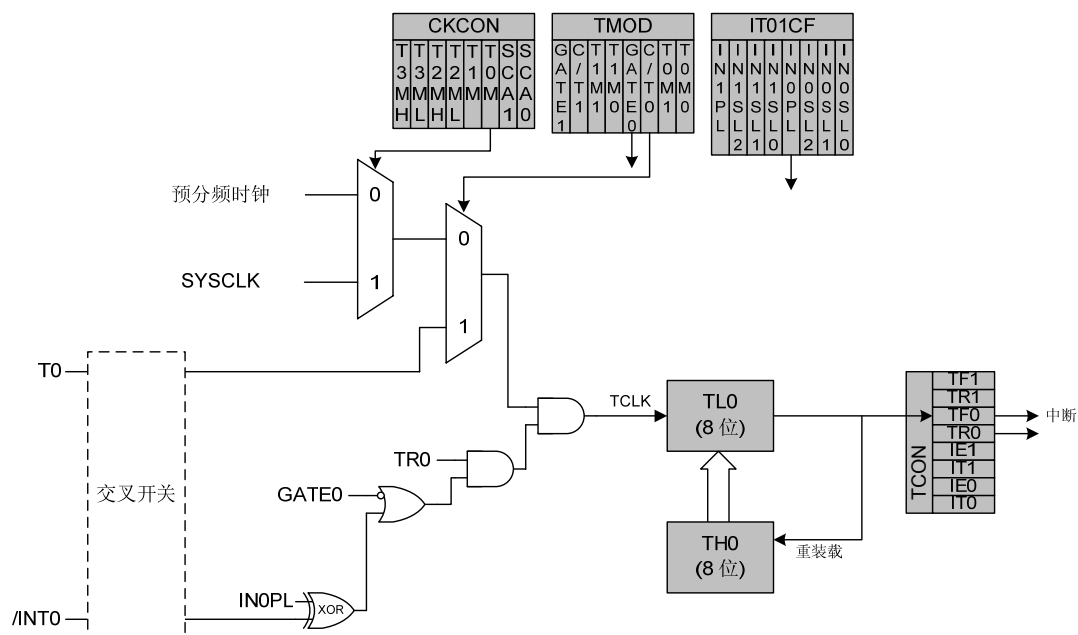


图 21.2 T0 方式 2 原理框图

21.1.4 方式 3 — 两个 8 位计数器/定时器（仅定时器 0）

在方式 3，定时器 0 被配置为两个独立的 8 位定时器/计数器，计数值分别在 TL0 和 TH0 中。在 TL0 中的计数器/定时器使用 TCON 和 TMOD 中定时器 0 的控制/状态位：TR0、C/T0、GATE0 和 TF0。TL0 既可以使用系统时钟也可以使用一个外部输入信号作为时基。TH0 寄存器只能作为定时器使用，由系统时钟或预分频时钟提供时基。TH0 使用定时器 1 的运行控制位 TR1，并在发生溢出时将定时器 1 的溢出标志位 TF1 置 1，所以它控制定时器 1 的中断。

定时器 1 在方式 3 时停止运行。在定时器 0 工作于方式 3 时，定时器 1 可以工作在方式 0、1 或 2，但不能用外部信号作为时钟，也不能置位 TF1 标志和产生中断。但是定时器 1 溢出可以用于为 SMBus 和/或 UART 产生波特率，和/或启动 ADC 转换。当定时器 0 工作在方式 3 时，定时器 1 的运行控制由其方式设置决定。为了在定时器 0 工作于方式 3 时使用定时器 1，应使定时器 1 工作在方式 0、1 或 2。可以通过将定时器 1 切换到方式 3 使其停止运行。

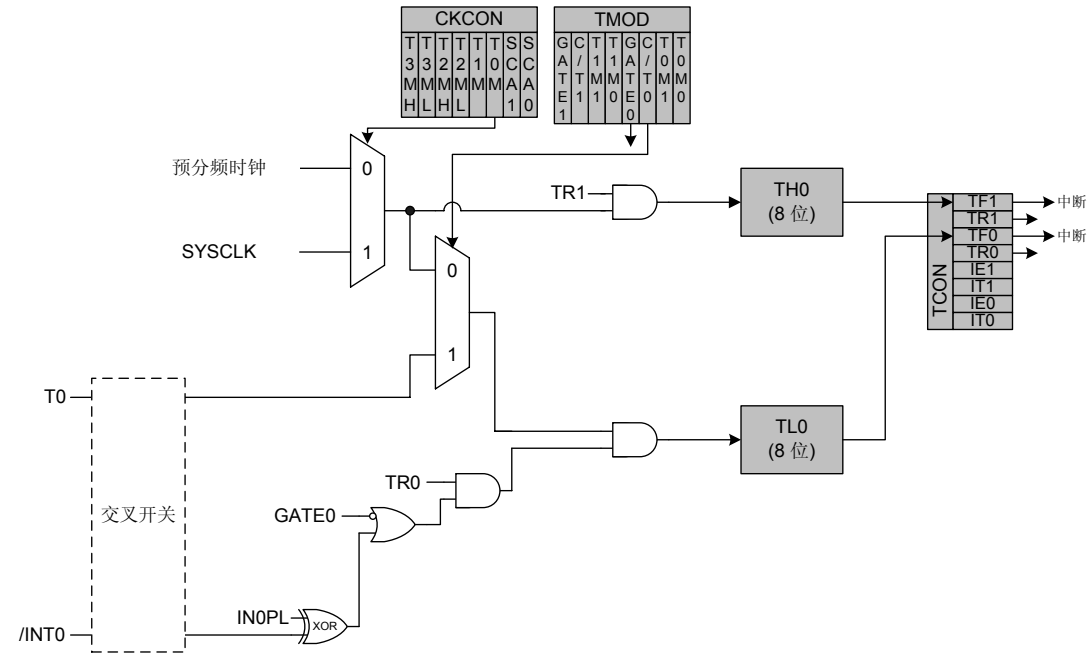


图 21.3 T0 方式 3 原理框图

SFR 定义 21.1 TCON: 定时器控制寄存器

SFR 页: 所有页								
SFR 地址: 0x88 (可位寻址)								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
<p>位 7: TF1: 定时器 1 溢出标志 当定时器 1 溢出时由硬件置位。该位可以用软件清 0, 但当 CPU 转向定时器 1 中断服务程序时该位被自动清 0。 0: 未检测到定时器 1 溢出。 1: 定时器 1 发生溢出。</p>								
<p>位 6: TR1: 定时器 1 运行控制 0: 定时器 1 禁止。 1: 定时器 1 允许。</p>								
<p>位 5: TF0: 定时器 0 溢出标志 当定时器 0 溢出时由硬件置位。该位可以用软件清 0, 但当 CPU 转向定时器 0 中断服务程序时该位被自动清 0。 0: 未检测到定时器 0 溢出。 1: 定时器 0 发生溢出。</p>								
<p>位 4: TR0: 定时器 0 运行控制 0: 定时器 0 禁止。 1: 定时器 0 允许。</p>								
<p>位 3: IE1: 外部中断 1 当检测到一个由 IT1 定义的边沿/电平时, 该标志由硬件置位。该位可以用软件清 0, 但当 CPU 转向外部中断 1 的中断服务程序时该位被自动清 0 (如果 IT1=1)。当 IT1=0 时, 该标志在/INT1 有效时被置 1 (有效电平由 IT01CF 寄存器中的 IN1PL 位定义, 见 SFR 定义 10.7)。</p>								
<p>位 2: IT1: 中断 1 类型选择 该位选择/INT1 中断是边沿触发还是电平触发。可以用 IT01CF 寄存器中的 IN1PL 位将/INT1 配置为低电平有效或高电平有效 (见 SFR 定义 10.7)。 0: /INT1 为电平触发。 1: /INT1 为边沿触发。</p>								
<p>位 1: IE0: 外部中断 0 当检测到一个由 IT0 定义的边沿/电平时, 该标志由硬件置位。该位可以用软件清 0, 但当 CPU 转向外部中断 0 的中断服务程序时该位被自动清 0 (如果 IT0=1)。当 IT0=0 时, 该标志在/INT0 有效时被置 1 (有效电平由 IT01CF 寄存器中的 IN0PL 位定义, 见 SFR 定义 10.7)。</p>								
<p>位 0: IT0: 中断 0 类型选择 该位选择/INT0 中断是边沿触发还是电平触发。可以用 IT01CF 寄存器中的 IN0PL 位将/INT0 配置为低电平有效或高电平有效 (见 SFR 定义 10.7)。 0: /INT0 为电平触发。 1: /INT0 为边沿触发。</p>								

SFR 定义 21.2 TMOD: 定时器方式寄存器

SFR 页: 所有页
SFR 地址: 0x89

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
GATE1	C/T1	T1M1	T1M0	GATE0	C/T0	T0M1	T0M0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7:

GATE1: 定时器 1 门控位
0: 当 TR1=1 时定时器 1 工作, 与/INT1 的逻辑电平无关。
1: 只有当 TR1=1 并且/INT1 有效时定时器 1 才工作。

位 6:

C/T1: 计数器/定时器 1 功能选择。
0: 定时器功能: 定时器 1 由 T1M 位 (CKCON.4) 定义的时钟加 1。
1: 计数器功能: 定时器 1 由外部输入引脚 (T1) 的负跳变加 1。

位 5-4:

T1M1-T1M0: 定时器 1 方式选择
这些位选择定时器 1 的工作方式。

T1M1	T1M0	方式
0	0	方式 0: 13 位计数器/定时器
0	1	方式 1: 16 位计数器/定时器
1	0	方式 2: 自动重载的 8 位计数器/定时器
1	1	方式 3: 定时器 1 停止运行

位 3:

GATE0: 定时器 0 门控位
0: 当 TR0=1 时定时器 0 工作, 与/INT0 的逻辑电平无关。
1: 只有当 TR0=1 并且/INT0 有效时定时器 0 才工作。

位 2:

C/T0: 计数器/定时器 0 功能选择。
0: 定时器功能: 定时器 0 由 T0M 位 (CKCON.3) 定义的时钟加 1。
1: 计数器功能: 定时器 0 由外部输入引脚 (T0) 的负跳变加 1。

位 1-0:

T0M1-T0M0: 定时器 0 方式选择
这些位选择定时器 0 的工作方式。

T0M1	T0M0	方式
0	0	方式 0: 13 位计数器/定时器
0	1	方式 1: 16 位计数器/定时器
1	0	方式 2: 自动重载的 8 位计数器/定时器
1	1	方式 3: 两个 8 位计数器/定时器

SFR 定义 21.3 CKCON: 时钟控制寄存器

SFR 页: 所有页

SFR 地址: 0x8E

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
T3MH	T3ML	T2MH	T2ML	T1M	T0M	SCA1	SCA0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	

- 位 7: T3MH: 定时器 3 高字节时钟选择。
该位选择供给定时器 3 高字节的时钟(如果定时器 3 被配置为两个 8 位定时器)。定时器 3 工作在其他方式时该位被忽略。
0: 定时器 3 高字节使用 TMR3CN 中的 T3XCLK 位定义的时钟。
1: 定时器 3 高字节使用系统时钟。
- 位 6: T3ML: 定时器 3 低字节时钟选择。
该位选择供给定时器 3 的时钟。如果定时器 3 被配置为两个 8 位定时器, 该位选择供给低 8 位定时器的时钟。
0: 定时器 3 低字节使用 TMR3CN 中的 T3XCLK 位定义的时钟。
1: 定时器 3 低字节使用系统时钟。
- 位 5: T2MH: 定时器 2 高字节时钟选择。
该位选择供给定时器 2 高字节的时钟(如果定时器 2 被配置为两个 8 位定时器)。定时器 2 工作在其他方式时该位被忽略。
0: 定时器 2 高字节使用 TMR2CN 中的 T2XCLK 位定义的时钟。
1: 定时器 2 高字节使用系统时钟。
- 位 4: T2ML: 定时器 2 低字节时钟选择。
该位选择供给定时器 2 的时钟。如果定时器 2 被配置为两个 8 位定时器, 该位选择供给低 8 位定时器的时钟。
0: 定时器 2 低字节使用 TMR2CN 中的 T2XCLK 位定义的时钟。
1: 定时器 2 低字节使用系统时钟。
- 位 3: T1M: 定时器 1 时钟选择。
该位选择定时器 1 的时钟源。当 C/T1 被设置为逻辑 1 时, T1M 被忽略。
0: 定时器 1 使用由分频位 (SCA1-SAC0) 定义的时钟。
1: 定时器 1 使用系统时钟
- 位 2: T0M: 定时器 0 时钟选择。
该位选择定时器 0 的时钟源。当 C/T0 被设置为逻辑 1 时, T0M 被忽略。
0: 定时器 0 使用由分频位 (SCA1-SAC0) 定义的时钟。
1: 定时器 0 使用系统时钟
- 位 1-0: SCA1-SCA0: 定时器 0/1 预分频位
如果定时器 0/1 被配置为使用预分频时钟, 则这些位控制时钟分频数。

SCA1	SCA0	预分频时钟
0	0	系统时钟/12
0	1	系统时钟/4
1	0	系统时钟/48
1	1	外部时钟/8

注: 外部时钟 8 分频与系统时钟同步。

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 21.4 TL0: 定时器 0 低字节

SFR 页: 所有页							
SFR 地址: 0x8A							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: TL0: 定时器 0 低字节							
TL0 寄存器是 16 位定时器 0 的低字节。							

SFR 定义 21.5 TL1: 定时器 1 低字节

SFR 页: 所有页							
SFR 地址: 0x8B							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: TL1: 定时器 1 低字节							
TL1 寄存器是 16 位定时器 1 的低字节。							

SFR 定义 21.6 TH0: 定时器 0 高字节

SFR 页: 所有页							
SFR 地址: 0x8C							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: TH0: 定时器 0 高字节							
TH0 寄存器是 16 位定时器 0 的高字节。							

SFR 定义 21.7 TH1: 定时器 1 高字节

SFR 页: 所有页							
SFR 地址: 0x8D							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
位7	位6	位5	位4	位3	位2	位1	位0
复位值 00000000							
位 7-0: TH1: 定时器 1 高字节							
TH1 寄存器是 16 位定时器 1 的高字节。							

21.2 定时器 2

定时器 2 是一个 16 位的计数器/定时器，由两个 8 位的 SFR 组成：TMR2L（低字节）和 TMR2H（高字节）。定时器 2 可以工作在 16 位自动重载方式或 8 位自动重载方式（两个 8 位定时器）。T2SPLIT 位（TMR2CN.3）定义定时器 2 的工作方式。

定时器 2 的时钟源可以是系统时钟、系统时钟/12 或外部振荡源时钟/8。在使用实时时钟（RTC）功能时，外部时钟方式是理想的选择，此时用内部振荡器驱动系统时钟，而定时器 2（和/或 PCA）的时钟由一个精确的外部振荡器提供。注意，外部振荡源时钟/8 与系统时钟同步。

21.2.1 16 位自动重载定时器

当 T2SPLIT 位（TMR2CN.3）为 0 时，定时器 2 工作在自动重载的 16 位定时器方式（见图 21.4）。定时器 2 可以使用 SYSCLK、SYSCLK/12 或外部振荡器时钟/8 作为其时钟源。当 16 位定时器寄存器发生溢出（从 0xFFFF 到 0x0000）时，定时器 2 重载寄存器（TMR2RLH 和 TMR2RLL）中的 16 位计数初值被自动装入到定时器 2 寄存器，并将定时器 2 高字节溢出标志 TF2H（TMR2CN.7）置 1。如果定时器 2 中断被允许（如果 IE.5 被置 1），每次溢出都将产生中断。如果定时器 2 中断被允许并且 TF2LEN 位（TMR2CN.5）被置 1，则每次低 8 位（TMR2L）溢出时（从 0xFF 到 0x00）将产生一个中断。

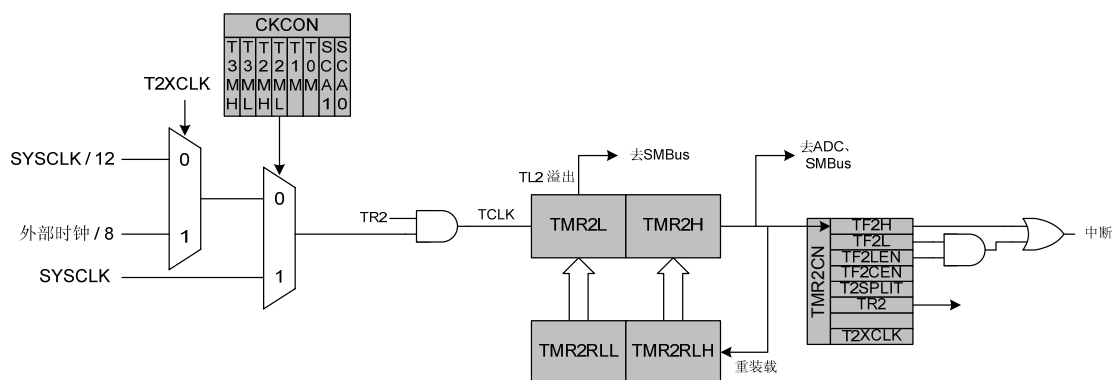


图 21.4 定时器 2 的 16 位方式原理框图

21.2.2 8 位自动重载定时器

当 T2SPLIT 位被置 1 时，定时器 2 工作在双 8 位定时器方式（TMR2H 和 TMR2L）。这两个 8 位定时器都工作在自动重载方式（见图 21.5）。TMR2RLL 保持 TMR2L 的重载值，而 TMR2RLH 保持 TMR2H 的重载值。TMR2CN 中的 TR2 是 TMR2H 的运行控制位。当定时器 2 被配置为 8 位方式时，TMR2L 总是处于运行状态。

每个 8 位定时器都可以被配置为使用 SYSCLK、SYSCLK/12 或外部振荡器时钟/8 作为其时钟源。定时器 2 时钟选择位 T2MH 和 T2ML（位于 CKCON 中）选择 SYSCLK 或由定时器 2 外部时钟选择位（TMR2CN 中的 T2XCLK）定义的时钟源。时钟源的选择情况如下所示。

T2MH	T2XCLK	TMR2H 时钟源	T2ML	T2XCLK	TMR2L 时钟源
0	0	SYSCLK/12	0	0	SYSCLK/12
0	1	外部时钟/8	0	1	外部时钟/8
1	X	SYSCLK	1	X	SYSCLK

当 TMR2H 发生溢出时（从 0xFF 到 0x00），TF2H 被置 1；当 TMR2L 发生溢出时（从 0xFF 到 0x00），TF2L 被置 1。如果定时器 2 中断被允许，则每次 TMR2H 溢出时都将产生一个中断。如果定时器 2 中断被允许并且 TF2LEN 位（TMR2CN.5）被置 1，则每当 TMR2L 或 TMR2H 发生溢出时将产生一个中断。在 TF2LEN 位被置 1 的情况下，软件必须检查 TF2H 和 TF2L 标志，以确定定时器 2 中断的来源。TF2H 和 TF2L 标志不能被硬件自动清除，必须通过软件清除。

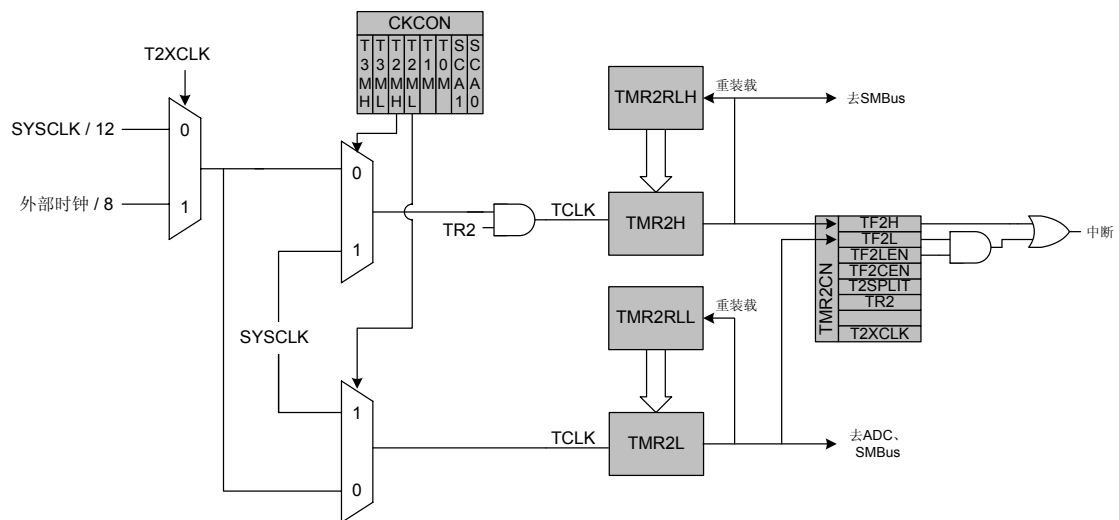


图 21.5 定时器 2 的 8 位方式原理框图

SFR 定义 21.8 TMR2CN: 定时器 2 控制寄存器

SFR 页: 所有页								
SFR 地址: 0xC8 (可位寻址)								
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	复位值
TF2H	TF2L	TF2LEN	TF2CEN	T2SPLIT	TR2	—	T2XCLK	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7:	TF2H: 定时器 2 高字节溢出标志 当定时器 2 高字节发生溢出时 (从 0xFF 到 0x00) 由硬件置 1。在 16 位方式, 当定时器 2 发生溢出时 (从 0xFFFF 到 0x0000) 由硬件置 1。当定时器 2 中断被允许时, 该位置 1 将导致 CPU 转向定时器 2 的中断服务程序。该位不能由硬件自动清 0, 必须用软件清 0。							
位 6:	TF2L: 定时器 2 低字节溢出标志 当定时器 2 低字节发生溢出时 (从 0xFF 到 0x00) 由硬件置 1。当定时器 2 中断被允许并且 TF2LEN 位被设置为逻辑 1 时, 该位置 1 将产生中断。TF2L 在低字节溢出时置位, 与定时器 2 的工作方式无关。该位不能由硬件自动清 0, 必须用软件清 0。							
位 5:	TF2LEN: 定时器 2 低字节中断允许位 该位允许/禁止定时器 2 低字节中断。如果 TF2LEN 被置 1 并且定时器 2 中断被允许 (IE.5), 则当定时器 2 低字节发生溢出时将产生一个中断。当定时器 2 工作在 16 位方式时, 该位应被清 0。 0: 禁止定时器 2 低字节中断。 1: 允许定时器 2 低字节中断。							
位 4:	TF2CEN: 定时器 2 低频振荡器捕捉使能位 该位允许/禁止定时器 2 低频振荡器捕捉方式。如果 TF2CEN 被置 1 且定时器 2 中断被允许, 在低频振荡器输出的下降沿将产生中断, TMR2H:TMR2L 中的 16 位定时器值被复制到 TMR2RLH:TMR2RLL。详见“16 振荡器”。 0: 禁止定时器 2 低频振荡器捕捉方式。 1: 使能定时器 2 低频振荡器捕捉方式。							
位 3:	T2SPLIT: 定时器 2 双 8 位方式使能位 当该位被置 1 时, 定时器 2 工作在双 8 位自动重载定时器方式。 0: 定时器 2 工作在 16 位自动重载方式。 1: 定时器 2 工作在双 8 位自动重载定时器方式。							
位 2:	TR2: 定时器 2 运行控制 该位允许/禁止定时器 2。在 8 位方式, 该位只控制 TMR2H, TMR2L 总是处于运行状态。 0: 定时器 2 禁止。 1: 定时器 2 允许。							
位 1:	未用。读 = 0b, 写 = 忽略。							
位 0:	T2XCLK: 定时器 2 外部时钟选择 该位选择定时器 2 的外部时钟源。如果定时器 2 工作在 8 位方式, 该位为两个 8 位定时器选择外部振荡器时钟源。但仍可用定时器 2 时钟选择位 (CKCON 中的 T2MH 和 T2ML) 在外部时钟和系统时钟之间作出选择。 0: 定时器 2 外部时钟为系统时钟/12。 1: 定时器 2 外部时钟使用 T2RCLK 位定义的时钟。注意: 外部振荡器/8 与系统时钟同步。							

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 21.9 TMR2RLL：定时器 2 重载寄存器低字节

SFR 页：所有页								复位值
SFR 地址：0xCA								00000000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0： TMR2RLL：定时器 2 重载寄存器的低字节								
TMR2RLL 保持定时器 2 重载值的低字节。								

SFR 定义 21.10 TMR2RLH：定时器 2 重载寄存器高字节

SFR 页：所有页								复位值
SFR 地址：0xCB								00000000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0： TMR2RLH：定时器 2 重载寄存器的高字节								
TMR2RLH 保持定时器 2 重载值的高字节。								

SFR 定义 21.11 TMR2L：定时器 2 低字节

SFR 页：所有页								复位值
SFR 地址：0xCC								00000000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0： TMR2L：定时器 2 的低字节								
在 16 位方式, TMR2L 寄存器保持 16 位定时器 2 的低字节。在 8 位方式, TMR2L 中保持 8 位低字节定时器的计数值。								

SFR 定义 21.12 TMR2H：定时器 2 高字节

SFR 页：所有页								复位值
SFR 地址：0xCD								00000000
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0： TMR2H：定时器 2 的高字节								
在 16 位方式, TMR2H 寄存器保持 16 位定时器 2 的高字节。在 8 位方式, TMR2H 中保持 8 位高字节定时器的计数值。								

21.3 定时器 3

定时器 3 是一个 16 位的计数器/定时器，由两个 8 位的 SFR 组成：TMR3L（低字节）和 TMR3H（高字节）。定时器 3 可以工作在 16 位自动重载方式或 8 位自动重载方式（两个 8 位定时器）。T3SPLIT 位（TMR3CN.3）定义定时器 3 的工作方式。

定时器 3 的时钟源可以是系统时钟、系统时钟/12 或外部振荡源时钟/8。在使用实时时钟（RTC）功能时，外部时钟方式是理想的选择，此时用内部振荡器驱动系统时钟，而定时器 3（和/或 PCA）的时钟由一个精确的外部振荡器提供。注意，外部振荡源时钟/8 与系统时钟同步。

21.3.1 16 位自动重载定时器

当 T3SPLIT 位（TMR3CN.3）为 0 时，定时器 3 工作在自动重载的 16 位定时器方式（见图 21.6）。定时器 3 可以使用 SYSCLK、SYSCLK/12 或外部振荡器时钟/8 作为其时钟源。当 16 位定时器寄存器发生溢出（从 0xFFFF 到 0x0000）时，定时器 3 重载寄存器（TMR3RLH 和 TMR3RLL）中的 16 位计数初值被自动装入到定时器 3 寄存器，并将定时器 3 高字节溢出标志 TF3H（TMR3CN.7）置 1。如果定时器 3 中断被允许（EIE1.7 被置 1），每次溢出都将产生中断。如果定时器 3 中断被允许并且 TF3LEN 位（TMR3CN.5）被置 1，则每次低 8 位（TMR3L）溢出时（从 0xFF 到 0x00）将产生中断。

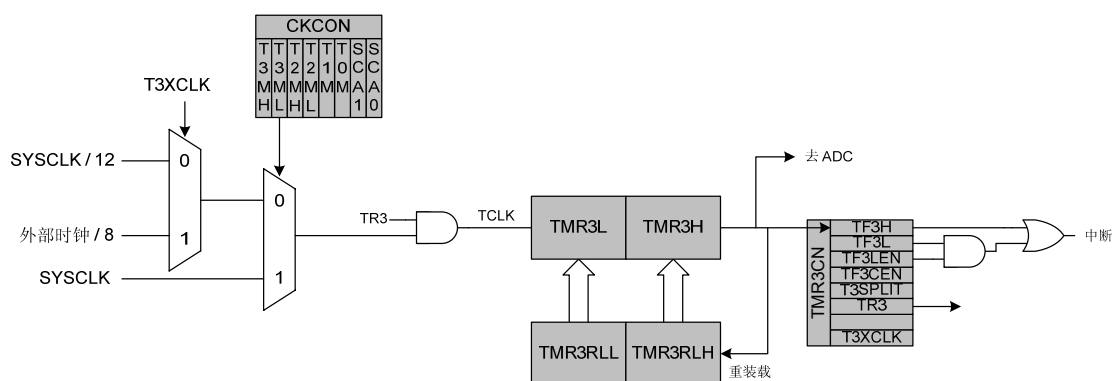


图 21.6 定时器 3 的 16 位方式原理框图

21.3.2 8 位自动重载定时器方式

当 T3SPLIT 位（TMR3CN.3）被置 1 时，定时器 3 工作双 8 位定时器方式（TMR3H 和 TMR3L）。这两个 8 位定时器都工作在自动重载方式（见图 21.7）。TMR3RLL 保持 TMR3L 的重载值，而 TMR3RLH 保持 TMR3H 的重载值。TMR3CN 中的 TR3 是 TMR3H 的运行控制位。当定时器 3 被配置为 8 位方式时，TMR3L 总是处于运行状态。

每个 8 位定时器都可以被配置为使用 SYSCLK、SYSCLK/12 或外部振荡器时钟/8 作为其时钟源。定时器 3 时钟选择位 T3MH 和 T3ML（位于 CKCON 中）选择 SYSCLK 或由定时器 3 外部时钟选择位（TMR3CN 中的 T3XCLK）定义的时钟源。时钟源的选择情况如下所示。

T3MH	T3XCLK	TMR3H 时钟源	T3ML	T3XCLK	TMR3L 时钟源
0	0	SYSCLK/12	0	0	SYSCLK/12
0	1	外部时钟/8	0	1	外部时钟/8
1	X	SYSCLK	1	X	SYSCLK

当 TMR3H 发生溢出时（从 0xFF 到 0x00），TF3H 被置 1；当 TMR3L 发生溢出时（从 0xFF 到 0x00），TF3L 被置 1。如果定时器 3 中断被允许，则每次 TMR3H 溢出时都将产生一个中断。如果定时器 3 中断被允许并且 TF3LEN 位（TMR3CN.5）被置 1，则每当 TMR3L 或 TMR3H 发生溢出时将产生一个中断。在 TF3LEN 位被置 1 的情况下，软件应检查 TF3H 和 TF3L 标志，以确定中断的来源。TF3H 和 TF3L 标志不能被硬件自动清除，必须通过软件清除。

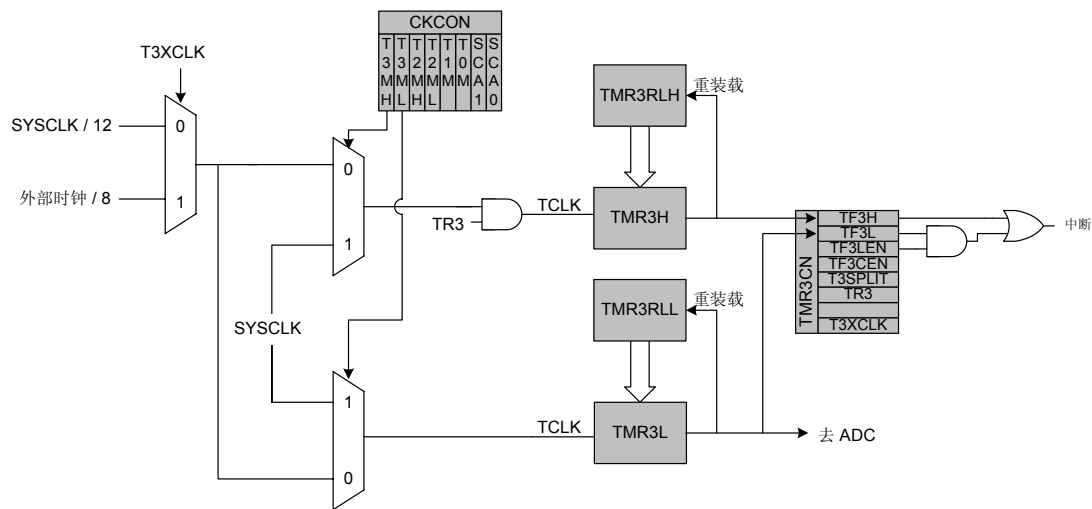


图 21.7 定时器 3 的 8 位方式原理框图

SFR 定义 21.13 TMR3CN: 定时器 3 控制寄存器

SFR 页: 所有页								
SFR 地址: 0x91								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
TF3H	TF3L	TF3LEN	TF3CEN	T3SPLIT	TR3	—	T3XCLK	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7:	TF3H: 定时器 3 高字节溢出标志 当定时器 3 高字节发生溢出时 (从 0xFF 到 0x00) 由硬件置 1。在 16 位方式, 当定时器 3 发生溢出时 (从 0xFFFF 到 0x0000) 由硬件置 1。当定时器 3 中断被允许时, 该位置 1 将导致 CPU 转向定时器 3 的中断服务程序。该位不能由硬件自动清 0, 必须用软件清 0。							
位 6:	TF3L: 定时器 3 低字节溢出标志 当定时器 3 低字节发生溢出时 (从 0xFF 到 0x00) 由硬件置 1。当定时器 3 中断被允许并且 TF3LEN 位被设置为逻辑 1 时, 该位置 1 将产生中断。TF3L 在低字节溢出时置位, 与定时器 3 的工作方式无关。该位不能由硬件自动清 0。							
位 5:	TF3LEN: 定时器 3 低字节中断允许位 该位允许/禁止定时器 3 低字节中断。如果 TF3LEN 被置 1 并且定时器 3 中断被允许, 则当定时器 3 低字节发生溢出时将产生一个中断。当定时器 3 工作在 16 位方式时, 该位应被清 0。 0: 禁止定时器 3 低字节中断。 1: 允许定时器 3 低字节中断。							
位 4:	TF3CEN: 定时器 3 低频振荡器捕捉使能位 该位允许/禁止定时器 3 低频振荡器捕捉方式。如果 TF3CEN 被置 1 且定时器 3 中断被允许, 在低频振荡器输出的下降沿将产生中断, TMR3H:TMR3L 中的 16 位定时器值被复制到 TMR3RLH:TMR3RLL。详见“16 振荡器”。 0: 禁止定时器 3 低频振荡器捕捉方式。 1: 使能定时器 3 低频振荡器捕捉方式。							
位 3:	T3SPLIT: 定时器 3 双 8 位方式允许位 当该位被置 1 时, 定时器 3 工作在双 8 位自动重装载定时器方式。 0: 定时器 3 工作在 16 位自动重装载方式。 1: 定时器 3 工作在双 8 位自动重装载定时器方式。							
位 2:	TR3: 定时器 3 运行控制 该位允许/禁止定时器 3。在 8 位方式, 该位只控制 TMR3H, TMR3L 总是处于运行状态。 0: 定时器 3 禁止。 1: 定时器 3 允许。							
位 1:	未用。读 = 0b, 写 = 忽略。							
位 0:	T3XCLK: 定时器 3 外部时钟选择 该位选择定时器 3 的外部时钟源。如果定时器 3 工作在 8 位方式, 该位为两个 8 位定时器选择外部振荡器时钟源。但仍可用定时器 3 时钟选择位 (CKCON 中的 T3MH 和 T3ML) 在外部时钟和系统时钟之间作出选择。 0: 定时器 3 外部时钟为系统时钟/12。 1: 定时器 3 外部时钟为 T3RCLK 位定义的时钟。注意: 外部振荡器/8 与系统时钟同步。							

C8051F360/1/2/3/4/5/6/7/8/9 混合信号 ISP FLASH 微控制器

SFR 定义 21.14 TMR3RLL: 定时器 3 重载寄存器低字节

SFR 页: 所有页								
SFR 地址: 0x92								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0: TMR3RLL: 定时器 3 重载寄存器的低字节								
TMR3RLL 保存定时器 3 重载值的低字节。								

SFR 定义 21.15 TMR3RLH: 定时器 3 重载寄存器高字节

SFR 页: 所有页								
SFR 地址: 0x93								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0: TMR3RLH: 定时器 3 重载寄存器的高字节								
TMR3RLH 保存定时器 3 重载值的高字节。								

SFR 定义 21.16 TMR3L: 定时器 3 低字节

SFR 页: 所有页								
SFR 地址: 0x94								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0: TMR3L: 定时器 3 的低字节								
在 16 位方式, TMR3L 寄存器保持 16 位定时器 3 的低字节。在 8 位方式, TMR3L 中保持 8 位低字节定时器的计数值。								

SFR 定义 21.17 TMR3H: 定时器 3 高字节

SFR 页: 所有页								
SFR 地址: 0x95								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0: TMR3H: 定时器 3 的高字节								
在 16 位方式, TMR3H 寄存器保持 16 位定时器 3 的高字节。在 8 位方式, TMR3H 中保持 8 位高字节定时器的计数值。								

22. 可编程计数器阵列

可编程计数器阵列（PCA0）提供增强的定时器功能，与标准8051的计数器/定时器相比，它需要较少的CPU干预。PCA由一个专用的16位计数器/定时器和6个16位捕捉/比较模块组成。每个捕捉/比较模块有其自己的I/O线（CEX_n），这些I/O线在被使能时可通过交叉开关连到端口I/O。计数器/定时器由一个可编程的时基信号驱动，时基信号可以在6个时钟源中选择：系统时钟、系统时钟/4、系统时钟/12、外部振荡器时钟/8、定时器0溢出或ECI输入引脚上的外部时钟信号。每个捕捉/比较模块都有六种工作方式：边沿触发捕捉、软件定时器、高速输出、频率输出、8位PWM和16位PWM。每个捕捉/比较模块的工作方式都可以被独立配置。对PCA的配置和控制是通过系统控制器的特殊功能寄存器来实现的。PCA的原理框图示于图22.1。

注意：PCA的模块5可被用作看门狗定时器（WDT），在系统复位后即被使能为该方式。在看门狗方式被使能时，对某些PCA寄存器的访问受到限制，详见22.3节。

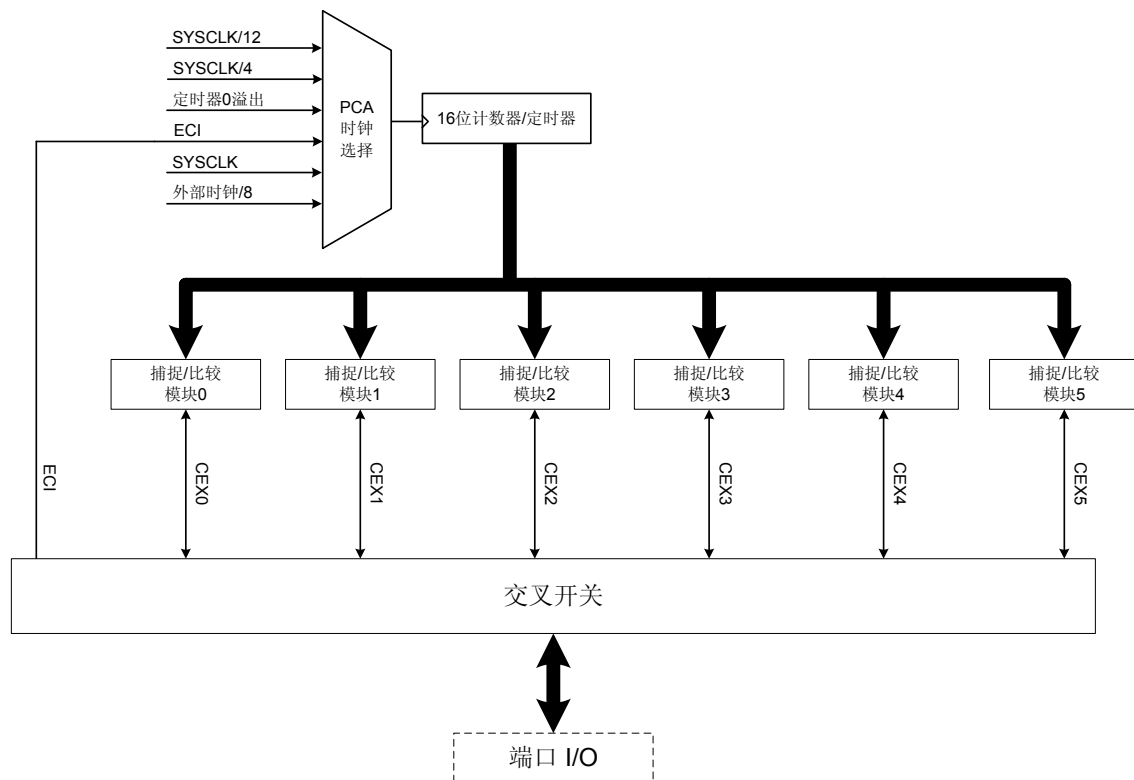


图 22.1 PCA 原理框图

22.1 PCA 计数器/定时器

16 位的 PCA 计数器/定时器由两个 8 位的 SFR 组成：PCA0L 和 PCA0H。PCA0H 是 16 位计数器/定时器的高字节（MSB），而 PCA0L 是低字节（LSB）。在读 PCA0L 时，“瞬象寄存器”自动锁存 PCA0H 的值，随后读 PCA0H 时将访问这个“瞬象寄存器”而不是 PCA0H 本身。**先读 PCA0L 寄存器可以保证正确读取整个 16 位 PCA0 计数器的值。**读 PCA0H 或 PCA0L 不影响计数器工作。PCA0MD 寄存器中的 CPS2-CPS0 位用于选择 PCA 计数器/定时器的时基，如表 22.1 所示。

当计数器/定时器溢出时（从 0xFFFF 到 0x0000），PCA0CN 中的计数器溢出标志（CF）被置为逻辑 1 并产生一个中断请求（如果 CF 中断被允许）。将 PCA0MD 中 ECF 位设置为逻辑 1 即可允许 CF 标志产生中断请求。当 CPU 转向中断服务程序时，CF 位不能被硬件自动清除，必须用软件清除。注意，要使 CF 中断得到响应，必须先全局允许 PCA0 中断。通过将 EA 位（IE.7）和 EPCA0 位（EIE1.4）设置为逻辑 1 来全局允许 PCA0 中断。清除 PCA0MD 寄存器中的 CIDL 位将允许 PCA 在微控制器内核处于空闲方式时继续正常工作。

表 22.1 PCA 时基输入选择

CPS2	CPS1	CPS0	时间基准
0	0	0	系统时钟的 12 分频
0	0	1	系统时钟的 4 分频
0	1	0	定时器 0 溢出
0	1	1	ECI 下降沿（最大速率 = 系统时钟频率/4）
1	0	0	系统时钟
1	0	1	外部振荡器 8 分频*
1	1	0	保留
1	1	1	保留

*注：外部振荡器 8 分频和 smaRTClock 时钟 8 分频与系统时钟同步。

22.2 捕捉/比较模块

每个模块都可被配置为独立工作，有六种工作方式：边沿触发捕捉、软件定时器、高速输出、频率输出、8位脉宽调制器和16位脉宽调制器。每个模块在CIP-51系统控制器中都有属于自己的特殊功能寄存器（SFR），这些寄存器用于配置模块的工作方式和与模块交换数据。

PCA0CPMn寄存器用于配置PCA捕捉/比较模块的工作方式，表22.2概述了模块工作在不同方式时该寄存器各位的设置情况。置位PCA0CPMn寄存器中的ECCFn位将允许模块的CCFn中断。注意：要使单个的CCFn中断得到响应，必须先整体允许PCA0中断。通过将EA位（IE.7）和EPCA0位（EIE1.3）设置为逻辑1来整体允许PCA0中断。PCA0中断配置的详细信息见图22.3。

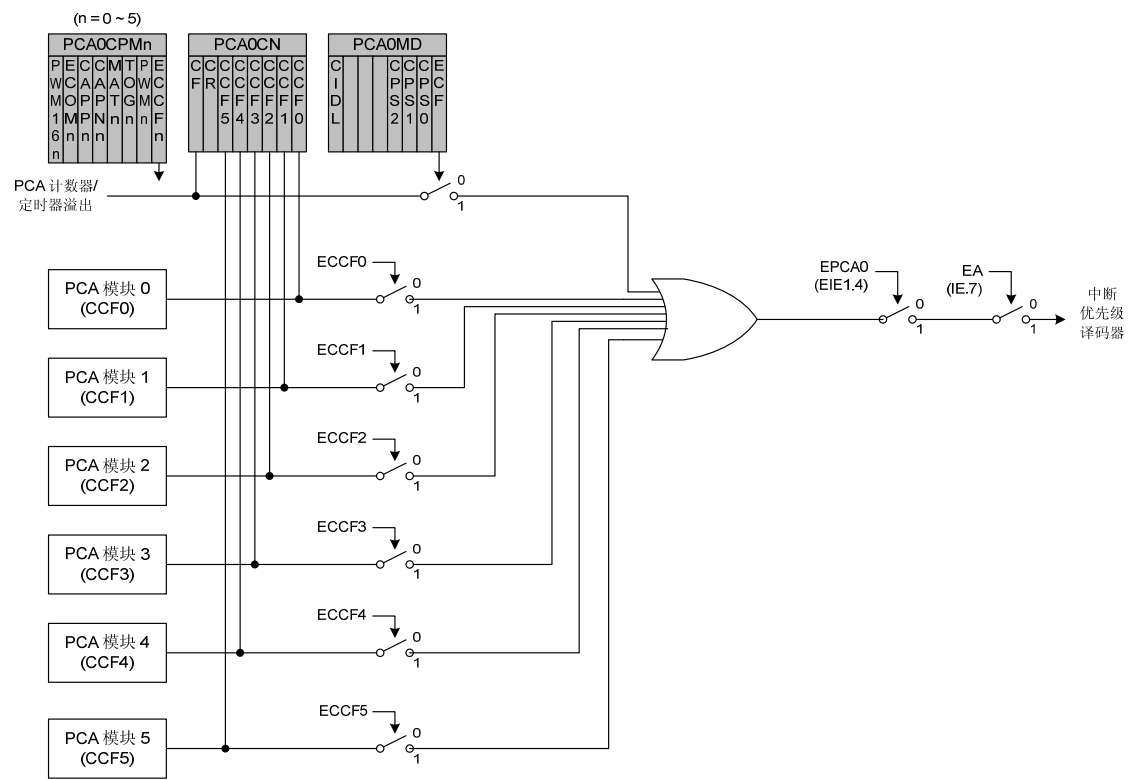


图 22.3 PCA 中断原理框图

表 22.2 PCA 捕捉/比较模块的 PCA0CPM 寄存器设置

PWM16	ECOM	CAPP	CAPN	MAT	TOG	PWM	ECCF	工作方式
X	X	1	0	0	0	0	X	用 CEXn 的正沿触发捕捉
X	X	0	1	0	0	0	X	用 CEXn 的负沿触发捕捉
X	X	1	1	0	0	0	X	用 CEXn 的跳变触发捕捉
X	1	0	0	1	0	0	X	软件定时器
X	1	0	0	1	1	0	X	高速输出
X	1	0	0	0	1	1	X	频率输出
0	1	0	0	0	0	1	0	8 位脉冲宽度调制器
1	1	0	0	0	0	1	0	16 位脉冲宽度调制器

X = 任意

22.2.2 软件定时器（比较）方式

软件定时器方式也称为比较器方式。在该方式，PCA将计数器/定时器的计数值与模块的16位捕捉/比较寄存器（PCA0CPHn和PCA0CPLn）进行比较。当发生匹配时，PCA0CN中的捕捉/比较标志（CCFn）被置为逻辑1并产生一个中断请求（如果CCF中断被允许）。当CPU转向中断服务程序时，CCFn位不能被硬件自动清除，必须用软件清0。置位PCA0CPMn寄存器中的ECOMn和MATn位将使能软件定时器方式。

注意，当向PCA0的捕捉/比较寄存器写入一个16位数值时，应先写低字节。向PCA0CPLn的写入操作将ECOMn位清0；向PCA0CPHn写入时将ECOMn位置1。

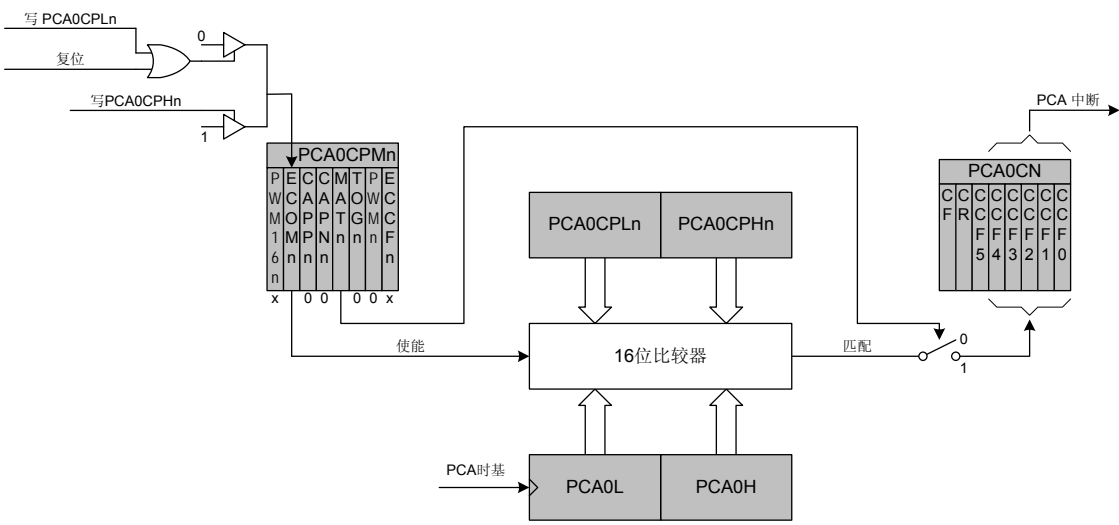


图 22.5 PCA 软件定时器方式原理框图

22.2.4 频率输出方式

频率输出方式可在模块的对应CEX_n引脚产生可编程频率的方波。捕捉/比较模块的高字节保持输出电平改变前要计的PCA时钟数。所产生的方波的频率由方程22.1定义：

$$F_{CEXn} = \frac{F_{PCA}}{2 \times PCA0CPHn}$$

注：对于该方程，PCA0CPHn中的值为0x00时，相当于256。

方程22.1 方波输出频率

其中： F_{PCA} 是由PCA方式寄存器（PCA0MD）中的CPS2-0位选择的PCA时钟的频率。捕捉/比较模块的低字节与PCA0计数器的低字节比较；两者匹配时，CEXn的电平发生翻转，高字节中的偏移值被加到PCA0CPLn。通过将PCA0CPMn寄存器中ECOMn、TOGn和PWMn位置1来使能频率输出方式。

关于捕捉/比较寄存器的重要注意事项：当向PCA0的捕捉/比较寄存器写入一个16位值时，应先写低字节。向PCA0CPLn的写入操作将ECOMn位清0；向PCA0CPHn写入时将ECOMn位置1。

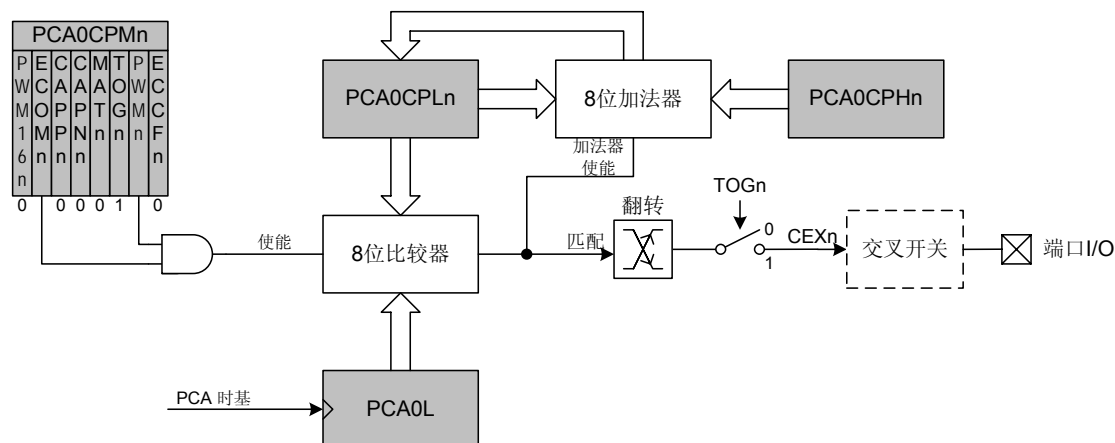


图 22.7 PCA 频率输出方式原理框图

22.2.5 8 位脉宽调制器方式

每个模块都可以被独立地用于在对应的CEX_n引脚产生脉宽调制（PWM）输出。PWM输出的频率取决于PCA计数器/定时器的时基。使用模块的捕捉/比较寄存器PCA0CPL_n改变PWM输出信号的占空比。当PCA计数器/定时器的低字节（PCA0L）与PCA0CPL_n中的值相等时，CEX_n引脚上的输出被置1；当PCA0L中的计数值溢出时，CEX_n输出被复位（见图22.8）。当计数器/定时器的低字节PCA0L溢出时（从0xFF到0x00），保存在PCA0CPH_n中的值被自动装入到PCA0CPL_n，不需软件干预。通过将PCA0CPM_n寄存器中的ECOM_n和PWM_n位置1来使能8位脉冲宽度调制器方式。8位PWM方式的占空比由方程22.2给出。

$$\text{占空比} = \frac{(256 - \text{PCA0CPH}_n)}{256}$$

方程22.2 8位PWM占空比

由方程22.2可知，最大占空比为100%（PCA0CPH_n = 0），最小占空比为0.39%（PCA0CPH_n = 0xFF）。可以通过清除ECOM_n位产生0%的占空比。

注意：当向PCA0的捕捉/比较寄存器写入一个16位数值时，应先写低字节。向PCA0CPL_n的写入操作将ECOM_n位清0；向PCA0CPH_n写入时将ECOM_n位置1。

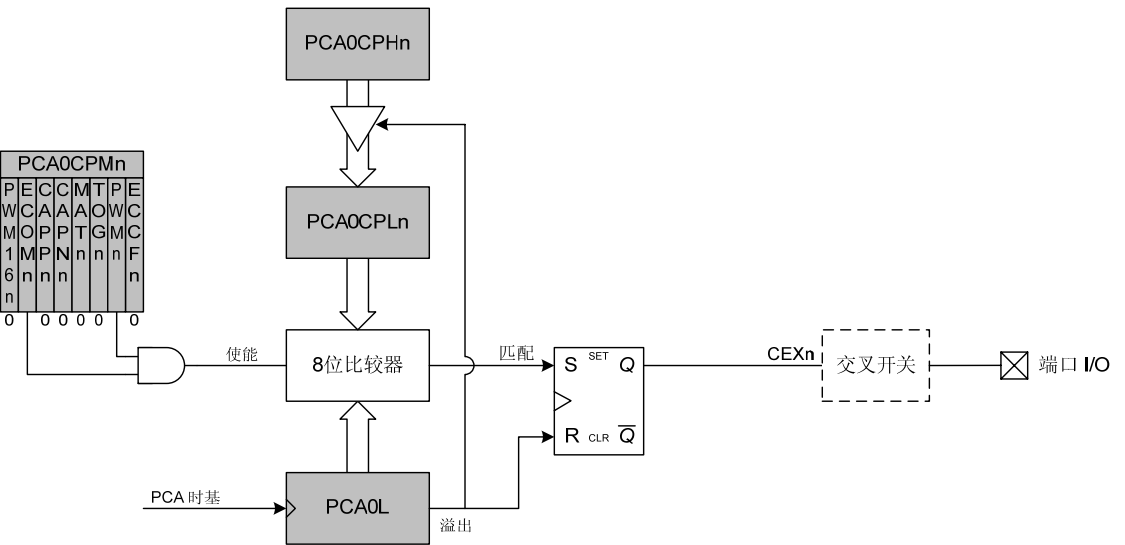


图 22.8 PCA 的 8 位 PWM 方式原理框图

22.2.6 16 位脉宽调制器方式

PCA模块还可被配置为工作在16位PWM方式。在该方式下, 16位捕捉/比较模块定义PWM信号低电平时间的PCA时钟数。当PCA计数器与模块的值匹配时, CEXn的输出被置为高电平; 当计数器溢出时, CEXn输出被置为低电平。为了输出一个占空比可变的波形, 新值的写入应与PCA的CCFn匹配中断同步。通过将PCA0CPMn寄存器中的ECOMn、PWMn和PWM16n位置1来使能16位PWM方式。为了得到可变的占空比, 应允许匹配中断(ECCFn = 1并且MATn = 1), 以同步对捕捉/比较寄存器的写操作。16位PWM方式的占空比由方程22.3给出。

$$\text{占空比} = \frac{(65536 - PCA0CPn)}{65536}$$

方程22.3 16位PWM占空比

由方程22.3可知，最大占空比为100%（PCA0CPn = 0），最小占空比为0.0015%（PCA0CPn = 0xFFFF）。可以通过将ECOMn位清0产生0%的占空比。

注意：当向PCA0的捕捉/比较寄存器写入一个16位数值时，应先写低字节。向PCA0CPLn的写入操作将ECOMn位清0；向PCA0CPHn写入时将ECOMn位置1。

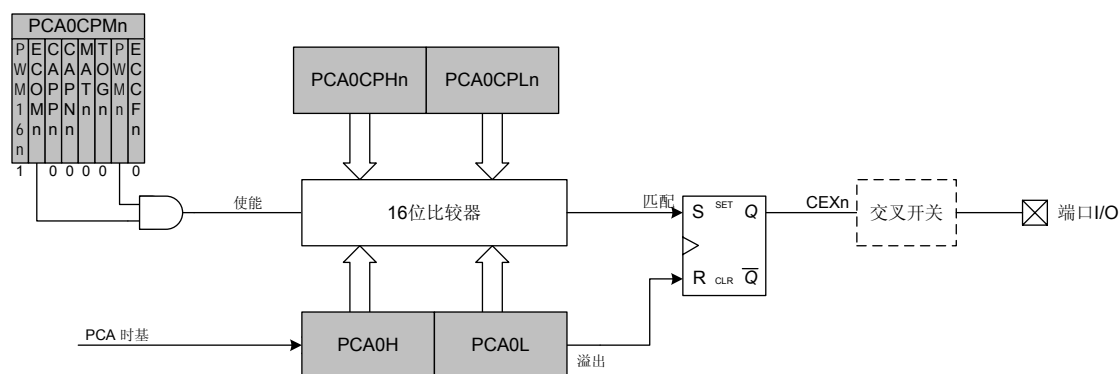


图 22.9 PCA 的 16 位 PWM 方式原理框图

22.3 看门狗定时器方式

通过 PCA 的模块 5 可以实现可编程看门狗定时器（WDT）功能。如果两次对 WDT 更新寄存器（PCA0CPH5）的写操作相隔的时间超过规定的极限，WDT 将产生一次复位。可以根据需要用软件配置和使能/禁止 WDT。

当 PCA0MD 寄存器中的 WDTE 位被置 1 时，模块 5 被作为看门狗定时器（WDT）使用。模块 5 高字节与 PCA 计数器的高字节比较；模块 5 低字节保持执行 WDT 更新时要使用的偏移值。在系统复位后看门狗被使能。在看门狗被使能时，对某些 PCA 寄存器的写操作受到限制。

22.3.1 看门狗定时器操作

当 WDT 被使能时：

- PCA 计数器被强制运行。
- 不允许写 PCA0L 和 PCA0H。
- PCA 时钟源选择位（CPS2-CPS0）被冻结。
- PCA 空闲控制位（CIDL）被冻结。
- 模块 5 被强制进入软件定时器方式。
- 对模块 5 方式寄存器（PCA0CPM5）的写操作被禁止。

当 WDT 被使能时，写 CR 位并不改变 PCA 计数器的状态；计数器将一直保持运行状态，直到 WDT 被禁止。如果 WDT 被使能，但用户软件没有使能 PCA 计数器，则读 PCA 运行控制（CR）位时将返回 0。如果在 WDT 被使能时 PCA0CPH5 和 PCA0H 发生匹配，则系统将被复位。为了防止 WDT 复位，需要通过写 PCA0CPH5 来更新 WDT（写入值可以是任意值）。在写 PCA0CPH5 时，PCA0H 的值加上 PCA0CPL5 中保存的偏移值后被装入到 PCA0CPH5（见图 22.10）。

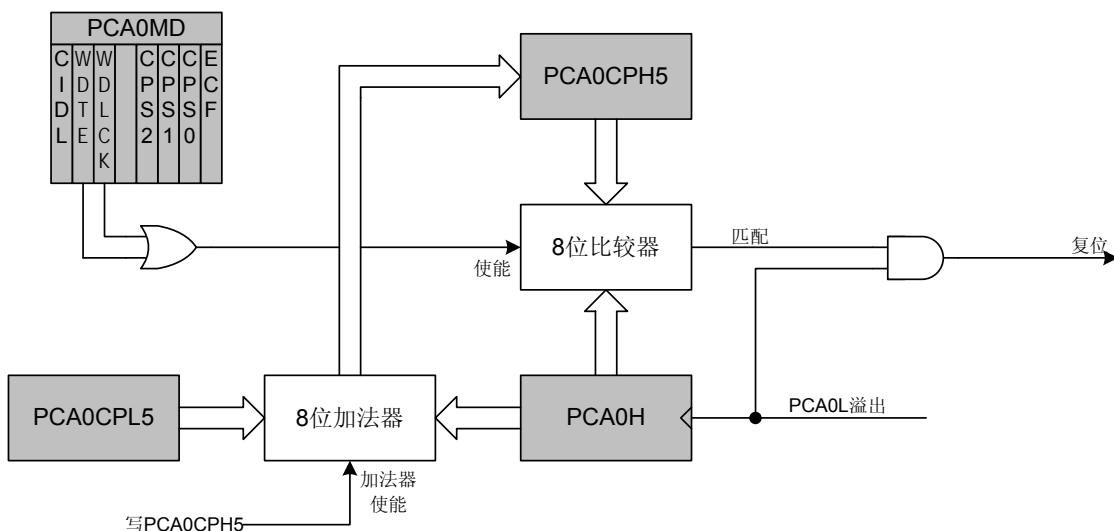


图 22.10 PCA 模块 5 的看门狗定时器方式

保存在 PCA0CPH5 中的 8 位偏移值与 16 位 PCA 计数器的高字节进行比较, 该偏移值是复位前 PCA0L 的溢出次数。PCA0L 的第一次溢出周期取决于进行更新操作时 PCA0L 的值, 最长可达 256 个 PCA 时钟。总偏移值 (PCA 时钟数) 由方程 22.4 给出, 其中 PCA0L 是执行更新操作时 PCA0L 寄存器的值。

$$\text{偏移值} = (256 \times \text{PCA0CPL5}) + (256 - \text{PCA0L})$$

方程22.4 看门狗定时器偏移值 (PCA时钟数)

当 PCA0L 发生溢出并且 PCA0CPH5 和 PCA0H 匹配时, WDT 将产生一次复位。在 WDT 被使能的情况下, 软件可以通过向 CCF5 标志 (PCA0CN.5) 写 1 来强制产生 WDT 复位。

22.3.2 看门狗定时器的使用

配置 WDT 的步骤如下:

- 通过向 WDTE 位写 0 来禁止 WDT。
- 选择 PCA 时钟源 (用 CPS2-0 位)。
- 向 PCA0CPL5 装入所希望的 WDT 更新偏移值。
- 配置 PCA 的空闲方式位 (如果希望在 CPU 处于空闲方式时 WDT 暂停工作, 则应将 CIDL 位置 1)。
- 通过向 WDTE 位写 1 来使能 WDT。
- 向 PCA0CPH5 写入一个数值, 以重新装载 WDT

在 WDT 被使能时, 不能改变 PCA 时钟源和空闲方式的设置值。通过向 PCA0MD 寄存器的 WDTE 或 WDLCK 位写 1 来使能 WDT。当 WDLCK 被置 1 时, 在发生下一次系统复位之前将不能禁止 WDT。如果 WDCLK 未被置 1, 清除 WDTE 位将禁止 WDT。

WDT 在任何一次系统复位之后都被设置为使能状态。PCA0 计数器的缺省时钟为系统时钟的十二分频 (SYSCLK/12)。PCA0L 和 PCA0CPL5 的缺省值均为 0x00, 因此 WDT 的超时间隔为 3072 个系统时钟周期。表 22.4 列出了对应某些典型系统时钟频率的超时间隔。

表 22.3 看门狗定时器超时间隔¹

系统时钟 (Hz)	PCA0CPL2	超时间隔 (ms)
24,500,000	255	32.1
24,500,000	128	16.2
24,500,000	32	4.1
18,432,000	255	42.7
18,432,000	128	21.5
18,432,000	32	5.5
11,059,200	255	71.1
11,059,200	128	35.8
11,059,200	32	9.2
3,062,500 ²	255	257
3,062,500 ²	128	129.5
3,062,500 ²	32	33.1
191,406	255	4109
191,406	128	2070
191,406	32	530
32,000	255	24576
32,000	128	12384
32,000	32	3168
注： 1. 假设 PCA 使用 SYSCLK/12 作为时钟源，更新时 PCA0L 的值为 0x00。 2. 内部 SYSCLK 复位频率 = 内部振荡器频率/8。		

22.4 PCA 寄存器说明

下面对与 PCA 工作有关的特殊功能寄存器进行详细说明。

SFR 定义 22.1 PCA0CN: PCA 控制寄存器

SFR 页: 所有页								
SFR 地址: 0xD8 (可位寻址)								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
CF	CR	CCF5	CCF4	CCF3	CCF2	CCF1	CCF0	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7: CF: PCA 计数器/定时器溢出标志								
当 PCA 计数器/定时器从 0xFFFF 到 0x0000 溢出时由硬件置位。在计数器/定时器溢出 (CF) 中断被允许时, 该位置 1 将导致 CPU 转向 PCA 中断服务程序。该位不能由硬件自动清 0, 必须用软件清 0。								
位 6: CR: PCA 计数器/定时器运行控制								
该位允许/禁止 PCA 计数器/定时器。								
0: 禁止 PCA 计数器/定时器。								
1: 允许 PCA 计数器/定时器。								
位 5: CCF5: PCA 模块 5 捕捉/比较标志								
在发生一次匹配或捕捉时该位由硬件置位。当 CCF5 中断被允许时, 该位置 1 将导致 CPU 转向 PCA 中断服务程序。该位不能由硬件自动清 0, 必须用软件清 0。								
位 4: CCF4: PCA 模块 4 捕捉/比较标志								
在发生一次匹配或捕捉时该位由硬件置位。当 CCF4 中断被允许时, 该位置 1 将导致 CPU 转向 PCA 中断服务程序。该位不能由硬件自动清 0, 必须用软件清 0。								
位 3: CCF3: PCA 模块 3 捕捉/比较标志								
在发生一次匹配或捕捉时该位由硬件置位。当 CCF3 中断被允许时, 该位置 1 将导致 CPU 转向 PCA 中断服务程序。该位不能由硬件自动清 0, 必须用软件清 0。								
位 2: CCF2: PCA 模块 2 捕捉/比较标志								
在发生一次匹配或捕捉时该位由硬件置位。当 CCF2 中断被允许时, 该位置 1 将导致 CPU 转向 PCA 中断服务程序。该位不能由硬件自动清 0, 必须用软件清 0。								
位 1: CCF1: PCA 模块 1 捕捉/比较标志								
在发生一次匹配或捕捉时该位由硬件置位。当 CCF1 中断被允许时, 该位置 1 将导致 CPU 转向 PCA 中断服务程序。该位不能由硬件自动清 0, 必须用软件清 0。								
位 0: CCF0: PCA 模块 0 捕捉/比较标志								
在发生一次匹配或捕捉时该位由硬件置位。当 CCF0 中断被允许时, 该位置 1 将导致 CPU 转向 PCA 中断服务程序。该位不能由硬件自动清 0, 必须用软件清 0。								

SFR 定义 22.2 PCA0MD: PCA 方式寄存器

SFR 页: 所有页
SFR 地址: 0xD9

R/W	R/W	R/W	R	R/W	R/W	R/W	R/W	复位值
CIDL	WDTE	WDLCK	-	CPS2	CPS1	CPS0	ECF	01000000
位7	位6	位5	位4	位3	位2	位1	位0	SFR地址: 0xD9

- 位 7: CIDL: PCA 计数器/定时器空闲控制
设置 CPU 空闲方式下的 PCA 工作方式。
0: 当系统控制器处于空闲方式时, PCA 继续正常工作。
1: 当系统控制器处于空闲方式时, PCA 停止工作。
- 位 6: WDTE: 看门狗定时器使能位
如果该位被置 1, PCA 模块 5 被用作看门狗定时器。
0: 看门狗定时器被禁止。
1: PCA 模块 5 被用作看门狗定时器。
- 位 5: WDLCK: 看门狗定时器锁定
该位对看门狗定时器使能位锁定/解锁。当 WDLCK 被置 1 时, 在发生下一次系统复位之前将不能禁止 WDT。
0: 看门狗定时器使能位未被锁定。
1: 锁定看门狗定时器使能位。
- 位 4: 未用。读 = 0b, 写 = 忽略。
- 位 3-1: CPS2-CPS0: PCA 计数器/定时器时钟选择
这些位选择 PCA 计数器的时钟源。

CPS2	CPS1	CPS0	时钟源
0	0	0	系统时钟的 12 分频
0	0	1	系统时钟的 4 分频
0	1	0	定时器 0 溢出
0	1	1	ECI 负跳变 (最大速率 = 系统时钟频率/4)
1	0	0	系统时钟
1	0	1	外部时钟的 8 分频 (与系统时钟同步)
1	1	0	保留
1	1	1	保留

注: 外部振荡器 8 分频和 smaRTClock 时钟的 8 分频与系统时钟同步。

- 位 0: ECF: PCA 计数器/定时器溢出中断允许
该位是 PCA 计数器/定时器溢出 (CF) 中断的屏蔽位。
0: 禁止 CF 中断。
1: 当 CF (PCA0CN.7) 被置位时, 允许 PCA 计数器/定时器溢出的中断请求。

注: 当 WDTE 位被置 1 时, 不能改变 PCA0MD 寄存器的值。若要改变 PCA0MD 的内容, 必须先禁止看门狗定时器。

SFR 定义 22.3 PCA0CPMn: PCA 捕捉/比较寄存器

SFR 页: 所有页								
SFR 地址: PCA0CPM0: 0xDA, PCA0CPM1: 0xDB, PCA0CPM2: 0xDC, PCA0CPM3: 0xDD, PCA0CPM4: 0xDE, PCA0CPM5: 0xDF								
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
PWM16n	ECOMn	CAPPn	CAPNn	MATn	TOGn	PWMn	ECCFn	00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7:	PWM16n: 16 位脉冲宽度调制使能 当脉冲宽度调制方式被使能时 (PWMn = 1), 该位选择 16 位方式。 0: 选择 8 位 PWM。 1: 选择 16 位 PWM。							
位 6:	ECOMn: 比较器功能使能 该位使能/禁止 PCA 模块 n 的比较器功能。 0: 禁止。 1: 使能。							
位 5:	CAPPn: 正沿捕捉功能使能 该位使能/禁止 PCA 模块 n 的正边沿捕捉。 0: 禁止。 1: 使能。							
位 4:	CAPNn: 负沿捕捉功能使能 该位使能/禁止 PCA 模块 n 的负边沿捕捉。 0: 禁止。 1: 使能。							
位 3:	MATn: 匹配功能使能 该位使能/禁止 PCA 模块 n 的匹配功能。如果被使能, 当 PCA 计数器与一个模块的捕捉/比较寄存器匹配时, PCA0MD 寄存器中的 CCFn 位被置 1。 0: 禁止。 1: 使能。							
位 2:	TOGn: 电平切换功能使能 该位使能/禁止 PCA 模块 n 的电平切换功能。如果被使能, 当 PCA 计数器与一个模块的捕捉/比较寄存器匹配时, CEXn 引脚的逻辑电平发生切换。如果 PWMn 位也被置 1, 模块将工作在频率输出方式。 0: 禁止。 1: 使能。							
位 1:	PWMn: 脉宽调制方式使能 该位使能/禁止 PCA 模块 n 的 PWM 功能。当被使能时, CEXn 引脚输出脉冲宽度调制信号。PWM16n 为 0 时使用 8 位 PWM 方式, PWM16n 为 1 时使用 16 位方式。如果 TOGn 位也被置为逻辑 1, 则模块工作在频率输出方式。 0: 禁止。 1: 使能。							
位 0:	ECCFn: 捕捉/比较标志中断允许 该位设置捕捉/比较标志 (CCFn) 的中断屏蔽。 0: 禁止 CCFn 中断。 1: 当 CCFn 位被置 1 时, 允许捕捉/比较标志的中断请求。							

SFR 定义 22.4 PCA0L: PCA 计数器 / 定时器低字节

SFR 页: 所有页

SFR 地址: 0xF9

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: PCA0L: PCA 计数器/定时器的低字节

PCA0L 寄存器保存 16 位 PCA 计数器/定时器的低字节 (LSB)。

SFR 定义 22.5 PCA0H: PCA 计数器 / 定时器高字节

SFR 页: 所有页

SFR 地址: 0xFA

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: PCA0H: PCA 计数器/定时器高字节

PCA0H 寄存器保存 16 位 PCA 计数器/定时器的高字节 (MSB)。

SFR 定义 22.6 PCA0CPLn: PCA 捕捉模块低字节

SFR 页: 所有页

SFR 地址: PCA0CPL0: 0xFB, PCA0CPL1: 0xE9, PCA0CPL2: 0xEB, PCA0CPL3: 0xED
PCA0CPL4: 0xFD, PCA0CPL5: 0xF5

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: PCA0CPLn: PCA 捕捉模块低字节

PCA0CPLn 寄存器保存 16 位捕捉模块 n 的低字节 (LSB)。

SFR 定义 22.7 PCA0CPHn: PCA 捕捉模块高字节

SFR 页: 所有页

SFR 地址: PCA0CPH0: 0xFC, PCA0CPH1: 0xEA, PCA0CPH2: 0xEC, PCA0CPH3: 0xEE
PCA0CPH4: 0xFE, PCA0CPH5: 0xF6

R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	

位 7-0: PCA0CPHn: PCA 捕捉模块高字节

PCA0CPHn 寄存器保存 16 位捕捉模块 n 的高字节 (MSB)。

23. C2 接口

C8051F36x 器件有一个 Silicon Labs 2 线（C2）调试接口，支持 FLASH 编程和使用安装在最终应用系统中的器件进行在系统调试。C2 接口使用一个时钟信号（C2CK）和一个双向的 C2 数据信号（C2D）在器件和宿主机之间传送信息。有关 C2 协议的详细信息见 C2 接口规范。

23.1 C2 接口寄存器

下面对与 FLASH 编程有关的 C2 寄存器进行说明。对所有 C2 寄存器的访问都要通过 C2 接口实现（详见 C2 接口规范）。

C2 SFR 定义 23.1 C2ADD: C2 地址寄存器

								复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
位 7-0: C2ADD 寄存器选择 C2 数据读和数据写命令的目标数据寄存器。								
地址		说明						
0x00		选择器件 ID 寄存器（数据读指令）（DEVICEID）。						
0x01		选择版本 ID 寄存器（数据读指令）（REVID）。						
0x02		选择 C2 FLASH 编程控制寄存器（数据读/写指令）（FPCTL）						
0xB4		选择 C2 FLASH 编程数据寄存器（数据读/写指令）（FPDAT）						

C2 SFR 定义 23.2 DEVICEID: C2 器件 ID 寄存器

C2地址: 0x00								复位值
								00010010
位7	位6	位5	位4	位3	位2	位1	位0	
该只读寄存器返回 8 位的器件 ID 号: 0x12。								

C2 SFR 定义 23.3 REVID: C2 版本 ID 寄存器

C2地址: 0x01								复位值
								00000000
位7	位6	位5	位4	位3	位2	位1	位0	
该只读寄存器返回 8 位的版本 ID 号: 0x00（版本 A）或 0x01（版本 B）。								

C2 SFR 定义 23.4 FPCTL: C2 FLASH 编程控制寄存器

C2地址: 0x02

位7

位6

位5

位4

位3

位2

位1

位0

复位值
00000000

位 7-0:

FPCTL: FLASH 编程控制寄存器。

该寄存器用于使能通过 C2 接口对 FLASH 编程。为了使能 C2 FLASH 编程，必须按顺序写代码：0x02、0x01。一旦 C2 FLASH 编程被使能，必须进行一次系统复位才能恢复正常工作。

C2 SFR 定义 23.5 FPDAT: C2 FLASH 编程数据寄存器

C2地址: 0xB4

位7

位6

位5

位4

位3

位2

位1

位0

复位值
00000000

位 7-0:

FPDAT: C2 FLASH 编程数据寄存器。

该寄存器用于在 C2 FLASH 访问期间传递 FLASH 编程命令、地址和数据。下面列出了有效的编程命令。

代码	命令
0x06	读 FLASH 块
0x07	写 FLASH 块
0x08	擦除 FLASH 页
0x03	擦除器件

23.2 C2 引脚共享

C2 协议允许 C2 引脚与用户功能共享，可以进行在系统调试和 FLASH 编程。这种共享之所以可能，是因为 C2 通信通常发生在器件的停止运行状态。在这种状态下所有片内外设和用户软件停止工作，C2 接口可以安全地“借用”C2CK (/RST) 和 C2D (对 C8051F360/3 为 P4.6, 对 C8051F361/2/4/5/6/7/8/9 为 P3.0) 引脚。在大多数情况下，需要使用外部电阻对 C2 接口和用户应用进行隔离。典型的隔离电路如图 23.1 所示。

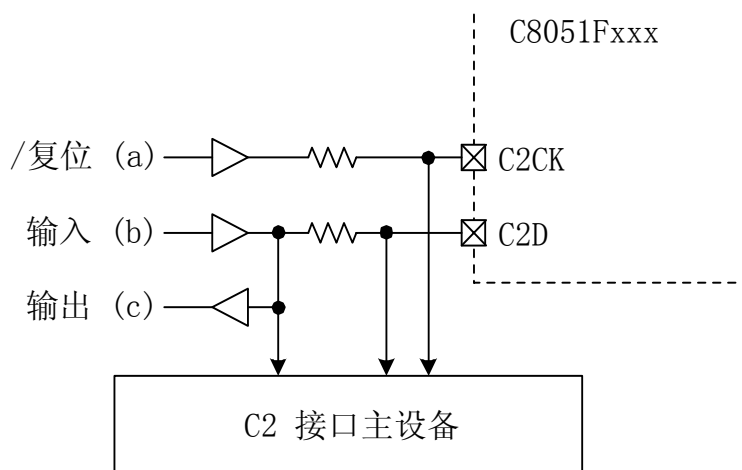


图 23.1 典型 C2 引脚共享电路

在图 23.1 的配置中，我们假设：

1. 在目标器件的停止运行状态，用户输入 (b) 不能改变状态。
2. 目标器件的/RST 引脚只能被作为输入使用。

对于具体的应用，可能还需要加入一些电阻。

联系信息

Silicon Laboratories Inc.

400 West Cesar Chavez
Austin, TX 78735
Tel: 1+(512) 416-8500
Fax: 1+(512) 416-9669
Toll Free: 1+(877) 444-3032
Email: mcuinfo@silabs.com
Internet: www.silabs.com

新华龙电子有限公司

电话: 0755-83645240 83645242 83645244 83645251
技术支持: 0755-83645259
传真: 0755-83645243
地址: 深圳市福田区华强北路现代之窗大厦 A 座 13F C 室(518013)
Email: sales@xhl.com.cn
Email: shenzhen@xhl.com.cn
网站: www.xhl.com.cn
技术支持: support-sz@xhl.com.cn