

Университет ИТМО

Лабораторная работа №3 «Проектирование гетерогенной СнК»

по дисциплине: Системы на кристалле

Вариант: 3

Выполнили:

Перевозчиков Иван, Р34301

Неграш Андрей, Р34301

Преподаватель:

Быковский Сергей Вячеславович

Санкт-Петербург
2023

Содержание

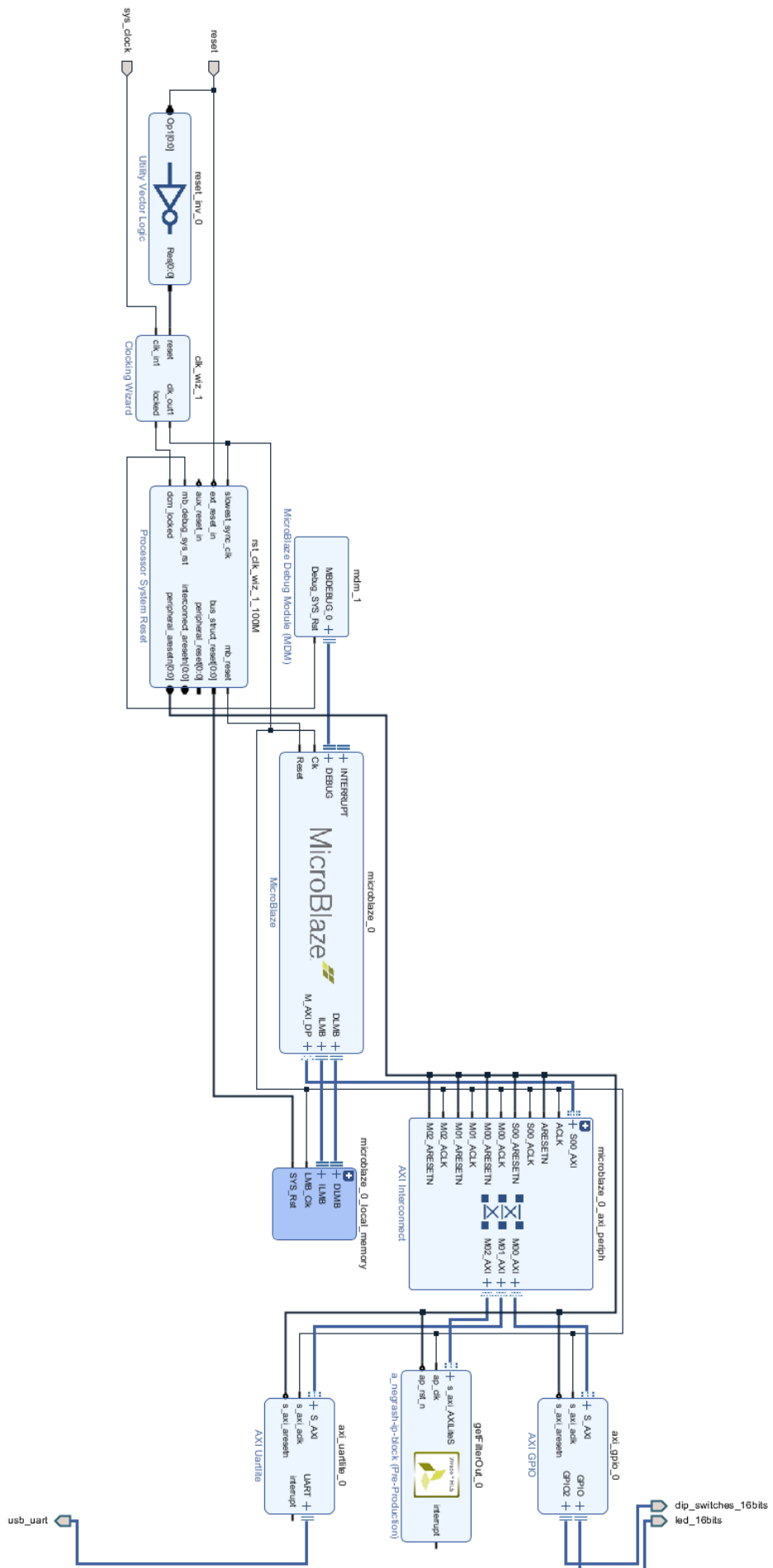
1. Цель работы.....	3
2. Структурная схема созданной микропроцессорной СнК с интегрированным аппаратным ускорителем	3
3. Оценка характеристик.....	5
3.1. Анализ используемых ресурсов ПЛИС.....	5
3.2. Анализ временных характеристик	5
4. Структурная схема аппаратного ускорителя на уровне RTL.....	7
5. Вывод.....	7

1. Цель работы

Получить базовые навыки проектирования, отладки и тестирования гетерогенной СнК, включающей блоки с конфигурируемым и фиксированным алгоритмом функционирования.

2. Структурная схема созданной микропроцессорной СнК с интегрированным аппаратным ускорителем

Расположена на следующей странице для максимального увеличения масштаба и читаемости.



3. Оценка характеристик

3.1. Анализ используемых ресурсов ПЛИС

Отчёт по используемым ресурсам для СнК без ускорителя, взятый из лабораторной работы №1

Slice LUTs (63400)	Slice Registers (126800)	F7 Muxes (31700)	Slice (15850)	LUT as Logic (63400)	LUT as Memory (19000)	Block RAM Tile (135)	DSPs (240)	Bonded IOB (210)	Bonded IPADs (2)	BUFIO (24)
2339	2182	119	925	2188	151	2182	64	5	36	3
2339	2182	119	925	2188	151	64	5	0	0	0

Отчёт по используемым ресурсам при использовании ускорителя, взятого из лабораторной работы №2

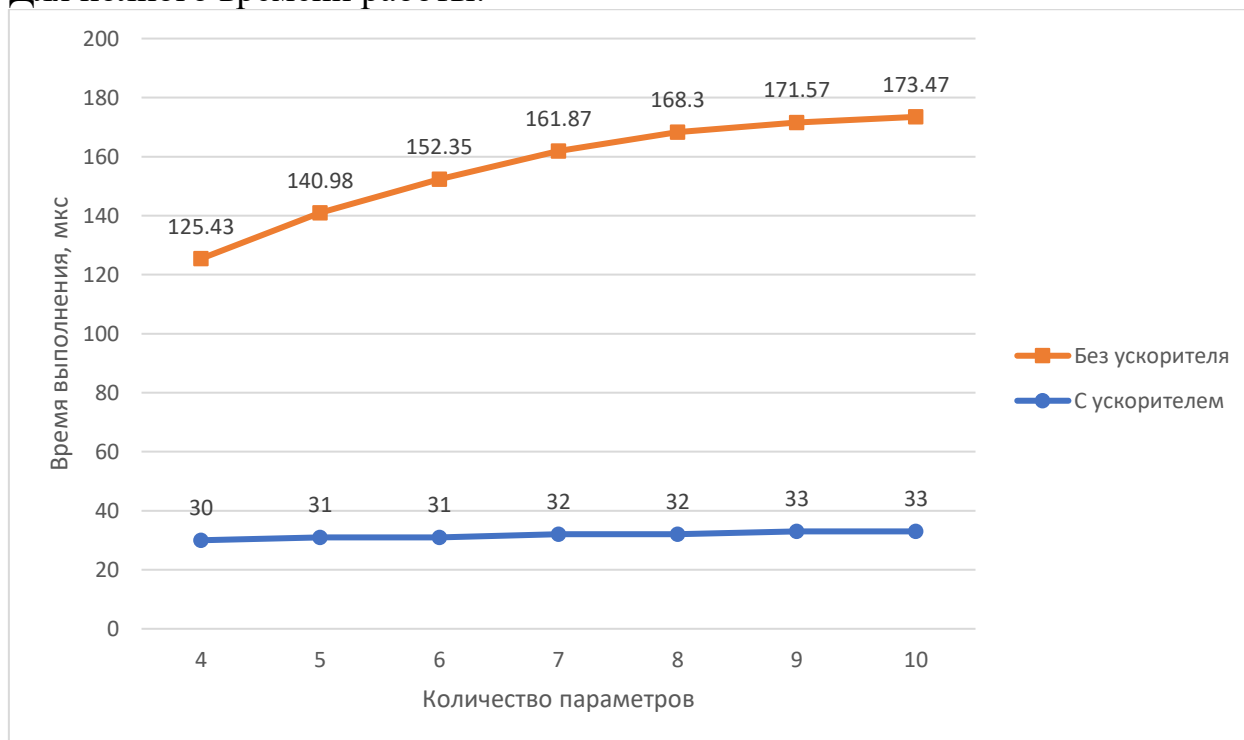
Slice LUTs (63400)	Slice Registers (126800)	F7 Muxes (31700)	Slice (15850)	LUT as Logic (63400)	LUT as Memory (19000)	Block RAM Tile (135)	DSPs (240)	Bonded IOB (210)	Bonded IPADs (2)	BUFIO (24)
4973	4761	122	1952	4792	181	4761	66	10	36	3
4973	4761	122	1952	4792	181	66	10	0	0	0

Исходя из приведённых выше данных видно, что количество используемых LUT-ов значительно возросло (более чем в 2 раза), и большая часть роста отведена именно под логику.

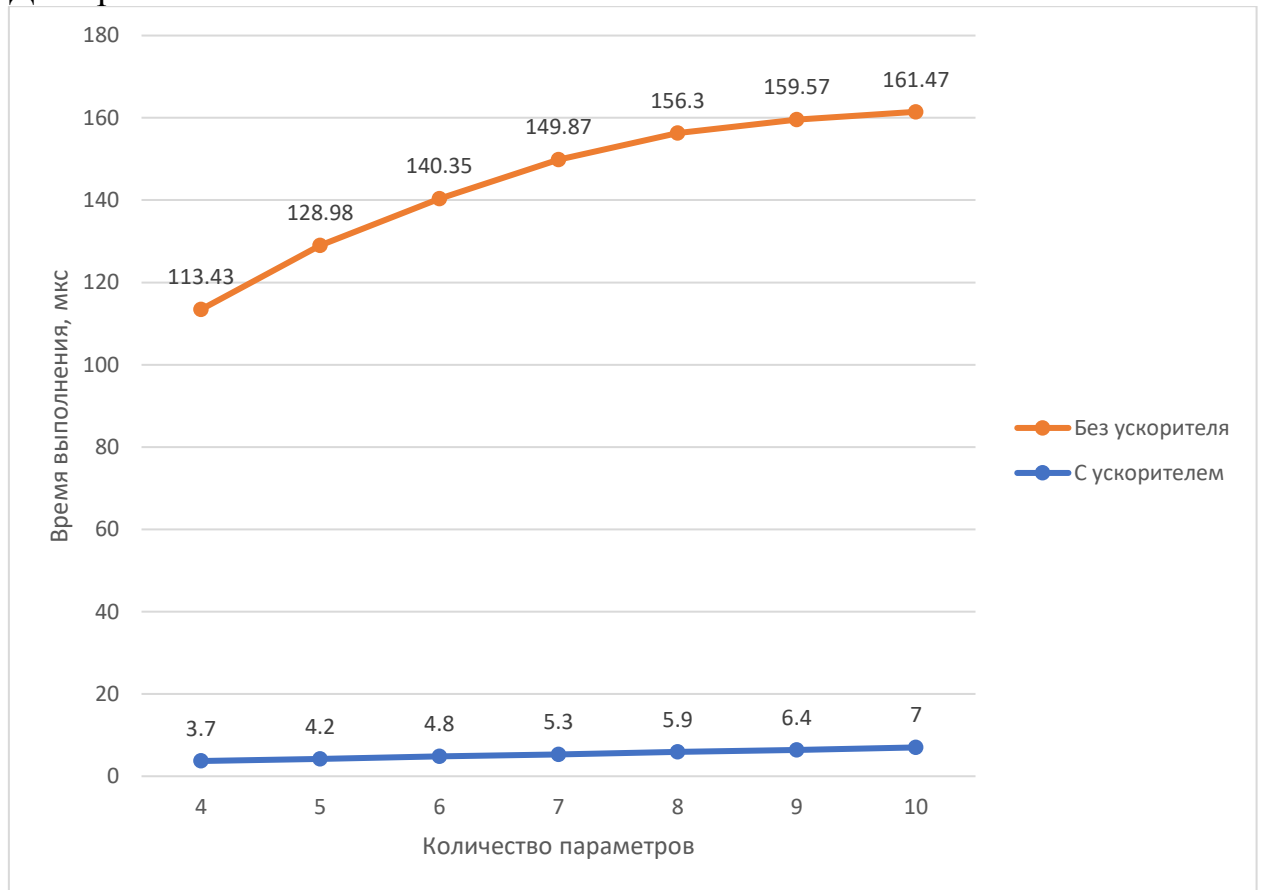
3.2. Анализ временных характеристик

Для анализа временных характеристик рассмотрим 2 случая – анализ полного времени работы и анализ времени вычисления.

Для полного времени работы:

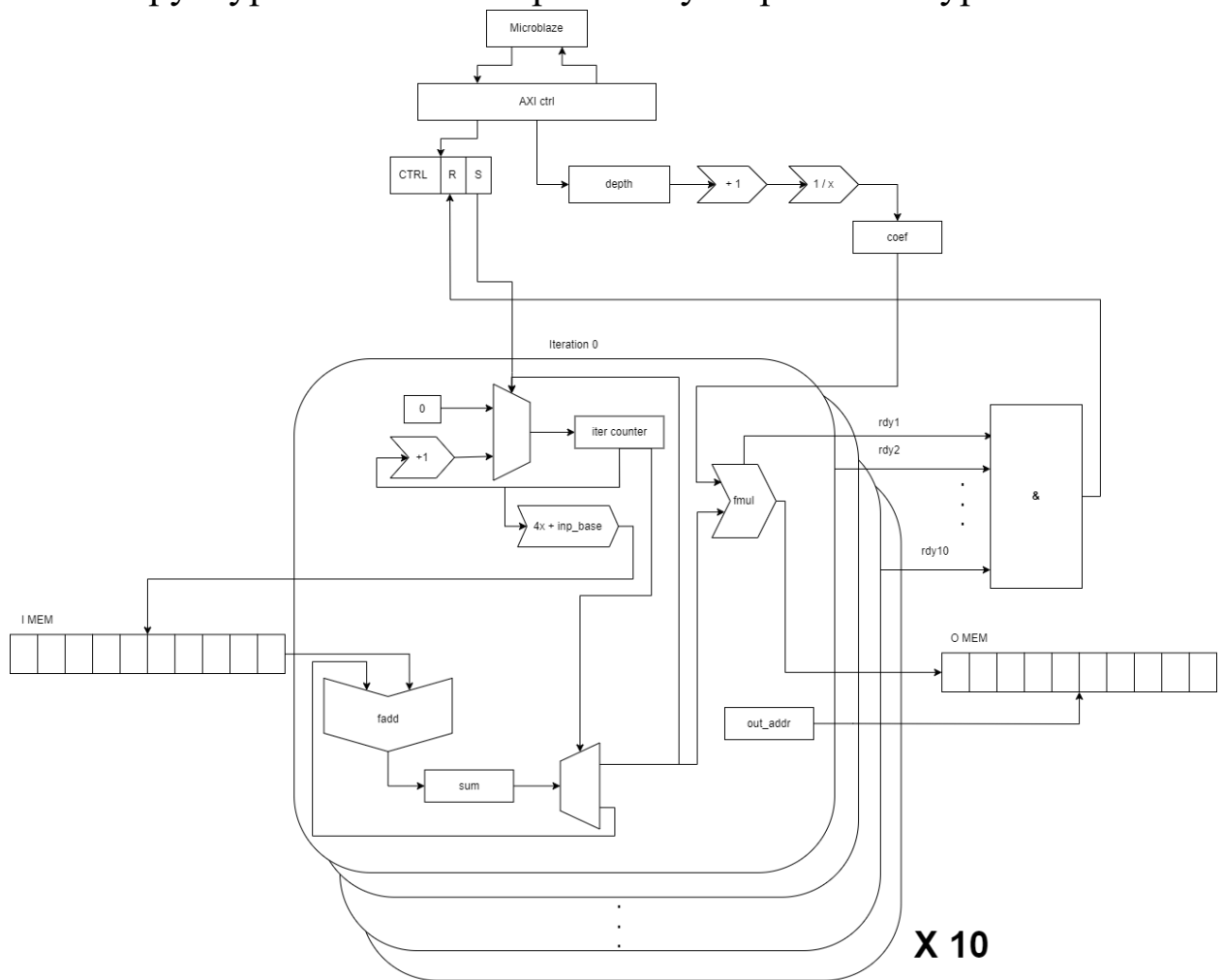


Для времени только вычислений:



Исходя из полученных графиков видно, что без учёта времени на передачу данных в ускоритель вычисление происходит быстрее минимум в 23 раза. С учётом передачи данных и вывода результата на светодиоды – минимум в 4 раза. При всём при этом расходы на логику, расположенную в LUT-ах увеличились всего лишь в 2 раза.

4. Структурная схема аппаратного ускорителя на уровне RTL



5. Вывод

Итак, в процессе выполнения данной лабораторной работы были получены базовые навыки проектирования, отладки и тестирования гетерогенной СнК, включающей блоки с конфигурируемым и фиксированным алгоритмом функционирования.