

考试科目名称 计算机组织与系统结构 (A 卷)

2010—2011 学年第 1 学期 教师 袁春风/杨若瑜 考试方式: 闭卷
系(专业) 计算机科学与技术 年级 2009 班级
学号 姓名 成绩

题号	一	二	三	四	五
分数					

得分	
----	--

一、选择题 (每小题 2 分, 共 36 分)

- 1022 的 32 位补码用十六进制表示为 (D)。
A. 0000 03FEH B. 0000 FC02H C. FFFF 03FEH D. FFFF FC02H
- 假定变量 f 的数据类型为 float, $f = -4.093e3$, 则变量 f 的机器数表示为 (B)。
A. 457F D000H B. C57F D000H C. C5FF D000H D. C67F E800H
- 某 8 位计算机中, 假定带符号整数变量 x 和 y 的机器数用补码表示, $[x]_{\text{补}} = \text{F5H}$, $[y]_{\text{补}} = \text{7EH}$, 则 $x-y$ 的值及其相应的溢出标志 OF 分别是 (D)。
A. 115、0 B. 119、0 C. 115、1 D. 119、1
- 考虑以下 C 语言代码:

```
short si = -8196;
int i = si;
```

 执行上述程序段后, i 的机器数表示为 (D)。
A. 0000 9FFCH B. 0000 DFFCH C. FFFF 9FFCH D. FFFF DFFCH
- 以下几种存储结构中, 采用相联存取方式访问信息的是 (C)。
A. 堆栈 B. 直接映射 cache C. 分支历史记录表 D. 主存页表
- 假定用若干个 16K×8 位的存储器芯片组成一个 64K×8 位的存储器, 按字节编址, 芯片内各单元交叉编址, 则地址 BFFFH 所在的芯片的最小地址为 (D)。
A. 0000H B. 0001H C. 0002H D. 0003H
- 假定主存地址位数为 32 位, 按字节编址, 主存和 cache 之间采用全相联映射方式, 主存块大小为一个字, 每字 32 位, 采用回写 (Write Back) 方式和随机替换策略, 则能存放 32K 字数据的 cache 的总容量至少应有多少位? (D)
A. 1536K B. 1568K C. 2016K D. 2048K
- 某计算机按字节编址, 采用小端方式存储信息。其中, 某指令的一个操作数为 16 位, 该操作数采用基址寻址方式, 指令中形式地址 (用补码表示) 为 FF00H, 当前基址寄存器的内容为 C000 0000H, 则该操作数的 LSB 存放的地址是 (A)。
A. BFFF FF00H B. BFFF FF01H C. C000 FF00H D. C000 FF01H

9. 通常将在部件之间进行数据传送的指令称为传送指令。以下有关各类传送指令功能的叙述中, 错误的是 (D)。
- A. 出/入栈指令 (push/pop) 完成 CPU 和栈顶之间的数据传送
B. 访存指令 (load/store) 完成 CPU 和存储单元之间的数据传送
C. I/O 指令 (in/out) 完成 CPU 和 I/O 端口之间的数据传送
D. 寄存器传送指令 (move) 完成 CPU 和寄存器之间的数据传送
10. 执行完当前指令后, PC 中存放的是后继指令的地址, 因此 PC 的位数和 (C) 的位数相同。
- A. 指令寄存器 B. 程序状态字寄存器 C. 主存地址寄存器 D. 指令译码器
11. 下列有关指令和微指令之间关系的描述中, 正确的是 (B)。
- A. 一条指令的功能通过执行一条微指令来实现
B. 一条指令的功能通过执行一个微程序来实现
C. 一条微指令的功能通过执行一条指令来实现
D. 一条微指令的功能通过执行一个微程序来实现
12. 以下给出的事件中, 无需异常处理程序进行处理的是 (D)。
- A. 除数为 0 B. 地址越界 C. 缺页故障 D. cache 缺失
13. 以下给定的情况中, 可能不会引起指令流水线阻塞的是 (A)。
- A. 跳转指令执行 B. TLB 缺失 C. 结果溢出 D. cache 缺失
14. 假定一个同步总线的工作频率为 33MHz, 总线中有 32 位数据线, 每个总线时钟传输一次数据, 则该总线的最大数据传输率为 (B)。
- A. 66MB/s B. 132MB/s C. 528MB/s D. 1056MB/s
15. 在计数器定时查询方式下, 若每次计数都从 0 开始, 则 (A)。
- A. 设备号小的设备优先级高 B. 设备号大的设备优先级高
C. 每个设备的优先级均等 D. 每个设备的优先级随机变化
16. 假定计算机系统中连接主存和磁盘的 I/O 总线的带宽是 68.8MB/s, 磁盘的最大数据传输率是 5MB/s。如果允许磁盘输入/输出占用 100% 的总线和主存带宽, 那么总线上可同时接入的磁盘个数最多是 (A)。
- A. 13 B. 14 C. 15 D. 16
17. 以下给出的部件中, 不包含在外设控制接口电路中的是 (A)。
- A. 标志寄存器 B. 数据缓存器 C. 命令 (控制) 寄存器 D. 状态寄存器
18. 以下有关 CPU 响应外部中断请求的叙述中, 错误的是 (A)。
- A. 每条指令结束后, CPU 都会转到“中断响应”周期进行中断响应处理
B. 在“中断响应”周期, CPU 先将中断允许触发器清 0, 以使 CPU 关中断
C. 在“中断响应”周期, CPU 把后继指令地址作为返回地址保存在固定地方
D. 在“中断响应”周期, CPU 把取得的中断服务程序的入口地址送 PC

得分

二、简单解释以下英文术语的含义。(每个 2 分, 共 10 分)

1. CPI

(略)

2. ALU

(略)

3. RISC

(略)

4. RAID

(略)

5. VLIW

(略)

得分

三、分析设计题 (共 38 分, 答案写在答题纸上)

1. (8 分) 假设某计算机按字节编址, L1 data cache 的数据区大小为 128B, 采用直接映射方式, 主存和 cache 交换的块的大小为 16B, cache 初始为空。以下是对矩阵进行转置的程序段:

```
typedef int array[4][4];
void transpose(array dst, array src)
{
    int i, j;
    for (i = 0; i < 4; i++)
        for (j = 0; j < 4; j++)
            dst[j][i] = src[i][j];
}
```

若 sizeof(int)=4, 数组 dst 从地址 0000 C000H 开始存放, 数组 src 从地址 0000 C040H 开始存放。仿照 col=0,row=0 栏目中的形式填写表 1, 说明数组元素 src[row][col]和 dst[row][col]各自映射到 cache 哪一行, 其访问是命中 (hit) 还是缺失 (miss)。

表 1 题 1 中的 src 数组和 dst 数组

	src 数组				dst 数组			
	col=0	col=1	col=2	col=3	col=0	col=1	col=2	col=3
row=0	0/miss							
row=1								
row=2								
row=3								

【分析解答】

从程序来看，数组访问过程如下：

src[0][0]、dst[0][0]、src[0][1]、dst[1][0]、src[0][2]、dst[2][0]、src[0][3]、dst[3][0]

src[1][0]、dst[0][1]、src[1][1]、dst[1][1]、src[1][2]、dst[2][1]、src[1][3]、dst[3][1]

src[2][0]、dst[0][2]、src[2][1]、dst[1][2]、src[2][2]、dst[2][2]、src[2][3]、dst[3][2]

src[3][0]、dst[0][3]、src[3][1]、dst[1][3]、src[3][2]、dst[2][3]、src[3][3]、dst[3][3]

因为块大小为 16B，每个数组元素有 4 个字节，所以 4 个数组元素占一个主存块，因此每次总是调入 4 个数组元素到 cache 的一行。

当数据区容量为 128B 时，L1 data cache 中共有 8 行。数组元素 dst[0][i]、dst[1][i]、dst[2][i]、dst[3][i]、src[0][i]、src[1][i]、src[2][i]、src[3][i] (i=0~3) 分别映射到 cache 第 0、1、2、3、4、5、6、7 行。因此，不会发生数组元素的替换。每次总是第一个数组元素不命中，后面三个数组元素都命中。如下表所示。

表 1 题 1 中的 src 数组和 dst 数组的命中情况

	src 数组				dst 数组			
	col=0	col=1	col=2	col=3	col=0	col=1	col=2	col=3
row=0	4/miss	4/hit	4/hit	4/hit	0/miss	0/hit	0/hit	0/hit
row=1	5/miss	5/hit	5/hit	5/hit	1/miss	1/hit	1/hit	1/hit
row=2	6/miss	6/hit	6/hit	6/hit	2/miss	2/hit	2/hit	2/hit
row=3	7/miss	7/hit	7/hit	7/hit	3/miss	3/hit	3/hit	3/hit

2. (20 分) 某高级语言源程序实现“找到 save 数组中第一个不等于 k 的元素”功能，其核心循环语句如下：“while (save[i] == k) { i += 1; }”。若对其编译时，编译器将 i 和 k 分别分配在寄存器 \$s3 和 \$s5 中，数组 save 的基址存放在 \$s6 中，则生成的 MIPS 汇编代码段如下。

```

loop:  sll    $t1, $s3, 2      #R[$t1] ← R[$s3] << 2, 即 R[$t1] = i × 4
      add    $t1, $t1, $s6    #R[$t1] ← R[$t1] + R[$s6], 即 R[$t1] = Address of save[i]
      lw     $t0, 0($t1)      #R[$t0] ← M[R[$t1] + 0], 即 R[$t0] = save[i]
      bne    $t0, $s5, exit   #if R[$t0] ≠ R[$s5] then goto exit

```

```

addi $s3, $s3, 1    # R[$s3] ← R[$s3]+1, 即 i=i+1
j     loop          #goto loop

```

exit:

假设从 loop 处开始的指令存放在内存 8 0000 处，则上述循环对应的 MIPS 机器码如图 1 所示。

	6 位	5 位	5 位	5 位	5 位	6 位
80000	0	0	19	9	2	0
80004	0	9	22	9	0	32
80008	35	9	8	0		
80012	5	8	21	2		
80016	8	19	21	1		
80020	2	20000				
80024					

图 1 题 2 中的 MIPS 机器码

根据上述叙述，回答下列问题，要求说明理由或给出计算过程。

- (1) 数组 save 每个元素占几个字节？
- (2) MIPS 中有多少个通用寄存器？
- (3) addi 指令的操作码是多少？
- (4) 标号 exit 的值是多少？如何根据 bne 指令计算得到？
- (5) 标号 loop 的值是多少？如何根据 jump 指令计算出得到？MIPS 中跳转指令的跳转范围是多少？

(6) 假定如图 2 所示的单周期数据通路和如图 3 所示的多周期数据通路中各主要功能单元的操作时间为：存储器—200ps；ALU 和加法器—100ps；寄存器堆读或写—50ps。在不考虑多路选择器、控制单元、PC、扩展器和线路等延迟的情况下，单周期和多周期处理器的时钟周期最小各为多少？若上述程序段共循环执行 10 次，则在单周期数据通路和多周期数据通路中执行各需要多少时间？

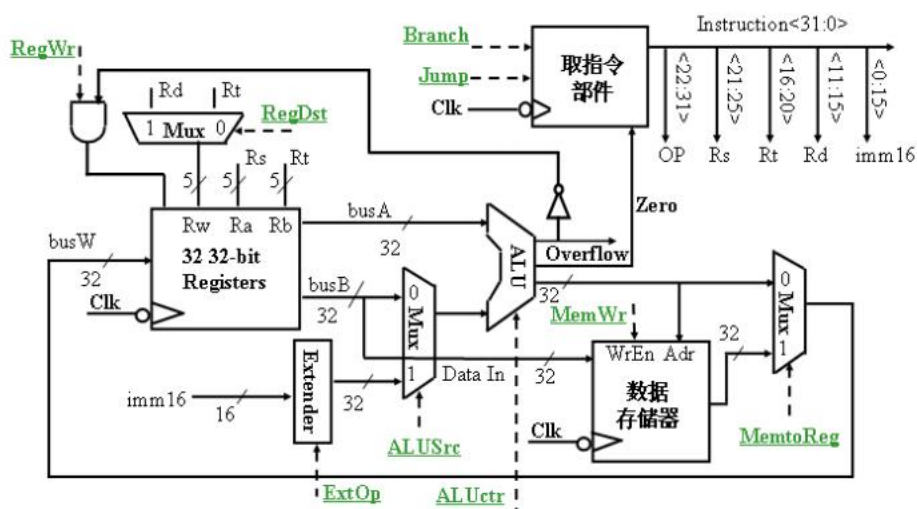


图 2 单周期数据通路

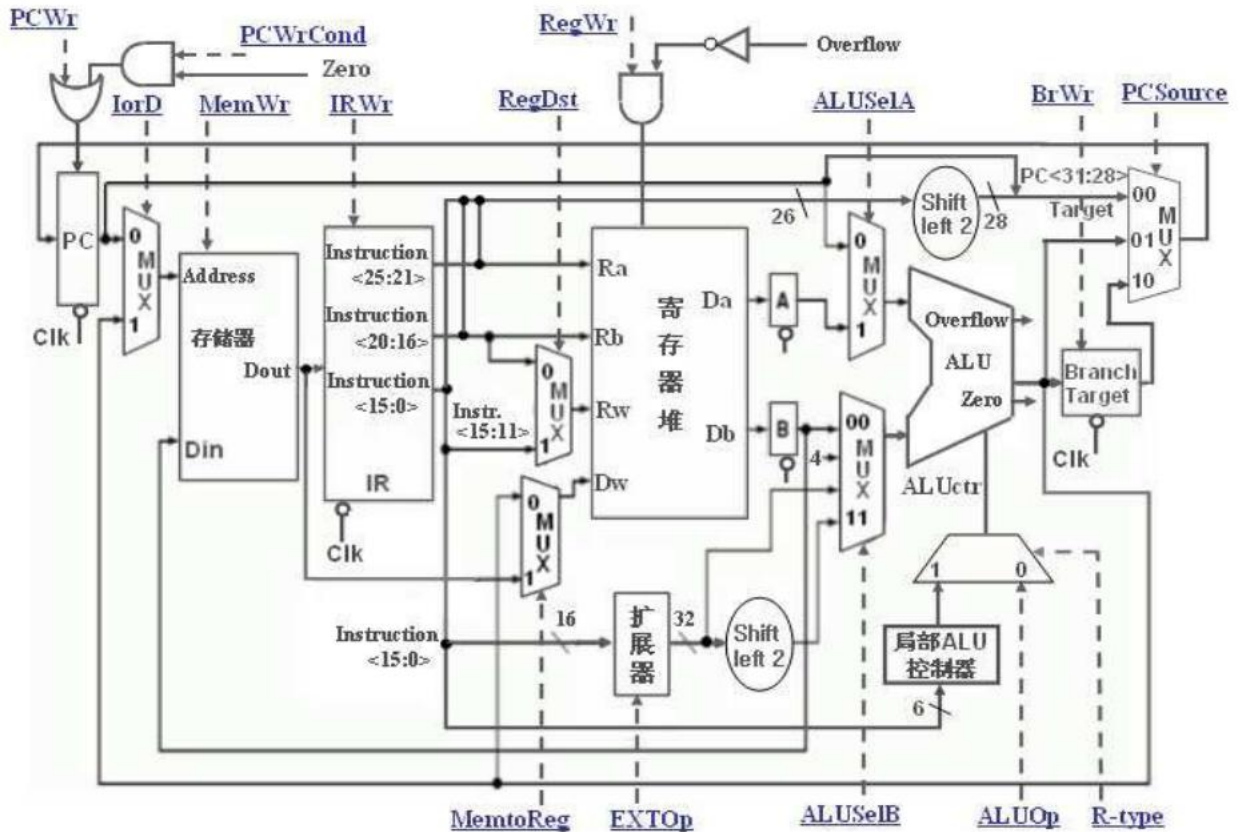
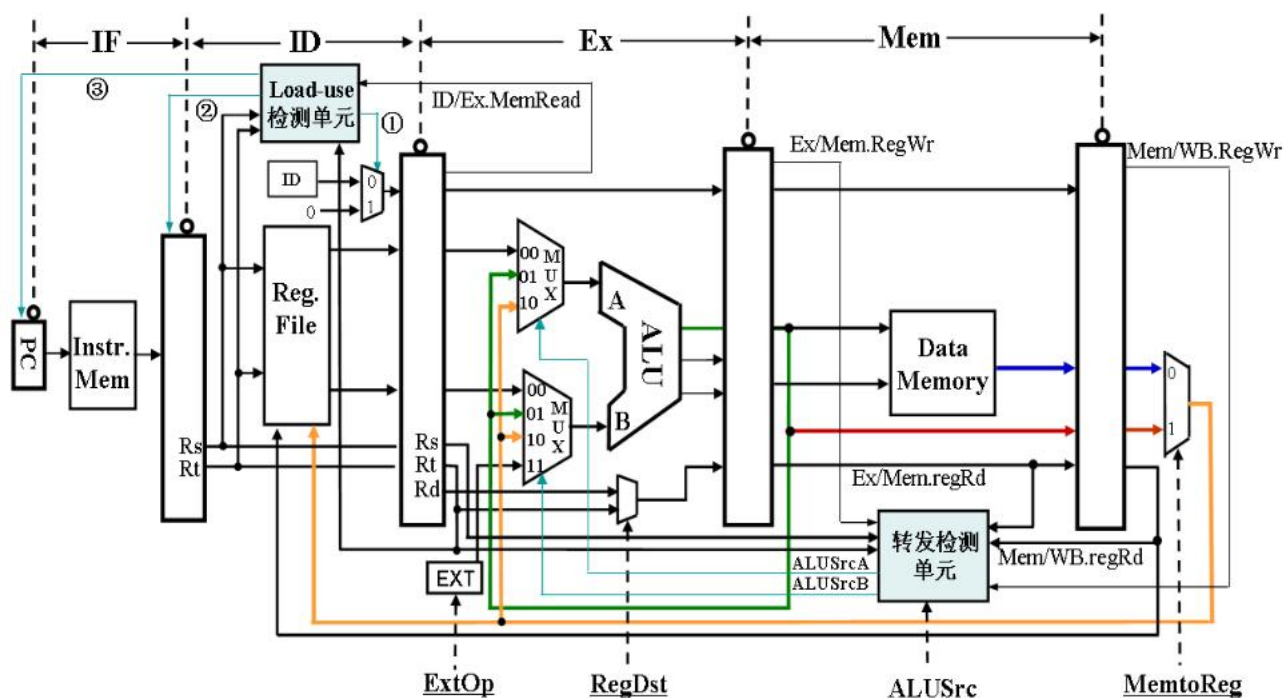


图 3 多周期数据通路

(7) 若采用转发技术, 并控制寄存器堆在前半周期写数据在后半周期读数据, 则哪些指令之间的数据相关能够被消除, 哪些指令之间的数据相关不能被消除? 假定在如图 4 所示的采用“转发+阻塞”技术的流水线处理器中执行上述程序, 同时对分支冒险采用“一位动态预测”(初始预测为转移)方式, 条件检测和分支目标地址的修改都在“执行 (Ex)”阶段进行, jump 指令在“译码 (ID)”阶段进行跳转目标地址修改, 则执行 10 次循环所用的时间为多少? 这种情况下, 流水线处理器的执行速度大约各是单周期处理器和多周期处理器的多少倍?



【分析解答】

- (1) Save 数组的每个元素占 4 个字节。因为每次循环取数组元素时，其下标地址都要乘以 4。
- (2) MIPS 中有 32 个通用寄存器，因为寄存器的编号是 5 位。
- (3) “addi” 指令的操作码是 001000B，因为其 OP 字段为 8，相当于 6 位二进制编码 001000。
- (4) 标号 exit 的值是 80024，其含义是循环结束时跳出循环后执行的首条指令的地址。它由当前分支指令（条件转移指令）的地址 80012 加上 4 得到下条指令的地址，然后再加上相对位移量 2×4 得到，即 $80012 + 4 + 2 \times 4 = 80024$ 。
- (5) 标号 loop 的值为 80000，是循环入口处首条指令的地址，由跳转指令 j 的 32 位地址 80020 的高 4 位 (0000B)，与指令中给出的低 26 位 (20000) 拼接成 30 位地址，然后再在低位添两个 0（相当于 $\times 4$ ）得到，即 $20000 \times 4 = 80000$ 。因为跳转指令的地址与其跳转到的目标指令地址的高 4 位一样，所以，如果将 4GB 的主存空间分割成 16 个 256MB 的子空间，那么跳转到的目标指令总是和跳转指令在同一个子空间，不可能跳出它本身所在的 256MB 的子空间，所以跳转目标地址范围的大小是 256M，也即，假定跳转指令地址的高 4 位为 X，则跳转目标地址范围是 X000 0000H ~ XFFF FFFCH。
- (6) 单周期处理器的时钟周期最小为 $200 + 50 + 100 + 200 + 50 = 600\text{ps}$ ；多周期处理器的时钟周期最小为 200ps。对于单周期数据通路中的 10 次循环执行，第 1~4 条指令执行了 10 次，第 5~6 条指令执行了 9 次，因此，共用了 $(4 \times 10 + 2 \times 9) \times 600 = 34800\text{ps} = 34.8\text{ns}$ 。对于多周期数据通路中的 10 次循环执行，sll、add 和 addi 指令都需要 4 个时钟周期，bne 和 j 指令需要 3 个时钟周期，lw 指令需要 5 个时钟周期，因此，一共用了 $(4 + 4 + 5 + 3) \times 10 \times 200 + (4 + 3) \times 9 \times 200 = 44600\text{ps} = 44.6\text{ns}$ 。
- (7) 第 1 和 2、2 和 3、5 和 1 条指令之间的数据相关可以被消除，但不能消除第 3 和 4 条指令之间的 load-use 冒险。
- 10 次循环共有 10 个时钟的 load-use 阻塞；此外，对于 bne 控制（分支）冒险，第 1 次和最后 1 次

预测错误，所以有 2 次需要对预取执行的指令进行冲刷。因为条件检测和转移目标地址修改都在“执行 (Ex)”阶段进行，因此，分支延迟损失时间片（分支延迟槽）为 2，也即每次冲刷掉 2 条指令。因此，2 次共被冲刷掉 4 条指令，使流水线阻塞了 4 个时钟周期；对于最后一条 jump 指令，因为在“译码 (ID)”阶段进行跳转目标地址修改，所以每次有一个时钟阻塞，10 次循环 jump 指令共执行了 9 次，因而有 9 个时钟周期的阻塞。综上所述，10 次循环总共有 $10+4+9=23$ 次阻塞，且第 1~4 条指令各执行了 10 次，第 5~6 条指令各执行了 9 次，因此，10 次循环所用的时钟周期数为 $4 \times 10 + 2 \times 9 + 23 = 81$ ，总时间为 $81 \times 200\text{ps} = 16.2\text{ns}$ 。执行上述程序段时，流水线处理器的速度大约是单周期处理器速度的 $34.8/16.2 = 2.15$ 倍；大约是多周期处理器速度的 $44.6/16.2 = 2.75$ 倍。

3. (10 分) 某计算机 CPU 主频为 1GHz，所连接的某外设的最大数据传输率为 40kBps，该外设接口中有一个 32 位的数据缓存器，相应的中断服务程序的执行时间为 500 个时钟周期。请回答下列问题：

(1) 是否可用中断方式进行该外设的输入输出？若能的话，在该设备持续工作期间，CPU 用于该设备进行输入/输出的时间占整个 CPU 时间的百分比大约为多少？

(2) 若该外设的最大数据传输率提高到 4MBps，则可否用中断方式进行输入输出？若此时采用周期挪用 DMA 方式进行输入/输出，每挪用一周传送一个 32 位数据，一次 DMA 传送完成 1000 字节的数据传送，DMA 初始化和后处理的时间为 2000 个时钟周期，不考虑访存冲突，则 CPU 用于该设备进行输入/输出的时间占整个 CPU 时间的百分比大约为多少？

参考答案：

(1) 因为该外设接口中有一个 32 位数据缓存器，所以，若用中断方式进行输入/输出的话，可以每 32 位数据进行一次中断请求，因此，中断请求的时间间隔为 $10^6 \times 4\text{B} / 40\text{kB} = 100\mu\text{s}$ 。

对应的中断服务程序的执行时间为 $(1/1\text{GHz}) \times 500 \times 10^6 = 0.5\mu\text{s}$ ，因为中断响应过程就是执行一条隐指令的过程，所用时间相对于中断处理时间（即执行中断服务程序的时间）而言，几乎可以忽略不计，因而整个中断响应并处理的时间大约 $1\mu\text{s}$ 多一点，远远小于中断请求的间隔时间。因此，可以用中断方式进行该外设的输入输出。

若用中断方式进行该设备的输入/输出，则该设备持续工作期间，CPU 用于该设备进行输入/输出的时间占整个 CPU 时间的百分比大约为 $0.5/100 = 0.5\%$ （也可以通过考察 1 秒钟内 500M 个时钟周期中有多少时钟周期用于中断来计算百分比，其计算公式为 $(10^6/100 \times 500)/500\text{M} = 1\%$ ）。

(2) 若外设的最大传输率为 4MBps，则中断请求的时间间隔为 $10^6 \times 4\text{B} / 4\text{MB} = 1\mu\text{s}$ 。而整个中断响应并处理的时间大约 $0.5\mu\text{s}$ 多一点，中断请求的间隔时间和中断响应处理时间太接近，虽然可以用中断方式进行该外设的输入输出，但不太合适。

若用周期挪用 DMA 方式，则一秒钟内产生的 DMA 次数为 $4\text{MB} / 1000\text{B} = 4000$ ；每次 DMA 传送前都需要 2000 个时钟周期进行 DMA 初始化和 DMA 结束处理，所以，CPU 用于 DMA 处理的总开销为 $4000 \times 2000 = 8000000 = 8\text{M}$ 个时钟周期；而 CPU 的时钟频率为 1GHz，即 CPU 每秒钟内产生 1000M 个时钟周期，故 CPU 用于该外设 I/O 的时间占整个 CPU 时间的百分比 $8\text{M} / 1000\text{M} = 0.8\%$ （也可通过考察相邻

两次 DMA 请求间隔时间内 CPU 用于该外设 I/O 的时间来计算, 即 $(2000 \times 1 / 1\text{GHz}) / (1000\text{B} / 4\text{MB}) = 0.8\%$)。

得分	
----	--

五、简答题（共 16 分，答案写在答题纸上）

1. 假定某一个高级语言源程序 P 中有乘、除运算，但机器 M 中不提供乘、除运算指令，则程序 P 能否在机器 M 上运行？为什么？（3 分）
2. 为什么要考虑 cache 的一致性问题？读操作时是否要考虑 cache 的一致性问题？为什么？（3 分）
3. 简述虚拟地址到物理地址的转换过程。（2 分）
4. 微程序控制器的特点是什么？适合于实现哪种类型的指令？（3 分）
5. 各流水段寄存器的宽度是否一样？为什么？（2 分）
6. 什么是 I/O 端口？有哪两种 I/O 端口编址方式？（3 分）