

座位号：

杭州电子科技大学学生考试卷（A）卷

考试课程	计算机组成原理（甲）		考试日期	2016年6月25日		成 绩	
课程号	A0507030	教师号		任课教师姓名			
考生姓名		学号（8位）		年 级		专 业	

题号	一	二	三	四	五	附加题	总分
分数	24	5	15	26	30	12	112
得分							

所有试题均做在答题纸上，否则不计分！

答题纸

一、单项选择题（共 24 分，每小题 1.5 分）

1	2	3	4	5	6	7	8
9	10	11	12	13	14	15	16

二、判断题（5 分，每空 1 分，对的打√，错的打×）

17	18	19	20	21

三、简答题（15 分，每题 5 分）

22、

23、

24、

四、计算题（26 分）

25、（8 分）

座位号：

26、（3 分）

27、（3 分）

28、（4 分）

29、（8 分）

五、 综合设计题（30 分）

30、（12 分）

31、 or 32、（18 分+12 分，请注明选作哪一题）

表 3 指令格式与控制信号表（选作 32 题时填写）

指令	w_r_s	imm_s	rt_imm_s	wr_data_s	ALU_OP	Write_Reg	Mem_Write	PC_s	指令格式
nor									
sllv									
andi									
beq									
lw									
sw									
j									

座位号：

<div>试题</div> <div>一、选择题（24 分，每空 1.5 分）</div> <div>1、计算机系统的层次结构从内到外依次为（ ）。 A. 系统软件、应用软件、硬件系统 B. 系统软件、硬件系统、应用软件 C. 硬件系统、系统软件、应用软件 D. 硬件系统、应用软件、系统软件</div> <div>2、要最大限度地提高计机的并行处理速度，应采用（ ）结构。 A. SISD B. SIMD C. MISD D. MIMD</div> <div>3、机器字长指的是（ ）。 A. CPU 地址线的位数 B. CPU 数据线的位数 C. CPU 一次能处理数据的位数 D. CPU 一次能输出地址的位数</div> <div>4、当浮点机器数运算结果出现（ ）时，则认为是机器零。 A. 阶码正溢出 B. 阶码负溢出 C. 尾数正溢出 D. 尾数负溢出</div> <div>5、在 CPU 中，用于记录存放运算结果的状态部件是（ ）。 A. PSW B. AR C. IR D. DR</div> <div>6、若某数的真值是-0.0110，在计算机中该数表示为 1.1010，则该数所用的编码方法为（ ）。 A. 原码 B. 反码 C. 补码 D. 移码</div> <div>7、冯•诺依曼计算机中指令和数据均以二进制形式存放在同一个存储器中，CPU 区分它们的依据是（ ）。 A. 指令操作码的译码结果 B. 指令和数据的寻址方式 C. 指令周期的不同阶段 D. 指令和数据所在的存储单元</div> <div>8、下列寄存器中，程序员可见的是（ ）。 A. 存储器地址寄存器（MAR） B. 存储器数据寄存器（MDR） C. 指令寄存器（IR） D. 通用寄存器</div> <div>9、CPU 从主存取指令时，（ ）。 A. 总是根据程序计数器 PC 得到主存地址。 B. 有时根据 PC 得到主存地址，有时根据转移指令得到主存地址。 C. 总是根据指令寄存器得到主存地址。 D. 有时根据 PC 得到主存地址，有时根据指令寄存器得到主存地址。</div> <div>10、静态半导体存储器 SRAM 指（ ）。 A. 在工作过程中，存储内容保持不变 B. 在断电后信息仍能维持不变 C. 不需动态刷新 D. 芯片内部有自动刷新逻辑</div>		<div>11、若存储周期 100ns，每次读出一个字节，则该存储器的数据传输率为（ ）。 A. 32×10^6 位/秒 B. 8×10^6 位/秒 C. 80MB/秒 D. 80×10^6 位/秒</div> <div>12、多体交叉技术的目的是（ ）。 A. 增加主存容量 B. 增加数据线宽度 C. 降低控制的复杂度 D. 提高数据带宽</div> <div>13、选择 Cache 替换算法的主要依据是（ ）。 A. 采用何种地址映象方式 B. 采用何种写入方法 C. Cache 使用的器件 D. Cache 的访问命中率</div> <div>14、乘法器的硬件结构通常采用（ ）。 A. 并行加法器和串行右移 B. 并行加法器和串行左移 C. 串行加法器和串行右移 D. 串行加法器和串行移位器</div> <div>15、在定点数运算中产生溢出的原因是（ ）。 A. 运算过程中最高位产生了进位或借位 B. 参加运算的操作数超出了机器的表示范围 C. 运算的结果的操作数超出了机器的表示范围 D. 寄存器的位数太少，不得不舍弃最低有效位</div> <div>16、一个指令周期通常由（ ）组成。 A. 若干个机器周期 B. 若干个时钟周期 C. 若干个工作脉冲 D. 若干个节拍</div> <div>二、判断题（5 分，每空 1 分，对的打√，错的打×）</div> <div>17、计算机的算术/逻辑单元、控制单元及主存储器统称为主机。（ ）</div> <div>18、设置 Cache 后增加了主存的容量，提高了管理难度。（ ）</div> <div>19、若浮点数数的尾数用补码表示，则规格化浮点数的尾数必须是 $1.1\times\times$ 或 $0.0\times\times$ 的形式（ ）</div> <div>20、程序是指令的有序集合，而指令是微程序的有序集合。（ ）</div> <div>21、量子计算机采用的是冯•诺依曼计算机系结构。（ ）</div> <div>三、简答题（15 分，每题 5 分）</div> <div>22、Intel 的微处理器占据了 PC 市场的 80%份额，有人说 RISC 不敌 CISC，谈谈你的看法。</div> <div>23、按照存储介质、存取方式、信息的可保存性及其在计算机中系统中的作用进行分类，内存和硬盘分别归入哪类？</div> <div>24、微程序控制器和硬布线控制器是如何划分的？说说它们各自的优点。</div>
--	--	--

座位号：

四、计算题（26 分）

- 25、（8 分）设浮点数的格式为：阶码 5 位，尾数 6 位，阶码在前，尾数（含符号）在后，均用补码表示。计算 X+Y （阶码和尾数均用补码计算）
- X = -1.125, Y = 4.75
- 26、（3 分）某计算机主频为 50MHz，执行一条指令平均需要访问内存 2 次，指令周期平均含 3 个机器周期，每个机器周期包含 2 个节拍周期。若每次访问内存需要插入 1 个等待节拍周期，则计算机的执行速度为多少 MIPS？
- 27、（3 分）假设存储系统包括 Cache 和主存两级，Cache 的访问时间是 10ns，主存的访问时间是 100ns，Cache 的命中率是 90%，计算存储系统的平均访问时间和访问效率。
- 28、（4 分）对于具有组相联映射 Cache 的主存系统中，主存地址一般被划分为哪几个字段？假设主存 8GB，按字节编址；Cache 是 16KB，4 路组相联；字块大小 16B，请写出主存地址各字段的位数。
- 29、（8 分）设某 8 位计算机指令格式如下：

Opcode（4 位）	M（2 位）	Rd（2 位）
A（8 位）		

其中，各部分的含义如下：

Opcode=	源操作数的寻址方式 M=	Rd=
0000——ADD	00——直接寻址	00——R0
0001——MOV	01——立即数寻址	01——R1
0010——JMP	10——变址寻址（变址寄存器为 R3）	10——R2
... ..	11——相对寻址	11——R3
1111——HALT		

主存部分单元的内容如下表。假设当前（PC）=00H；变址寄存器（R3）=10H；这时 CPU 启动程序运行，写出 CPU 所执行前两条指令的功能、寻址方式与执行结果。

地址：	内容	地址：	内容	地址：	内容
00H:	11H	04H:	F0H	30H:	F0H
01H:	06H	05H:	00H	31H:	00H
02H:	05H	06H:	11H	32H:	30H
03H:	07H	07H:	33H	33H:	35H

五、综合题（30 分+12 分）

- 30、（12 分）设 CPU 有 16 根地址线，8 根数据线，并用 MREQ#作访存控制信号(低电平有效)，R/W#用作读/写控制信号（高电平为读，低电平为写）。现有下列存储芯片：1K×4 位 RAM;4K×8 位 RAM;8K×8 位 RAM;2K×8 位 ROM;4K×8 位 ROM;8K×8 位 ROM 及 74LS138 译码器和各种门电路，3-8 译码器如图 1 所示。要求主存地址空间分配：
- 6000H~67FFH 为系统程序区；
- 6800H~6BFFH 为用户程序区。
- （1）合理选用上述存储芯片，说明各选几片？（2 分）
- （2）画出 CPU 与存储器的连接图，包括芯片的地址译码电路（10 分）

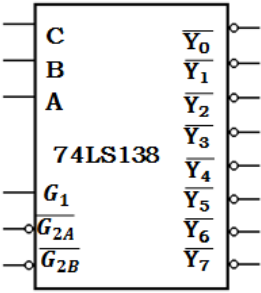


图 1 3-8 译码器结构图

以下 31、32 两题 2 选 1：

- 31、（18 分+12 分）某 8 位模型机采用微程序控制器，结构如图 2 所示。

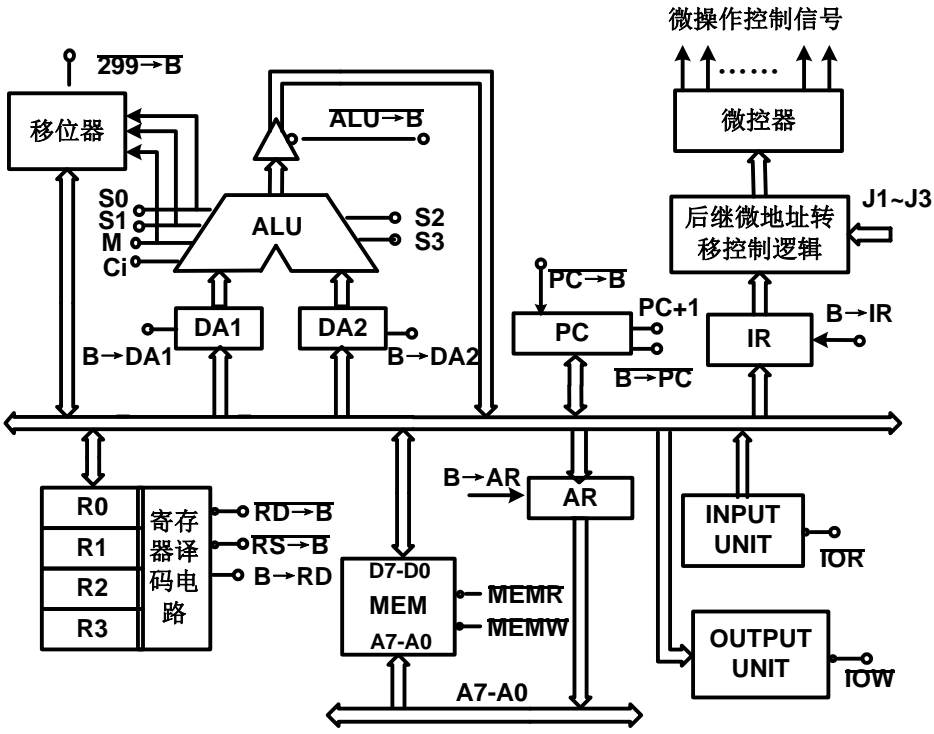


图 2 控制器结构图

座位号：

其中 MEM 为主存，R0~R3 是通用寄存器。各部件的控制信号均已标出，控制信号的命名准则是：‘→’ 符号前的是数据发送方部件，‘→’ 符号后的是数据接收方部件，并且控制信号中的 B 表示总线；J1 控制指令译码，其他读写信号具有普通意义。例如：B→DA1 表示总线上的数据送入 DA1 暂存器；表示 ALU 运算的结果送到总线上（低电平有效）。RD 表示目的寄存器，RS 表示源寄存器，S3~S0、M、Ci 用于选择控制 ALU 和移位器的功能。

- (1) 图 2 中共有 25 个微操作控制信号，其中 J1~J3 三个信号是用于微指令转移的判别测试条件。如果微指令中，控制字段采用直接控制法，判别测试字段采用译码法编码，下址字段 7 位，则微指令字长多少位？该模型机的控存容量是多少？（3 分）
- (2) 写出 MEM→IR 微指令必须发送的微操作控制信号。（3 分）
- (3) 模型机的某条指令的微程序流程图如图 3 所示，请问该指令有几个字节？每个字节的含义是什么？写出该条指令的功能和操作数的寻址方式。（5 分）
- (4) 根据图 2 所示的数据通路，写出 ADD RD, [ADDR]指令的微程序流程图。该指令功能为 (RD) + (ADDR) →RD，即寄存器 RD 的内容与内存单元 ADDR 的内容相加，结果送回 RD 寄存器，ADDR 位于指令第二字。（7 分）
- (5)（附加题）按照上题微指令格式，设计具体的微指令编码方案。（3 分）
- (6)（附加题）按照你所设计的微指令格式及编码方案，写出图 3 所示的各条微指令的编码。（9 分）

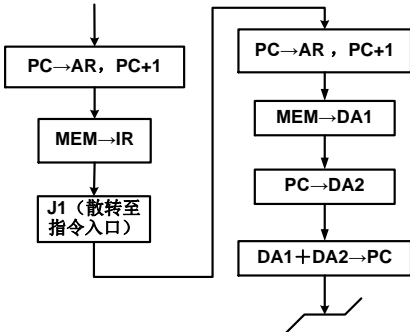


图 3 微程序流程图

32、（18 分+12 分）一个 MIPS32 架构的 CPU 如图 4 所示，其三种指令格式如表 1 所示，ALU 的操作码 ALU_OP 及 func 编码如表 2 所示，其核心指令含 7 条，如下：

- nor rd,rs,rt ; 位或非: $\sim(rs||rt) \rightarrow rd$
- sllv rd,rs,rt ; 逻辑左移: $(rt \ll rs) \rightarrow rd$
- andi rt,rs,imm ; 位与: $(rs) \& imm \rightarrow rt$
- beq rs, rt, label ; 相等转移: if (rs=rt) then $PC+4+offset \times 4 \rightarrow PC$
- lw rt, offset(rs) ; 取数: $mem(rs + offset) \rightarrow rt$
- sw rt, offset(rs) ; 存数: $rt \rightarrow mem(rs + offset)$
- j addr ; 无条件跳转: $\{(PC+4)高4位,addr,0,0\} \rightarrow PC$

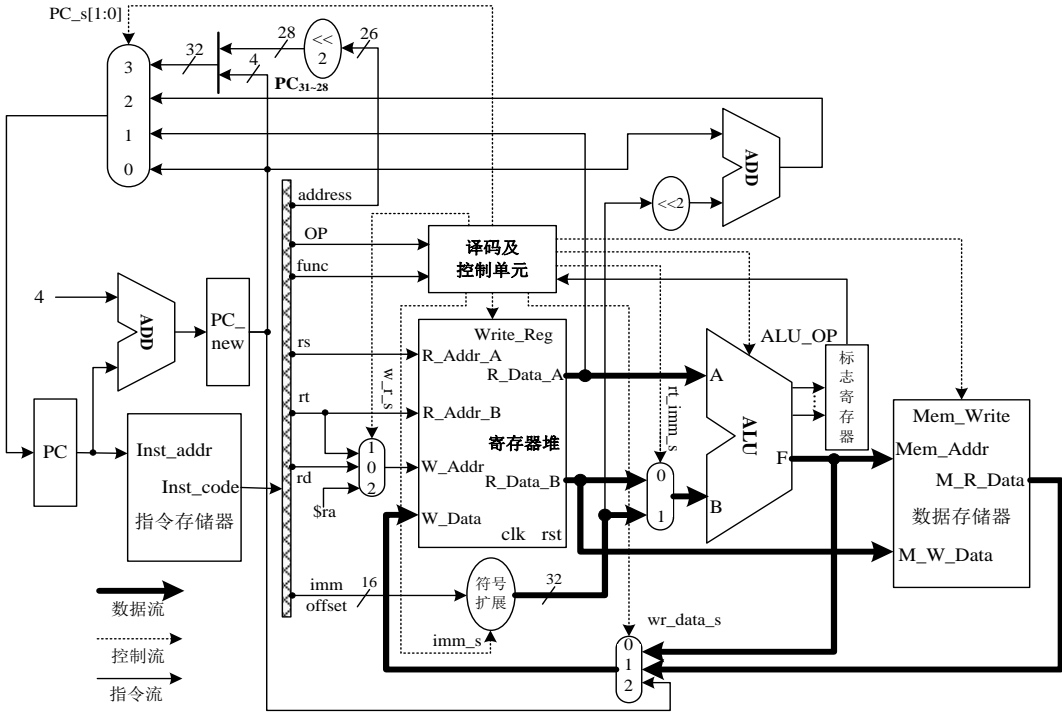


图 4 MIPS CPU 的结构图

表 1 MIPS 指令格式

R 型指令	字段	OP	rs	rt	rd	shamt	func
	位数	6	5	5	5	5	6
I 型指令	字段	OP	rs	rt	offset		
	位数	6	5	5	16		
J 型指令	字段	OP	address				
	位数	6	26				

请回答问题：

- (1) 该 MIPS CPU 是单周期还是多周期 CPU？为什么？（2 分）
- (2) 为何要使用两个存储器？说出这种结构的名称。（2 分）
- (3) 写出核心指令集各条指令的格式类型填入表 3；（3 分）
- (4) 选择下面任意 2 条指令，写出其 16 进制编码；（4 分）
- ① nor \$7,\$8,\$9 ; OP=000000, func=100111
- ② andi \$7,\$8,0x000f ; OP=001100
- ③ lw \$7, 0x1000(\$8) ; OP=100011
- ④ j 0x556677 ; OP=000010
- (5) 选择任意两条指令，将其数据通路对应的控制信号之值填入表 3；（4 分）

座位号：

- (6) 选择任意一条指令，描述其指令执行过程；（3 分）
- (7) （附加题）考虑新增如下一条指令，请分析：是否能实现？如果不能，则需要添加什么部件或者功能才能实现？（+4 分）
sltu rd,rs,rt ; 无符号数小于则置位： if (rs < rt) then rd=1 else rd=0
- (8) （附加题）考虑新增如下一条指令，请分析：是否能实现？如果不能，则需要添加什么部件或者功能才能实现？（+8 分）
sll rd,rt,shamt ; 逻辑左移： (rt <<shamt)→rd, shamt 为 R 指令字段

表 2 ALU_OP 编码及 func 编码

ALU_OP	操作
000	算术加
001	算术减
010	位与
011	位或非
100	逻辑左移

表 3 指令格式与控制信号表

指令	w_r_s	imm_s	rt_imm_s	wr_data_s	ALU_OP	Write_Reg	Mem_Write	PC_s	指令格式
nor									
sllv									
andi									
beq									
lw									
sw									
j									