Circuito Digital em VHDL

Versão 2020

RESUMO

Esta experiência tem como objetivo um contato inicial com o desenvolvimento do projeto de um circuito digital simples em VHDL e sintetizado para uma placa de desenvolvimento FPGA. Ao final da experiência, os alunos terão conhecimento sobre o procedimento a ser realizado para o projeto digital usando uma linguagem de descrição de hardware e com auxílio de um software para projeto de circuitos digitais.

OBJETIVOS

Após a conclusão desta experiência, os seguintes tópicos devem ser conhecidos pelos alunos:

- Síntese e implementação de circuitos em VHDL e em placa de desenvolvimento FPGA;
- Uso de software para projeto de circuitos digitais;
- Simulação de circuitos digitais;
- Estudo de um circuito digital simples.

1. PARTE EXPERIMENTAL

1.1. Atividade 1 – Estudo de descrições VHDL

Esta primeira atividade visa estudar duas descrições VHDL: a primeira é uma descrição comportamental de um contador hexadecimal similar ao circuito integrado 74163 e o segunda contém uma descrição estrutural do cascateamento de contadores.

a) Estude a descrição VHDL contador_163.vhd fornecida. Faça anotações no código fonte VHDL na forma de comentários para descrever a função de cada linha no Planejamento. Traga o arquivo fonte para a experiência.

DICA: Exemplo de comentário do código fonte:

```
if IQ=15 then IQ <= 0; -- se final de contagem, volta para zero else IQ <= IQ + 1; -- senão incrementa contagem
```

- b) Responda as perguntas abaixo sobre o componente contador_163:
 - 1. A saída Q deve variar de 0 a 15. Quais linhas de código VHDL confirmam este intervalo de valores?
 - 2. O sinal de CLEAR é síncrono e ativo em baixo. Quais linhas de código VHDL confirmam esta característica?
 - 3. Este componente é sensível a borda de subida do sinal de clock. Quais linhas de código VHDL confirmam esta característica?
 - 4. Os sinais ENT e RCO devem ser usados para cascateamento de contadores. Quais linhas de código VHDL confirmam esta característica?

DICA: numere as linhas de código do item 1.1.a e use os números das linhas para justificar as respostas acima.

- c) a descrição VHDL contador8bits.vhd fornecida. Faça anotações no código fonte VHDL na forma de comentários para descrever a função de cada linha no Planejamento. Traga o arquivo fonte para a experiência.
- d) Responda as perguntas abaixo sobre o componente contador8bits:
 - A saída Q do contador de 8 bits deve variar de 0 a 255. Como isto pode ser confirmado pelo grupo?
 - 2. O contador de 8 bits é composto pelo cascateamento de dois contadores 74163. Qual componente interno da descrição se refere ao dígito hexadecimal mais significativo (CONT1 ou CONT2)?
 - 3. Os sinais ENT e RCO são usados para cascateamento dos contadores. Quais linhas de código VHDL estrutural mostram esta ligação de sinais? Quais sinais internos VHDL são usados neste cascateamento?

DICA: numere as linhas de código do item 1.1.c e use os números das linhas para justificar as respostas acima.

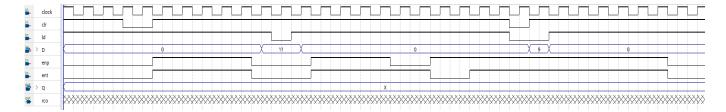
1.2. Atividade 2 - Simulação de Circuito em VHDL

Esta atividade visa introduzir os alunos ao software de desenvolvimento de projetos digitais Intel Quartus Prime. Esta aplicação permite o projeto, implementação e simulação de circuitos digitais. Serão apresentadas as funcionalidades de criação do projeto do circuito digital, compilação do projeto, simulação e posterior síntese para uma FPGA.

e) O arquivo contador_163.qar contém os arquivos do projeto do contador 74163 no Intel Quartus Prime. Abrir o arquivo QAR na pasta C:\Projetos\TxByy\Exp2\contador_163, substituindo **TxByy** para a turma e bancada do grupo.

DICA: a apostila "Tutorial para criação de circuitos digitais em VHDL no Quartus Prime 16.1" mostra os procedimentos para abrir arquivos QAR, compilar o projeto e executar simulações com o Quartus Prime.

f) Criar um arquivo de simulação (University Program VWF) conforme a figura abaixo e, em seguida execute sua simulação.



g) Analise os resultados obtidos com a simulação e elabore um resumo do funcionamento do circuito estudado. Anexe as formas de onda no Relatório.

1.3. Atividade 3 - Simulação e Síntese do Circuito Contador de 8 bits

- h) O arquivo contador8bits.qar contém os arquivos do projeto do contador de 8 bits no Intel Quartus Prime. Abrir o arquivo QAR na pasta C:\Projetos\TxByy\Exp2\contador8bits, substituindo **TxByy** para a turma e bancada do grupo.
- i) Elaborar um <u>Plano de Teste</u> para verificar o funcionamento do circuito.
- j) Execute uma ou mais simulações usando o Plano de Teste acima. Anexe as formas de onda no Planejamento.

DICA: a apostila "Tutorial para criação de circuitos digitais em VHDL no Quartus Prime 16.1" mostra os procedimentos para a elaboração da simulação de circuitos com o Intel Quartus Prime.

k) Realize a designação de pinos, conforme a tabela abaixo.

sinal	pino
clock	botão KEY0
zera	chave SW0
conta	chave SW1
Q	leds LEDR[0] a LEDR[7]
rco	led LEDR[9]

- I) Após compilar o projeto no Intel Quartus Prime, execute a ferramenta RTL Viewer (menu Tools > Netlist Viewers > RTL viewer) e analise a saída obtida. Anexe a figura no Relatório.
- m) Programe a placa FPGA DE0-CV.
 - DICA: a apostila "Tutorial para criação de circuitos digitais em VHDL no Quartus Prime 16.1" mostra os procedimentos para a síntese e programação de circuitos na placa FPGA.
- n) Execute o acionamento dos sinais de entrada, seguindo o Plano de Testes do item 1.3.i para verificar o funcionamento do circuito.
- o) Analise os resultados obtidos e elabore um resumo do funcionamento do circuito estudado.
- p) Submeter o arquivo QAR desta atividade (exp2_atividade3.qar) junto com o Relatório.

 DICA: a apostila "Tutorial para criação de circuitos digitais em VHDL no Quartus Prime 16.1" mostra o procedimento para a geração de arquivos QAR.

1.4. Atividade 4 – Desafio

Neste item é proposta uma atividade complementar.

- a) Uma **atividade adicional** relacionada ao projeto do circuito da experiência será proposta pelo professor. Estude esta modificação e verifique como implementá-la.
- b) Implemente o circuito no Intel Quartus Prime e sintetize-o na placa FPGA DE0-CV. Adote a mesma designação de pinos.
- c) Teste o circuito modificado na placa DE0-CV.
- d) Documente os resultados obtidos nos testes experimentais realizados.
- e) Submeter o arquivo QAR desta atividade (exp2_desafio.qar) junto com o Relatório.

2. BIBLIOGRAFIA

- ALMEIDA, F.V. de; SATO, L.M.; MIDORIKAWA, E.T. Tutorial para criação de circuitos digitais em VHDL no Quartus Prime 16.1. Apostila de Laboratório Digital. Departamento de Engenharia de Computação e Sistemas Digitais, Escola Politécnica da USP. Edição de 2017.
- ALTERA. DE0-CV User Manual. 2015.
- ALTERA. Quartus Prime Introduction Using VHDL Designs. 2016.
- ALTERA. Quartus Prime Introduction to Simulation of VHDL Designs. 2016.
- D'AMORE, R. VHDL descrição e síntese de circuitos digitais. 2ª edição, LTC, 2012.
- FREGNI, E.; SARAIVA, A. M. Engenharia do Projeto Lógico Digital: Conceitos e Prática.
 Editora Edgard Blücher, 1995.
- TEXAS INSTRUMENTS. The TTL Logic Data Book, 1994.
- TOCCI, R. J.; WIDMER, N.S.; MOSS, G.L. **Sistemas Digitais: Princípios e Aplicações**. Prentice-Hall, 11ª ed., 2011.
- WAKERLY, John F. Digital Design Principles & Practices. 4th edition, Prentice Hall, 2006.

3. EQUIPAMENTOS NECESSÁRIOS

- 1 computador com software Intel Quartus Prime.
- 1 placa de desenvolvimento FPGA DE0-CV com o dispositivo Cyclone V 5CEBA4F23C7N.

Histórico de Revisões

E.T.M. / 2017 (versão inicial) E.T.M. / 2020 (revisão e atualização)