Lab1\_ALU

实验目的：

·实现简单ALU

·同时，通过这个实验，复习Verilog语法，ISE开发环境，仿真过程，为后续实验做准备。

实验内容：

·设计一算数运算单元ALU，按如下要求：

-采用纯组合逻辑设计

-32位宽

-完成指定运算功能

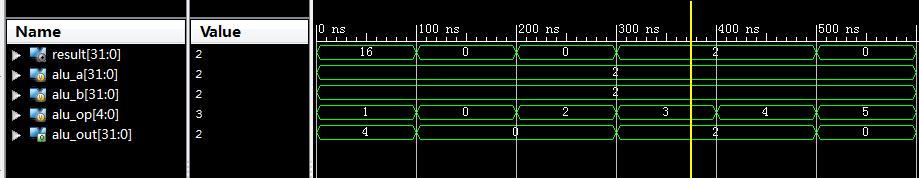
·使用模块调用完成一下运算

调用ALU输出斐波那契数列中的16

调用N次

实验结果：

按要求完成。



仿真结果在一张图中给出。

第一段为输出斐波那契16部分；

后面依次为按ppt给出的运算顺序得出的结果：

操作数分别为alu\_a,alu\_b，对应结果为alu\_out。

实验分析：

·ppt已给出模块定义部分的代码，针对对应的操作符，只需要简单的位运算即得。

·而top模块，只需要写出调用4次即可。

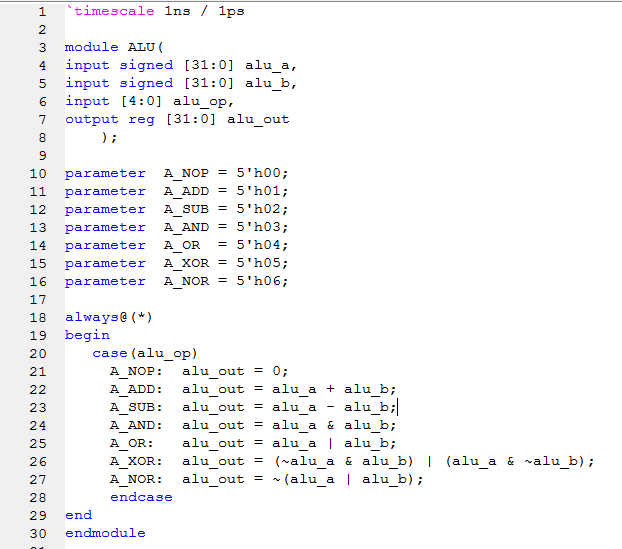
意见建议：

作为本学期第一次实验，个人感觉十分恰当！

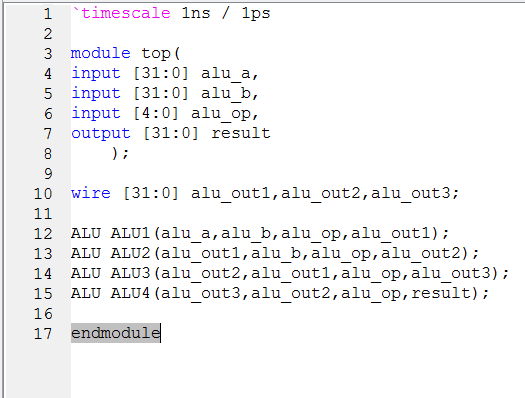
附录：

·代码：

ALU部分：



Top部分：



仿真部分：

