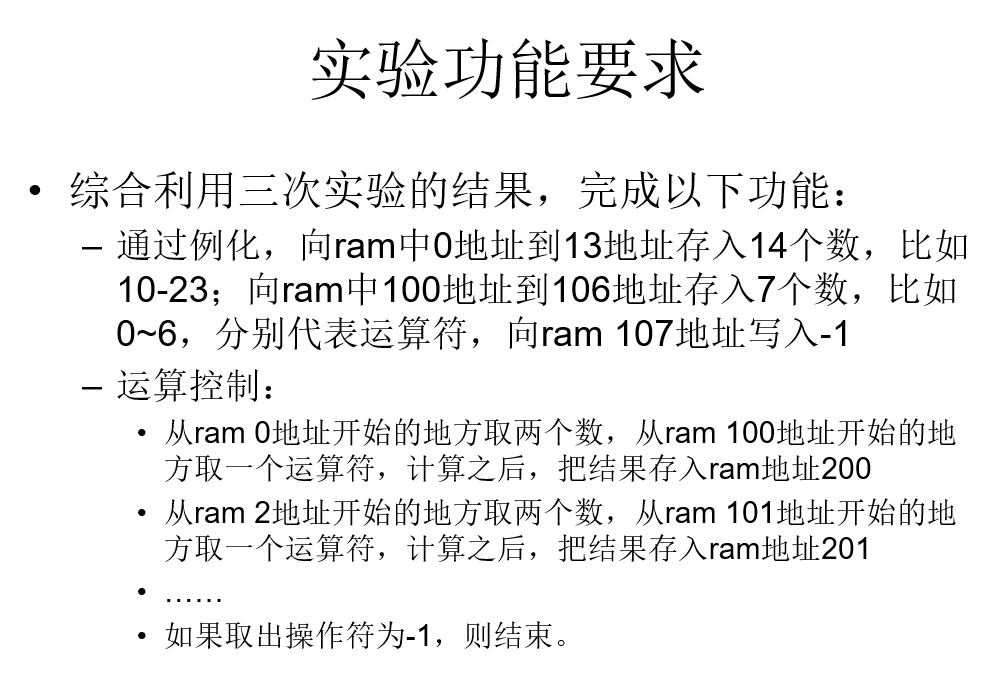
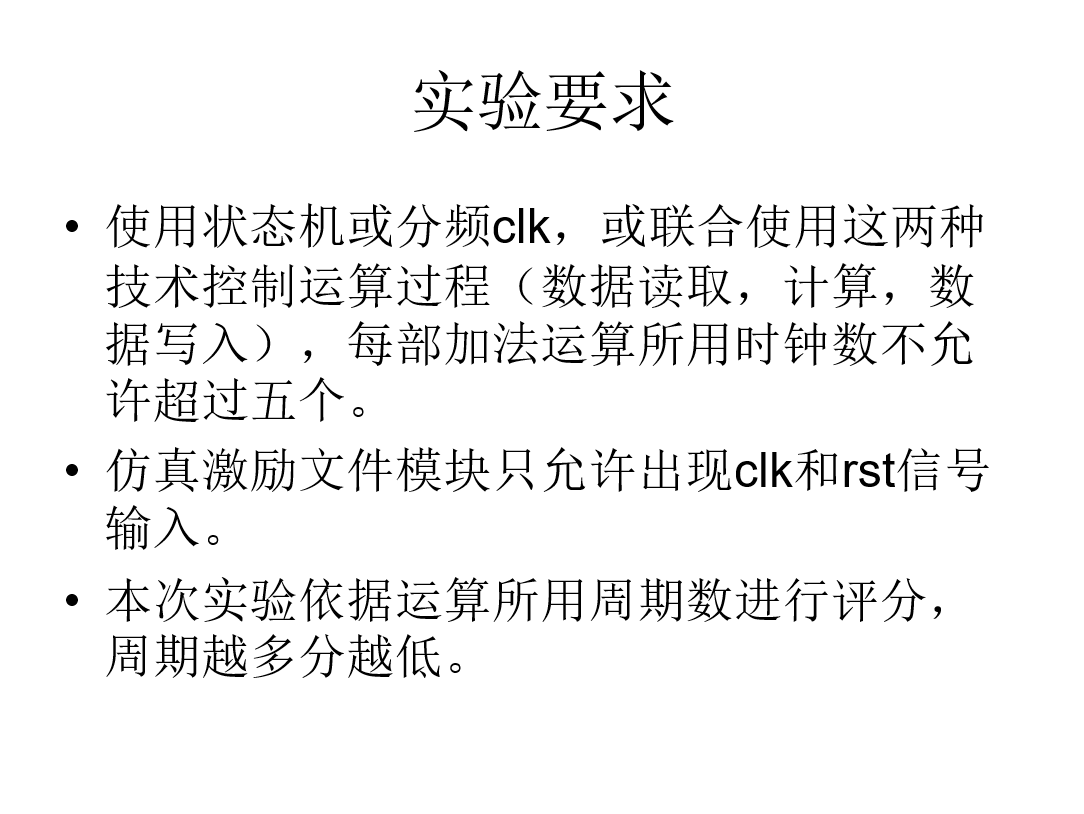
Lab3\_Ram

金泽文PB15111604

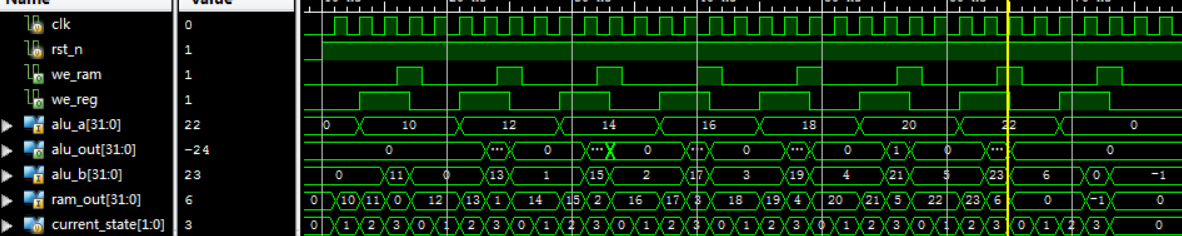
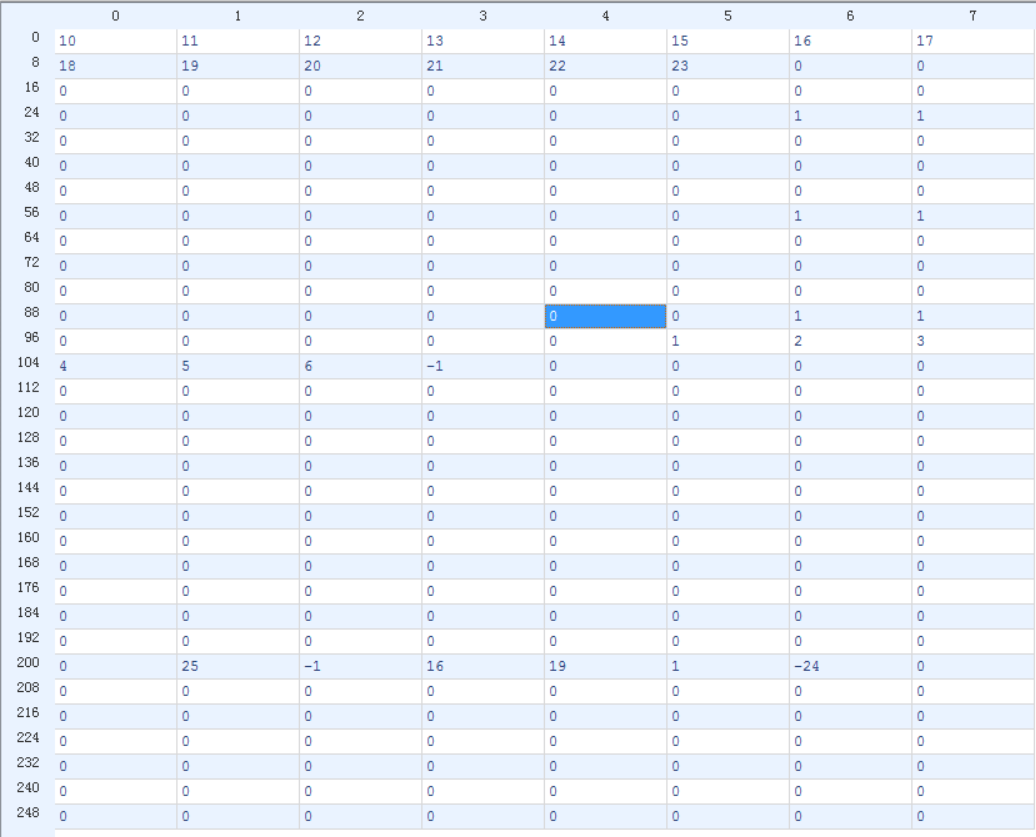
**实验目的：**

理解有限状态机。

**实验内容：**



**实验结果：**

按要求完成。仿真结果如图：

**实验分析与设计：**

ALU 模块完全同于上次实验。

Regfile完全同于上次实验。

Top不同于上次，这次只调用模块，无其他控制功能。

Control不同于上次。详细说一下control：

首先，分为4个周期，用current\_state，next\_state表示现态，次态。

用is\_on控制是否继续，通过判断读入数据是否为-1以及现态是否为S0控制。

对于从ram读入数据的地址addr\_base\_number，在S1，S2阶段分别加一，

对于从ram读入数据，分别在S0，S1阶段读入。

对于写入reg，通过地址addr\_to\_reg，在S1时为0，在S2时为1，

对于写寄存器使能we\_reg,根据S1到S2的上升沿时得到的S1的地址0，S2到S3的上升沿得到的地址1，写入对应寄存器。

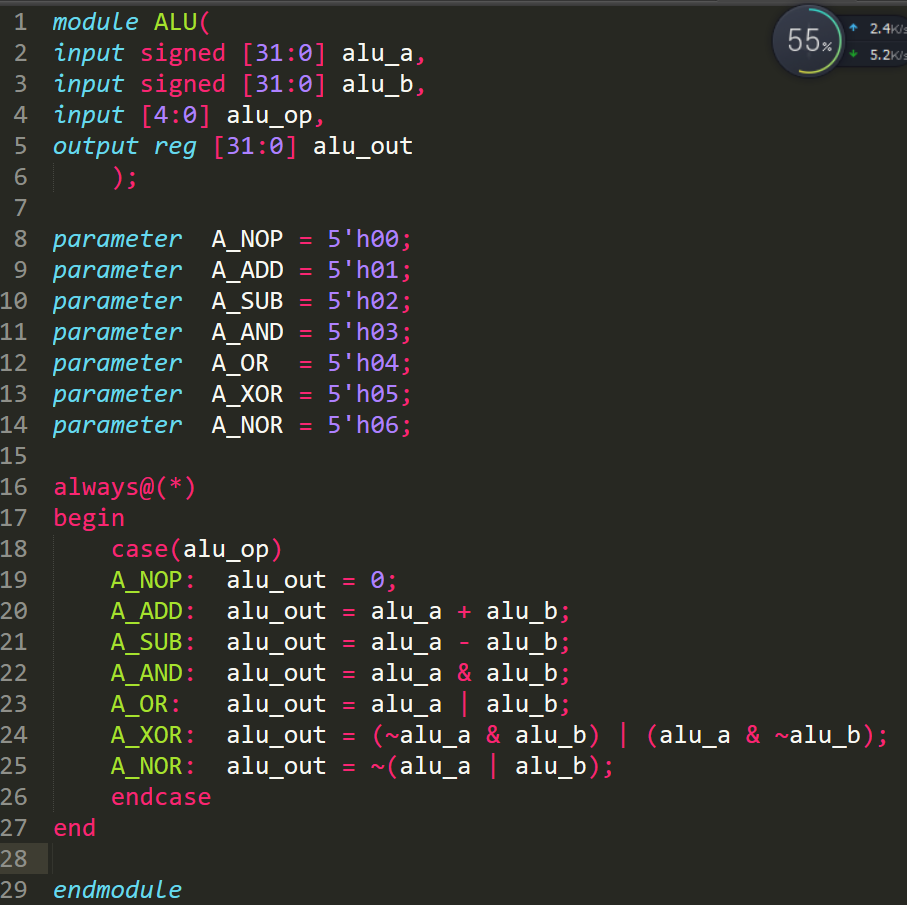
S3时得到alu得到结果。

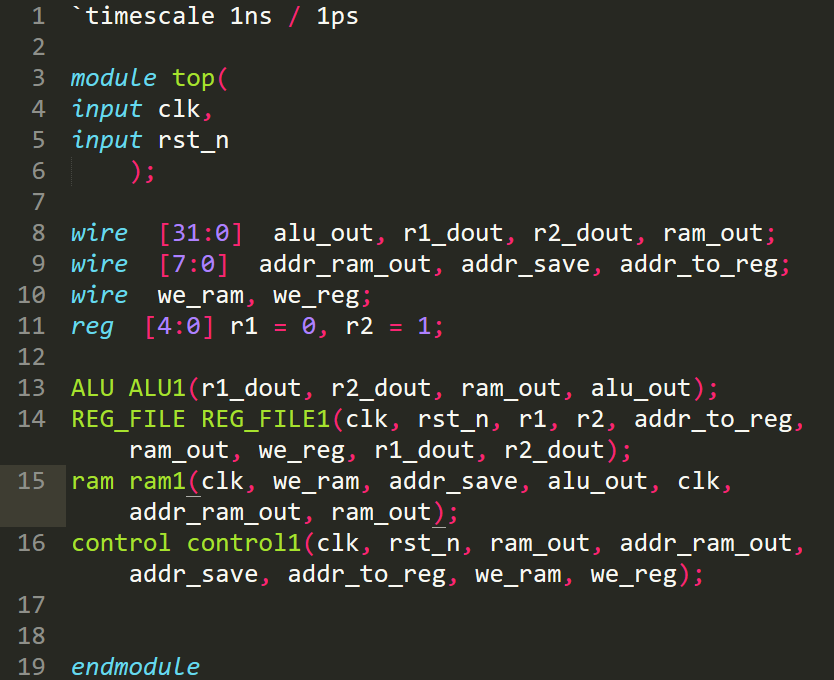
并且在S3下降沿we\_ram赋值1，写入ram。

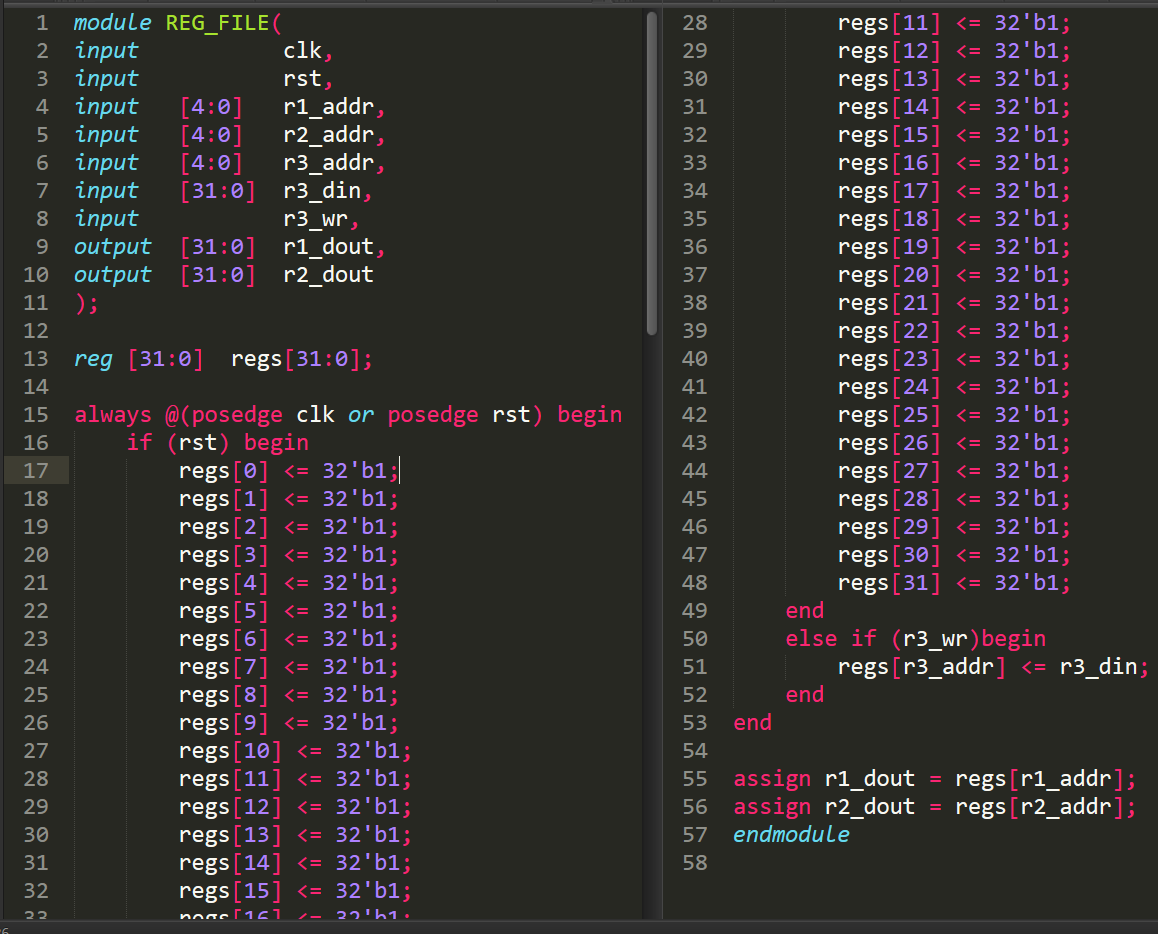
**意见建议：**

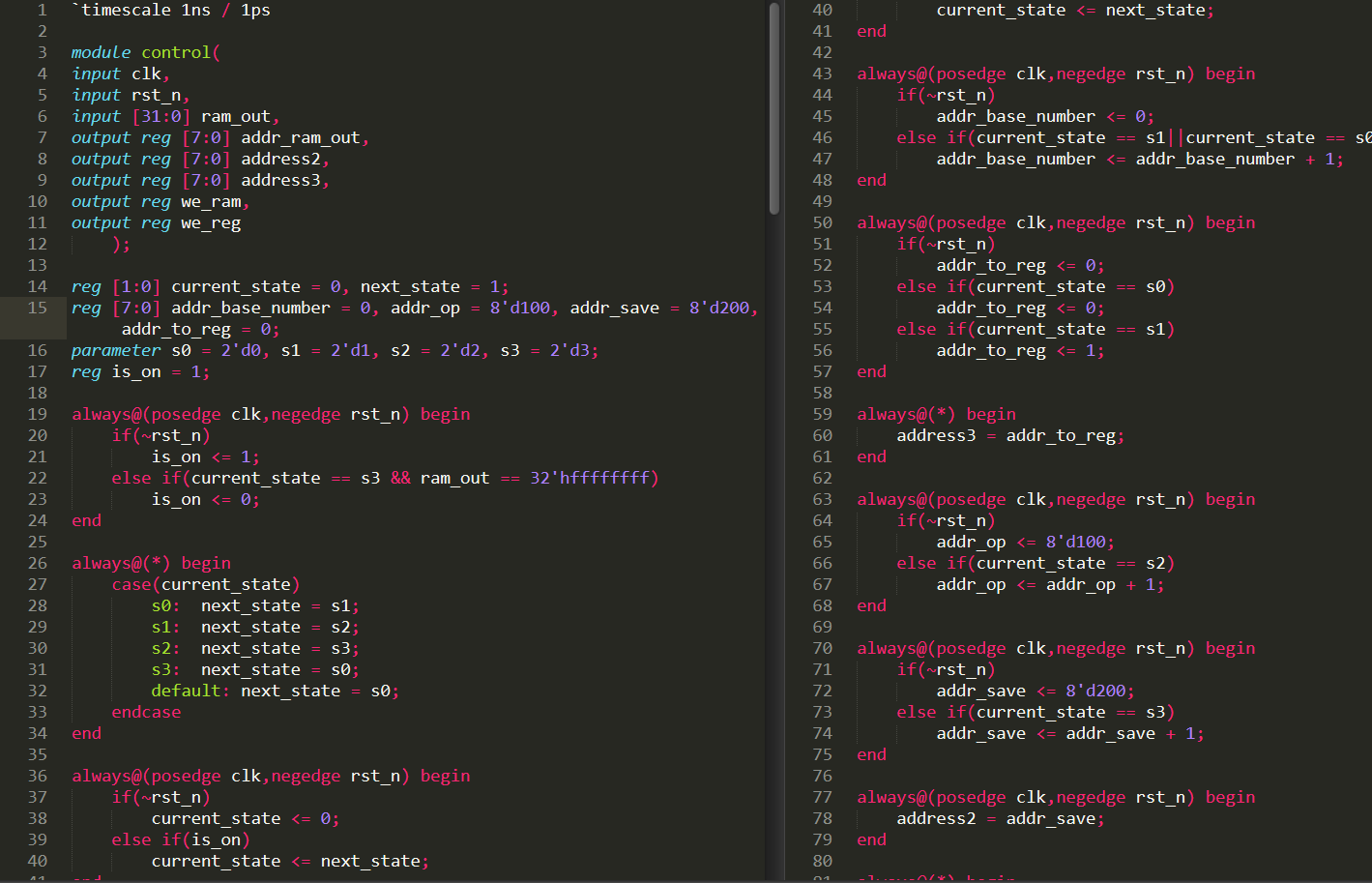
无

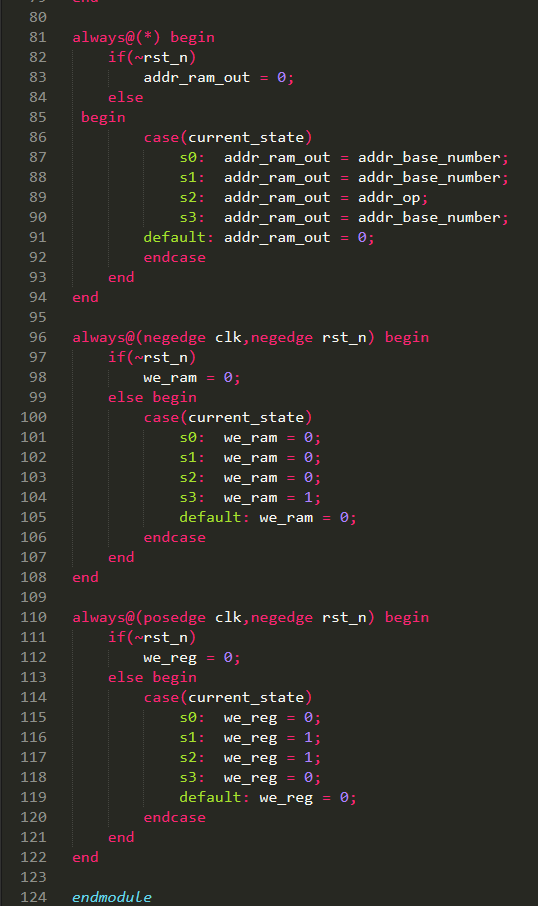
**附录：**

ALU部分：

Top部分：

Regfile部分：

Control：



Testfile：

