



# K210

## 技術規格書



KENDRYTE

**勘智**

嘉楠科技 版權©2019  
KENDRYTE.COM



# 關於本手冊

本文檔為用戶提供 Kendryte 硬體技術規格簡介。

## 發布說明

日期	版本	發布說明
2018-08-01	V0.1.0	初始版本
2018-09-13	V0.1.1	修正 SPI 與 GPIO 中錯誤的描述
2018-09-14	V0.1.2	修正第一章節出現的錯別字
2018-09-17	V0.1.3	修正第二章節引腳描述錯誤
2018-09-18	V0.1.4	增加 Kendryte 系統架構圖
2018-09-19	V0.1.5	修正關於定時器的錯誤描述

## 免責聲明

本文中的信息，包括參考的 URL 地址，如有變更，恕不另行通知。文檔“按現狀”提供，不負任何擔保責任，包括對適銷性、適用於特定用途或非侵權性的任何擔保，和任何提案、規格或樣品在他處提到的任何擔保。本文檔不負任何責任，包括使用本文檔內信息產生的侵犯任何專利權行為的責任。本文檔在此未以禁止反言或其他方式授予任何知識產權使用許可，不管是明示許可還是暗示許可。文中提到的所有商標名稱、商標和註冊商標均屬其各自所有者的財產，特此聲明。

## 版權公告

版權歸 © 2018 嘉楠科技所有。保留所有權利。

# 目錄

關於本手冊	i
發布說明	i
免責聲明	i
版權公告	i
第 1 章 概述	1
1.1 AI 解決方案	1
1.2 系統架構	3
第 2 章 腳位定義	4
2.1 腳位佈局	5
2.2 腳位描述	5
2.3 電源分配	10
2.4 復位電路	11
2.5 特殊腳位	11
第 3 章 功能描述	12
3.1 中央處理器 (CPU)	12
3.2 神經網路處理器 (KPU)	13
3.3 音頻處理器 (APU)	14
3.4 靜態隨機存取記憶體 (SRAM)	15
3.5 系統控制器 (SYSCTL)	16
3.6 現場可編程 IO 陣列 (FPIOA/IOMUX)	16
3.7 一次性可編程存儲器 (OTP)	16
3.8 高級加密加速器 (AES Accelerater)	17
3.9 數位視訊介面 (DVP)	17

3.10	快速傅立葉變換加速器 (FFT Accelerator) . . . . .	17
3.11	安全散列演算法加速器 (SHA256 Accelerator) . . . . .	17
3.12	通用異步收發傳輸器 (UART) . . . . .	18
3.13	看門狗定時器 (WDT) . . . . .	18
3.14	通用輸入/輸出介面 (GPIO) . . . . .	19
3.15	直接內存取控制器 (DMAC) . . . . .	20
3.16	集成電路內置總線 (I <sup>2</sup> C) . . . . .	20
3.17	串列外設介面 (SPI) . . . . .	20
3.18	集成電路內置音頻總線 (I <sup>2</sup> S) . . . . .	21
3.19	定時器 (TIMER) . . . . .	21
3.20	只讀記憶體 (ROM) . . . . .	21
3.21	實時時鐘 (RTC) . . . . .	22
3.22	脈沖寬度調制器 (PWM) . . . . .	22
第 4 章	電氣特性	23
4.1	可編程驅動能力 . . . . .	23
第 5 章	封裝資訊	25

# 第 1 章

## 概述

Kendryte K210 是集成機器視覺與機器聽覺能力的系統級晶片 (SoC)。使用台積電 (TSMC) 超低功耗的 28 奈米先進製程，具有雙核 64 位處理器，擁有較好的功耗性能，穩定性與可靠性。該方案力求零門檻開發，可在最短時效部署於用戶的產品中，賦予產品人工智慧。

Kendryte K210 定位於 AI 與 IoT 市場的 SoC，同時是使用非常方便的 MCU。

Kendryte 中文含義為勘智，而勘智取自勘物探智。這顆晶元主要應用領域為物聯網領域，在物聯網領域進行開發，因此為勘物；這顆晶片主要提供的是人工智慧解決方案，在人工智慧領域探索，因此為探智。

- 具備機器視覺能力
- 具備機器聽覺能力
- 更好的低功耗視覺處理速度與準確率
- 具備捲積人工神經網路硬體加速器 KPU，可高性能進行捲積人工神經網路運算
- TSMC 28nm 先進製程，溫度範圍-40°C 到 125°C，穩定可靠
- 支持硬體加密，難以使用普通方法破解
- 獨特的可編程 IO 陣列，使產品設計更加靈活
- 低電壓，與相同處理能力的系統相比具有更低功耗
- 3.3V/1.8V 雙電壓支持，無需電平轉換，節約成本

### 1.1 AI 解決方案

#### 1.1.1 機器視覺

Kendryte K210 具備機器視覺能力，是零門檻機器視覺嵌入式解決方案。它可以在低功耗情況下進行捲積神經網路計算。

該晶元可以實現以下機器視覺能力：

- 基於捲積神經網路的一般目標檢測
- 基於捲積神經網路的圖像分類任務
- 人臉檢測和人臉識別
- 實時獲取被檢測目標的大小與坐標
- 實時獲取被檢測目標的種類

### 1.1.2 機器聽覺

Kendryte K210 具備機器聽覺能力。晶元上自帶高性能麥克風陣列音頻處理器，可以進行實時聲源定向與波束形成。

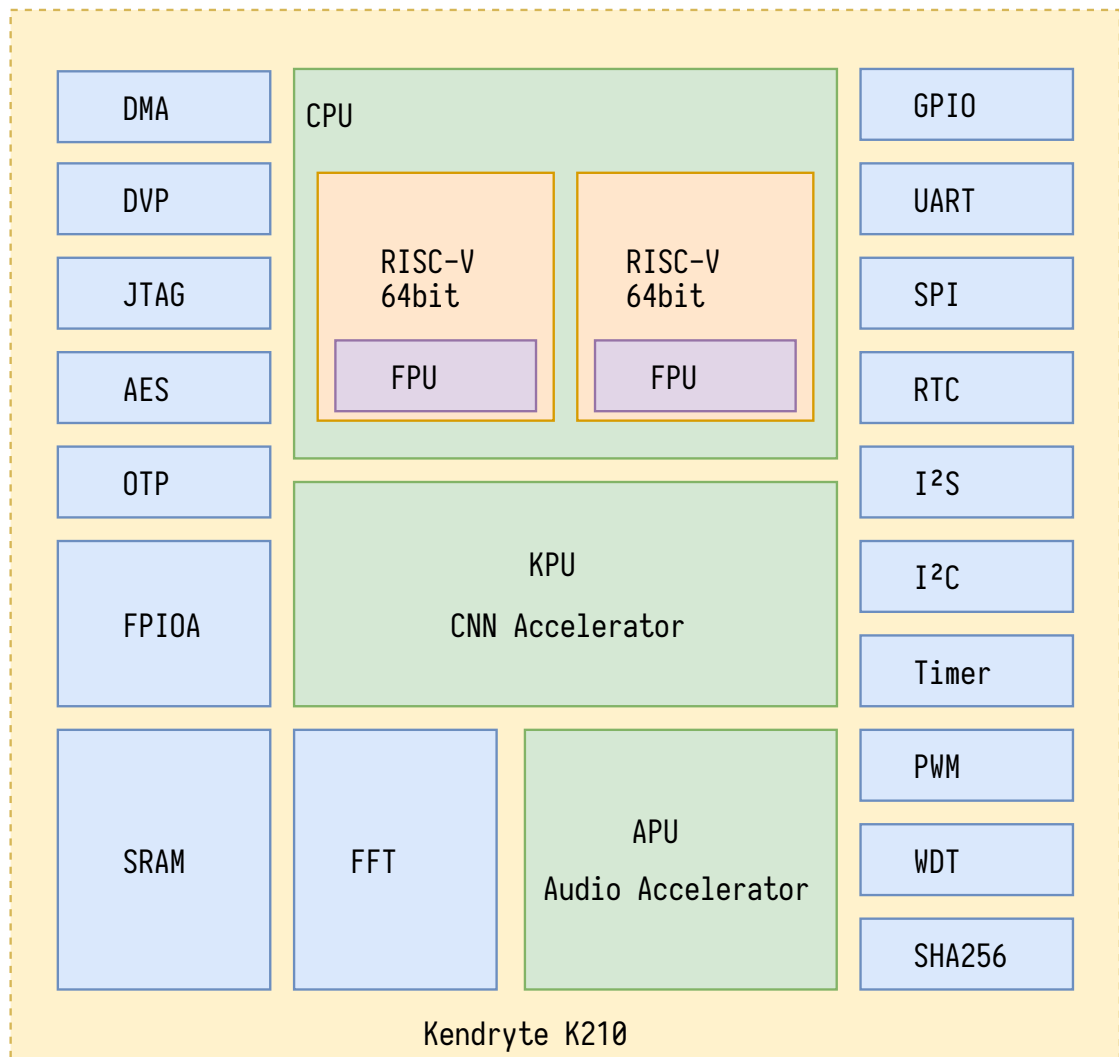
該晶元可以實現以下機器聽覺能力：

- 聲源定向
- 聲場成像
- 波束形成
- 語音喚醒
- 語音識別

### 1.1.3 視覺/聽覺混合解決方案

Kendryte K210 可結合機器視覺和機器聽覺能力，提供更強大的功能。一方面，在應用中既可以通過聲源定位和聲場成像輔助機器視覺對目標的跟蹤，又可以通過一般目標檢測獲得目標的方位後輔助機器聽覺對該方位進行波束形成。另一方面，可以通過攝像頭傳來的圖像獲得人的方向後，使得麥克風陣列通過波束形成指向該人。同時也可以根據麥克風陣列確定一個說話人的方向，轉動攝像頭指向該人。

## 1.2 系統架構



K210 包含 RISC-V 64 位雙核 CPU，每個核心內置獨立 FPU。K210 的核心功能是機器視覺與聽覺，其包含用於計算捲積人工神經網路的 KPU 與用於處理麥克風陣列輸入的 APU。同時 K210 具備快速傅立葉變換加速器，可以進行高性能復數 FFT 計算。因此對於大多數機器學習演算法，K210 具備高性能處理能力。

K210 內嵌 AES 與 SHA256 演算法加速器，為用戶提供基本安全功能。

K210 擁有高性能、低功耗的 SRAM，以及功能強大的 DMA，在數據吞吐能力方面性能優異。

K210 具備豐富的外設單元，分別是：DVP、JTAG、OTP、FPIOA、GPIO、UART、SPI、RTC、I<sup>2</sup>S、I<sup>2</sup>C、WDT、Timer 與 PWM，可滿足海量應用場景。

## 第 2 章

### 腳位定義

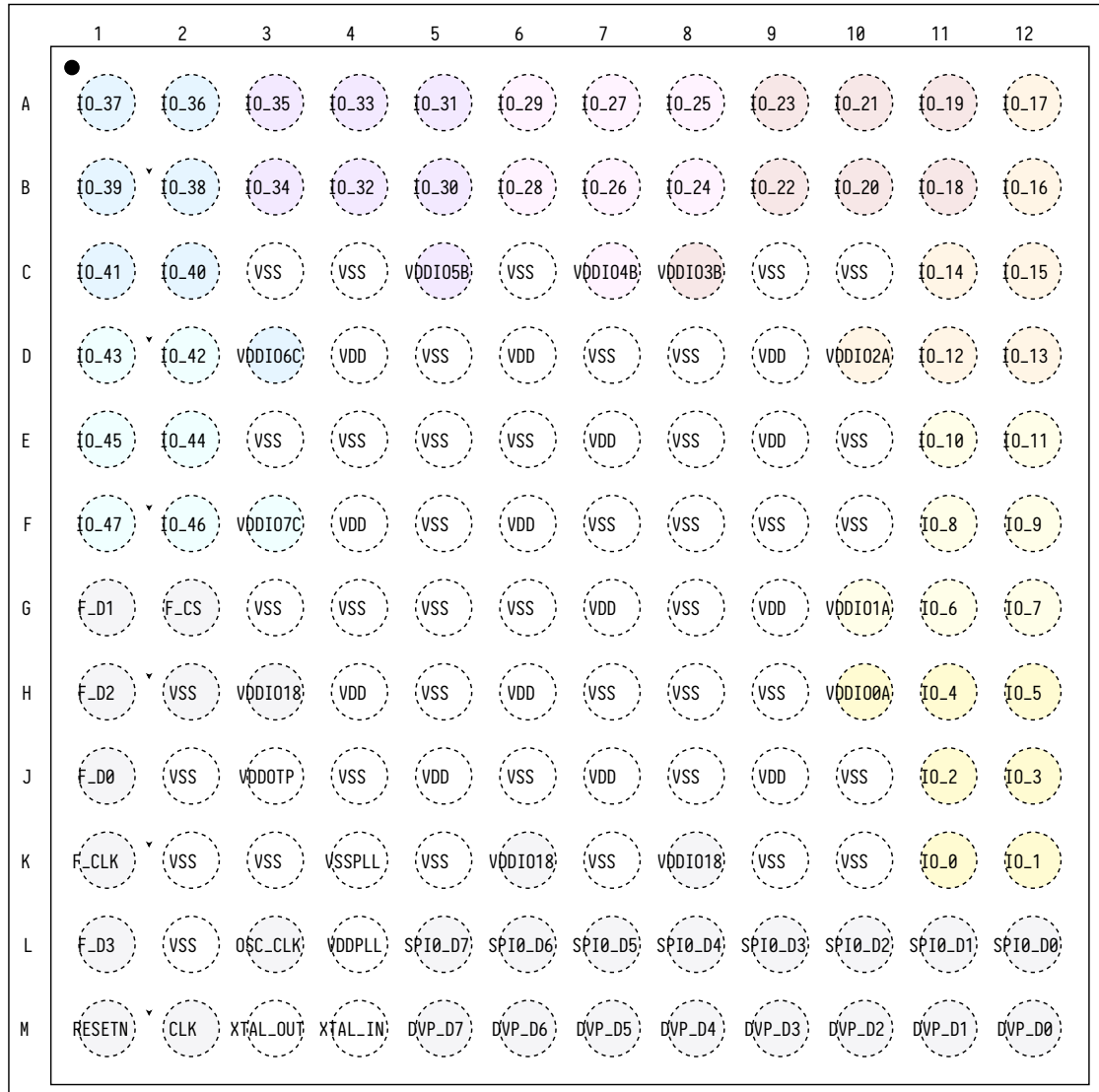
K210 使用精心設計的腳位佈局，確保信號都在 BGA 外圈，以方便 PCB 工程師進行扇出與佈線，提升電氣性能，降低設計難度。

由於 K210 包含多種電源域的 I/O 信號，並且不同電源域可能有不同的電壓，以下將會對使用的電源域進行列表說明：

電源域組	電源域	支持電壓 (V)	互聯特性	電源名稱
A	0	3.3 或 1.8	組內互聯，組間獨立	VDDI00A
A	1	3.3 或 1.8	組內互聯，組間獨立	VDDI01A
A	2	3.3 或 1.8	組內互聯，組間獨立	VDDI02A
B	3	3.3 或 1.8	組內互聯，組間獨立	VDDI03B
B	4	3.3 或 1.8	組內互聯，組間獨立	VDDI04B
B	5	3.3 或 1.8	組內互聯，組間獨立	VDDI05B
C	6	3.3 或 1.8	組內互聯，組間獨立	VDDI06C
C	7	3.3 或 1.8	組內互聯，組間獨立	VDDI07C
低壓 I/O	低壓 I/O	1.8	無特殊要求	VDDI018
OTP	OTP	1.8	無特殊要求	VDDOTP
PLL	PLL	0.9	無特殊要求	VDDPLL
數字核心	數字核心	0.9	無特殊要求	VDD



## 2.1 腳位佈局



晶元的腳位定義如上圖（頂視圖，錫球朝向下方）。該晶元使用 BGA144 封裝，正方形，每一邊有 12 個引腳。晶元寬度為 8mm，長度為 8mm，高度為 0.953mm。

## 2.2 腳位描述

編號	名稱	類型	功能	復位後初始狀態
A1	IO_37	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 6, 組 C)	GPIOHS21
A2	IO_36	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 6, 組 C)	GPIOHS20
A3	IO_35	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 5, 組 B)	GPIOHS19
A4	IO_33	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 5, 組 B)	GPIOHS17
A5	IO_31	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 5, 組 B)	GPIOHS15
A6	IO_29	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 4, 組 B)	GPIOHS13
A7	IO_27	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 4, 組 B)	GPIOHS11
A8	IO_25	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 4, 組 B)	GPIOHS9
A9	IO_23	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 3, 組 B)	GPIOHS7
A10	IO_21	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 3, 組 B)	GPIOHS5
A11	IO_19	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 3, 組 B)	GPIOHS3
A12	IO_17	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 2, 組 A)	GPIOHS1
B1	IO_39	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 6, 組 C)	GPIOHS23
B2	IO_38	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 6, 組 C)	GPIOHS22
B3	IO_34	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 5, 組 B)	GPIOHS18
B4	IO_32	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 5, 組 B)	GPIOHS16
B5	IO_30	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 5, 組 B)	GPIOHS14
B6	IO_28	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 4, 組 B)	GPIOHS12
B7	IO_26	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 4, 組 B)	GPIOHS10
B8	IO_24	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 4, 組 B)	GPIOHS8
B9	IO_22	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 3, 組 B)	GPIOHS6
B10	IO_20	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 3, 組 B)	GPIOHS4
B11	IO_18	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 3, 組 B)	GPIOHS2
B12	IO_16	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 2, 組 A)	GPIOHS0 (ISP)
C1	IO_41	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 6, 組 C)	GPIOHS25
C2	IO_40	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 6, 組 C)	GPIOHS24
C3	VSS	S	接地	VSS
C4	VSS	S	接地	VSS
C5	VDDI05B	S	3.3V/1.8V 電源, 為 FPIOA 多功能 IO 供電 (電源域 5, 組 B)	VDDI033
C6	VSS	S	接地	VSS
C7	VDDI04B	S	3.3V/1.8V 電源, 為 FPIOA 多功能 IO 供電 (電源域 4, 組 B)	VDDI033
C8	VDDI03B	S	3.3V/1.8V 電源, 為 FPIOA 多功能 IO 供電 (電源域 3, 組 B)	VDDI033
C9	VSS	S	接地	VSS
C10	VSS	S	接地	VSS
C11	IO_14	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 2, 組 A)	GPIO6

編號	名稱	類型	功能	復位後初始狀態
C12	IO_15	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 2, 組 A)	GPI07
D1	IO_43	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 7, 組 C)	GPI0HS27
D2	IO_42	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 7, 組 C)	GPI0HS26
D3	VDDI06C	S	3.3V/1.8V 電源, 為 FPIOA 多功能 IO 供電 (電源域 6, 組 C)	VDDI033
D4	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
D5	VSS	S	接地	VSS
D6	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
D7	VSS	S	接地	VSS
D8	VSS	S	接地	VSS
D9	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
D10	VDDI02A	S	3.3V/1.8V 電源, 為 FPIOA 多功能 IO 供電 (電源域 2, 組 A)	VDDI033
D11	IO_12	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 2, 組 A)	GPI04
D12	IO_13	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 2, 組 A)	GPI05
E1	IO_45	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 7, 組 C)	GPI0HS29
E2	IO_44	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 7, 組 C)	GPI0HS28
E3	VSS	S	接地	VSS
E4	VSS	S	接地	VSS
E5	VSS	S	接地	VSS
E6	VSS	S	接地	VSS
E7	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
E8	VSS	S	接地	VSS
E9	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
E10	VSS	S	接地	VSS
E11	IO_10	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 1, 組 A)	GPI02
E12	IO_11	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 1, 組 A)	GPI03
F1	IO_47	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 7, 組 C)	GPI0HS31
F2	IO_46	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 7, 組 C)	GPI0HS30
F3	VDDI07C	S	3.3V/1.8V 電源, 為 FPIOA 多功能 IO 供電 (電源域 7, 組 C)	VDDI033
F4	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
F5	VSS	S	接地	VSS
F6	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
F7	VSS	S	接地	VSS
F8	VSS	S	接地	VSS
F9	VSS	S	接地	VSS
F10	VSS	S	接地	VSS

編號	名稱	類型	功能	復位後初始狀態
F11	IO_8	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 1, 組 A)	GPIO0
F12	IO_9	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 1, 組 A)	GPIO1
G1	F_D1	I/O	SPI 專用 GPIO (支持電平為 1.8V, 不可切換)	F_D1
G2	F_CS	0	SPI 專用 GPIO (支持電平為 1.8V, 不可切換)	F_CS
G3	VSS	S	接地	VSS
G4	VSS	S	接地	VSS
G5	VSS	S	接地	VSS
G6	VSS	S	接地	VSS
G7	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
G8	VSS	S	接地	VSS
G9	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
G10	VDDIO1A	S	3.3V/1.8V 電源, 為 FPIOA 多功能 IO 供電 (電源域 1, 組 A)	VDDIO33
G11	IO_6	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 1, 組 A)	(FLOAT*)
G12	IO_7	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 1, 組 A)	(FLOAT*)
H1	F_D2	I/O	SPI 專用 GPIO (支持電平為 1.8V, 不可切換)	F_D2
H2	VSS	S	接地	VSS
H3	VDDIO18	S	1.8V 電源, 為低壓 GPIO 供電	VDDIO18
H4	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
H5	VSS	S	接地	VSS
H6	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
H7	VSS	S	接地	VSS
H8	VSS	S	接地	VSS
H9	VSS	S	接地	VSS
H10	VDDIO0A	S	3.3V/1.8V 電源, 為 FPIOA 多功能 IO 供電 (電源域 0, 組 A)	VDDIO33
H11	IO_4	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 0, 組 A)	UARTHS_RX (ISP)
H12	IO_5	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 0, 組 A)	UARTHS_TX (ISP)
J1	F_D0	I/O	SPI 專用 GPIO (支持電平為 1.8V, 不可切換)	F_D0
J2	VSS	S	接地	VSS
J3	VDDOTP	S	1.8V 電源, 為一次性可編程記憶體 (OTP) 供電	VDDOTP
J4	VSS	S	接地	VSS
J5	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
J6	VSS	S	接地	VSS
J7	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD
J8	VSS	S	接地	VSS
J9	VDD	S	0.9V 電源, 為晶片數位核心供電	VDD

編號	名稱	類型	功能	復位後初始狀態
J10	VSS	S	接地	VSS
J11	IO_2	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 0, 組 A)	JTAG_TMS
J12	IO_3	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 0, 組 A)	JTAG_TDO
K1	F_CLK	0	SPI 專用 GPIO (支持電平為 1.8V, 不可切換)	F_CLK
K2	VSS	S	接地	VSS
K3	VSS	S	接地	VSS
K4	VSSPLL	S	接模擬地, 鎖相迴路 (PLL) 使用, 噪聲敏感	VSSPLL
K5	VSS	S	接地	VSS
K6	VDDIO18	S	1.8V 電源, 為低壓 GPIO 供電	VDDIO18
K7	VSS	S	接地	VSS
K8	VDDIO18	S	1.8V 電源, 為低壓 GPIO 供電	VDDIO18
K9	VSS	S	接地	VSS
K10	VSS	S	接地	VSS
K11	IO_0	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 0, 組 A)	JTAG_TCLK
K12	IO_1	I/O	可編程 IO 陣列 (FPIOA) 的多功能 IO (電源域 0, 組 A)	JTAG_TDI
L1	F_D3	I/O	SPI 專用 GPIO (支持電平為 1.8V, 不可切換)	F_D3
L2	VSS	S	接地	VSS
L3	OSC_CLK	0	有源振盪器輸出, 時脈來源於外部晶體振盪器	OSC_CLK
L4	VDDPLL	S	0.9V 模擬電源, 為鎖相迴路 (PLL) 供電	VDDPLL
L5	SPI0_D7	0	輸出專用腳位, 用於 SPI0 D7 輸出	(FLOAT*)
L6	SPI0_D6	0	輸出專用腳位, 用於 SPI0 D6 輸出	(FLOAT*)
L7	SPI0_D5	0	輸出專用腳位, 用於 SPI0 D5 輸出	(FLOAT*)
L8	SPI0_D4	0	輸出專用腳位, 用於 SPI0 D4 輸出	(FLOAT*)
L9	SPI0_D3	0	輸出專用腳位, 用於 SPI0 D3 輸出	(FLOAT*)
L10	SPI0_D2	0	輸出專用腳位, 用於 SPI0 D2 輸出	(FLOAT*)
L11	SPI0_D1	0	輸出專用腳位, 用於 SPI0 D1 輸出	(FLOAT*)
L12	SPI0_D0	0	輸出專用腳位, 用於 SPI0 D0 輸出	(FLOAT*)
M1	RESET	I	系統復位腳位, 低電平復位	RESET
M2	CLK	I	系統時脈輸入	CLK
M3	XTAL_OUT	0	無源晶體振盪器輸出腳。非失效安全, 禁止灌入有源信號	XTAL_OUT
M4	XTAL_IN	I	無源晶體振盪器輸入腳。非失效安全, 禁止灌入有源信號	XTAL_IN
M5	DVP_D7	I	輸入專用腳位, 用於 DVP D7 輸入	(FLOAT*)
M6	DVP_D6	I	輸入專用腳位, 用於 DVP D6 輸入	(FLOAT*)
M7	DVP_D5	I	輸入專用腳位, 用於 DVP D5 輸入	(FLOAT*)
M8	DVP_D4	I	輸入專用腳位, 用於 DVP D4 輸入	(FLOAT*)

編號	名稱	類型	功能	復位後初始狀態
M9	DVP_D3	I	輸入專用腳位，用於 DVP D3 輸入	(FLOAT*)
M10	DVP_D2	I	輸入專用腳位，用於 DVP D2 輸入	(FLOAT*)
M11	DVP_D1	I	輸入專用腳位，用於 DVP D1 輸入	(FLOAT*)
M12	DVP_D0	I	輸入專用腳位，用於 DVP D0 輸入	(FLOAT*)

含義說明表：

標識	含義
(FLOAT*)	無默認功能
I	輸入
O	輸出
I/O	輸入/輸出
S	電源

## 2.3 電源分配

電源域	電源名稱	額定電壓 (V)	最大電流 (mA)
I/O 3.3V/1.8V	VDDI00A	3.3 或 1.8V <sup>*1</sup>	200
I/O 3.3V/1.8V	VDDI01A	3.3 或 1.8V	200
I/O 3.3V/1.8V	VDDI02A	3.3 或 1.8V	200
I/O 3.3V/1.8V	VDDI03B	3.3 或 1.8V	200
I/O 3.3V/1.8V	VDDI04B	3.3 或 1.8V	200
I/O 3.3V/1.8V	VDDI05B	3.3 或 1.8V	200
I/O 3.3V/1.8V	VDDI06C	3.3 或 1.8V	200
I/O 3.3V/1.8V	VDDI07C	3.3 或 1.8V	200
I/O 1.8V	VDDI018	1.8	200
OTP 1.8V	VDDOTP	1.8	50
Core 0.9V	VDD	0.9	2000
SoC	VSS	0	-
PLL 0.9V	VDDPLL	0.9	15
PLL	VSSPLL	0	-

<sup>\*1</sup> 注意：組 A、B、C 之間的 I/O 電源相互不互聯，電壓可以不一致；相同組內的 I/O 電源 互聯，電壓一致。

## 2.4 復位電路

復位電路建議採用 1.8V 輸出的 MCU 專用電源監控晶元，在上電、斷電和欠壓條件下保證穩定復位。

## 2.5 特殊腳位

I0\_16 用於 boot 模式選擇，上電復位時，拉高進入 FLASH 啟動，拉低進入 ISP 模式。復位後，I0\_0、I0\_1、I0\_2、I0\_3 為 JTAG 引腳。I0\_4、I0\_5 為 ISP 腳位。

第3章

# 功能描述

## 3.1 中央處理器（CPU）

本品元搭載基於 RISC-V ISA 的雙核心 64 位的高性能低功耗 CPU，具備以下特性：

項目	內容	描述
核心數量	2 核心	雙核對等，各個核心具備獨立 FPU
處理器位寬	64 位	64 位 CPU 位寬，為高性能演算法計算提供位寬基礎，計算頻寬充足
額定頻率	400MHz	頻率可調，可通過調整 PLL VCO 與分頻進行變頻
指令集擴展	IMAFDC	基於 RISC-V 64 位 IMAFDC (RV64GC)，勝任通用任務
浮點處理單元	雙精度	具備乘法器、除法器與平方根運算器，支持單精度、雙精度的浮點計算
平臺中斷管理	PLIC	支持高級中斷管理，支持 64 個外部中斷源路由到 2 個核心
本地中斷管理	CLINT	支持 CPU 內置定時器中斷與跨核心中斷
指令緩存	32KiB×2	核心 0 與核心 1 各具有 32 千位元組的指令緩存，提升雙核指令讀取效能
數據緩存	32KiB×2	核心 0 與核心 1 各具有 32 千位元組的數據緩存，提升雙核數據讀取效能
內建 SRAM	8MiB	共計 8 兆位元組的內建 SRAM，詳細見 SRAM 章節

### 3.1.1 CPU 指令特點

- 強大的雙核 64 位基於開放架構的處理器，具備豐富的社群資源支持
- 支持 I 擴展，即基本整數指令集 (Base Integer Instruction Set) 擴展
- 支持 M 擴展，即整數乘除擴展，可硬體加速實現高性能整數乘除
- 支持 A 擴展，即原子操作擴展，可硬體實現軟體與操作系統需要的原子操作
- 支持 C 擴展，即壓縮指令擴展，可通過編譯器壓縮指令實現更高的程式碼密度與運行效率
- 支持不同特權等級，可分特權執行指令，更安全



### 3.1.2 FPU 與浮點計算能力

- FPU 滿足 IEEE754-2008 標準，計算流程以管線方式進行，具備很強的運算能力
- 核心 0 與核心 1 各具備獨立 FPU，兩個核心皆可勝任高性能硬體浮點計算
- 支持 F 擴展，即單精度浮點擴展，CPU 內嵌的 FPU 支持單精度浮點硬體加速
- 支持 D 擴展，即雙精度浮點擴展，CPU 內嵌的 FPU 支持雙精度浮點硬體加速
- FPU 具備除法器，支持單精度、雙精度的浮點的硬體除法運算
- FPU 具備平方根運算器，支持單精度、雙精度的浮點的硬體平方根運算

### 3.1.3 高級中斷管理能力

該 RISC-V CPU 的 PLIC 控制器支持靈活的高級中斷管理，可分 7 個優先級配置 64 個外部中斷源，兩個核心都可獨立進行配置：

- 可對兩個核心獨立進行中斷管理與中斷路由控制
- 支持軟體中斷，並且雙核心可以相互觸發跨核心中斷
- 支持 CPU 內置定時器中斷，兩個核心都可自由配置
- 高級外部中斷管理，支持 64 個外部中斷源，每個中斷源可配置 7 個優先級

### 3.1.4 調試能力

- 支持性能監控指令，可統計指令執行周期
- 具備用以調試的高速 UART 與 JTAG 介面
- 支持 DEBUG 模式以及硬體斷點

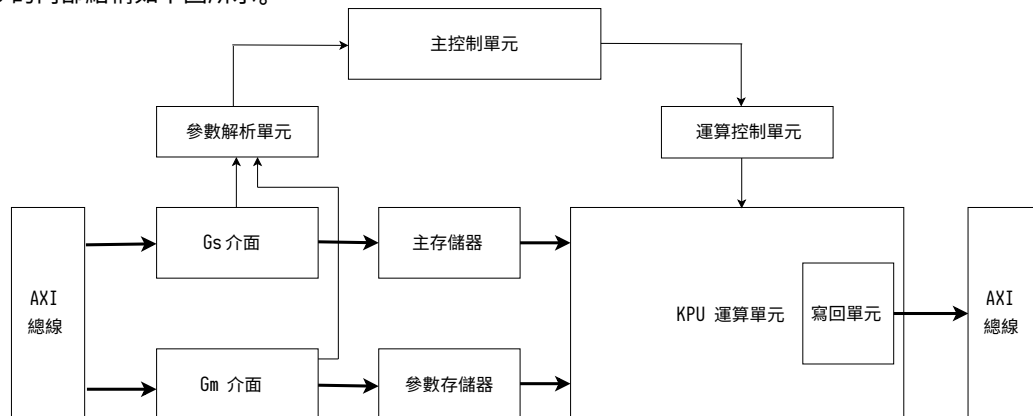
## 3.2 神經網路處理器 (KPU)

KPU 是通用神經網路處理器，內置捲積 (Convolution)、批化 (Batch Normalization)、激活 (Activation)、池化運算 (Pooling) 單元，可以對人臉或物體進行實時檢測，具體特性如下：

- 支持主流訓練框架按照特定限制規則訓練出來的定點化模型
- 對網路層數無直接限制，支持每層捲積神經網路參數單獨配置，包括輸入輸出通道數目、輸入輸出寬列高
- 支持兩種捲積內核 1x1 和 3x3
- 支持任意形式的激活函數
- 實時工作時最大支持神經網路參數大小為 5.5MiB 到 5.9MiB
- 非實時工作時最大支持網路參數大小為 (Flash 容量-軟體體積)

工況	最大定點模型大小 (MiB)	量化前浮點模型大小 (MiB)
實時 ( $\geq 30\text{fps}$ )	5.9	11.8
非實時 ( $< 10\text{fps}$ )* <sup>1</sup>	與 Flash 容量相關* <sup>2</sup>	與 Flash 容量相關

KPU 的內部結構如下圖所示。



### 3.3 音頻處理器 (APU)

APU 前處理模組負責語音方向掃描和語音數據輸出的前置處理工作。APU 前處理模塊的功能特性有：

- 可以支持最多 8 路音頻輸入數據流，即 4 路雙聲道
- 可以支持多達 16 個方向的聲源同時掃描預處理與波束形成
- 可以支持一路有效的語音數據流輸出
- 內部音頻信號處理精度達到 16-位
- 輸入音頻信號支持 12-位，16-位，24-位，32-位精度
- 支持多路原始信號直接輸出
- 可以支持高達 192K 採樣率的音頻輸入
- 內置 FFT 變換單元，可對音頻數據提供 512 點快速傅立葉變換
- 利用系統 DMAC 將輸出數據存儲到 SoC 的系統內部儲存中

\*<sup>1</sup> 非實時場合一般用於音頻應用，這類應用一般不需要 33ms 內獲得神經網路輸出結果。

\*<sup>2</sup> Flash 大小可選擇為：SPI NOR Flash (8MiB, 16MiB, 32MiB)，SPI NAND Flash (64MiB, 128MiB, 256MiB)，用戶可根據需要選擇合適的 Flash。

### 3.4 靜態隨機存取記憶體 (SRAM)

SRAM 包含兩個部分，分別是 6MiB 的晶片內通用 SRAM 記憶體與 2MiB 的晶片內 AI SRAM 記憶體，共計 8MiB (1MiB 為百萬位元組)。其中，AI SRAM 記憶體是專為 KPU 分配的記憶體。它們分佈在連續的地址空間中，不僅可以通過經由 CPU 的緩存介面訪問，而且可以通過非緩存介面直接訪問。

**SRAM 映射分佈：**

模塊名稱	映射類型	開始地址	結束地址	空間大小
通用 SRAM 記憶體	經 CPU 緩存	0x80000000	0x805FFFFFFF	0x600000
AI SRAM 記憶體	經 CPU 緩存	0x80600000	0x807FFFFFFF	0x200000
通用 SRAM 記憶體	非 CPU 緩存	0x40000000	0x405FFFFFFF	0x600000
AI SRAM 記憶體	非 CPU 緩存	0x40600000	0x407FFFFFFF	0x200000

#### 3.4.1 通用 SRAM 記憶體

通用 SRAM 記憶體在晶元正常工作的任意時刻都可以訪問。該記憶體分為兩個 Bank，分別為 MEM0 與 MEM1，並且 DMA 控制器可同時操作不同 Bank。

**通用 SRAM 記憶體地址空間：**

模塊名稱	映射類型	開始地址	結束地址	空間大小
MEM0	經 CPU 緩存	0x80000000	0x803FFFFFFF	0x400000
MEM1	經 CPU 緩存	0x80400000	0x805FFFFFFF	0x200000
MEM0	非 CPU 緩存	0x40000000	0x403FFFFFFF	0x400000
MEM1	非 CPU 緩存	0x40400000	0x405FFFFFFF	0x200000

#### 3.4.2 AI SRAM 記憶體

AI SRAM 記憶體僅在以下條件都滿足時才可訪問：

- PLL1 已啟動，時鐘系統配置正確
- KPU 沒有在進行神經網路計算

**AI SRAM 記憶體地址空間：**

模塊名稱	映射類型	開始地址	結束地址	空間大小
AI SRAM 記憶體	經 CPU 緩存	0x80600000	0x807FFFFFFF	0x200000
AI SRAM 記憶體	非 CPU 緩存	0x40600000	0x407FFFFFFF	0x200000

### 3.5 系統控制器 (SYSCTL)

控制晶片的時脈，復位和系統控制寄存器：

- 配置 PLL 的頻率
- 配置時脈選擇
- 配置外設時脈的分頻比
- 控制時脈開啟
- 控制模塊復位
- 選擇 DMA 握手信號

### 3.6 現場可編程 IO 陣列 (FPIOA/IOMUX)

FPIOA 允許用戶將 255 個內部功能映射到晶元外圍的 48 個自由 IO 上：

- 支持 IO 的可編程功能選擇
- 支持 IO 輸出的 8 種驅動能力選擇
- 支持 IO 的內部上拉電阻選擇
- 支持 IO 的內部下拉電阻選擇
- 支持 IO 輸入的內部施密特觸發器設置
- 支持 IO 輸出的斜率控制
- 支持內部輸入邏輯的電平設置

### 3.7 一次性可編程存儲器 (OTP)

OTP 是一次性可編程記憶體單元，具體應用特性如下：

- 具有 128Kbit 的大容量存儲空間
- 內部劃分多個容量不同的 BLOCK，每個 BLOCK 對應一個寫保護位，可以單獨進行寫保護操作
- 具有壞點修復功能
- 內部存儲了 64 個 REGISTER\_ENABLE 標志位，可以作為控制某些 SoC 的硬體電路行為的開關
- 可以存儲 128 位的 AES 加密和解密需要的 KEY，由硬體實現只寫可信存儲區

### 3.8 高級加密加速器 (AES Accelerater)

AES 加速器是用來加密和解密的模塊，具體性能如下：

- 支持 ECB, CBC, GCM 三種加密方式
- 支持 128 位, 192 位, 256 位三種長度的 KEY
- KEY 可以通過軟體配置，受到硬體電路保護
- 支持 DMA 傳輸

### 3.9 數位視訊介面 (DVP)

DVP 是攝像頭介面模塊，特性如下：

- 支持 DVP 介面的攝像頭
- 支持 SCCB 協議配置攝像頭寄存器
- 最大支持 640X480 及以下解析度，每幀大小可配置
- 支持 YUV422 和 RGB565 格式的圖像輸入
- 支持圖像同時輸出到 KPU 和顯示螢幕：
  - 輸出到 KPU 的格式可選 RGB888，或 YUV422 輸入時的 Y 分量
  - 輸出到顯示屏的格式為 RGB565
- 檢測到一幀開始或一幀圖像傳輸完成時可向 CPU 發送中斷

### 3.10 快速傅立葉變換加速器 (FFT Accelerater)

FFT 加速器是用硬體的方式來實現 FFT 的基 2 時分運算。

- 支持多種運算長度，即支持 64 點、128 點、256 點以及 512 點運算
- 支持兩種運算模式，即 FFT 以及 IFFT 運算
- 支持可配的輸入數據位寬，即支持 32 位及 64 位輸入
- 支持可配的輸入數據排列方式，即支持虛部、實部交替，純實部以及實部、虛部分離三種數據排列方式
- 支持 DMA 傳輸

### 3.11 安全散列演算法加速器 (SHA256 Accelerater)

SHA256 加速器是用來計算 SHA-256 的計算單元：

- 支持 SHA-256 的計算
- 支持輸入數據的 DMA 傳輸

## 3.12 通用異步收發傳輸器 (UART)

### 3.12.1 高速 UART :

高速 UART 為 UARTH5(UART0)

- 通信速率可達 5Mbps
- 8 位元組發送和接收 FIFO
- 可編程式 THRE 中斷
- 不支持硬體流控制或其他數據機控制信號，或同步串列數據轉換器

### 3.12.2 通用 UART :

通用 UART 為 UART1、UART2 和 UART3，支持異步通信 (RS232 和 RS485 和 IRDA，通信速率可達到 5Mbps。UART 支持 CTS 和 RTS 信號的硬體管理以及軟體流控 (XON 和 XOFF)。3 個介面均可被 DMA 訪問或者 CPU 直接訪問。

- 8 位元組發送和接收 FIFO
- 異步時脈支持
  - 為了應對 CPU 對於數據同步的對波特率的要求，UART 可以單獨配置數據時脈。全雙工模式能保證兩個時脈域中數據的同步
- RS485 介面支持
  - UART 可以配置為軟體可編程式 RS485 模式。默認為 RS232 模式
- 可編程式 THRE 中斷
  - 用 THRE 中斷模式來提升串口性能。當 THRE 模式和 FIFO 模式被選擇之後，如果 FIFO 中少於閾值便觸發 THRE 中斷

## 3.13 看門狗定時器 (WDT)

WDT 是 APB 的一種從外設，並且也是“同步化硬體組件設計”的組成部分。具有兩個 WDT，分別為 WDT0、WDT1 看門狗定時器主要包含模塊有：

- 一個 APB 從介面
- 一個當前計數器同步的寄存器模塊
- 一個隨著計數器遞減的中斷/系統重置模塊和邏輯控制電路

- 一個同步時脈域來為異步時脈同步做支持

看門狗定時器支持如下設置：

- APB 總線寬度可配置為 8、16 和 32 位
- 時鐘計數器從某一個設定的值遞減到 0 來指示時間的計時終止
- 可選擇的外部時鐘使能信號，用於控制計數器的計數速率
- 一個時鐘超時 WDT 可以執行以下任務：
  - 產生一個系統復位信號
  - 首先產生一個中斷，即使該位是否已經被中斷服務清除，其次它會產生一個系統復位信號
- 占空比可編程調節
- 可編程和硬體設定計數器起始值
- 計數器重新計時保護
- 暫停模式，僅當使能外部暫停信號時
- WDT 偶然禁用保護
- 測試模式，用來進行計數器功能測試（遞減操作）
- 外部異步時脈支持。當該項功能啟用時，將會產生時脈中斷和系統重置信號，即使 APB 總線時鐘關閉的情況下

## 3.14 通用輸入/輸出介面（GPIO）

### 3.14.1 高速 GPIO：

高速 GPIO 為 GPIOHS，共 32 個。具有如下特點：

- 可配置輸入輸出信號
- 每個 IO 具有獨立中斷源
- 中斷支持邊緣觸發和電平觸發
- 每個 IO 可以分配到 FPIOA 上 48 個管腳之一
- 可配置上下拉，或者高阻

### 3.14.2 通用 GPIO：

通用 GPIO 共 8 個，具有如下特點：

- 8 個 IO 使用一個中斷源
- 可配置輸入輸出信號
- 可配置觸發 IO 總中斷，邊緣觸發和電平觸發
- 每個 IO 可以分配到 FPIOA 上 48 個管腳之一

- 可配置上下拉，或者高阻

### 3.15 直接內存存取控制器 (DMAC)

DMAC 具有高度可配置化，高度可編程，在總線模式下傳輸數據具有高效率，DMAC 控制器具有多主機，多頻道等特點。DMAC 具有如下特點：

- 內存-內存，內存-外設，外設-內存，外設-外設的 DMA 傳輸
- 具有獨立的核心，主介面和從介面獨立時脈
- 當所有外設不活動時主介面可以關閉其時脈來省電
- 多達八個通道，每路通道都有源和目的地對
- 每個通道數據傳輸數據時每個時刻只能有一個方向傳輸，不同通道則不受影響
- 輸入管腳可以動態選擇大小端制式
- 通道鎖支持，支持內部通道仲裁，根據數據傳輸的優先級來使用主介面總線的特權
- DMAC 狀態輸出，空閑/忙指示
- DMA 傳輸分配成傳輸中，被中斷，傳輸完成等傳輸等級

### 3.16 集成電路內置總線 (I<sup>2</sup>C)

集成電路總線有 3 個 I<sup>2</sup>C 總線介面，根據用戶的配置，總線介面可以用作 I<sup>2</sup>C MASTER 或 SLAVE 模式。I<sup>2</sup>C 介面支持：

- 標準模式 (0 到 100Kb/s)
- 快速模式 (<= 400Kb/s)
- 7-位/10-位 尋址模式
- 批量傳輸模式
- 中斷或輪詢模式操作

### 3.17 串列外設介面 (SPI)

串列外設介面有 4 組 SPI 介面，其中 SPI0、SPI1、SPI3 只能工作在 MASTER 模式，SPI2 只能工作在 SLAVE 模式，他們有如下特性：

- 支持 1/2/4/8 線全雙工模式
- SPI0、SPI1、SPI2 可支持 25MHz 時脈（待測更新）
- SPI3 最高可支持 100MHz 時脈（待測更新）
- 支持 32 位寬、32BYTE 深的 FIFO



- 獨立屏蔽中斷 - 主機沖突，發送 FIFO 溢出，發送 FIFO 空，接收 FIFO 滿，接收 FIFO 下溢，接收 FIFO 溢出中斷都可以被屏蔽獨立
- 支持 DMA 功能
- 支持雙緣的 DDR 傳輸模式
- SPI3 支持 XIP

### 3.18 集成電路內置音頻總線 (I<sup>2</sup>S)

集成電路內置音頻總線共有 3 個 (I<sup>2</sup>S0、I<sup>2</sup>S1、I<sup>2</sup>S2)，都是 MASTER 模式。其中 I<sup>2</sup>S0 支持可配置連接語音處理模塊，實現語音增強和聲源定向的功能。下面是一些共有的特性：

- 總線寬度可配置為 8, 16, 和 32 位
- 每個介面最多支持 4 個立體聲通道
- 由於發送器和接收器的獨立性，所以支持全雙工通訊
- APB 總線和 I<sup>2</sup>S SCLK 的異步時脈
- 音頻數據解析度為 12, 16, 20, 24 和 32 位
- I<sup>2</sup>S0 發送 FIFO 深度為 64 位元組，接收為 8 位元組，I<sup>2</sup>S1 和 I<sup>2</sup>S2 的發送和接收 FIFO 深度都為 8 位元組
- 支持 DMA 傳輸
- 可編程 FIFO 閾值

### 3.19 定時器 (TIMER)

系統有 3 個 TIMER 模塊，它們有如下特性：

- 32 位計數器寬度
- 可配置的向上 / 向下時基計數器：增加或減少
- 時脈獨立可配
- 每個中斷的可配置極性
- 單個或組合中斷輸出標志可配置
- 每個定時器有讀/寫一致性寄存器
- 定時器切換輸出，每當定時器計數器重新加載時切換
- 定時器切換輸出的脈沖寬度調制 (PWM)，0 % 到 100% 占空比

### 3.20 只讀記憶體 (ROM)

AXI ROM 負責從 SPI FLASH 中拷貝程式至晶元的 SRAM 中。

- 支持硬體 AES-128-CBC 解密
- 支持 UOP 模式燒寫 FLASH 的程式
- 支持硬體 SHA256 完整性校驗防篡改
- 支持 OTP 中禁用掉 UOP 模式，SHA256 校驗，AES 解密
- 支持進入 TURBO 模式，可以使得啟動時晶元及其外設以較高頻率運行

### 3.21 實時時鐘 (RTC)

RTC 是用來計時的單元，在設置時間後具備計時功能：

- 可使用外部高頻晶振進行計時
- 可配置外部晶振頻率與分頻
- 支持萬年歷配置，可配置的項目包含世紀、年、月、日、時、分、秒與星期
- 可按秒進行計時，並查詢當前時刻
- 支持設置一組鬧鐘，可配置的項目包含年、月、日、時、分、秒，鬧鐘到達時觸發中斷
- 中斷可配置，支持每日、每時、每分、每秒觸發中斷
- 可讀出小於 1 秒的計數器計數值，最小刻度單位為外部晶振的單個周期
- 上電/復位後數據清零

### 3.22 脈沖寬度調制器 (PWM)

PWM 用於控制脈沖輸出的占空比。

用戶可配置 PWM 定時器模塊的以下功能：

- 通過指定 PWM 定時器頻率或周期來控制事件發生的頻率
- 配置特定 PWM 定時器與其他 PWM 定時器或模塊同步
- 使 PWM 定時器與其他 PWM 定時器或模塊同相
- 設置定時器計數模式：遞增，遞減，或遞增遞減循環計數模式
- 使用預分頻器更改 PWM 定時器時鐘 (PT\_clk) 的速率。每個定時器都有自己的預分頻器，通過寄存器 PWM\_TIMER0\_CFG0\_REG 的 PWM\_TIMERx\_PRESCALE 配置。PWM 定時器根據該寄存器的設置以較慢的速度遞增或遞減

# 第 4 章

## 電氣特性

參數項目	參數名稱	最小值	典型值	最大值	單位
3.3V/1.8V I/O 供電電壓	$V_{DD}$	-	3.3/1.8	-	V
1.8V 數字供電電壓	$DV_{DD1.8V}$	-	1.8	-	V
1.8V 模擬供電電壓	$AV_{DD1.8V}$	-	1.8	-	V
0.9V 核心供電電壓	$V_{DD0.9V}$	-	0.9	-	V
3.3V I/O 供電電流	$I_{3.3V}$	1	-	-	mA
1.8V 數字供電電流	$I_{1.8V}$	1	-	-	mA
1.8V 模擬供電電流	$I_{1.8V}$	2	-	-	mA
0.9V 核心供電電流	$I_{0.9V}$	30	-	-	mA
3.3V/1.8V I/O 輸入邏輯電平高	$V_{IH}$	$0.7 * V_{DD}$	-	-	V
3.3V/1.8V I/O 輸入邏輯電平低	$V_{IL}$	-	-	$0.3 * V_{DD}$	V
I/O 輸出邏輯電平高	$V_{OH}$	-	$V_{DD} - 0.3$	-	mV
I/O 輸出邏輯電平低	$V_{OL}$	-	0.3	-	mV
I/O 輸入漏電流	$I_{IL}$	-	TBD <sup>*1</sup>	-	nA
I/O 輸入電容	$C_{PAD}$	-	TBD	-	pF
存儲溫度範圍	$T_{STR}$	-40	25	150	°C
工作溫度範圍	$T_{OPR}$	-40	25	125	°C

### 4.1 可編程驅動能力

#### 低電平輸出電流

<sup>\*1</sup> 該數據的測試正在進行中，將在該文檔未來版本中補充

DS[3:0]	Min(mA)	Typ(mA)	Max(mA)
0000	3.2	5.4	8.3
0001	4.7	8.0	12.3
0010	6.3	10.7	16.4
0011	7.8	13.2	20.2
0100	9.4	15.9	24.2
0101	10.9	18.4	28.1
0110	12.4	20.9	31.8
0111	13.9	23.4	35.5

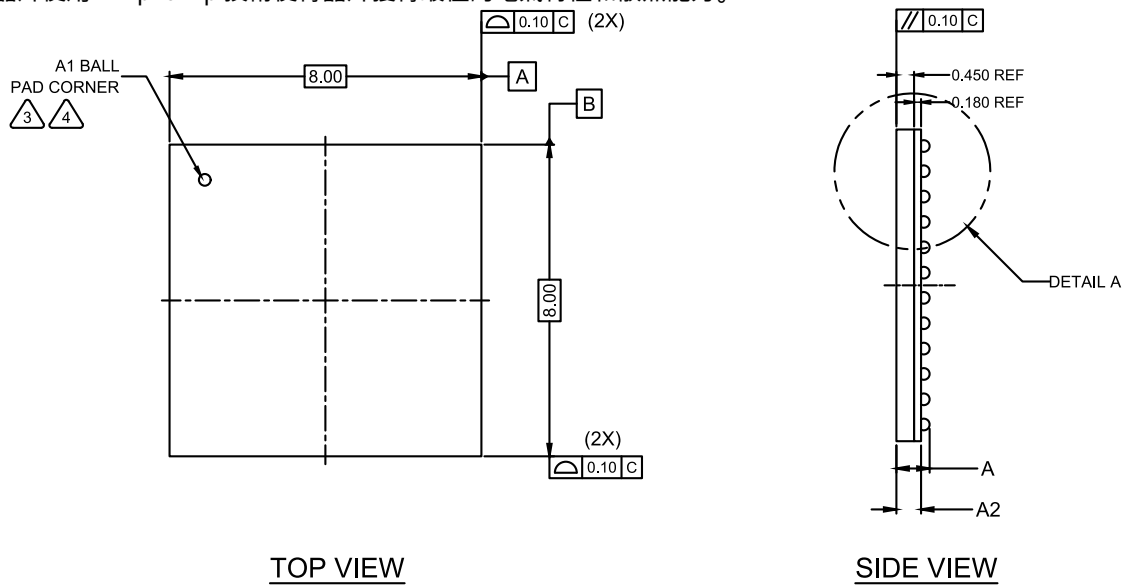
**高電平輸出電流**

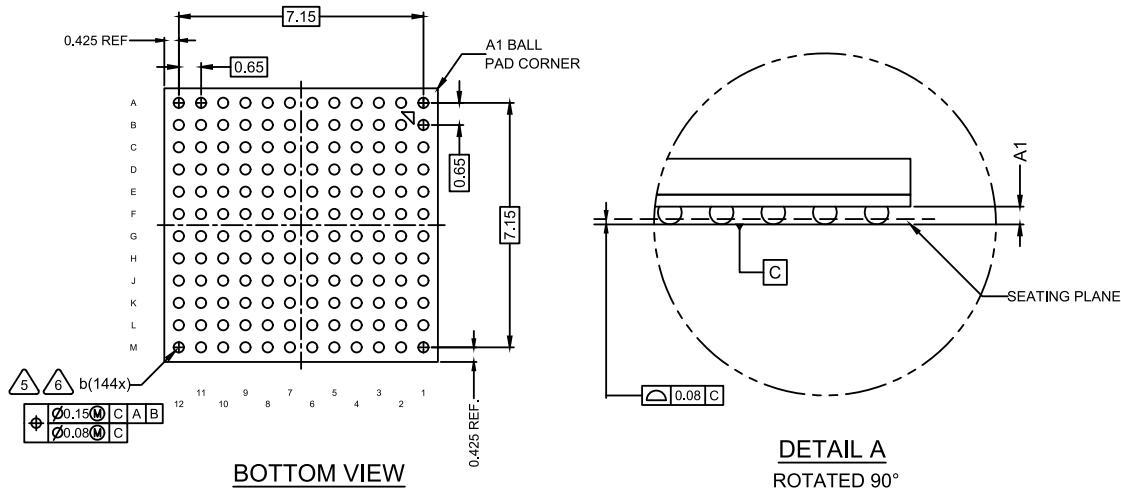
DS[3:0]	Min(mA)	Typ(mA)	Max(mA)
0000	5.0	7.6	11.2
0001	7.5	11.4	16.8
0010	10.0	15.2	22.3
0011	12.4	18.9	27.8
0100	14.9	22.6	33.3
0101	17.4	26.3	38.7
0110	19.8	30.0	44.1
0111	22.3	33.7	49.5

# 第 5 章

## 封裝資訊

該晶元使用的封裝為 BGA144, 每邊 12 個球, 長寬高為  $8 \times 8 \times 0.953\text{mm}$  (BGA144C65P12X12\_800X800X95). 該晶片使用 Flip-chip 技術使得晶片獲得最佳的電氣特性和散熱能力。





DIMENSION	MINIMUM	NOMINAL	MAXIMUM
A	0.753	0.853	0.953
A1	0.163	0.223	0.283
A2	0.550	0.630	0.710
b	0.250	0.300	0.350
NUMBER OF BALL 144			

UNLESS OTHERWISE SPECIFIED,  
DIMENSIONS ARE IN MILIMETERS.

TOLERANCES ARE:		PACKAGE OUTLINE DRAWING
DECIMALS	ANGLES	fcVFBGA 8.00mm X 8.00mm,
X.X ±0.1	±1°	0.65mm PITCH, 144LD
X.XX ±0.05		
X.XXX ±0.050		