

6.5 CMOS logički sklopovi

Kombinajski CMOS logički sklopovi

Kombinajski logički sklopovi

— nemaju mogućnost pamćenja \Rightarrow trenutni odzivi na izlazuima
posljedice su trenutnih signala

CMOS logički sklopovi

— proširuje CMOS invertora

• dvije mreže

▷ mreža ponora (eng. pull-down network)

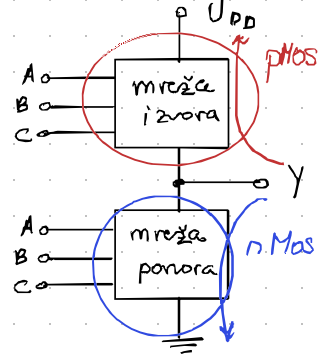
▷ mreža izvora (eng. pull-up network)

• ulazi se priključuju na obje mreže

• mreže rade komplementarno — jedna vodi, druga ne vodi

• jedna od mreža spaja izlaz na masu

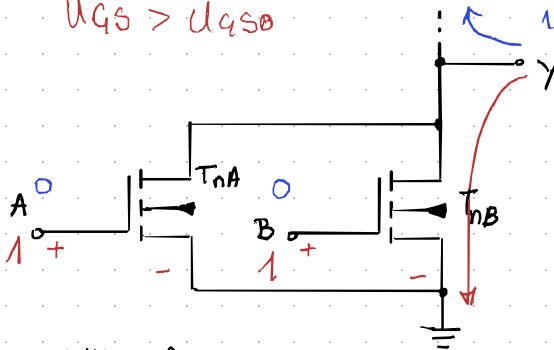
• u stacionarnom stanju nema potrošnje



Spajanje nMOS tranzistora u mrežu ponora $\rightarrow \bar{Y} = f(A, B, \dots)$

• n-kanalni MOSFET — vodi kada je na ulazu log. 1, spaja izlaz na 0

$$U_{GS} > U_{GS0}$$

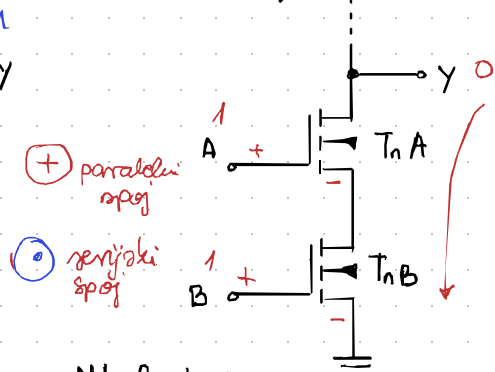


NIL1 funkcija

$$\bar{Y} = A + B \rightarrow Y = \overline{A + B}$$

A	B	Y
0	0	1
0	1	0
1	0	0
1	1	1

$\rightarrow Y$ je na 1
kada su
oba ili 1 ili 0



NI funkcija

$$\bar{Y} = A \cdot B \rightarrow Y = \overline{A \cdot B}$$

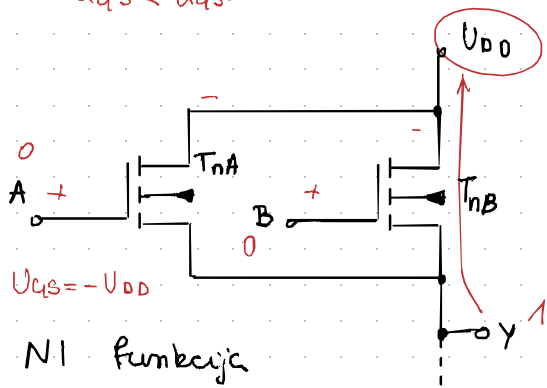
A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

samo ako su
oba ulaza 1 $\rightarrow Y=0$

Spajanje pMOS tranzistora u mrežu izvora $y = f(\bar{A}, \bar{B}, \bar{C}, \dots)$

- p-komolni: logička $0 \rightarrow 1$

$$U_{q5} < U_{q50}$$



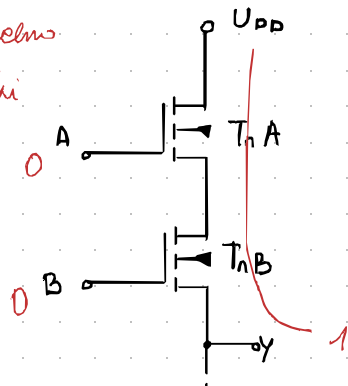
$$U_{q5} = -U_{DD}$$

NI funkcija

$$Y = \bar{A} + \bar{B} = \overline{A \cdot B}$$

(+) paralelna

(-) serijski

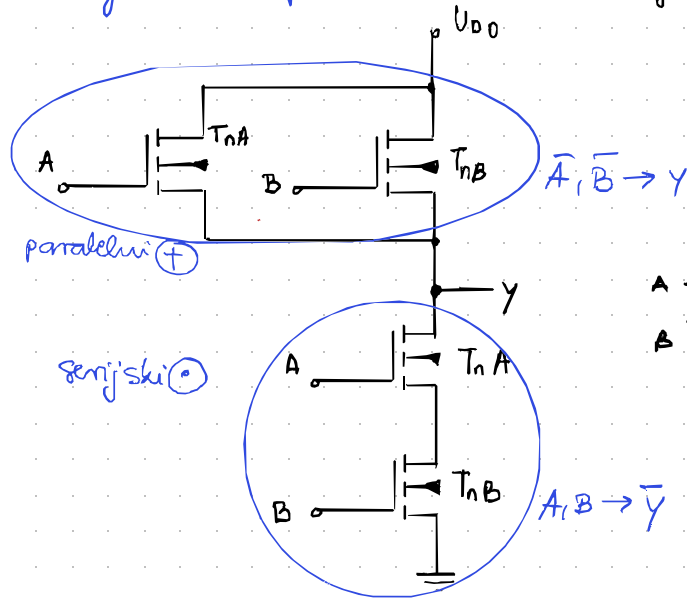


NLI funkcija

$$Y = \bar{A} \cdot \bar{B} = \overline{A + B}$$

Logički sklop NI

→ mogući biti komplementarne



paralelna (+)

serijski (-)



A	B	Y
0	0	1
0	1	1
1	0	1
1	1	0

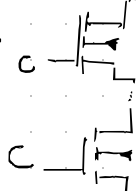
$$U_0 = 0$$

$$U_1 = U_{DD}$$

ako želimo dodati još jedan ulaz → u ovoj mreži poštujući pravila

→ izvora (PU) → (+) paralelna

→ ponora (PD) → (-) serijski



* 2x N ulaza

→ 2 x N tranzistora

Složene logičke funkcije

- AOI \rightarrow and - or - invert

• kombinacija serijskih i paralelnih spojeva tranzistora u obje mreže

• mreže moraju biti komplementarne

\rightarrow ako nacrtamo jednu, drugu lahko dobijemo

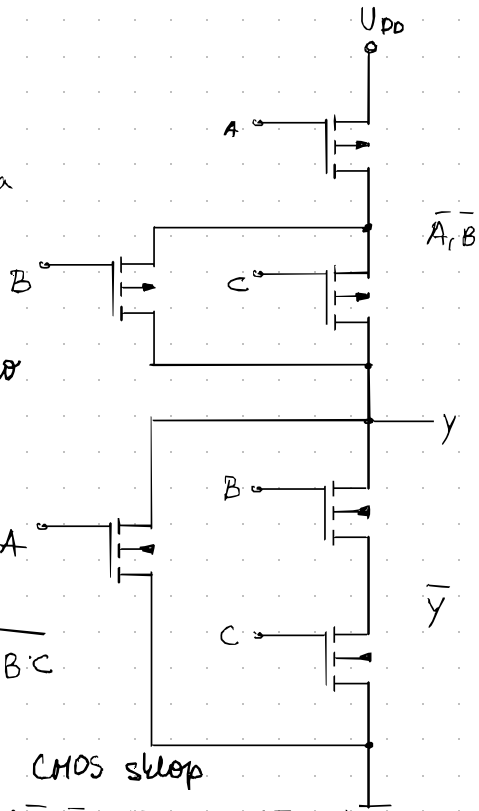
Primer

• za mrežu ponora $\bar{Y} = A + B \cdot C$

$$\rightarrow Y = \overline{A + B \cdot C}$$

• za mrežu izvora $Y = \bar{A}(\bar{B} + \bar{C})$

$$= \bar{A} \cdot \bar{B} \cdot \bar{C} = A + B \cdot C$$



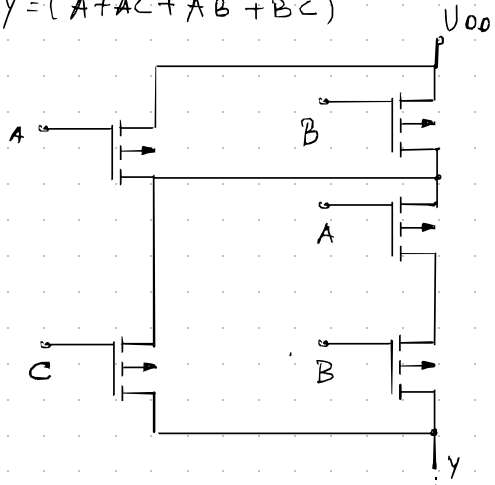
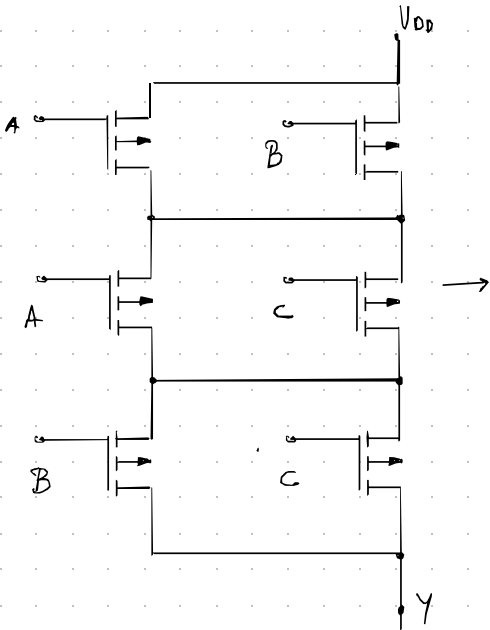
Primer 6.15.) Nacrtati komplementarni CMOS sklop

$$Y = \overline{AB + AC + BC} = \overline{AB} \cdot \overline{AC} \cdot \overline{BC} = (\bar{A} + \bar{B})(\bar{A} + \bar{C})(\bar{B} + \bar{C}) =$$

mreža izvora (PU) $\rightarrow \bar{A}, \bar{B}, \bar{C}$

$$Y = (\bar{A} + \bar{B})(\bar{A} + \bar{C})(\bar{B} + \bar{C})$$

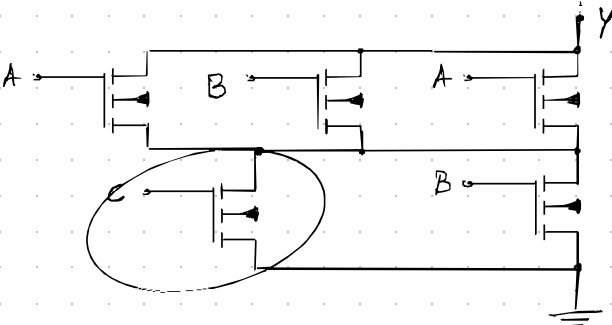
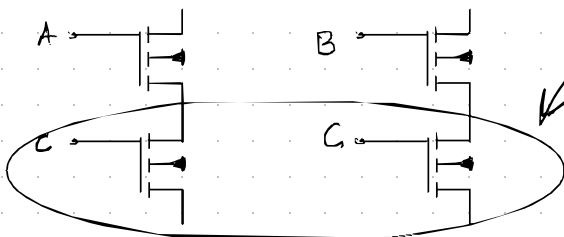
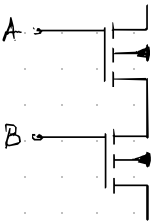
$$Y = (\bar{A} + \bar{A}\bar{C} + \bar{A}\bar{B} + \bar{B}\bar{C})$$



mreža ponora (PD)

\hookrightarrow jednostavnije

$$\bar{Y} = AB + AC + BC = AB + C(A+B)$$



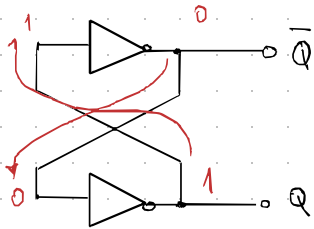
Sekvenčnijski CMOS logični sklopovi

Sekvenčnijski (slijedni) logični sklopovi

→ svojstvo pamćenja

- ne samo kombinacija trenutnih stanja na ulazima VEĆ i o prethodnim stanjima

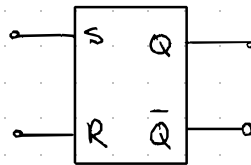
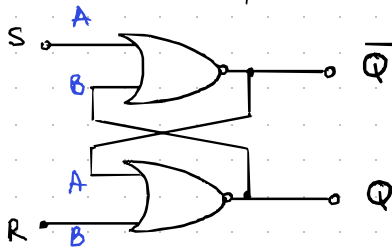
Osnovni sekvenčnijski sklop - BISTABIL



- spoji dvaju unakrsno spojena krstila
- dva komplementarna izlaza \bar{Q} ; Q
- memorijski element
- za promjenu stanja - ulazi za okidanje

SR-labil

NIL1 x 2



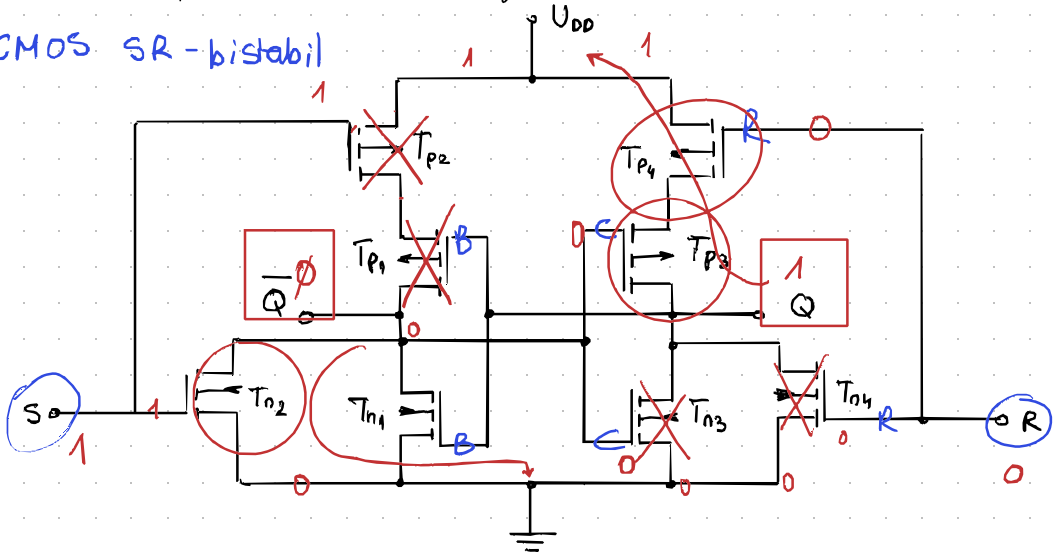
S	R	Q_{n+1}	\bar{Q}_{n+1}
0	0	Q	\bar{Q}
0	1	1	0
1	0	0	1
1	1	-	-

↓
1 1 - nedozvoljeno

S-R-okidanje

- S - postavljanje izlaza Q u logičku 1
- R - postavljanje izlaza Q u log. 0

CMOS SR-bistabil



↓ sinkronizirani kristali

