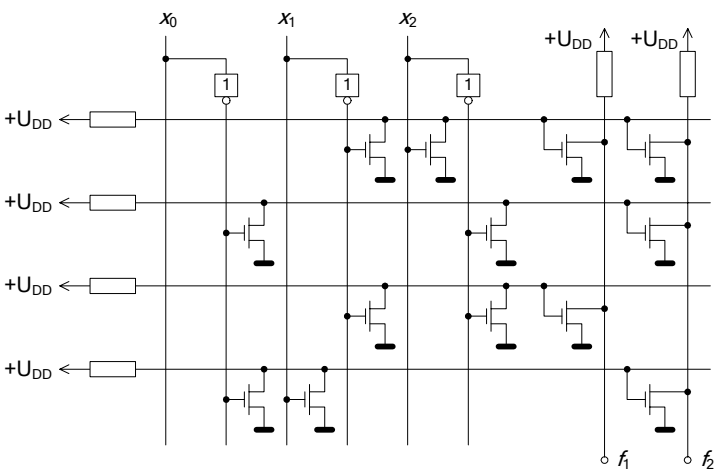
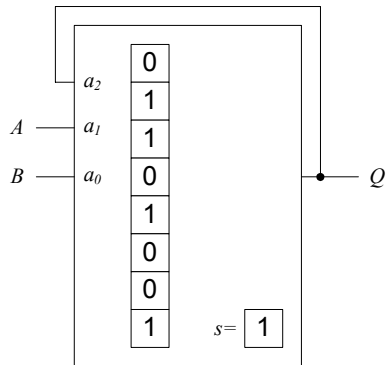
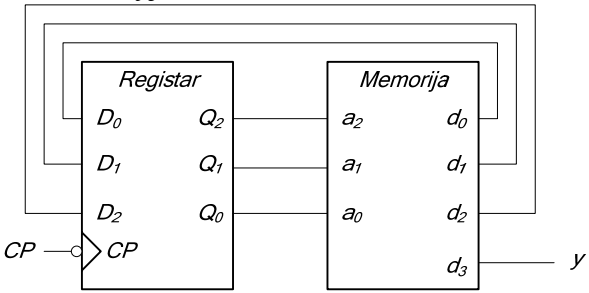
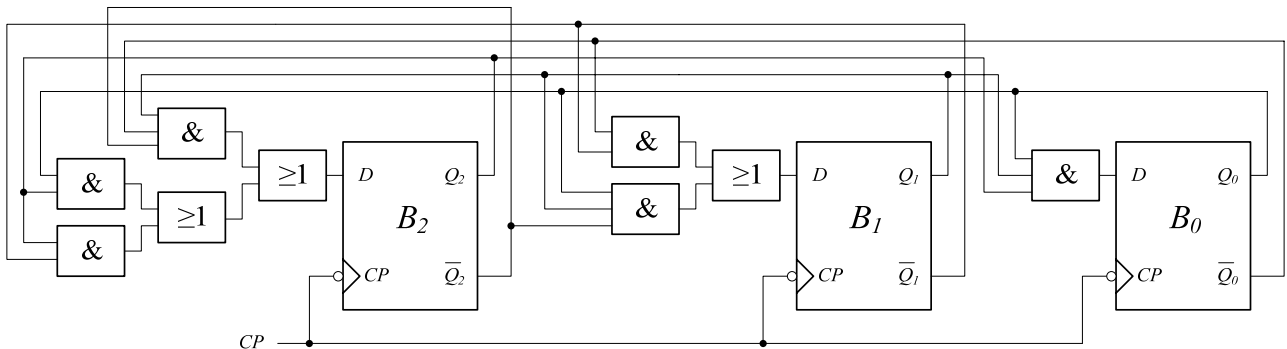


**ZIMSKI ISPITNI ROK IZ DIGITALNE LOGIKE – PISMENI ISPIT****Grupa C**

1	<p>Uporabom Hammingovog kôda uz <b>neparni</b> paritet potrebno je zaštititi podatak 01011011. Kako glasi zaštićena kodna riječ ako se koristi uobičajeni razmještaj zaštitnih i podatkovnih bitova?</p> <p>a) 010010101011                      d) 110110111011  b) 100110101011                      e) 000010101011  c) 110010101011                      f) ništa od navedenog</p>
2	<p>Koji od pretvornika u sebi sadrži dvosmjerno brojilo (tj. brojilo naprijed/natrag)?</p> <p>a) brojeći A/D pretvornik  b) Wilkinsonov pretvornik  c) pretvornik sa sukcesivnom aproksimacijom  d) kontinuirano brojeći A/D pretvornik  e) težinski D/A pretvornik  f) niti jedan od navedenih (ili više navedenih)</p>
3	<p>U nekom digitalnom sustavu cijeli se brojevi pamte kao 8 znamenaka u bazi B=8. Što će u tom sustavu biti zapisano kao rezultat oduzimanja 35721-4437252 ako se oduzimanje izvodi na uobičajen način uporabom B-komplementa?</p> <p>a) 72717437                      d) 37315577  b) 53172251                      e) 73376447  c) 74425371                      f) ništa od navedenog</p>
4	<p>Koliko iznosi redundancija Hammingovog kôda kada se štite 17-bitni podatci?</p> <p>a) 5/17              b) 5/22              c) 6/23              d) 4/17              e) 4/21              f) ništa od navedenoga</p>
5	<p>PLA strukturom u tehnologiji MOSFET ostvarene su funkcije <math>f_1</math> i <math>f_2</math> (vidi sliku). O kojim se funkcijama radi?</p>  <p>a) <math>f_1 = \bar{x}_2 x_0 + x_2 \bar{x}_1</math>, <math>f_2 = \bar{x}_2 \bar{x}_0 + \bar{x}_1 \bar{x}_0</math>                      d) <math>f_1 = \bar{x}_1</math>, <math>f_2 = \bar{x}_1 \bar{x}_0 + x_2 \bar{x}_0</math>  b) <math>f_1 = x_2 x_0 + \bar{x}_2 \bar{x}_1</math>, <math>f_2 = x_2 \bar{x}_0 + \bar{x}_1 \bar{x}_0</math>                      e) <math>f_1 = \bar{x}_0</math>, <math>f_2 = x_1 x_2</math>  c) <math>f_1 = \bar{x}_2 \bar{x}_0 + \bar{x}_1 \bar{x}_0</math>, <math>f_2 = \bar{x}_2 x_0 + x_2 \bar{x}_1</math>                      f) ništa od navedenog</p>
6	<p>Za neku porodicu integriranih logičkih sklopova poznati su sljedeći podatci: <math>U_{OHmin}=4,3V</math>, <math>U_{OLmax}=0,2V</math>, <math>U_{IHmin}=3,7V</math>, <math>U_{ILmax}=0,7V</math>. Neka je <math>u_{gs}</math> granica izmjenične smetnje za tu porodicu. Što sigurno vrijedi?</p> <p>a) <math>u_{gs} \leq 0,6V</math>    b) <math>u_{gs} \leq 0,5V</math>    c) <math>u_{gs} \geq 0,5V</math>    d) <math>u_{gs} \geq 0,6V</math>    e) <math>u_{gs} = 0,55V</math>    f) ništa od navedenoga</p>

7	<p>Neka je <math>f(A, B, C, D) = \overline{A}\overline{B} + BC + \overline{C}D</math> te neka je <math>f_D</math> njezina dualna funkcija. Utvrdite kako glasi <math>g(A, B, C, D) = f + f_d</math> zapisana u obliku produkta suma.</p> <p>a) <math>\prod M(0,2,4)</math>                      c) <math>\prod M(2,5,7)</math>                      e) <math>\prod M(7)</math>  b) <math>\prod M(0,1,2,4,5,6)</math>                      d) <math>\prod M(1,3,5,6)</math>                      f) ništa od navedenoga</p>
8	<p>Tri funkcije zadane u nastavku potrebno je ostvariti sklopom PLA tipa NI-NI. Koje su minimalne dimenzije sklopa PLA kojim je to moguće ostvariti?</p> <p><math>f_1(A, B, C, D) = \sum m(5,7,8,10,12,13,14,15)</math>, <math>f_2(A, B, C, D) = \sum m(5,10,13,14)</math>,  <math>f_3(A, B, C, D) = \sum m(7,8,12,15)</math>.</p> <p>a) <math>4 \times 7 \times 3</math>      b) <math>4 \times 6 \times 3</math>      c) <math>4 \times 3 \times 3</math>      d) <math>4 \times 4 \times 3</math>      e) <math>4 \times 5 \times 3</math>      f) ništa od navedenoga</p>
9	<p>Funkciju <math>f(A, B, C, D, E, F) = \overline{A}\overline{F} + BCDE</math> potrebno je ostvariti uporabom tehnologije CMOS uz minimalnu potrošnju tranzistora. Koliko je potrebno p-kanalnih tranzistora ako komplementi varijabli nisu unaprijed dostupni?</p> <p>a) 6                      b) 5                      c) 10                      d) 11                      e) 8                      f) ništa od navedenoga</p>
10	<p>Projektirati kombinacijski sklop koji na ulaz dobiva kôd jedne BCD znamenke (<math>a_3a_2a_1a_0</math>) a na izlazu <math>y</math> generira vrijednost 1 samo ako je ta znamenka prost broj (napomena: 1 ćemo smatrati prostim brojem). Na ulaz sklopa se nikada neće dovesti binarni uzorak koji nije valjani BCD kôd. Minimalni zapis funkcije <math>y(a_3, a_2, a_1, a_0)</math> u obliku sume produkata glasi:</p> <p>a) <math>\overline{a}_1a_0 + \overline{a}_3a_1\overline{a}_0</math>                      c) <math>\overline{a}_3a_0 + \overline{a}_2a_1</math>                      e) <math>\overline{a}_3a_0 + \overline{a}_2a_1\overline{a}_0</math>  b) <math>\overline{a}_3a_0 + \overline{a}_2a_1a_0</math>                      d) <math>a_3a_1 + a_2\overline{a}_0</math>                      f) ništa od navedenoga</p>
11	<p>Prijemnik s komunikacijskog kanala očitava <math>y_1y_2y_3y_4y_5</math>. Poznato je da predajnik i prijemnik štite poruke uporabom Hammingovog kôda uz uobičajen raspored podatkovnih i zaštitnih bitova. Sklop za ispravljanje posljednjeg podatkovnog bita na ulaz dobiva čitavu očitavanu riječ te izračunata bitove sindroma. Ako taj sklop želimo ostvariti uporabom jednog dekodera <b>minimalne</b> veličine, koliki nam treba dekodер?</p> <p>a) 3/8                      b) 1/2                      c) 5/32                      d) 4/16                      e) 8/256                      f) ništa od navedenoga</p>
12	<p>Funkcija <math>f = AB\overline{E}\overline{F}\overline{G} + C\overline{D}\overline{E} + \overline{B}\overline{C}DG</math> ostvaruje se multipleksorom 4/1. Na adresni ulaz veće težine dovedeno je A a na adresni ulaz manje težine B. Podatkovni ulazi multipleksora su <math>d_0, d_1, d_2</math> i <math>d_3</math>. O koliko varijabli ovisi rezidualna funkcija koja se dovodi na podatkovni ulaz <math>d_1</math>?</p> <p>a) 7                      b) 2                      c) 4                      d) 0                      e) 3                      f) ništa od navedenoga</p>
13	<p>Koji je osnovni razlog za prelazak s 2D na 2½D organizaciju memorije?</p> <p>a) povećavanje duljine linije bita  b) smanjivanje duljine linije bita  c) eliminacija destruktivnog čitanja  d) povećavanje duljine linije retka  e) smanjivanje duljine linije retka  f) ništa od navedenoga</p>

14	<p>Za sklop čiji su ulazi <math>a, b, c</math> i <math>d</math> te izlaz <math>f</math> u jeziku VHDL napisan je strukturni model. Korišteni su već gotovi modeli trouglastih sklopova I (<math>\text{sklopI}</math>) i te ILI (<math>\text{sklopILI}</math>) kod kojih se izlaz nalazi u sučelju na posljednjem mjestu. Invertori su opisani modelom <math>\text{inv}</math> čije sučelje najprije navodi ulaz a potom izlaz. Arhitektura sklopa dana je u nastavku. Koliko i kakvih hazarda ima takav sklop ako bi implementacija direktno odgovarala strukturnom modelu? <math>ac, bc, cc, dc, s1, s2</math> i <math>s3</math> su interni signali. Osnovni logički sklopovi imaju kašnjenja.</p> <pre>i1: ENTITY work.inv PORT MAP (a,ac); i2: ENTITY work.inv PORT MAP (b,bc); i3: ENTITY work.inv PORT MAP (c,cc); i4: ENTITY work.inv PORT MAP (d,cc); c1: ENTITY work.sklopILI PORT MAP (ac, b, c, s1); c2: ENTITY work.sklopILI PORT MAP (bc, cc, dc, s2); c3: ENTITY work.sklopILI PORT MAP (a, bc, c, s3); c4: ENTITY work.sklopI PORT MAP (s1, s2, s3, f);</pre> <p>a) 1 statički-1 hazard                      c) 2 statička-1 hazarda                      e) 2 dinamička-1 hazarda b) 2 statička-0 hazarda                      d) 1 statički-0 hazard                      f) ništa od navedenoga</p>
15	<p>Uporabom više memorijskih modula RAM-a <math>256 \times 4</math> izgrađena je veća memorija. Ako je za omogućavanje čipova korišten binarni dekodler s 5 adresnih ulaza te ako je ukupno potrošeno 128 memorijskih modula, kakav je RAM izgrađen?</p> <p>a) <math>8192 \times 16</math>    b) <math>16384 \times 16</math>    c) <math>4096 \times 8</math>    d) <math>16384 \times 8</math>    e) <math>4096 \times 32</math>    f) ništa od navedenoga</p>
16	<p>Za memoriju organizacije <math>2 \frac{1}{2} D</math> poznati su sljedeći podatci: na adresni dekodler dovodi se 10 adresnih bitova. Fizička riječ sadrži 16 logičkih riječi. Memorija na izlazu daje 16-bitne podatke. Koliki je kapacitet te memorije u bitovima?</p> <p>a) <math>2^{20}</math>                      b) <math>2^{10}</math>                      c) <math>2^{22}</math>                      d) <math>2^{16}</math>                      e) <math>2^{18}</math>                      f) ništa od navedenoga</p>
17	<p>Unutar digitalnog sklopa koji radi sa znamenkama u bazi 4 koristi se sljedeći kôd: 0=00, 1=10, 2=11, 3=01. Potrebno je konstruirati kombinacijski sklop koji na ulaz dobiva kôd jedne znamenke (<math>a_1a_0</math>) te upravljački signal <math>x</math>. Ako je <math>x=0</math>, sklop treba na izlaze <math>y_1y_0</math> propustiti kôd znamenke s ulaza. Ako je <math>x=1</math>, na izlazu <math>y_1y_0</math> treba generirati 3-komplement znamenke s ulaza. Minimalni zapis izlaza <math>y_0</math> glasi:</p> <p>a) <math>\bar{x}a_0 + x\bar{a}_1</math>                      c) <math>\bar{x}a_0 + x\bar{a}_0</math>                      e) <math>\bar{x}a_1 + x\bar{a}_1</math> b) <math>\bar{x} + xa_0</math>                      d) <math>xa_1 + x\bar{a}_0</math>                      f) ništa od navedenoga</p>
18	<p>Neki AB-bistabil ostvaren je uporabom trouglastog konfigurabilnog logičkog bloka (CLB) sklopa FPGA temeljenog na preglednoj tablici (LUT) i bistabilu D kako je prikazano na slici. Bistabil iste funkcionalnosti potrebno je ostvariti uporabom jednog bistabila tipa T. Što je potrebno dovesti na njegov ulaz T? Upravljački bit <math>s</math> upravlja multipleksorom koji na izlaz CLB-a propušta za <math>s=0</math> izlaz iz LUT-a, a za <math>s=1</math> izlaz iz bistabila D.</p>  <p>a) <math>\overline{A \cdot B}</math>    b) <math>A \oplus B</math>    c) <math>\overline{A + B}</math>    d) <math>A + B</math>    e) <math>A \cdot B</math>    f) ništa od navedenoga</p>
19	<p>Izračunajte omjer maksimalnih frekvencija rada 12-bitnog sinkronog binarnog brojila s paralelnim prijenosom i 12-bitnog sinkronog binarnog brojila sa serijskim prijenosom, ako je vrijeme kašnjenja bistabila 30 ns, vrijeme postavljanja 10 ns, vrijeme pridržavanja 10 ns te kašnjenje logičkog sklopa 5 ns.</p> <p>a) 12                      b) 3.5                      c) 6                      d) 2                      e) 4.25                      f) ništa od navedenoga</p>

20	<p>Potrebno je konstruirati <b>minimalni</b> Mooreov automat koji na svojim izlazima ciklički generira 0, 0, 0, 1, 0, 0, 0, 1, 0, 0, 0, 1, ... Koliko će bistabila trebati takav sklop?</p> <p>a) 2                      b) 8                      c) 12                      d) 3                      e) 5                      f) ništa od navedenoga</p>
21	<p>Automat s konačnim brojem stanja ostvaren je prema slici. Koliko takav automat može imati maksimalno stanja? Radi li se o Mealyjevom ili Mooreovom automatu?</p>  <p>a) 8, Mealy              b) 8, Moore              c) 3, Moore              d) 3, Mealy              e) 4, Mealy              f) ništa od navedenoga</p>
22	<p>Neka je u memoriju automata prikazanog na slici u zadatku 21 redom upisan sadržaj: E, F, 1, D, B, A, C, 0 (<b>pazi</b>: <math>d_3</math> je bit najveće težine). Neka su stanja automata kodirana binarno. U koje će stanje automat prijeći iz stanja S0?</p> <p>a) S1                      b) S7                      c) S6                      d) S5                      e) S2                      f) ništa od navedenoga</p>
23	<p>Potrebno je ostvariti brojilo koje na izlazima <math>O_2O_1O_0</math> generira ciklus <math>0 \rightarrow 2 \rightarrow 4 \rightarrow 6 \rightarrow 7 \rightarrow 5 \rightarrow 3 \rightarrow 1</math>. Na raspolaganju je trobitno sinkrono binarno brojilo čiji su izlazi <math>Q_2Q_1Q_0</math> spojeni na binarni dekodler 3/8. Neka su adresni ulazi dekodera označeni s <math>a_2a_1a_0</math>, a izlazi dekodera s <math>y_0, \dots, y_7</math>. Vrijedi <math>a_i = Q_i</math>. Odredite koje izlaze dekodera treba dovesti na sklop logičko-ILI kako bi se na njegovu izlazu dobio <math>O_2</math>? Kad je brojilo u stanju 0, izlaz sklopa treba biti 0.</p> <p>a) <math>y_0, y_2, y_6, y_7</math>                      c) <math>y_0, y_1, y_2, y_3</math>                      e) <math>y_0, y_2, y_4, y_6</math>  b) <math>y_1, y_3, y_5, y_7</math>                      d) <math>y_2, y_3, y_4, y_5</math>                      f) ništa od navedenoga</p>
24	<p>Za sklop prikazan na slici utvrdite maksimalnu frekvenciju rada. Kašnjenje logičkih sklopova I i ILI je 10ns, vrijeme postavljanja bistabila iznosi 20ns, vrijeme kašnjenja bistabila iznosi 30ns a vrijeme pridržavanja bistabila iznosi 18ns. Frekvencije su u odgovorima zaokružene na jednu decimalu i navedene su u MHz.</p>  <p>a) 12,5                      b) 10,0                      c) 25,0                      d) 16,7                      e) 12,0                      f) ništa od navedenoga</p>
25	<p>Izvedba nekog automata prikazana je na slici u zadatku 24. Izlazi automata su <math>Q_2Q_1Q_0</math>. Odredite ima li taj sklop siguran start te što će se pojaviti na izlazima <math>Q_2Q_1Q_0</math> nakon stanja 6 (tj. 110)?</p> <p>a) nema, 7              b) nema, 5              c) ima, 3              d) nema, 3              e) ima, 0              f) ništa od navedenoga</p>