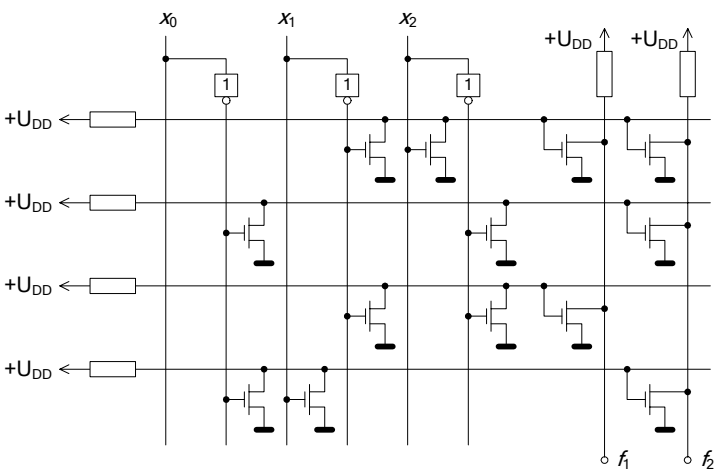
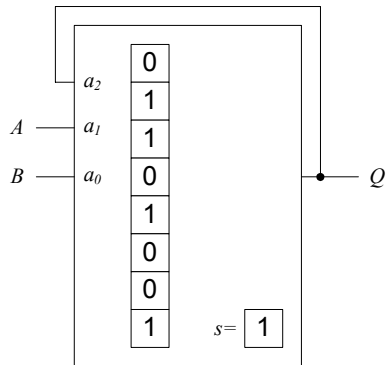
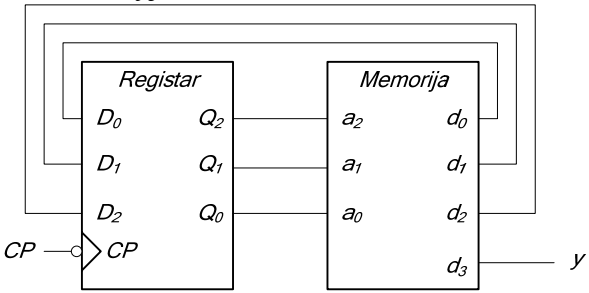
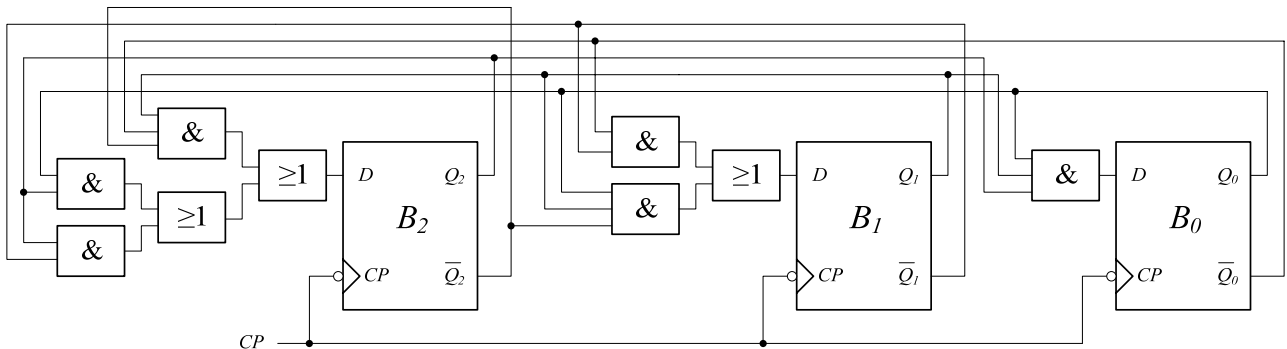


ZIMSKI ISPITNI ROK IZ DIGITALNE LOGIKE – PISMENI ISPIT**Grupa D**

1	<p>Uporabom Hammingovog kôda uz neparni paritet potrebno je zaštititi podatak 01011011. Kako glasi zaštićena kodna riječ ako se koristi uobičajeni razmještaj zaštitnih i podatkovnih bitova?</p> <p>a) 110010101011 d) 010010101011 b) 100110101011 e) 000010101011 c) 110110111011 f) ništa od navedenog</p>
2	<p>Koji od pretvornika u sebi sadrži dvosmjerno brojilo (tj. brojilo naprijed/natrag)?</p> <p>a) brojeći A/D pretvornik b) kontinuirano brojeći A/D pretvornik c) Wilkinsonov pretvornik d) pretvornik sa sukcesivnom aproksimacijom e) težinski D/A pretvornik f) niti jedan od navedenih (ili više navedenih)</p>
3	<p>U nekom digitalnom sustavu cijeli se brojevi pamte kao 8 znamenaka u bazi B=8. Što će u tom sustavu biti zapisano kao rezultat oduzimanja 35721-4437252 ako se oduzimanje izvodi na uobičajen način uporabom B-komplementa?</p> <p>a) 74425371 d) 37315577 b) 53172251 e) 72717437 c) 73376447 f) ništa od navedenog</p>
4	<p>Koliko iznosi redundancija Hammingovog kôda kada se štite 17-bitni podatci?</p> <p>a) 5/22 b) 4/17 c) 6/23 d) 5/17 e) 4/21 f) ništa od navedenoga</p>
5	<p>PLA strukturom u tehnologiji MOSFET ostvarene su funkcije f_1 i f_2 (vidi sliku). O kojim se funkcijama radi?</p>  <p>a) $f_1 = \bar{x}_2 x_0 + x_2 \bar{x}_1$, $f_2 = \bar{x}_2 \bar{x}_0 + \bar{x}_1 \bar{x}_0$ d) $f_1 = x_2 x_0 + \bar{x}_2 \bar{x}_1$, $f_2 = x_2 \bar{x}_0 + \bar{x}_1 \bar{x}_0$ b) $f_1 = \bar{x}_0$, $f_2 = x_1 x_2$ e) $f_1 = \bar{x}_1$, $f_2 = \bar{x}_1 \bar{x}_0 + x_2 \bar{x}_0$ c) $f_1 = \bar{x}_2 \bar{x}_0 + \bar{x}_1 \bar{x}_0$, $f_2 = \bar{x}_2 x_0 + x_2 \bar{x}_1$ f) ništa od navedenog</p>
6	<p>Za neku porodicu integriranih logičkih sklopova poznati su sljedeći podatci: $U_{OHmin}=4,3V$, $U_{OLmax}=0,2V$, $U_{IHmin}=3,7V$, $U_{ILmax}=0,7V$. Neka je u_{gs} granica izmjenične smetnje za tu porodicu. Što sigurno vrijedi?</p> <p>a) $u_{gs} \geq 0,6V$ b) $u_{gs} \leq 0,5V$ c) $u_{gs} \leq 0,6V$ d) $u_{gs} \geq 0,5V$ e) $u_{gs} = 0,55V$ f) ništa od navedenoga</p>

7	<p>Neka je $f(A, B, C, D) = \overline{A}\overline{B} + BC + \overline{C}D$ te neka je f_D njezina dualna funkcija. Utvrdite kako glasi $g(A, B, C, D) = f + f_d$ zapisana u obliku produkta suma.</p> <p>a) $\prod M(2,5,7)$ c) $\prod M(0,1,2,4,5,6)$ e) $\prod M(7)$ b) $\prod M(0,2,4)$ d) $\prod M(1,3,5,6)$ f) ništa od navedenoga</p>
8	<p>Tri funkcije zadane u nastavku potrebno je ostvariti sklopom PLA tipa NI-NI. Koje su minimalne dimenzije sklopa PLA kojim je to moguće ostvariti?</p> <p>$f_1(A, B, C, D) = \sum m(5,7,8,10,12,13,14,15)$, $f_2(A, B, C, D) = \sum m(5,10,13,14)$, $f_3(A, B, C, D) = \sum m(7,8,12,15)$.</p> <p>a) 4×3×3 b) 4×6×3 c) 4×4×3 d) 4×7×3 e) 4×5×3 f) ništa od navedenoga</p>
9	<p>Funkciju $f(A, B, C, D, E, F) = \overline{A}\overline{F} + BCDE$ potrebno je ostvariti uporabom tehnologije CMOS uz minimalnu potrošnju tranzistora. Koliko je potrebno p-kanalnih tranzistora ako komplementi varijabli nisu unaprijed dostupni?</p> <p>a) 8 b) 5 c) 10 d) 6 e) 11 f) ništa od navedenoga</p>
10	<p>Projektirati kombinacijski sklop koji na ulaz dobiva kôd jedne BCD znamenke ($a_3a_2a_1a_0$) a na izlazu y generira vrijednost 1 samo ako je ta znamenka prost broj (napomena: 1 ćemo smatrati prostim brojem). Na ulaz sklopa se nikada neće dovesti binarni uzorak koji nije valjani BCD kôd. Minimalni zapis funkcije $y(a_3, a_2, a_1, a_0)$ u obliku sume produkata glasi:</p> <p>a) $\overline{a}_1a_0 + \overline{a}_3a_1\overline{a}_0$ c) $\overline{a}_3a_0 + \overline{a}_2a_1\overline{a}_0$ e) $\overline{a}_3a_0 + \overline{a}_2a_1a_0$ b) $\overline{a}_3a_0 + \overline{a}_2a_1$ d) $a_3a_1 + a_2\overline{a}_0$ f) ništa od navedenoga</p>
11	<p>Prijemnik s komunikacijskog kanala očitava $y_1y_2y_3y_4y_5$. Poznato je da predajnik i prijemnik štite poruke uporabom Hammingovog kôda uz uobičajen raspored podatkovnih i zaštitnih bitova. Sklop za ispravljanje posljednjeg podatkovnog bita na ulaz dobiva čitavu očitavanu riječ te izračunata bitove sindroma. Ako taj sklop želimo ostvariti uporabom jednog dekodera minimalne veličine, koliki nam treba dekodер?</p> <p>a) 5/32 b) 1/2 c) 4/16 d) 3/8 e) 8/256 f) ništa od navedenoga</p>
12	<p>Funkcija $f = AB\overline{E}\overline{F}\overline{G} + C\overline{D}\overline{E} + \overline{B}\overline{C}\overline{D}G$ ostvaruje se multipleksorom 4/1. Na adresni ulaz veće težine dovedeno je A a na adresni ulaz manje težine B. Podatkovni ulazi multipleksora su d_0, d_1, d_2 i d_3. O koliko varijabli ovisi rezidualna funkcija koja se dovodi na podatkovni ulaz d_1?</p> <p>a) 3 b) 7 c) 4 d) 0 e) 2 f) ništa od navedenoga</p>
13	<p>Koji je osnovni razlog za prelazak s 2D na 2½D organizaciju memorije?</p> <p>a) povećavanje duljine linije bita b) smanjivanje duljine linije retka c) eliminacija destruktivnog čitanja d) smanjivanje duljine linije bita e) povećavanje duljine linije retka f) ništa od navedenoga</p>

14	<p>Za sklop čiji su ulazi a, b, c i d te izlaz f u jeziku VHDL napisan je strukturni model. Korišteni su već gotovi modeli trouglastih sklopova I ($sklopI$) i te ILI ($sklopILI$) kod kojih se izlaz nalazi u sučelju na posljednjem mjestu. Invertori su opisani modelom inv čije sučelje najprije navodi ulaz a potom izlaz. Arhitektura sklopa dana je u nastavku. Koliko i kakvih hazarda ima takav sklop ako bi implementacija direktno odgovarala strukturnom modelu? $ac, bc, cc, dc, s1, s2$ i $s3$ su interni signali. Osnovni logički sklopovi imaju kašnjenja.</p> <pre>i1: ENTITY work.inv PORT MAP (a,ac); i2: ENTITY work.inv PORT MAP (b,bc); i3: ENTITY work.inv PORT MAP (c,cc); i4: ENTITY work.inv PORT MAP (d,cc); c1: ENTITY work.sklopILI PORT MAP (ac, b, c, s1); c2: ENTITY work.sklopILI PORT MAP (bc, cc, dc, s2); c3: ENTITY work.sklopILI PORT MAP (a, bc, c, s3); c4: ENTITY work.sklopI PORT MAP (s1, s2, s3, f);</pre> <p>a) 1 statički-1 hazard c) 1 statički-0 hazard e) 2 dinamička-1 hazarda b) 2 statička-1 hazarda d) 2 statička-0 hazarda f) ništa od navedenoga</p>
15	<p>Uporabom više memorijskih modula RAM-a 256×4 izgrađena je veća memorija. Ako je za omogućavanje čipova korišten binarni dekodler s 5 adresnih ulaza te ako je ukupno potrošeno 128 memorijskih modula, kakav je RAM izgrađen?</p> <p>a) 4096×8 b) 8192×16 c) 16384×16 d) 16384×8 e) 4096×32 f) ništa od navedenoga</p>
16	<p>Za memoriju organizacije $2 \frac{1}{2} D$ poznati su sljedeći podatci: na adresni dekodler dovodi se 10 adresnih bitova. Fizička riječ sadrži 16 logičkih riječi. Memorija na izlazu daje 16-bitne podatke. Koliki je kapacitet te memorije u bitovima?</p> <p>a) 2^{10} b) 2^{18} c) 2^{22} d) 2^{16} e) 2^{20} f) ništa od navedenoga</p>
17	<p>Unutar digitalnog sklopa koji radi sa znamenkama u bazi 4 koristi se sljedeći kôd: 0=00, 1=10, 2=11, 3=01. Potrebno je konstruirati kombinacijski sklop koji na ulaz dobiva kôd jedne znamenke (a_1a_0) te upravljački signal x. Ako je $x=0$, sklop treba na izlaze y_1y_0 propustiti kôd znamenke s ulaza. Ako je $x=1$, na izlazu y_1y_0 treba generirati 3-komplement znamenke s ulaza. Minimalni zapis izlaza y_0 glasi:</p> <p>a) $\bar{x}a_0 + x\bar{a}_0$ c) $\bar{x}a_1 + x\bar{a}_1$ e) $\bar{x}a_0 + x\bar{a}_1$ b) $\bar{x} + xa_0$ d) $xa_1 + x\bar{a}_0$ f) ništa od navedenoga</p>
18	<p>Neki AB-bistabil ostvaren je uporabom trouglastog konfigurabilnog logičkog bloka (CLB) sklopa FPGA temeljenog na preglednoj tablici (LUT) i bistabilu D kako je prikazano na slici. Bistabil iste funkcionalnosti potrebno je ostvariti uporabom jednog bistabila tipa T. Što je potrebno dovesti na njegov ulaz T? Upravljački bit s upravlja multipleksorom koji na izlaz CLB-a propušta za $s=0$ izlaz iz LUT-a, a za $s=1$ izlaz iz bistabila D.</p>  <p>a) $\overline{A \cdot B}$ b) $A \cdot B$ c) $\overline{A + B}$ d) $A \oplus B$ e) $A + B$ f) ništa od navedenoga</p>
19	<p>Izračunajte omjer maksimalnih frekvencija rada 12-bitnog sinkronog binarnog brojila s paralelnim prijenosom i 12-bitnog sinkronog binarnog brojila sa serijskim prijenosom, ako je vrijeme kašnjenja bistabila 30 ns, vrijeme postavljanja 10 ns, vrijeme pridržavanja 10 ns te kašnjenje logičkog sklopa 5 ns.</p> <p>a) 12 b) 4.25 c) 6 d) 3.5 e) 2 f) ništa od navedenoga</p>

20	<p>Potrebno je konstruirati minimalni Mooreov automat koji na svojim izlazima ciklički generira 0, 0, 0, 1, 0, 0, 0, 1, 0, 0, 0, 1, ... Koliko će bistabila trebati takav sklop?</p> <p>a) 12 b) 2 c) 8 d) 3 e) 5 f) ništa od navedenoga</p>
21	<p>Automat s konačnim brojem stanja ostvaren je prema slici. Koliko takav automat može imati maksimalno stanja? Radi li se o Mealyjevom ili Mooreovom automatu?</p>  <p>a) 3, Mealy b) 8, Mealy c) 3, Moore d) 8, Moore e) 4, Mealy f) ništa od navedenoga</p>
22	<p>Neka je u memoriju automata prikazanog na slici u zadatku 21 redom upisan sadržaj: E, F, 1, D, B, A, C, 0 (pazi: d_3 je bit najveće težine). Neka su stanja automata kodirana binarno. U koje će stanje automat prijeći iz stanja S0?</p> <p>a) S1 b) S2 c) S7 d) S5 e) S6 f) ništa od navedenoga</p>
23	<p>Potrebno je ostvariti brojilo koje na izlazima $O_2O_1O_0$ generira ciklus $0 \rightarrow 2 \rightarrow 4 \rightarrow 6 \rightarrow 7 \rightarrow 5 \rightarrow 3 \rightarrow 1$. Na raspolaganju je trobitno sinkrono binarno brojilo čiji su izlazi $Q_2Q_1Q_0$ spojeni na binarni dekodler 3/8. Neka su adresni ulazi dekodera označeni s $a_2a_1a_0$, a izlazi dekodera s y_0, \dots, y_7. Vrijedi $a_i = Q_i$. Odredite koje izlaze dekodera treba dovesti na sklop logičko-ILI kako bi se na njegovu izlazu dobio O_2? Kad je brojilo u stanju 0, izlaz sklopa treba biti 0.</p> <p>a) y_2, y_3, y_4, y_5 c) y_0, y_1, y_2, y_3 e) y_0, y_2, y_6, y_7 b) y_1, y_3, y_5, y_7 d) y_0, y_2, y_4, y_6 f) ništa od navedenoga</p>
24	<p>Za sklop prikazan na slici utvrdite maksimalnu frekvenciju rada. Kašnjenje logičkih sklopova I i ILI je 10ns, vrijeme postavljanja bistabila iznosi 20ns, vrijeme kašnjenja bistabila iznosi 30ns a vrijeme pridržavanja bistabila iznosi 18ns. Frekvencije su u odgovorima zaokružene na jednu decimalu i navedene su u MHz.</p>  <p>a) 16,7 b) 10,0 c) 25,0 d) 12,0 e) 12,5 f) ništa od navedenoga</p>
25	<p>Izvedba nekog automata prikazana je na slici u zadatku 24. Izlazi automata su $Q_2Q_1Q_0$. Odredite ima li taj sklop siguran start te što će se pojaviti na izlazima $Q_2Q_1Q_0$ nakon stanja 6 (tj. 110)?</p> <p>a) nema, 7 b) ima, 3 c) ima, 0 d) nema, 3 e) nema, 5 f) ništa od navedenoga</p>