

IMPLEMENTACIJA LOG

SKLOPOVA

pozitivna logika

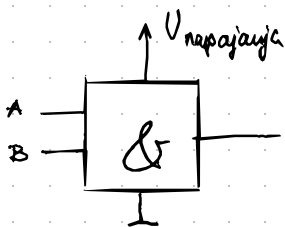
viši napon 1

niži napon 0

Primer:

imamo sklop $\&$

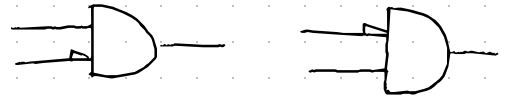
A	B	f
N	N	N
N	V	N
V	N	N
V	V	V



negativna logika

viši napon 0

niži napon 1



koji huračimo $\&$

A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

pozitivna logika
N \rightarrow 0
V \rightarrow 1



A	B	f
1	1	1
1	0	1
0	1	1
0	0	0

negativna logika
N \rightarrow 1
V \rightarrow 0



dualnost pozitivne i negativne logike

\hookrightarrow fija 1 u pozitivnoj \rightarrow fija 0 u negativnoj

Izredbe log sklopa 1 : 1L1

osnovna izredka diodni (8 i +)

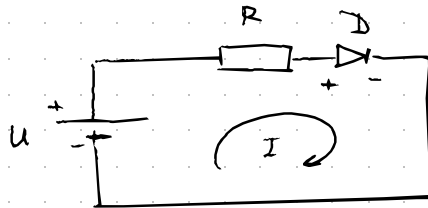
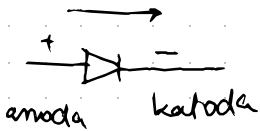
izrednice boljih el. strojstava

↳ NPN bipolarni

↳ n-kanalni MOSFET

↳ p-kanalni MOSFET

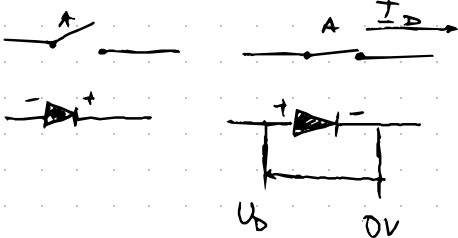
Dioda



→ mora orab

→ struja ne može
ići obrnuto od diode

- promatramo je kao sklopku
- propusno polarizirana → zatvorena sklopka
- reverzno (nepropusno) struja kroz diodu je 0A (isključena sklopka)

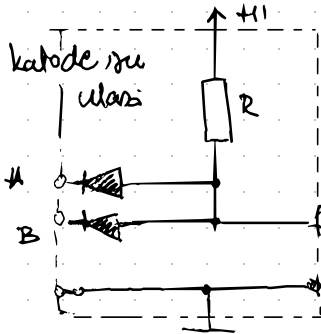


Diodni sklop I



$V \sim +U$

$N \sim 0V$



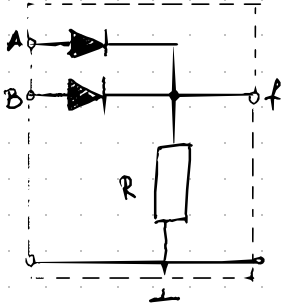
A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

A	B	f
N	N	N
N	V	N
V	N	N
V	V	V

↳ ako na ulaz dovodimo 0V (N)
onda nema propusta struje



Diodni sklop II



- anoda je ulaz

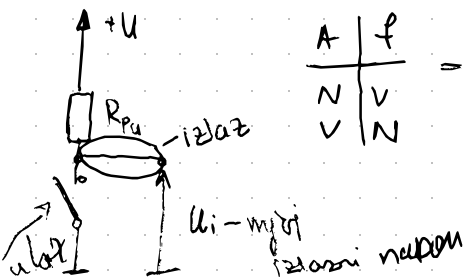
↳ ako dovodimo

V na ulaz,
logično da će
i na izlazu biti

A	B	f
N	N	N
N	V	V
V	N	V
V	V	V

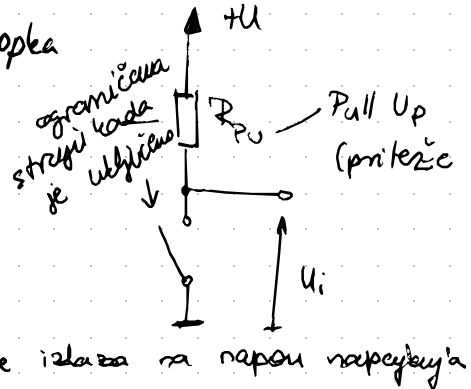
A	B	f
0	0	0
0	1	1
1	0	1
1	1	1

Izvedke invertora - tranzistorska sklopka



A	f
N	V
V	N

A	f
0	1
1	0



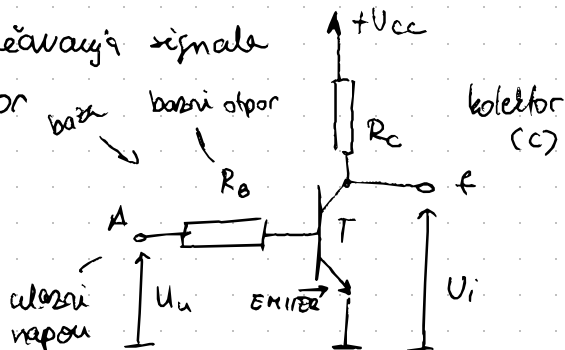
prikazuje izlaza na napon napajanja

Izvedbe invertora

- tranzistor ima svojstvo pojačavanja signala
- bipolarni (NPN) tranzistor

A	f
N	V
V	N

A	f
0	1
1	0



$R_B \gg$ da prelaz bude napravljen

ako je niska razina U_u

ako je visoka razina U_u

tranzistor se uključuje

$\rightarrow T$ je isključen

• error kolektor i emiter ne može biti stroga

• na T je mali napon (uključuje se)

- nema pada napona \Rightarrow

(V)

R_C - priključuje izlaza na napon napajanja

- ograničava struju kada je T uključena

A	f
V	N

OBJAŠNJENJE

kad se T uključuje kažemo da je u zasićenju

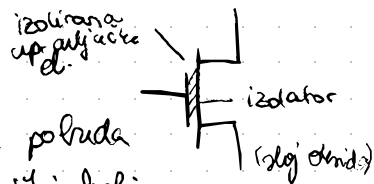
\rightarrow između C i E je napon zasićenja vrlo nizak ($\sim 0V$)

\rightarrow iz zatvaranja u zasićenje $\Rightarrow 0 \rightarrow 1$

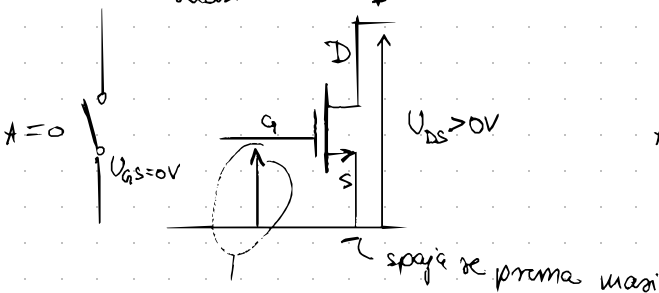
NMOS (n-kanalni MOSFET)

- koristi se u CMOS tehnologiji
- spajaju prema masi (-)

- naponska polruda električki bolja

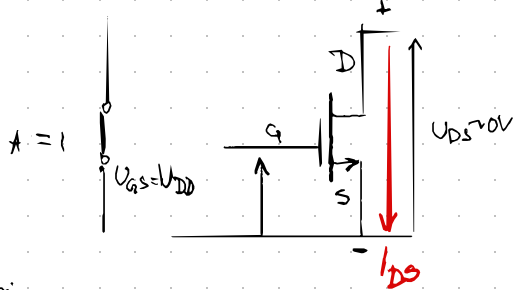


$$U_{GZ} = 0$$



uključuje visoku naponsku razinu

$$U_{GZ} = 1$$

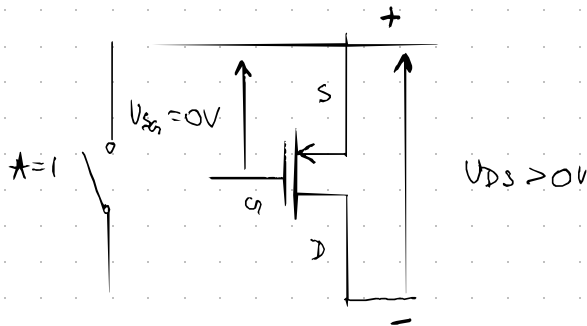


→ $U_{GZ} = 0$ → T je isključen (kao isključio), kroz njega ne teče struja

→ $U_{GZ} = 1$ → T se uključuje, u zavisnosti je
 • vrlo mali pad napona (računamo 0V)
 ponaša se kao uključena strela

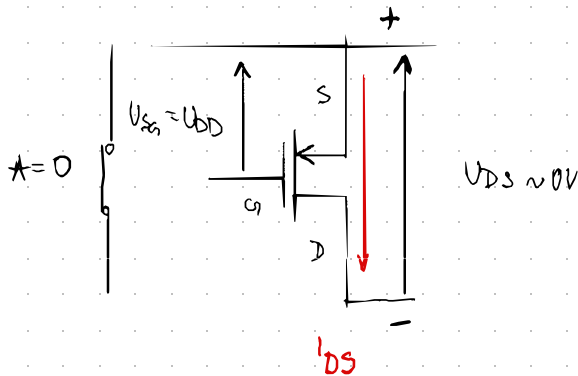
PMOS (p-kanalni MOSFET)

- komplementarna polruda
- spajaju u sklopovima prema napajanju (+)



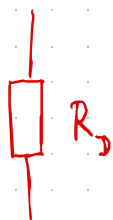
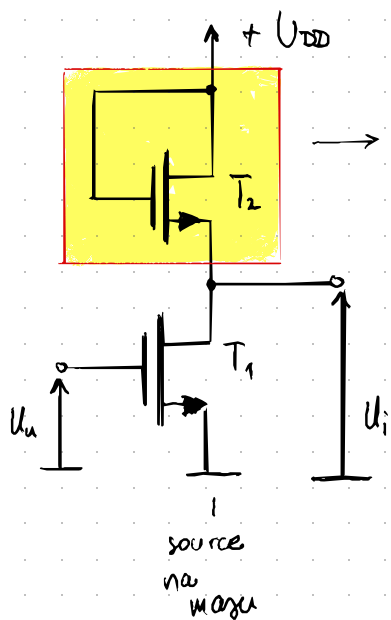
→ kada gledamo napon na upravljačkoj elektrodi u odnosu na masu

↳ ta polruda je suprotna u odnosu na n-kanalni



Izvedba invertora - S MOSFET

D-drain



• drain predstavlja izlaz

→ ulaz = V → ide u zasićenje

• napon između draina i sourcea je tada mali

→ ulaz = N → T je isključen, nema struje

• izlaz se privlači prema prema naponu napajanja

* narančasti konz. glumi otpor

• posebno spojení i tehnologije izveden u oblik pasivnog otpora

$$R_{pu} = R_{du} = R_D \approx 100k\Omega$$

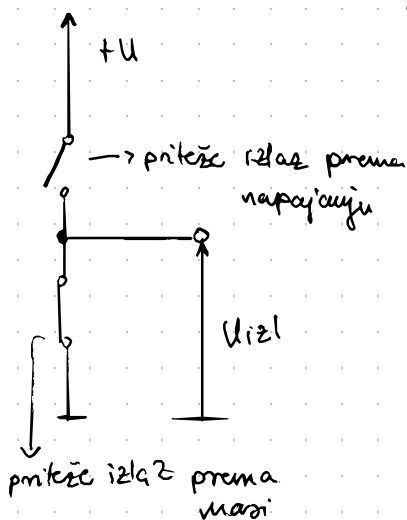
↳ sporo se puni kapacitet pasivnog R

• spori prijelaz N → V (na izlazu)

$$t_r \gg t_f$$

• vrijeme porasta (iz niske u visoku razinu) je puno više od vremena pada

Izvedba invertora



• uvijek suprotno uključene

• Niska razina N

• Donju isključiti

• Gornju uključiti

→ izlaz privučen visoko
↳ $f = V$

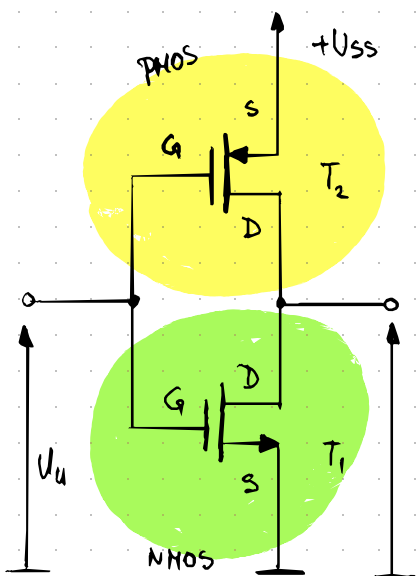
• Visoka razina V

• Donju uključiti

• Gornju isključiti

⇒ izlaz povučen na masu dole
↳ $f = N$

→ Izvedba sa CMOS (Complementary MOS)



G - gate

D - drain

- naponska pobuda

PMOS i NMOS su komplementarni

• Visoka naponska razina uključuje NMOS T

a isključuje PMOS T

• nisu nikad oba uključena ili isključena

✗ T_1 i T_2 električni smetnjeni

→ oba otpora su aktivna

ili se kapacitet od T prazni u vodeću (brzo jer je otpor mali)

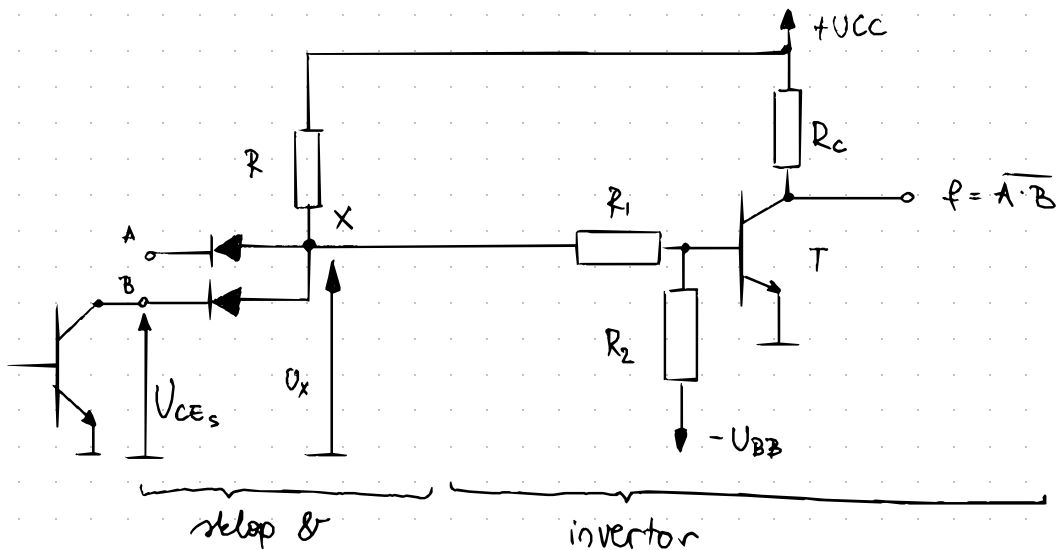
→ ide na masu (T_1)

ili se kapacitet puni kada prelazi $N \rightarrow V$ (otpor mali) brzo

Izvedbe univerzalnih sklopov NI i NILI

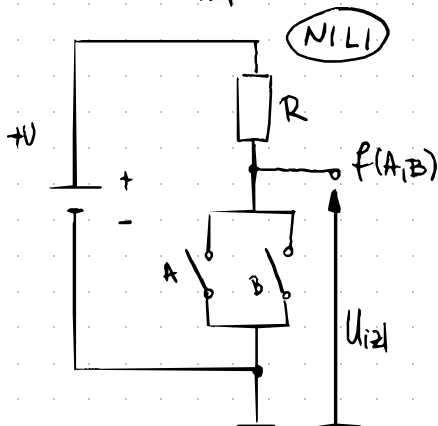
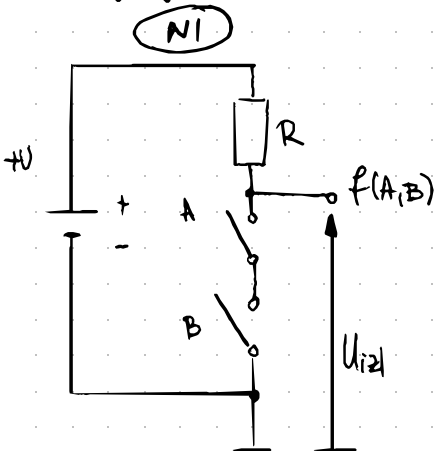
- kompozicijom funkcije

$NI(A,B) = NE(I(A,B)) \rightarrow$ spojimo sklop I na NOT



\rightarrow ali to možemo jednostavnije

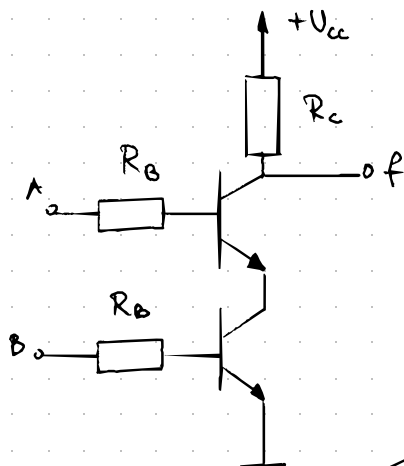
spajanjem tranzistora \rightarrow serijski = NI
 \rightarrow paralelno = NILI



Izvedba sklopa N1

bipolarni tranz.

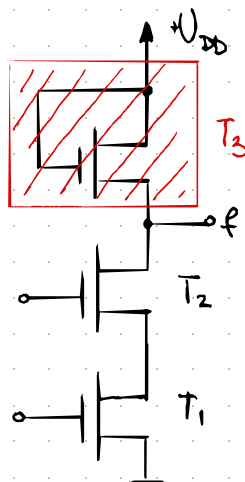
- jedino ako su oba ulaza (A i B) u visokoj razini i izlaz je nisko



A	B	f
N	N	V
N	V	V
V	N	V
V	V	N

N-kanalni MOSFET

- f poprima N samo ako su oba T2 i T1 u V

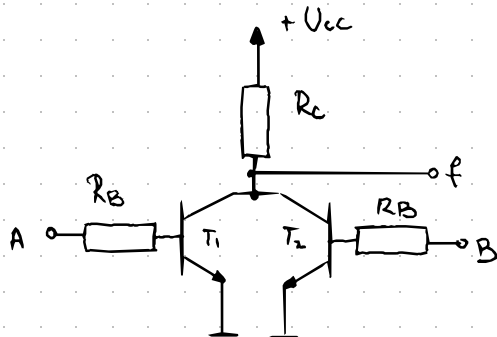


pozitivni otpor koji privlači izlaz prema napajanju

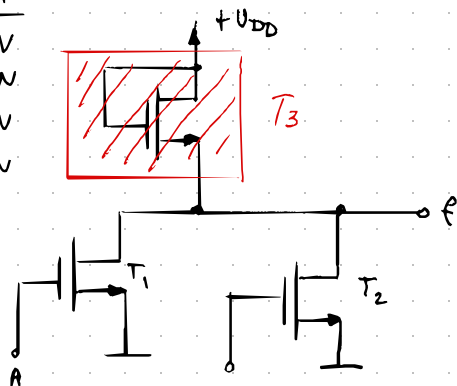
ako je bilo koji N2 kroz njih ne teče struja

i otpor kojeg glumi T3, povući će ga na V

Izvedba sklopa N1L1

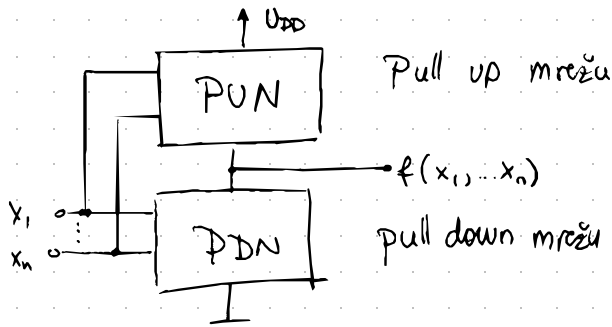


A	B	f
N	N	V
N	V	N
V	N	N
V	V	N



- ovaj sklop u odnosu na prvi je bolji jer nema kaskadiranja napona na izlazu

Izredbo u tehnologiji CMOS



- rade komplementarno
- sklop NILI
 - PDN - paralelni spojeni NMOS
 - ↓ odgovara im
 - PUN - serijski spojeni PMOS
- sklop NI
 - PDN - serijski spojeni NMOS
 - PUN - paralelni spojeni PMOS

izrođenje CMOS NI

PUN - paralelni PMOS

$$f = \overline{A \cdot B} = \overline{A} + \overline{B}$$

$$f = 1 \Leftrightarrow A = 0 \oplus B = 0$$

+ \hookrightarrow uključujuće paralela

PDN - serijski NMOS

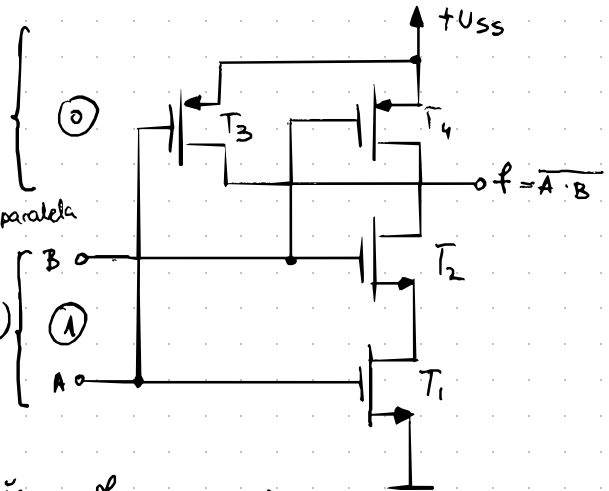
$$\overline{f} = A \cdot B \Rightarrow \overline{\overline{f}} = 1 \Leftrightarrow (A=1) \cdot (B=1)$$

\hookrightarrow x uključujuće serija

n - uključeni (T_2 i T_1)

da bi donja mreža bila uključena, dva moraju biti uključeni \rightarrow ali p kanalni su odspojeni

- čim je A ili B u 0 \rightarrow p kanalni su uključeni (T_4 ili T_3)



A	B	T_1	T_2	T_3	T_4	f
N	N	Nc	Nc	Da	Da	✓
N	V	Nc	Da	Da	Nc	✓
V	N	Da	Nc	Nc	Da	✓
V	V	Da	Da	Nc	Nc	N \rightarrow samo ako pull down djeluje

izvođenje NLI

$$\text{PUN } f = \overline{A+B} = \bar{A} \cdot \bar{B}$$

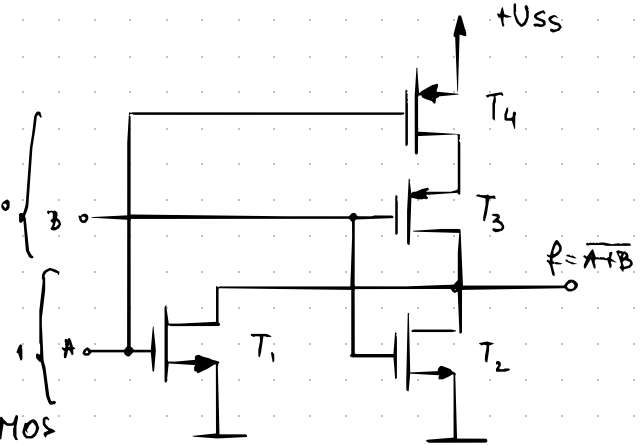
$$f=1 \Rightarrow \bar{0} \cdot \bar{0}$$

↳ serijski PMOS

$$\text{PDN } \bar{f} = A+B$$

$$\bar{f}=1 \rightarrow 1+1$$

↳ paralelni NMOS



da bi izlaz bio nisko, dovoljno je da je jedan od A ili B u visokoj razini

↳ da bi izlaz bio visoko PMOS treba biti uključen

↳ serijski spoj zahtijeva da su oba u 0, tj. $\bar{A} \cdot \bar{B} = 1$

A	B	T ₁	T ₂	T ₃	T ₄	f
N	N	Nc	Nc	Da	Da	V
N	V	Nc	Da	Nc	Da	N
V	N	Da	Nc	Da	Nc	N
V	V	Da	Da	Nc	Nc	N