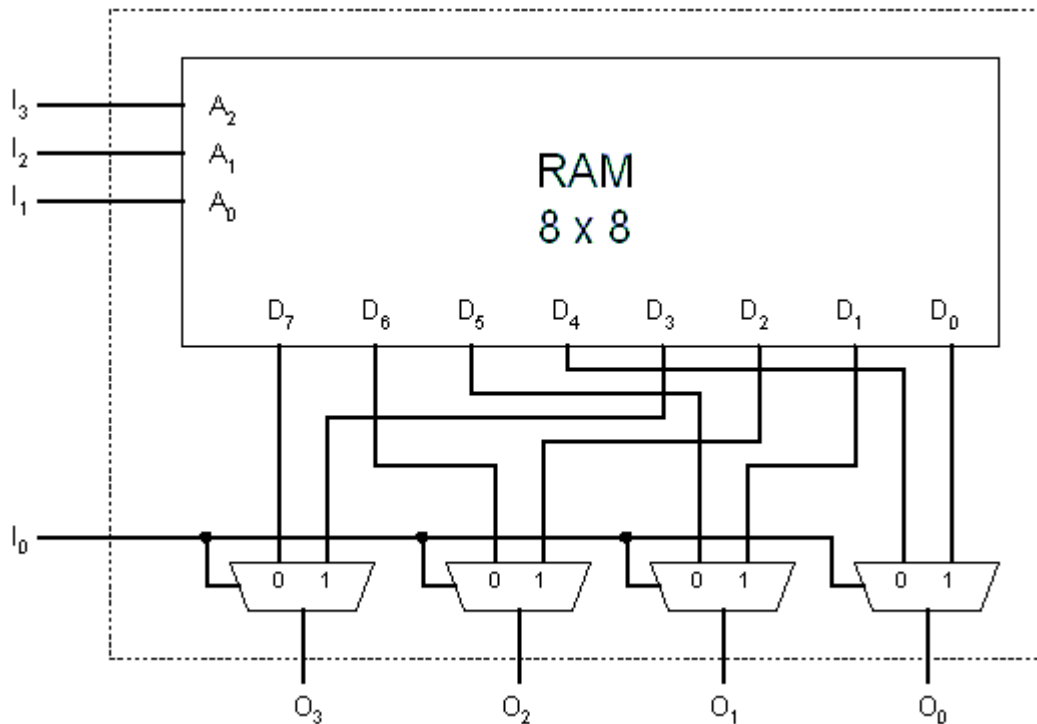


Cetvrta Domaca Zadaca iz Digitalne Logike-Tocna Rješenja

1.

Zadana je uređena n-torka $P=(3, 4, 14, 7, 1, 14, 5, 13, 2, 0, 7, 1, 11, 9, 12, 7)$. Funkcija $F(i)$ vraća i -ti element od P (npr. $F(13) = 9$). Projektirati sklop koji ostvaruje ovu funkciju. Na raspolaganju je ispisna memorija 8×8 te 4 multipleksora 2×1 , spojenih prema slici. Prikazati sadržaj memorije po lokacijama, u heksadekadskom obliku.



RJ.

Lokacija 0: **34**
 Lokacija 1: **E7**
 Lokacija 2: **1E**
 Lokacija 3: **5D**
 Lokacija 4: **20**
 Lokacija 5: **71**
 Lokacija 6: **B9**
 Lokacija 7: **C7**

2.

Prilikom minimizacije Mooreovog stroja s konacnim brojem stanja, u nekom koraku analiziraju se dva stanja: S_2 i S_4 . Dio tablice koji se odnosi na ta dva stanja prikazan je u nastavku.

Trenutno stanje Pobuda Sljedeće stanje Trenutni izlaz

S2	0	S6	1
S2	1	S0	1
S4	0	S5	0
S4	1	S6	0

Što možemo sa sigurnošću zaključiti o ta dva stanja na temelju ovdje prikazanih podataka?

RJ. **stanja nisu ekvivalentna**

3.

Stroj s konacnim brojem stanja zadan je tablicom u nastavku. Stroj ima jedan 1-bitni ulaz, te jedan 1-bitni izlaz.

Trenutno stanje	Pobuda U	Sljedece stanje	Izlaz
S6	0	S6	0
S6	1	S4	1
S3	0	S1	0
S3	1	S4	0
S2	0	S1	0
S2	1	S7	0
S4	0	S7	0
S4	1	S7	0
S5	0	S5	1
S5	1	S5	1
S7	0	S0	0
S7	1	S5	1
S0	0	S6	1
S0	1	S0	1
S1	0	S6	1
S1	1	S0	1

Provjerite je li zadani stroj s konacnim brojem stanja Mealyjev ili Mooreov? Dobro razmislite o vašem odgovoru!

RJ. **Stroj s konacnim brojem stanja je Mealyjev**

4.

Nacrtajte shemu 3-bitnog asinkronog binarnog brojila unatrag izvedenog padajucim bridom okidanih JK bistabila. Za taj sklop potrebno je nacrtati vremenske dijagrame do trenutka $T=1539$ ns. Na brojilo se dovodi signal takta periode 171 ns, pri cemu u trenutku $t=0$ nastupa padajuci brid. Kašnjenje svakog bistabila iznosi 38 ns. Brojilo osim bistabila ne smije koristiti dodatne logicke sklopove. Pretpostaviti da su svi bistabili u trenutku prije $t=0$ u stanju 0. Ako s Q0 oznacimo izlaz bistabila najmanje težine, ocitajte stanje svih izlaza u trenutku $t=902$ ns.

RJ.

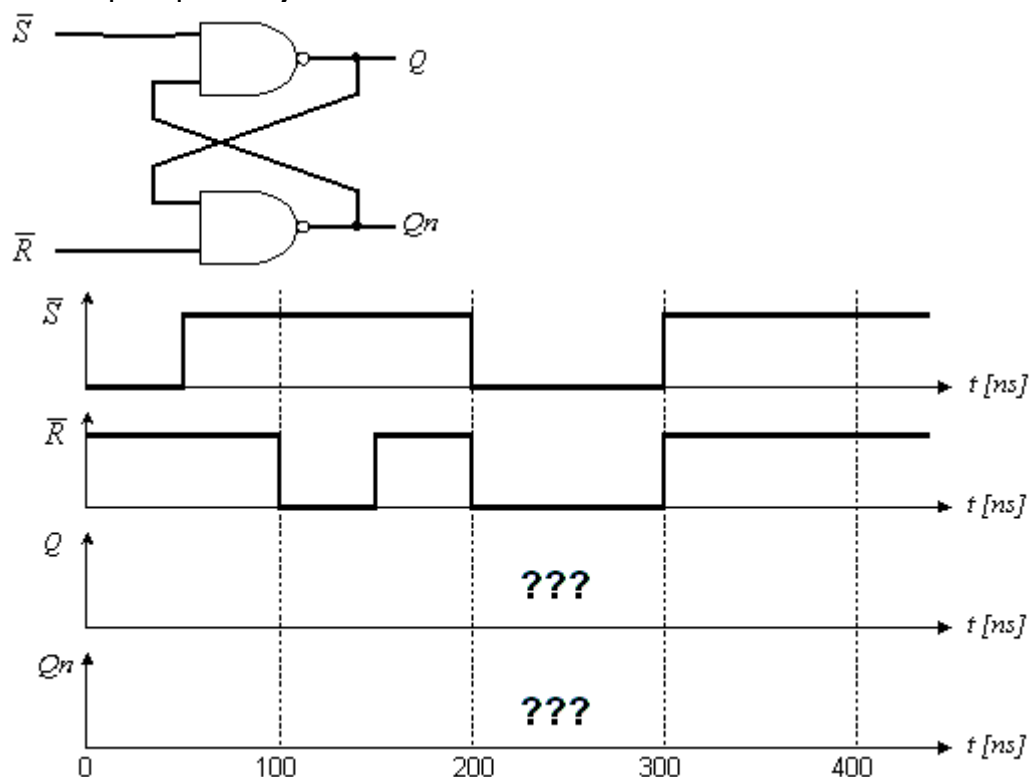
Q0: **0**

Q1: **1**

Q2: **0**

5.

Koje je stanje na izlazima SR bistabila realiziranog pomocu dva NI sklopa (prema slici) u trenutku 371ns (kašnjenje td svakog NI sklopa iznosi 10ns), ako se na ulaze bistabila dovodi pobuda prema slici? Prilikom rješavanja zadatka pretpostaviti da se svi sklopovi ponašaju idealno.



RJ.

Q: **0**

Qn: **0**

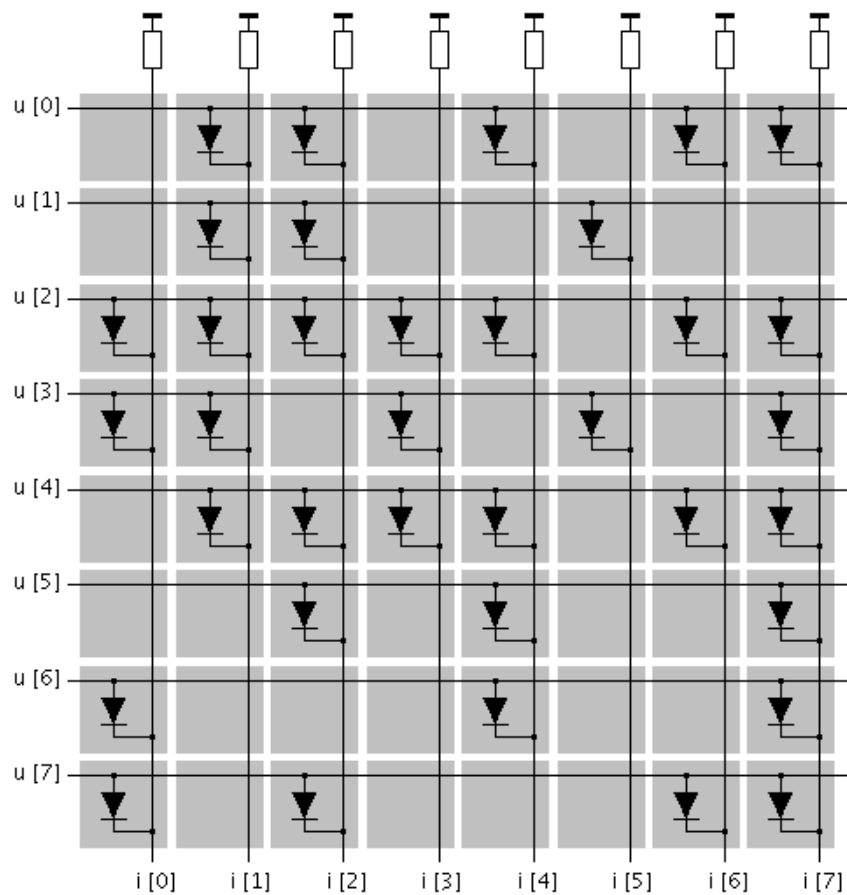
6.

Uporabom T bistabila i minimalnog broja dodatnih logickih sklopova ostvariti D bistabil. Rješenje, za svaki ulaz zasebno, mora biti u minimalnom obliku.

RJ. **(D AND NOT Q) OR (NOT D AND Q)**

7.

Permanentna memorija je zadana slikom.



RJ.

Lokacija 0: **6B**

Lokacija 1: **64**

Lokacija 2: **FB**

Lokacija 3: **D5**

Lokacija 4: **7B**

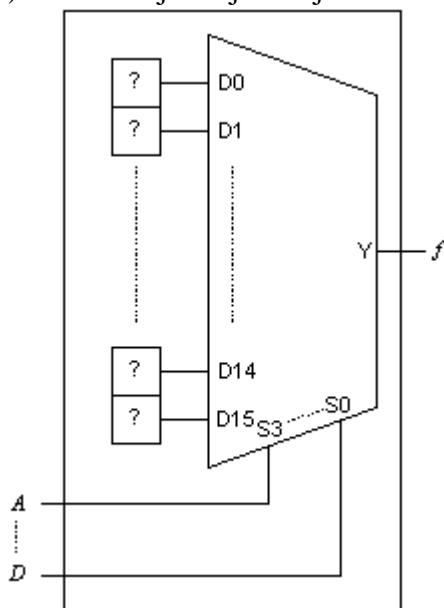
Lokacija 5: **29**

Lokacija 6: **89**

Lokacija 7: **A3**

8.

Na raspolaganju je pregledna tablica logickog bloka sklopa FPGA (tj. LUT) sa 4 ulaza, prikazan slikom. Potrebno je realizirati funkciju: $f(A,B,C,D) = (\text{NOT } (A \text{ AND } B) \text{ AND NOT } C)$. Potrebno je unijeti vrijednost svakog ulaza u pripadajuće polje za unos odgovora.



RJ.

D0 – D15: **1,1,0,0,1,1,0,0,1,1,0,0,0,0,0,0**

9.

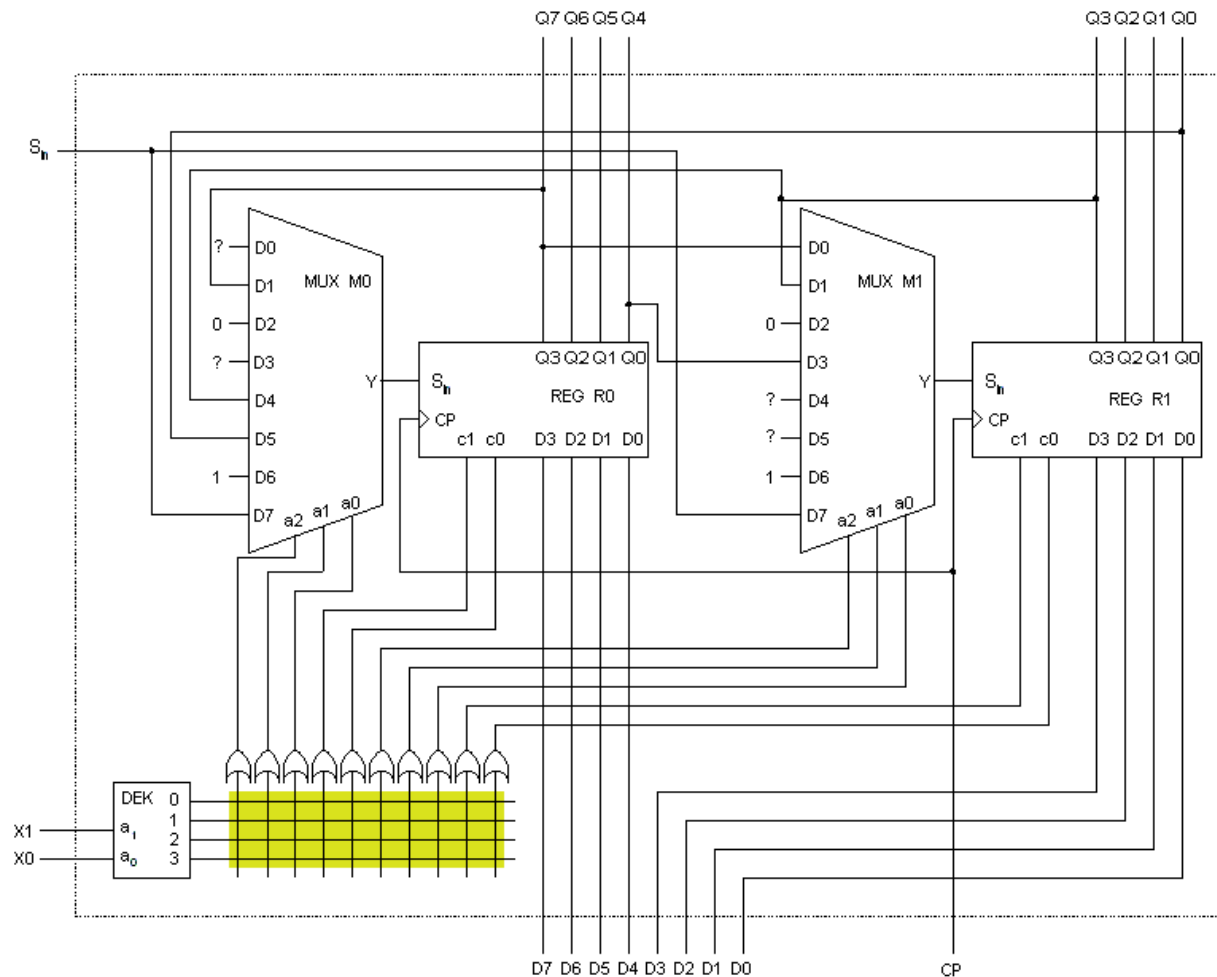
Funkcija 4 bitnih registara prikazanih na slici definirana je sljedećom tablicom.

C1	C0	Opis
0	0	Paralelni upis
0	1	NOP - nema nikakve promjene
1	0	Posmak u lijevo, punjenje sa Sin
1	1	Posmak u lijevo uz cuvanje bita predznaka, punjenje sa Sin

Uporabom multipleksora i dekodera s programirljivom ILI ravninom ostvarena je struktura koja se može programirati tako da se dobije 8-bitni registar s mnoštvom podržanih operacija. Vaš je zadatak programirati ovu strukturu tako da se dobije jedan 8-bitni registar čija je funkcija određena sljedećom tablicom.

X1	X0	Opis
0	0	Posmak u lijevo uz cuvanje bita predznaka, punjenje s 0
0	1	Posmak u lijevo, punjenje sa Sin
1	0	Ciklicki posmak u lijevo (rotacija)
1	1	Paralelni upis

Ulaze u multipleksor oznacene upitnikom zabranjeno je koristiti. U polja za unos rješenja u nastavku potrebno je unijeti zarezima odvojen popis izlaza dekodera koje je potrebno spojiti na odgovarajuci ILI sklop, kako bi se ostvarila potrebna funkcija. Ako se za neki ILI sklop ne definira niti jedan izlaz dekodera, taj ILI sklop na izlazu generira logicku nulu.



RJ.

M0.a2 : **0,1,2**

M0.a1 :

M0.a0 :

R0.c1 : **0,1,2**

R0.c0 : **0**

M1.a2 : **1**

M1.a1 : **0,1**

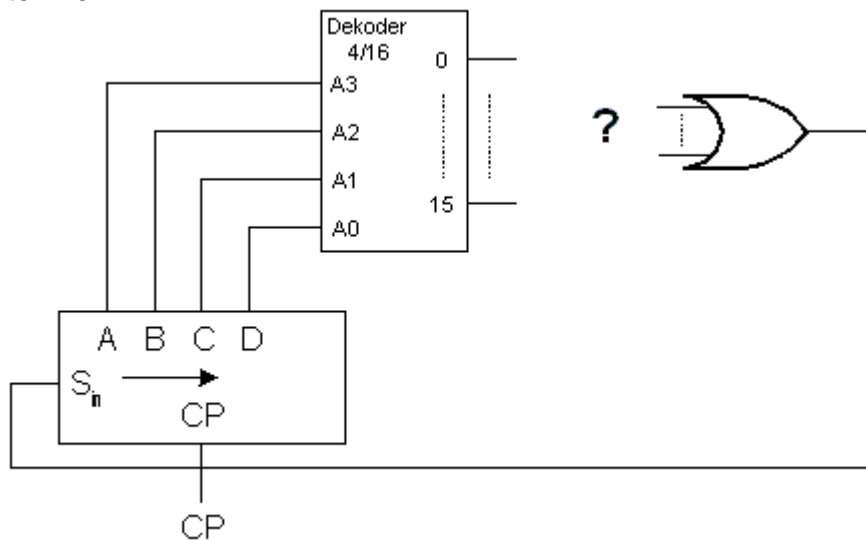
M1.a0 : **1**

R1.c1 : **0,1,2**

R1.c0:

10.

Potrebno je projektirati sklop koji će prolaziti kroz sljedeća stanja: (3, 1, 8, 4, 2, 9, 12, 6, 11, 5, 10, 13, 14, 7, 3). Sklop je potrebno ostvariti uporabom strukture prikazane na slici (posmacni registar + dekodler 4/16). Nespecificirana stanja treba tako riješiti da sklop najbrže stigne u stanje 3. Koje sve izlaze treba spojiti na logicki sklop ili ? U polje za unos odgovora je potrebno unijeti indekse izlaza dekodera (vidi sliku), odijeljene zarezima, koje je potrebno povezati na ulaze logickog sklopa da bi se ostvarilo zadano brojiilo. Prilikom očitavanja stanja, izlaz A tretirati kao bit najveće težine.



RJ.

Izlazi iz dekodera: **0,1,2,5,6,9,10,13**

*****RIJEŠENJA SU 100% TOCNA;
ALI NE SADRŽE I POSTUPKE******