



5. Implementacija logičkih sklopova (1)



Sadržaj predavanja

- **interpretacija logičkih vrijednosti**
- implementacije osnovnih logičkih sklopova
- implementacije drugih logičkih sklopova
- izvedbe logičkih sklopova u tehnologiji CMOS

Interpretacija logičkih vrijednosti

- prikaz logičkih vrijednosti naponskim razinama:

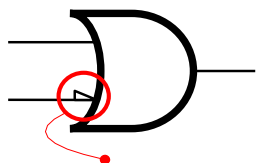
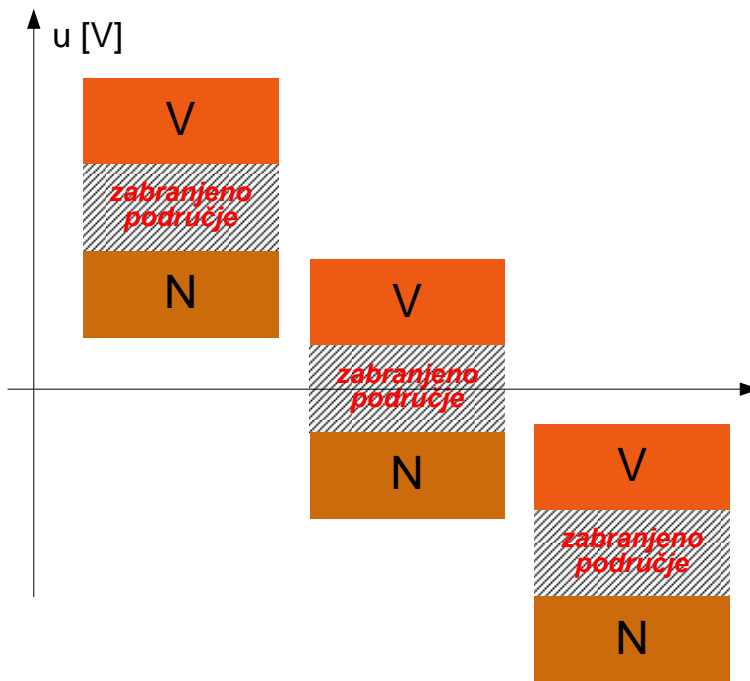
- *pozitivna logika:*

- viši napon ~ 1
- niži napon ~ 0

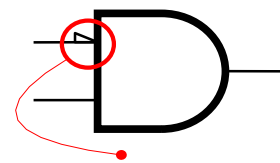
- *negativna logika:*

- viši napon ~ 0
- niži napon ~ 1

- uz liniju signala oznaka 



signal u *negativnoj* logici



signal u *negativnoj* logici

Interpretacija logičkih vrijednosti

- interpretacija tablice kombinacija funkcije I naponskih razina

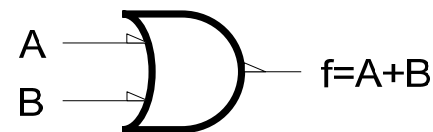
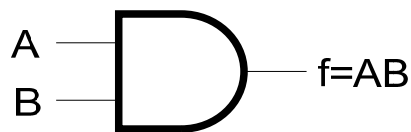
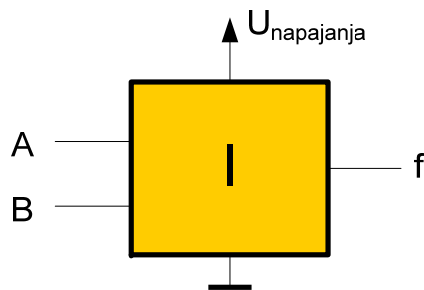
A	B	f
N	N	N
N	V	N
V	N	N
V	V	V

A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

A	B	f
1	1	1
1	0	1
0	1	1
0	0	0

pozitivna
logika

negativna
logika



Interpretacija logičkih vrijednosti

- interpretacija tablice kombinacija funkcije ILI naponskih razina

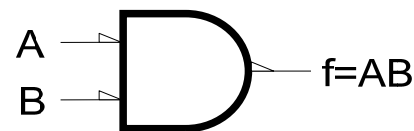
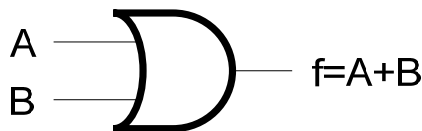
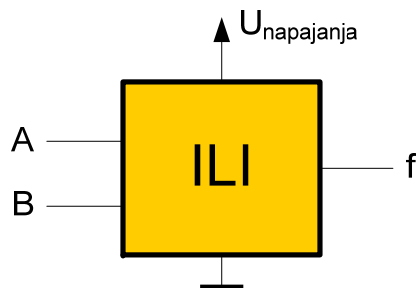
A	B	f
N	N	N
N	V	V
V	N	V
V	V	V

A	B	f
0	0	0
0	1	1
1	0	1
1	1	1

A	B	f
1	1	1
1	0	0
0	1	0
0	0	0

pozitivna
logika

negativna
logika



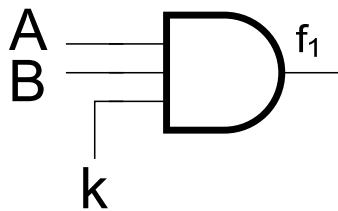


Interpretacija logičkih vrijednosti

- dualnost pozitivne i negativne logike:
 - funkcija I u pozitivnoj logici
→ funkcija ILI u negativnoj logici
 - funkcija ILI u pozitivnoj logici
→ funkcija I u negativnoj logici
 - negativna logika
~ *dual* logičke funkcije!

Interpretacija logičkih vrijednosti

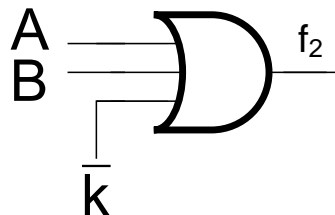
- *mješovita* logika:
 - primijenjene obje konvencije
 - prisustvo/odsustvo "trokutića"
~ oznaka *aktivne* razine (logičke 1)
 - primjena kod upravljačkih ulaza u logički sklop



$$f_1 = k \cdot (AB)$$

↑

$$k = 1 \rightarrow f_1 = AB$$

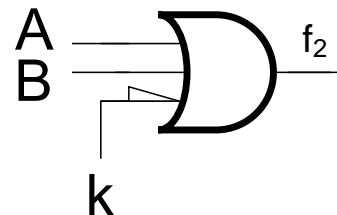


$$f_2 = k + (A + B)$$

↑

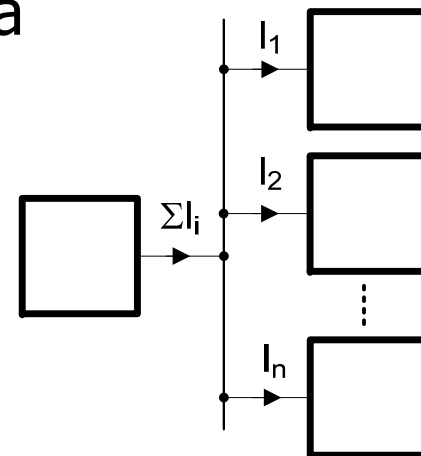
$$k = 0 \rightarrow f_2 = A + B$$

$$\bar{k} = 1$$



Interpretacija logičkih vrijednosti

- strujna i naponska logika:
 - *naponska* logika
 - ~ nositelj "informacije" (0 ili 1) naponska razina
 - *strujna* logika
 - ~ nositelj "informacije" (0 ili 1) struja:
 - ima je/nema je, smjer
 - loša svojstva prilikom grananja
 - ~ raspodjela na ulaze narednog stupnja





Sadržaj predavanja

- interpretacija logičkih vrijednosti
- **implementacije osnovnih logičkih sklopova**
 - **izvedbe logičkih sklopova I i ILI**
 - **izvedbe invertora**
- implementacije drugih logičkih sklopova
- izvedbe logičkih sklopova u tehnologiji CMOS

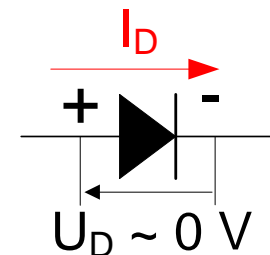
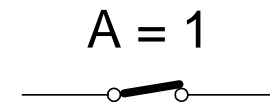
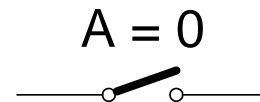


Izvedbe logičkih sklopova I i ILI

- *logički sklopovi*
 - ~ *elektroničke* izvedbe logičkih funkcija:
elektronički elementi *u režimu sklopke*
- osnovna izvedba *diodom*
 - ~ "diodni sklopovi" I i ILI
- *izvedenice* boljih električkih svojstava:
 - (NPN) bipolarni tranzistor
 - n-kanalni MOSFET
 - p-kanalni MOSFET

Izvedbe logičkih sklopova I i ILI

- *dioda kao sklopka:*
 - idealna dioda, $U_D \approx 0 \text{ V}$
~ upravljani mehanički kontakt
 - napon na elektrodama
~ upravljanje = logička varijabla A
 - dioda *nepropusno* (reverzno) polarizirana
~ struja *ne* teče
 - dioda *propusno* polarizirana
~ struje teče



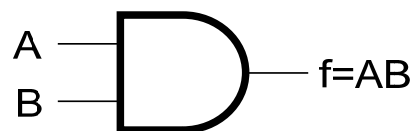
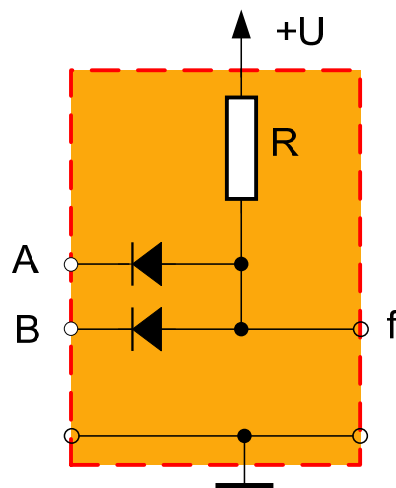
Izvedbe logičkih sklopova I i ILI

- *diodni sklop I* (pozitivna logika)

~ diodna mreža:

$V \sim +U$

$N \sim 0 V$



A	B	f
N	N	N
N	V	N
V	N	N
V	V	V

A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

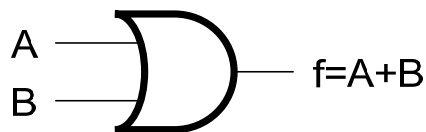
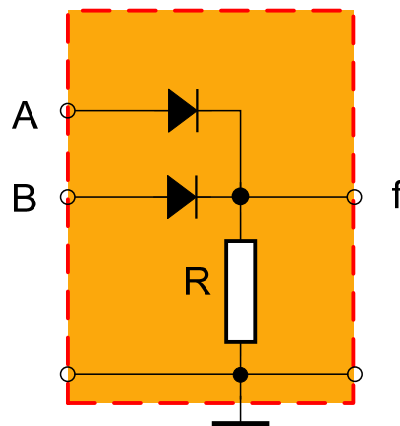
Izvedbe logičkih sklopova I i ILI

- *diodni sklop ILI* (pozitivna logika)

~ (također) diodna mreža:

$V \sim +U$

$N \sim 0\text{ V}$



A	B	f
N	N	N
N	V	V
V	N	V
V	V	V

A	B	f
0	0	0
0	1	1
1	0	1
1	1	1

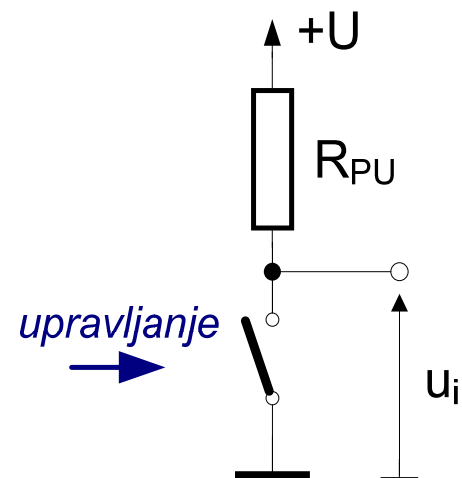
Izvedbe invertora

- izvedbe invertora
~ *tranzistorskom sklopkom*
 - sklopka "priteže" u_{izl} na masu ($N \sim 0V$)
 - inače $u_{izl} = V$ ($V \sim +U$):
potrebno postaviti R prema $+U$
~ *pritezanje izlaza na napon napajanja*
(engl. Pull-Up, PU)

A	f
0	1
1	0



A	f
N	V
V	N

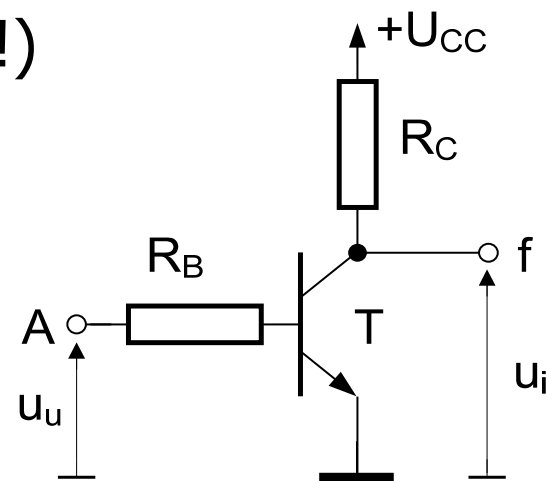


Izvedbe invertora

- izvedba invertora s *bipolarnim (NPN) tranzistorom*:
 - *pojačanje signala*
~ pobuda većeg broja ulaza narednog stupnja
 - *strujna pobuda*
~ $R_B \gg$ da pobuda (A) bude naponska!
 - pritezanje izlaza na U_{CC}
~ "pasivno" opterećenje $R_{pU} = R_C \approx k\Omega$
 $V \sim U_{CC}$ (bez opterećenja izlaza!)
 $N \sim U_{CS} \approx 0\text{ V}$

A	f
N	V
V	N

A	f
0	1
1	0



Izvedbe invertora

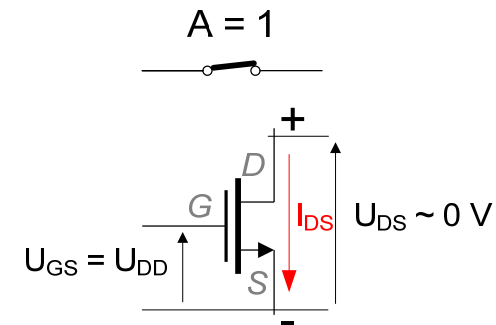
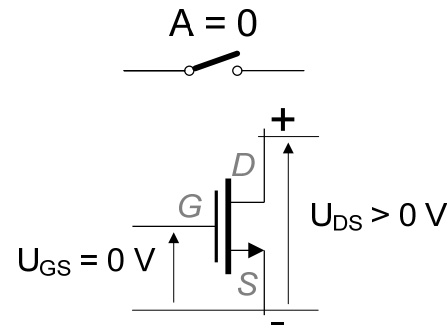
- *NMOS* (n-kanalni MOSFET) kao sklopka
~ vrlo pogodno rješenje:

- zapiranje:

$$A = 0 \sim N \sim U_{GS} = 0 \text{ V}$$

- zasićenje:

$$A = 1 \sim V \sim U_{GS} = U_{DD}$$



- *PMOS* (p-kanalni MOSFET) kao sklopka
~ *komplementarna* pobuda:

- zapiranje:

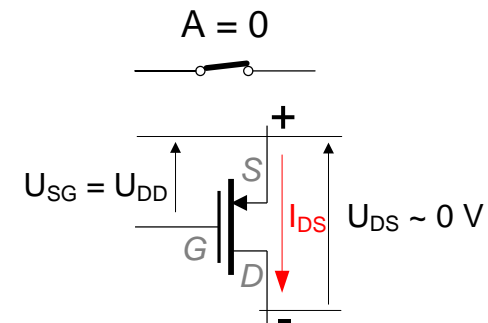
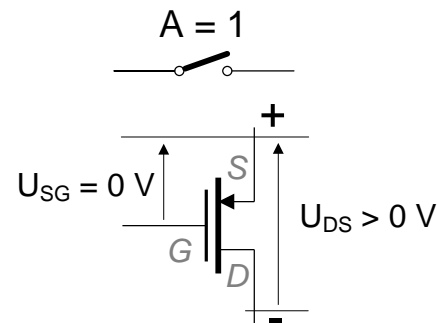
$$A = 1 \sim V \sim U_{SG} = 0 \text{ V}$$

($\rightarrow U_{GD} = U_{DD}$)

- zasićenje:

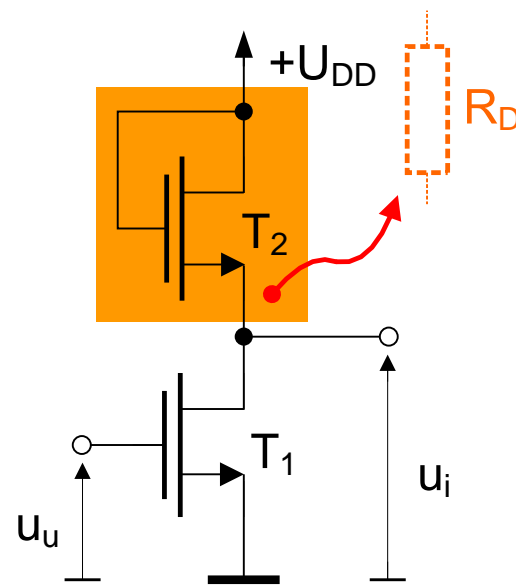
$$A = 0 \sim N \sim U_{SG} = U_{DD}$$

($\rightarrow U_{GD} = 0 \text{ V}$)



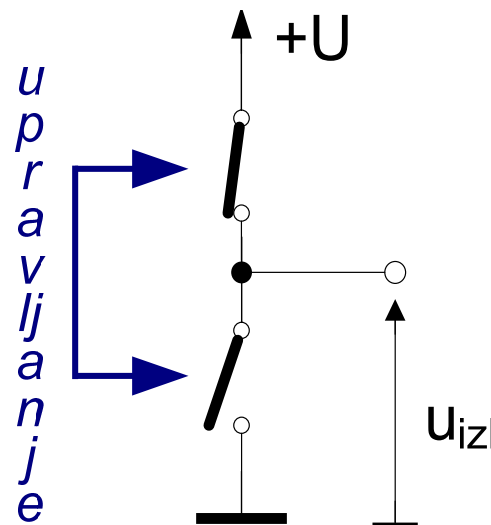
Izvedbe invertora

- izvedba invertora s *MOSFET*
~ tipično NMOS:
 - funkcijski identično rješenju s bipolarnim tranzistorom
 - *naponska* pobuda
~ troši manje snage ☺
 - $R_{PU} \sim T_2$ spojen kao dioda:
 $R_{PU} = R_{ekv} = R_D \approx 100 \text{ k}\Omega$
 - *spori* odziv $N \rightarrow V$ (na izlazu)
 - $t_r \gg t_f$
 - izolirana upravljačka elektroda
~ statički elektricitet
može probiti izolaciju! ☹



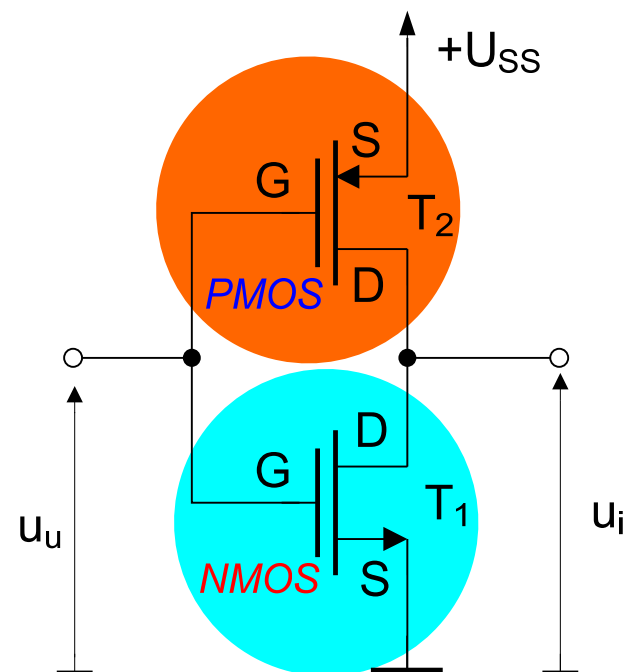
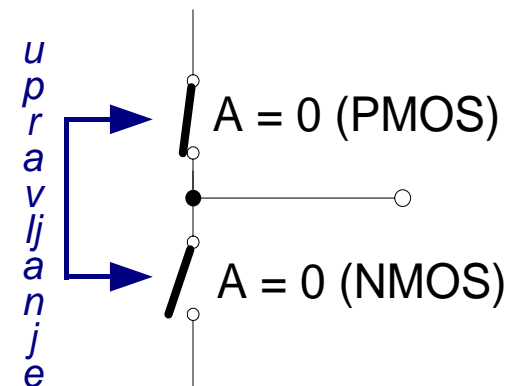
Izvedbe invertora

- poboljšanje izvedbe invertora u tehnologiji MOSFET
~ model sklopke "u protuspoju":
 - kontakti se zatvaraju *u protuspoju*:
nije potreban $R_{pU} = R_D$!
~ gotovo nikakva potrošnja!
 - brže rješenje
~ $t_r \approx t_f$
 - potrebno ostvariti
električki simetrične sklopke
~ *komplementarne* su!!!



Izvedbe invertora

- izvedba invertora s *CMOS* (engl. Complementary MOS)
~ sklopke u protuspoju:
 - naponska pobuda
 - statički elektricitet !!! ☹
 - T_1 i T_2 električki simetrični
~ *komplementarni*
 - T_1 je NMOS
 - T_2 je PMOS (komplementarno ponašanje)
 - $t_r \approx t_f$
~ brže od NMOS! 😊 😊 😊
 - troši *najmanje* snage! 😊 😊 😊



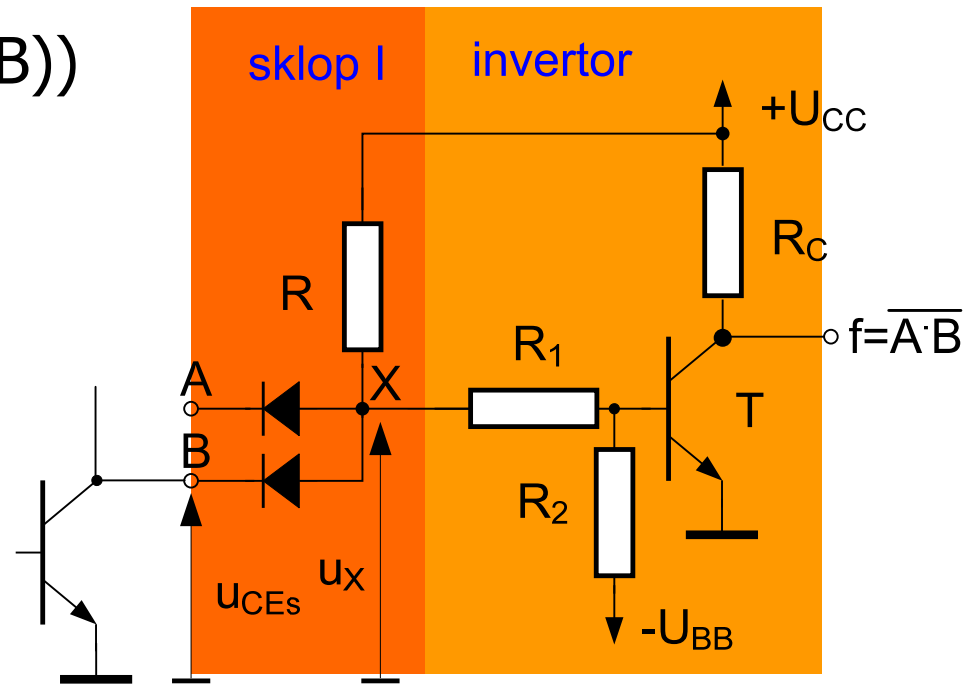


Sadržaj predavanja

- interpretacija logičkih vrijednosti
- implementacije osnovnih logičkih sklopova
- **implementacije drugih logičkih sklopova**
 - **izvedbe univerzalnih logičkih sklopova NI i NILI**
 - **direktno povezivanje izlaza**
- izvedbe logičkih sklopova u tehnologiji CMOS

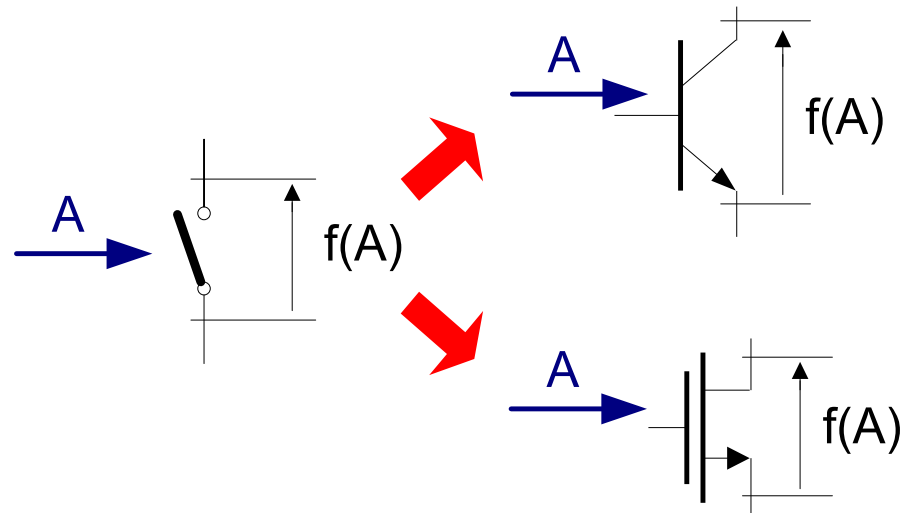
Izvedbe univerzalnih sklopova NI i NILI

- izvedba univerzalnog sklopa *kompozicijom funkcija* (kaskadiraњem sklopova):
 - karakteristično za *bipolarnu* tehnologiju (BJT)
 - tipično $NI = NE \circ I$
 $\sim NI(A, B) = NE(I(A, B))$
 - *diodni* sklop I
 - invertor s BJT
 - *koncept* za čitav niz (bipolarnih) skupina integriranih logičkih sklopova



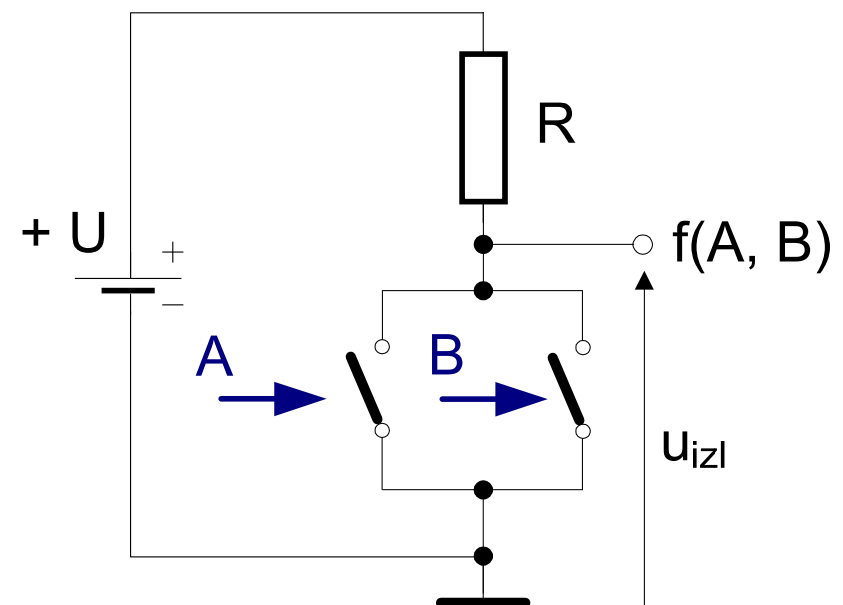
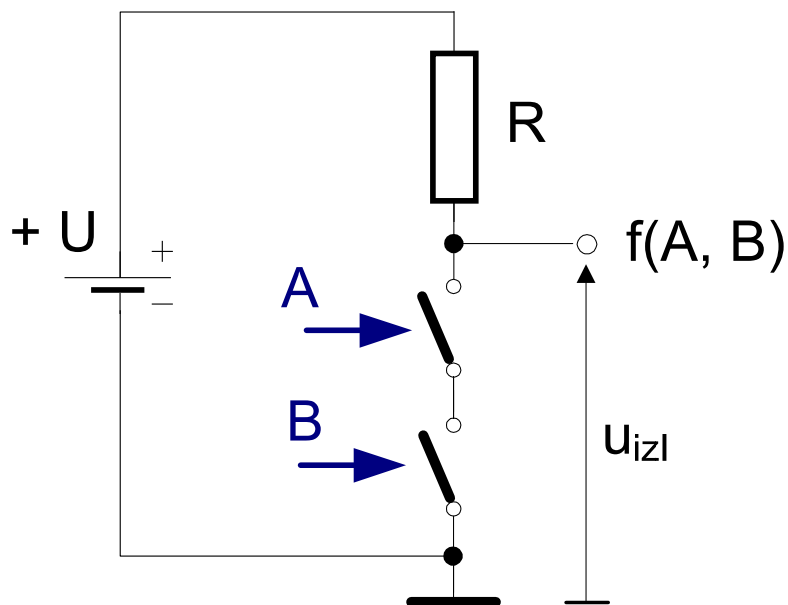
Izvedbe univerzalnih sklopova NI i NILI

- izvedba univerzalnog sklopa *direktnim povezivanjem tranzistora*:
 - bipolarna i MOSFET tehnologija
 - kombiniranje tranzistora:
 - serijski: sklop NI
 - paralelno: sklop NILI
 - tranzistori
~ upravljane sklopke



Izvedbe univerzalnih sklopova NI i NILI

- konceptualne izvedbe univerzalnih sklopova (pozitivna logika):
 - *serijski* spoj sklopki \sim sklop NI
 - *paralelni* spoj sklopki \sim sklop NILI

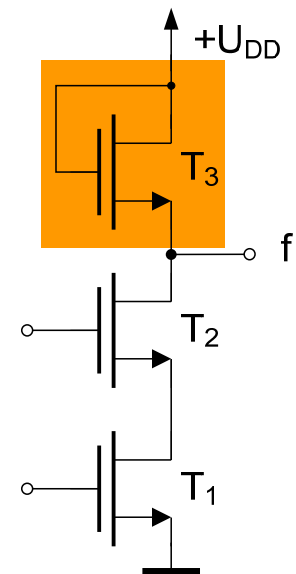
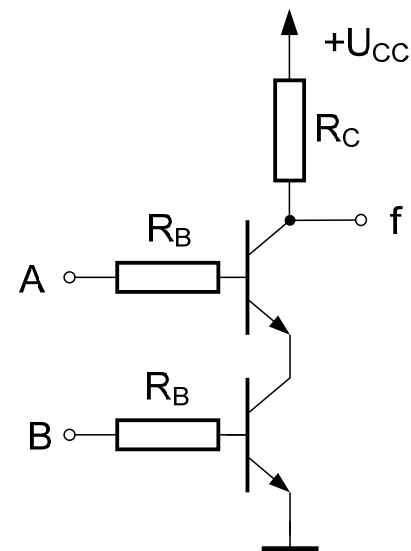


Izvedbe univerzalnih sklopova NI i NILI

- izvedba sklopa NI (pozitivna logika)
~ *serijski spoj tranzistora (kaskoda)*
 - $U_{izlN} = \Sigma U_S$ tranzistora > 0 V
~ uglavnom se izbjegava
 - praktične izvedbe jedino u NMOS

A	B	f
N	N	V
N	V	V
V	N	V
V	V	N

A	B	f
0	0	1
0	1	1
1	0	1
1	1	0

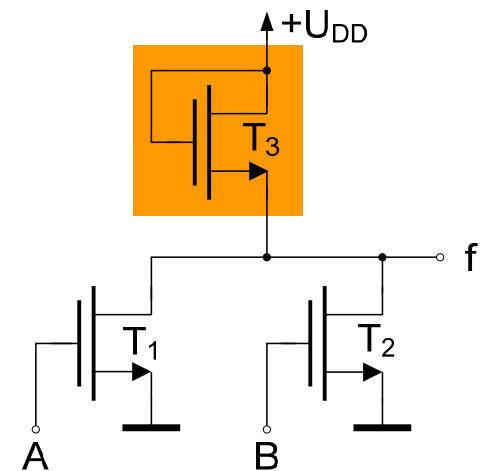
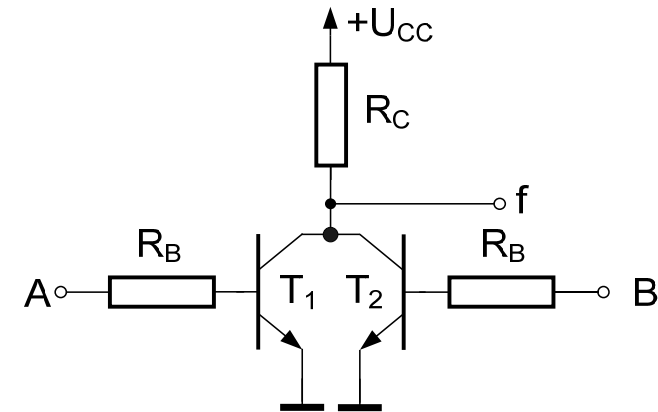


Izvedbe univerzalnih sklopova NI i NILI

- izvedba sklopa NILI (pozitivna logika)
~ paralelni spoj tranzistora:
 - bolja električka svojstva
(nema $U_{izlN} = \Sigma U_S$)
~ izvedba izbora

A	B	f
N	N	V
N	V	N
V	N	N
V	V	N

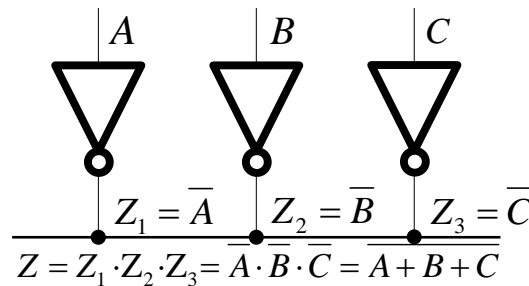
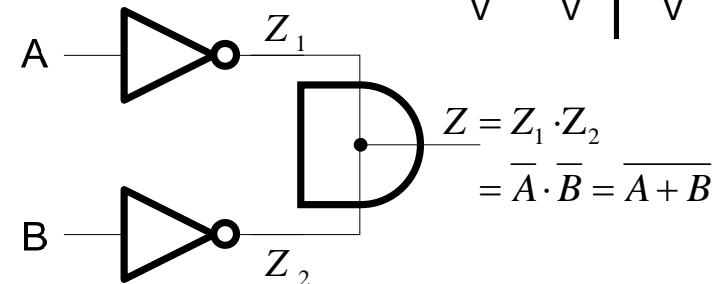
A	B	f
0	0	1
0	1	0
1	0	0
1	1	0



Direktno povezivanje izlaza

- *spojeni I* (engl. wired AND):
~ kombiniranje logičkih sklopova
fizičkim povezivanjem izlaza
- "ušteta" logičkih sklopova
- mogućnost ostvarivanja univerzalne funkcije
- primjena na sabirničkim linijama
~ "raspodijeljena funkcija I"

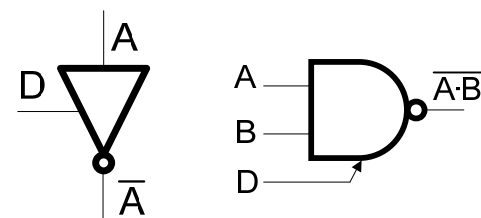
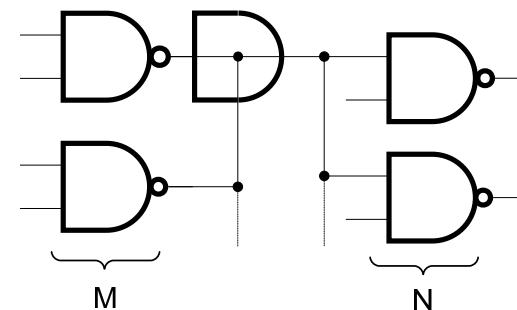
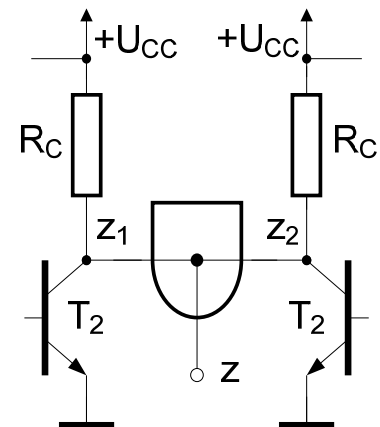
Z_1	Z_2	Z
N	N	N
N	V	N
V	N	N
V	V	V



- diktirano električkim mogućnostima izlaznog stupnja

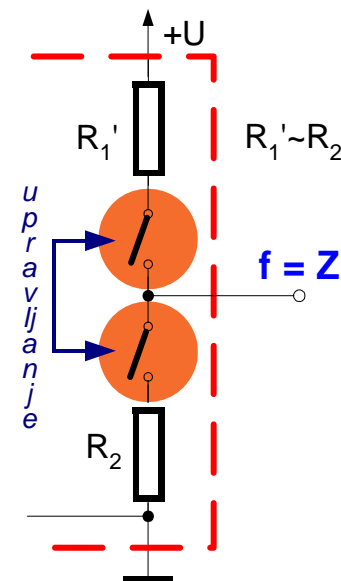
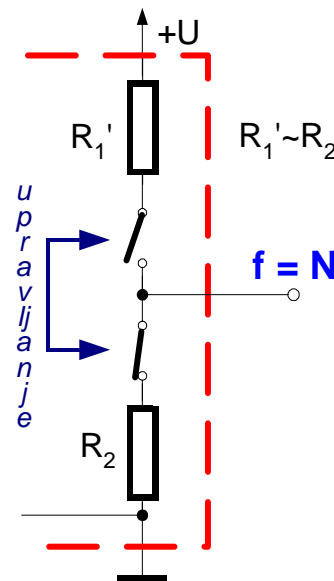
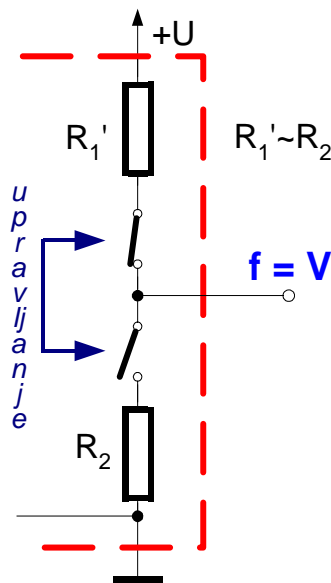
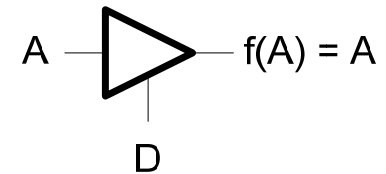
Direktno povezivanje izlaza

- izvedba spojenog I
 \sim izlazni stupanj:
 npr. "pasivni" $R_{PU} = R_C \approx k\Omega$
 - $R_{Cekv} = R_C/M$
 M: broj izlaza vezanih u spojeni I
 - najlošiji slučaj:
 vodi samo jedan T od njih M
$$I_{CS} = M \cdot \frac{U_{CC} - U_{CES}}{R_C} + N \cdot I_{IL}$$
- popularno rješenje
 \sim sklop s *upravljanim* izlazom:
 sklop s (izlazom s) tri stanja



Direktno povezivanje izlaza

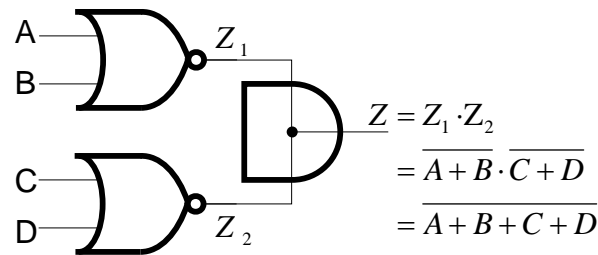
- *sklop s (izlazom s) tri stanja* (engl. three-state logic)
~ *odvajanje* izlaza sa sklopkama u protuspoju:
 - visoko (V)
 - nisko (N)
 - "stanje visoke impedancije" (Z)
~ obje izlazne sklopke *isključene* :
nema pritezanja ni prema V, a niti prema N



Direktno povezivanje izlaza

- *spojeni ILI* (engl. wired OR)
~ spojeni I, ali su sklopovi NILI
 - *proširivanje* broja ulaza ekvivalentnog sklopa NILI!

Z_1	Z_2	Z
N	N	N
N	V	N
V	N	N
V	V	V



- električke mogućnosti izlaznog stupnja:
 - moguće ako $R_{pU} \gg$, npr. $R_C > \sim k\Omega$
 - inače zabranjeno, npr. $R_C < \sim 100 \Omega$

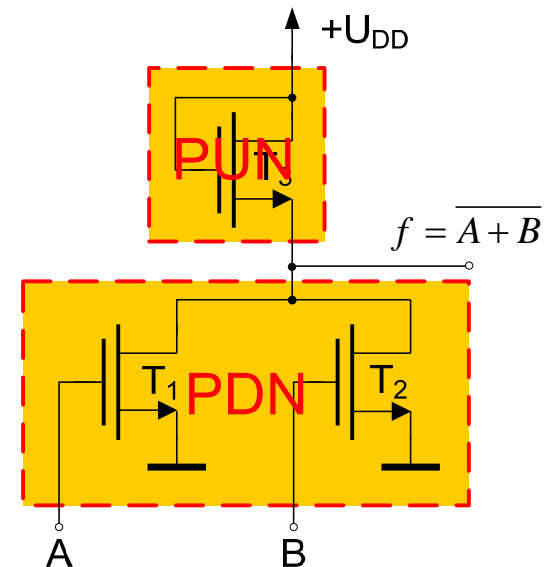


Sadržaj predavanja

- interpretacija logičkih vrijednosti
- implementacije osnovnih logičkih sklopova
- implementacije drugih logičkih sklopova
- **izvedbe logičkih sklopova u tehnologiji CMOS**

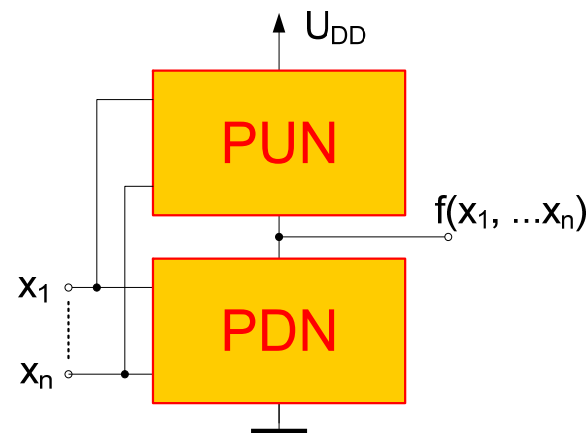
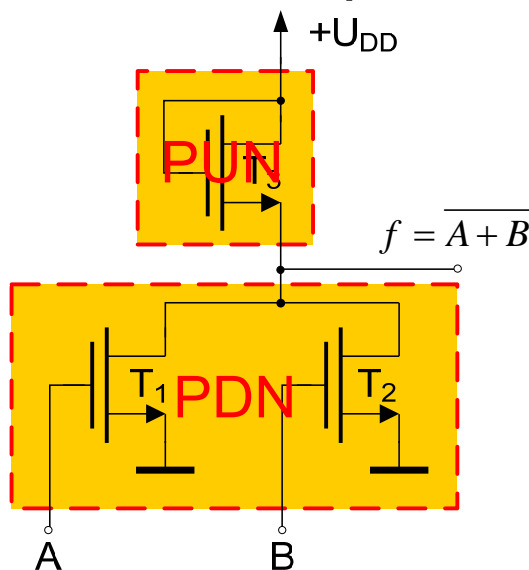
Izvedbe u tehnologiji CMOS

- univerzalni CMOS sklopovi
~ izvođenje iz NMOS sklopova:
 - mreža za pritezanje na masu
(engl. Pull-Down Network, PDN)
~ sklopka (izlazni tranzistor):
ostvarivanje logičke funkcije
 - mreža za pritezanje na napajanje
(engl. Pull-Up Network, PUN)
~ "otpornik" ostvaren
posebnim NMOS



Izvedbe u tehnologiji CMOS

- univerzalni CMOS sklopovi
~ izvođenje iz NMOS sklopova:
 - zamijeniti NMOS za pritezanje na napajanje mrežom sastavljenom od PMOS
 - PMOS (pritezanje na napajanje) i NMOS (pritezanje na masu) električki *komplementarni*
~ izlaz sa *sklopkama u protuspoju!*



Izvedbe u tehnologiji CMOS

- univerzalni sklopovi NILI i NI (pozitivna logika)
 $\sim T_{\text{izlazni}} = \text{NMOS}; T_{\text{opterećenje}} = \text{PMOS}$
 - sklop NILI:
PDN = paralelno spojeni NMOS
PUN = serijski spojeni PMOS
 - sklop NI:
PDN = serijski spojeni NMOS
PUN = paralelno spojeni PMOS

Izvedbe u tehnologiji CMOS

- izvođenje CMOS sklopa NI (pozitivna logika):

- PUN: $f = \overline{A \cdot B} = \overline{A} + \overline{B}$

$$f = 1 \Leftrightarrow (A = 0) + (B = 0)$$

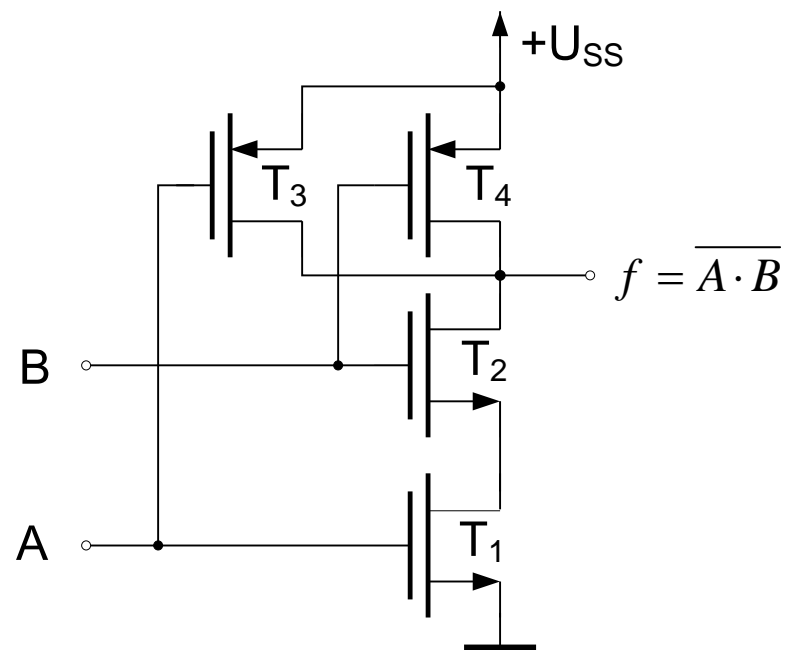
→ *paralela* PMOS !

- PDN: $\overline{f} = A \cdot B$

$$\overline{f} = 1 \Leftrightarrow (A = 1) \cdot (B = 1)$$

→ *serija* NMOS !

A	B	T ₁	T ₂	T ₃	T ₄	f
N	N	NE	NE	DA	DA	V
N	V	NE	DA	DA	NE	V
V	N	DA	NE	NE	DA	V
V	V	DA	DA	NE	NE	N



Izvedbe u tehnologiji CMOS

- izvođenje CMOS sklopa NILI:

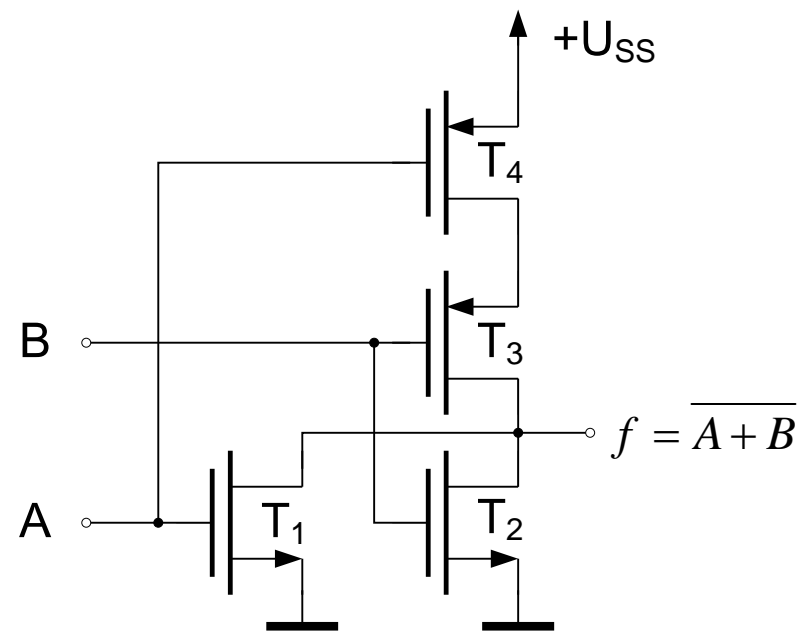
- PUN: $f = \overline{A + B} = \overline{A} \cdot \overline{B}$
 $f = 1 \Leftrightarrow (A = 0) \cdot (B = 0)$

→ *serija* PMOS !

- PDN: $\overline{f} = A + B$
 $\overline{f} = 1 \Leftrightarrow (A = 1) + (B = 1)$

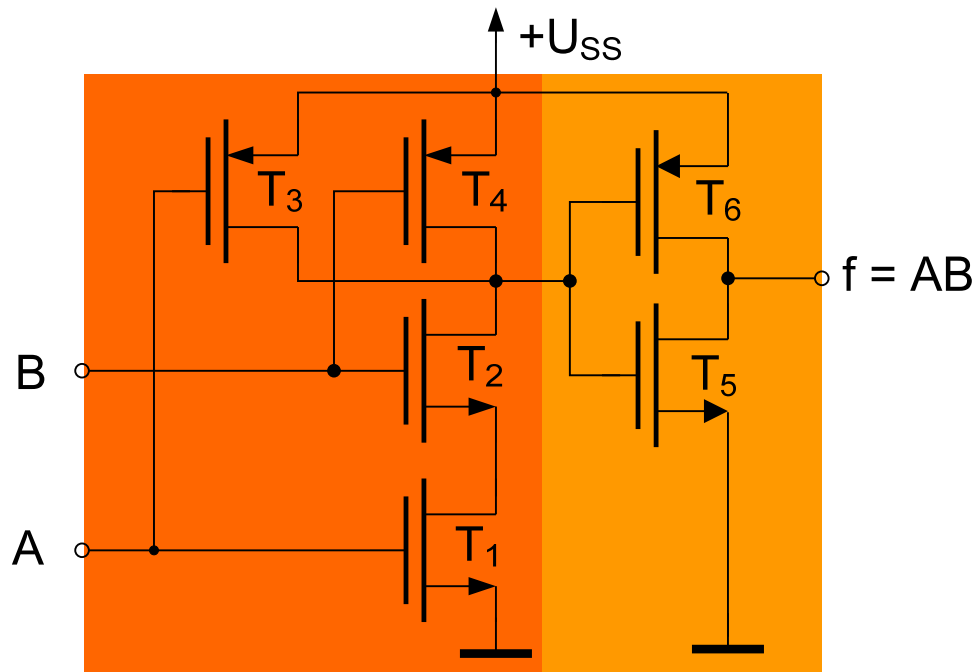
→ *paralela* NMOS !

A	B	T ₁	T ₂	T ₃	T ₄	f
N	N	NE	NE	DA	DA	V
N	V	NE	DA	NE	DA	N
V	N	DA	NE	DA	NE	N
V	V	DA	DA	NE	NE	N



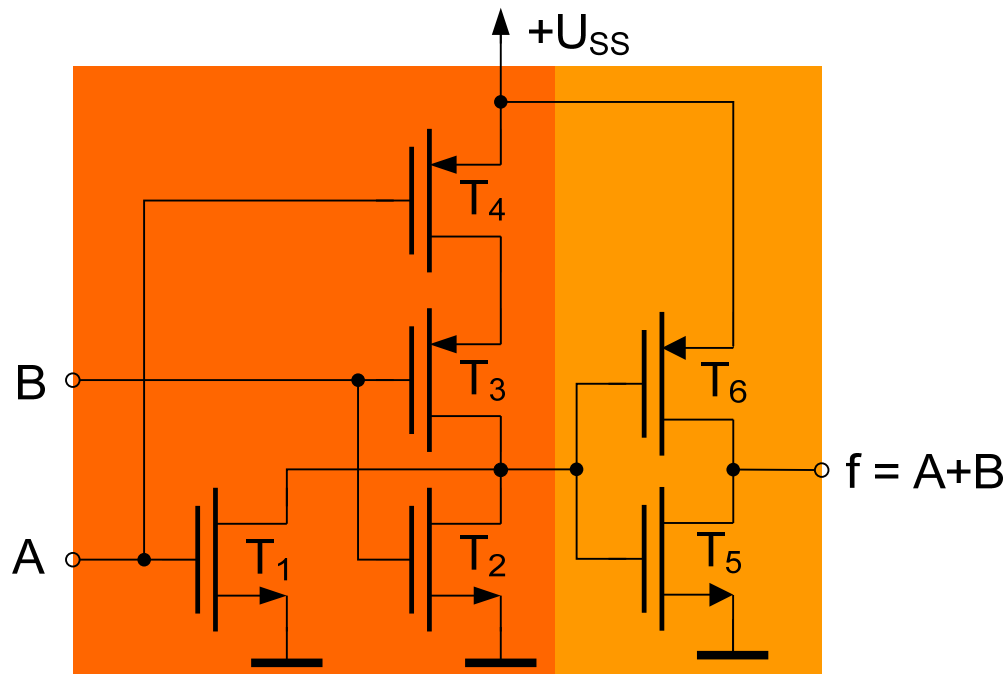
Izvedbe u tehnologiji CMOS

- izvedba CMOS sklopa I
~ kompozicija NE i NI: $I(A, B) = (NE \circ NI)(A, B)$
 $= NE(NI(A, B))$



Izvedbe u tehnologiji CMOS

- izvedba CMOS sklopa ILI
~ kompozicija NE i NILI: $ILI(A, B) = (NE \circ NILI)(A, B)$
 $= NE(NILI(A, B))$





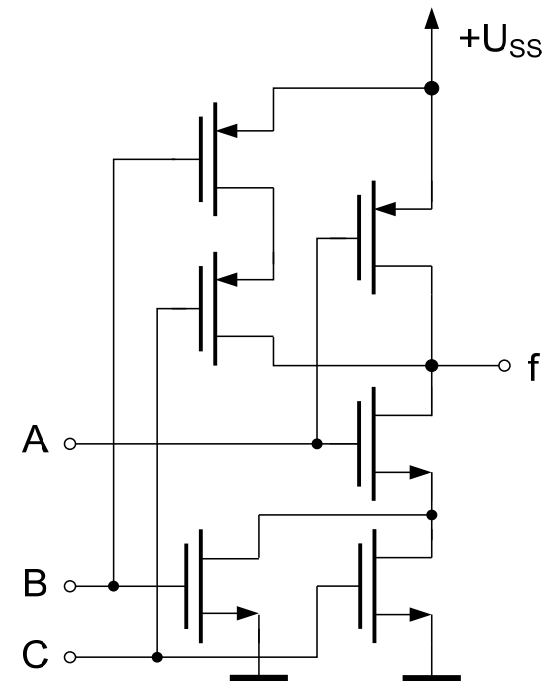
Implementacija funkcija u CMOSu

- poopćenje PDN i PUN
~ izvođenje *proizvoljnog* CMOS sklopa:
 - *sve* varijable *komplementirane*
~ vrlo jednostavno rješenje
 - *neke* varijable *nisu* komplementirane
~ prethodno ih komplementirati

Implementacija funkcija u CMOSu

Primjer: $f = \overline{A} + \overline{B} \cdot \overline{C}$

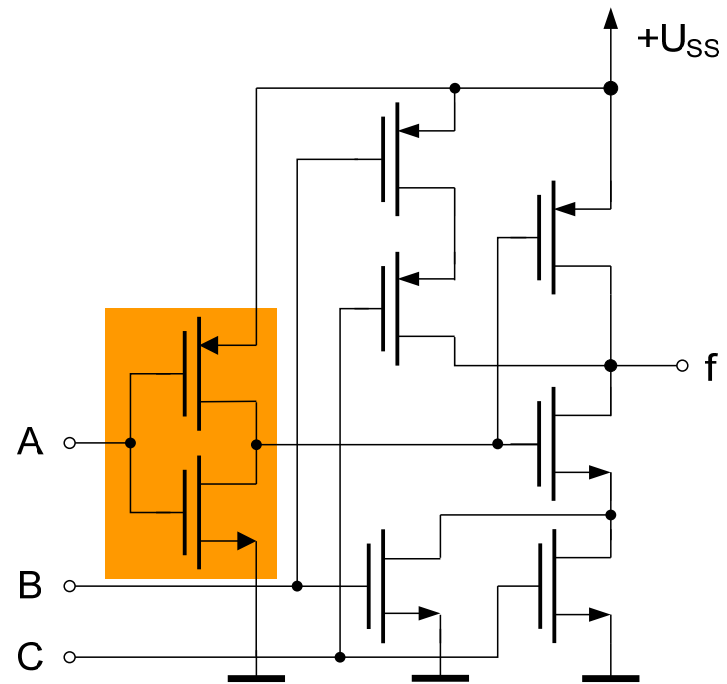
- sve su varijable *komplementirane*
~ direktno izvođenje PUN
- PUN:
 - serija PMOS za B i C
 - paralela PMOS za A i $\varphi(B, C)$
- PDN:
$$\overline{f} = \overline{\overline{A} + \overline{B} \cdot \overline{C}}$$
$$= A \cdot (B + C)$$
 - paralela NMOS za B i C
 - serija NMOS za A i $\varphi(B, C)$



Implementacija funkcija u CMOSu

Primjer: $f = A + \overline{B} \cdot \overline{C} = \overline{\overline{A}} + \overline{B} \cdot \overline{C}$

- inverter za dobivanje \overline{A}
- PUN:
 - serija PMOS za B i C
 - paralela PMOS za \overline{A} i $\phi(B, C)$
- PDN:
$$\overline{f} = \overline{A + \overline{B} \cdot \overline{C}}$$
$$= \overline{A} \cdot (B + C)$$
 - paralela NMOS za B i C
 - serija NMOS za \overline{A} i $\phi(B, C)$



- U. Peruško, V. Glavinić: *Digitalni sustavi*, Poglavlje 3: Osnove digitalne logike; Poglavlje 6: Elektroničke izvedbe logičkih sklopova.
- interpretacija logičkih vrijednosti: str. 120-122
 - implementacije osnovnih logičkih sklopova: str. 84-89
 - implementacije drugih logičkih sklopova: str. 204-207, 222-223, 235-236
 - izvedbe logičkih sklopova u tehnologiji CMOS: str. 237-239



Zadaci za vježbu (1)

U. Peruško, V. Glavinić: *Digitalni sustavi*, Poglavlje 3: Osnove digitalne logike; Poglavlje 6: Elektroničke izvedbe logičkih sklopova.

- interpretacija logičkih vrijednosti: 3.24
- implementacije osnovnih logičkih sklopova: 6.8
- implementacije drugih logičkih sklopova: 6.13, 6.14, 6.15, 6.17
- izvedbe logičkih sklopova u tehnologiji CMOS: 6.11, 6.18-6.23



Zadaci za vježbu (2)

M. Čupić: *Digitalna elektronika i digitalna logika. Zbirka riješenih zadataka*, Cjelina 14: Integrirani logički sklopovi.

- izvedbe logičkih sklopova u tehnologiji CMOS:
 - riješeni zadaci: 14.7-14.10,
 - zadaci za vježbu: 1, 3 (str.452-453)