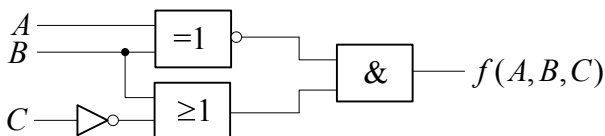
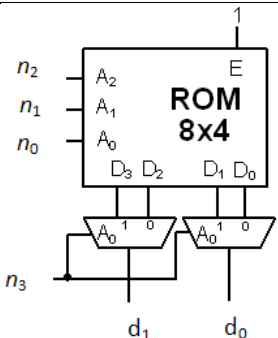
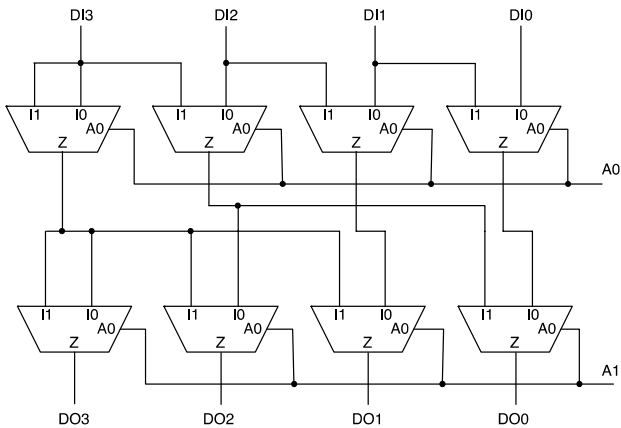
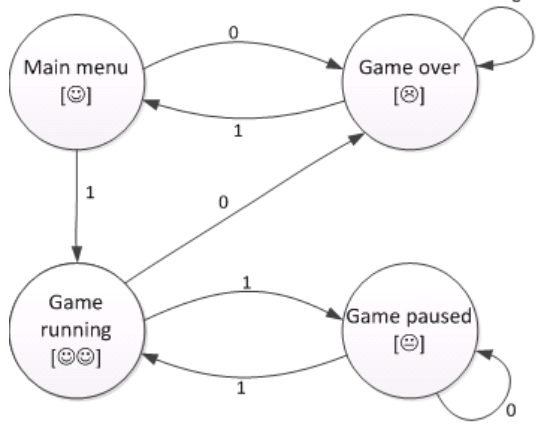
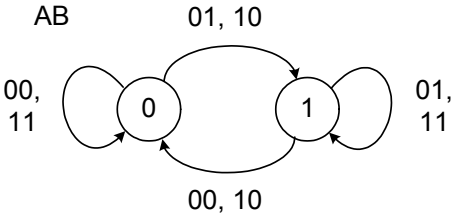


ZIMSKI ISPITNI ROK IZ DIGITALNE LOGIKE

Grupa B

| | |
|---|--|
| 1 | Oktet $AC_{(16)}$ potrebno je zaštititi uporabom Hammingovog koda, koristeći neparni paritet. Kako glasi Hammingova kodna riječ? a) 111101001100 c) 001101010011 e) 101001011100 b) 011101001100 d) 001101001100 f) ništa od navedenoga |
| 2 | Broj $324_{(10)}$ potrebno je kodirati kodom XS-3. Kako glasi zapis tako kodiranog broja? a) 001100100100 c) 011001010111 e) 101000111 b) 101000100 d) 101000100111 f) ništa od navedenoga |
| 3 | Ostvariti $NI(A,B)$ samo funkcijom $NILI$. Zapis $NILI(x,x)$ pokraćen je u $NILI(x)$. Rješenje je: a) $NILI(NILI(A), NILI(B))$ c) $NILI(A, NILI(B))$ e) $NILI(NILI(A,B), B)$ b) $NILI(NILI(NILI(A), NILI(B)))$ d) $NILI(NILI(A,B))$ f) ništa od navedenoga |
| 4 | Koju funkciju ostvaruje sklop na slici?  a) $\sum m(2,3,4,5,6)$ c) $\sum m(0,1,3)$ e) $\prod M(0,1,6,7)$ b) $\prod M(1,6,7)$ d) $\prod M(1,2,3,4,5)$ f) ništa od navedenoga |
| 5 | Kako glasi minimalni zapis funkcije $f(A,B,C,D) = \sum m(0,2,8,9,10,11,13,15)$ u obliku sume produkata? a) $\overline{A}\overline{D} + AC$ b) CD c) $\overline{B}\overline{D} + AD$ d) $AB + D$ e) $AB + C$ f) ništa od navedenoga |
| 6 | Nakon prvog koraka metode Quine-McCluskey (konstrukcija čitave prve tablice), u tablici su kao neoznačeni ostali: a) svi primarni implikanti d) svi implikanti b) svi implikanti koji nisu bitni primarni e) isključivo svi bitni primarni implikanti c) svi implikanti koji čine minimalni oblik f) ništa od navedenoga |
| 7 | Ako se sklopu porodice CMOS smanji napon napajanja za 10%, koliko se (približno) smije povećati frekvenciju rada a da se dinamička disipacija ne promijeni? a) oko 43% b) oko 5% c) oko 10% d) oko 87% e) oko 23% f) ništa od navedenoga |
| 8 | Izlaz jednog logičkog sklopa spojen je na ulaze 5 drugih logičkih sklopova. Logički sklopovi su iste vrste. Poznati su sljedeći parametri: $U_{OHmin} = 4,5V$, $U_{OLmax} = 1,1V$, $U_{IHmin} = 3,5V$, $U_{ILmax} = 1,5V$. Kolika je maksimalna istosmjerna smetnja uz koju će sklopovi i dalje sigurno raditi ispravno? a) 1V b) 0,5V c) 2V d) 0,4V e) 3V f) ništa od navedenoga |
| 9 | Broju $n \in \{0, \dots, 15\}$ binarno zapisanom znamenkama $n_3n_2n_1n_0$ pridružuje se broj $d_3d_2d_1d_0$ zapisan u Grayevom kodu. Funkcija $f(n)$ svakom n pridružuje dvije manje značajne znamenke d_1d_0 pridruženog broja zapisanog u Grayevom kodu. Ovu funkciju potrebno je ostvariti permanentnom memorijom kapaciteta 8×4 i multipleksorima prema slici. Što treba upisati u memoriju na lokacije od 2 do 3? Numeracija lokacija kreće od 0 a odgovori su dani u heksadekadskom zapisu.  a) F, C b) D, 7 c) 8, 9 d) C, 1 e) 4, 4 f) ništa od navedenoga |

| | |
|----|--|
| 10 | <p>Razmotrite općeniti problem realizacije triju Booleovih funkcija od 5 varijabli (sve funkcije ovise o istih 5 varijabli). Sve tri funkcije ostvarujemo jednom ispisnom memorijom dimenzija $n \times 12$; pri tome koristimo još i tri multipleksora 4/1: na podatkovne ulaze prvog dovedeni su podatkovni izlazi d_0-d_3 memorije, na podatkovne ulaze sljedećeg izlazi d_4-d_7 memorije te na podatkovne ulaze posljednjeg d_8-d_{11} memorije. Na izlazima multipleksora očitavamo tražene funkcije. Koliko minimalno adresnih bitova treba imati razmatrana ispisna memorija?</p> <p>a) 3 b) 5 c) 2 d) 32 e) 12 f) ništa od navedenoga</p> |
| 11 | <p>Na raspolaganju je 8-bitno paralelno zbrajalo na čije su ulaze dovedena dva broja. Ako su kašnjenja pojedinog potpunog zbrajala $t_{dS}=6ns$ (bit sume) i $t_{dC}=4ns$ (bit prijenosa), koliko iznosi ukupno kašnjenje sklopa?</p> <p>a) 46ns b) 34ns c) 48ns d) 32ns e) 38ns f) ništa od navedenoga</p> |
| 12 | <p>Što vrijedi kod sklopa za zbrajanje izvedenog uporabom izdvojenog generiranja prijenosa?</p> <p>a) generirajući član u potpunom zbrajalu računa se kao $a_i + b_i$ b) propagirajući član u potpunom zbrajalu računa se kao $\bar{a}_i \cdot b_i$ c) uz veći broj bitova pribrojnika, kašnjenje je veće nego kod korištenja običnog zbrajala d) prijenosi za potpuna zbrajala pojavljuju se od prvog prema zadnjem, svaki uz neko kašnjenje e) vrijeme izračuna rezultata zbrajanja ne ovisi o broju bitova pribrojnika f) ništa od navedenoga</p> |
| 13 | <p>Sklop za posmak je prikazan shemom. Na adresne ulaze sklopa (A_1A_0) dovedena je kombinacija 01. Koji od ponuđenih podataka treba dovesti na ulaz sklopa $DI_3DI_2DI_1DI_0$ da bi se na izlazu dobila kombinacija 1101?</p>  <p>a) 1101 b) 1110 c) 1010 d) 0110 e) 0011 f) ništa od navedenoga</p> |
| 14 | <p>Zadan je dijagram stanja automata na slici. Stanja su kodirana na sljedeći način: 00=Game over, 01=Main menu, 10=Game paused, 11=Game running. Ulaz je označen slovom I; izlaz je naveden u uglatim zagradama. Automat je potrebno ostvariti pomoću dva bistabila D (B_1 i B_0). Na ulaz D bistabila B_1 potrebno je dovesti:</p>  <p>a) $IQ_1\bar{Q}_0$ b) $I\bar{Q}_1Q_0$ c) IQ_1Q_0 d) $Q_1\bar{Q}_0 + IQ_0$ e) $\bar{Q}_1 + IQ_0$ f) ništa od navedenoga</p> |
| 15 | <p>Potrebno je realizirati dekodersko stablo sa šest adresnih ulaza. Na raspolaganju su dekoderi 2/4. Koliko dekodera 2/4 je potrebno?</p> <p>a) 21 b) 15 c) 25 d) 17 e) 13 f) ništa od navedenoga</p> |

| | |
|----|--|
| 16 | <p>Koja od sljedećih tvrdnji nije točna? (PROM: programirljiva ispisna memorija, PLA: programirljivo logičko polje, PAL: poluprogramirljivo logičko polje)</p> <p>a) Kod PROM je programirljivo samo kodersko polje. b) Prednost PAL prema PLA je u tome što je PLA teže proizvesti. c) Kod PAL je programirljivo dekodersko polje. d) Kod sklopa PAL moguće je dijeliti produkte/sume koje računa prvo polje. e) Sadržaj programiranog PROM-a nije moguće brisati. f) ništa od navedenoga</p> |
| 17 | <p>Pomoću bistabila D i 3-ulaznog LUT-a spojenog na njegov ulaz D potrebno je ostvariti bistabil AB opisan dijagramom stanja sa slike. Ako je poznato da su selekcijski ulazi LUT-a s_2 (ulaz najveće težine), s_1, i s_0 (ulaz najmanje težine) spojeni na način $s_2=A$, $s_1=B$, $s_0=Q(n)$, što je potrebno upisati u LUT?</p>  <p>a) 10000001 c) 00111001 e) 11001101 b) 00110110 d) 00010100 f) ništa od navedenoga</p> |
| 18 | <p>Projektirati Mooreov automat koji na izlazima generira ciklus 7,3,3,1. Automat ima ulaz U koji određuje smjer u kojem se prolazi ciklusom: ako je $U=0$ prolazi se s lijeva na desno (s obzirom na napisani slijed), a ako je $U=1$ smjer je obrnut. Koristiti minimalno potrebni broj bistabila tipa T te binarno kodiranje stanja. U početnom stanju izlaz treba biti 7. Neka su izlazi označeni s o_2, o_1, o_0, gdje je o_0 bit najmanje težine. Utvrdite minimalni zapis funkcije o_2 u obliku sume produkata. Uključenjem automata na napajanje, izlazi svih bistabila automatski se postavljaju na vrijednost 0.</p> <p>a) $\overline{Q}_1 + \overline{U}$ b) $\overline{Q}_1 \overline{Q}_0$ c) $U Q_1$ d) $\overline{Q}_1 + \overline{Q}_0$ e) $Q_1 + Q_0$ f) ništa od navedenoga</p> |
| 19 | <p>Kolika je maksimalna frekvencija takta sinkronog 8 bitnog brojila s paralelnim prijenosom, ako su poznati sljedeći podatci: $t_{db}=20\text{ns}$, $t_{setup}=20\text{ns}$, $t_{hold}=30\text{ns}$ i $t_{dl}=10\text{ns}$.</p> <p>a) 21 MHz b) 12,5 MHz c) 25 MHz d) 30 MHz e) 20 MHz f) ništa od navedenoga</p> |
| 20 | <p>Zadano je 5 bitno asinkrono binarno brojilo, čiji bistabili imaju ulaze za postavljanje i resetiranje koji se aktiviraju nulom. Ulazi za resetiranje bistabila B_0, B_1 i B_3 te ulazi za postavljanje bistabila B_2 i B_4 spojeni su zajedno, i njima upravlja signal X. Preostali ulazi za postavljanje i resetiranje fiksno su spojeni na vrijednost 1. Koju Booleovu funkciju treba ostvarivati sklop koji generira signal X ako se želi postići da brojilo prolazi kroz ciklus s 10 stanja? <i>Pomoć</i>: skicirajte sklop i razmotrite u koje stanje sklop prelazi aktiviranjem signala X.</p> <p>a) $Q_4 + Q_3 + Q_2 + Q_1 + Q_0$ c) $Q_4 + Q_3 + Q_2 + Q_1 + \overline{Q}_0$ e) $\overline{Q}_4 + \overline{Q}_3 + \overline{Q}_2 + Q_1 + \overline{Q}_0$ b) $\overline{Q}_4 + \overline{Q}_3 + \overline{Q}_2 + \overline{Q}_1 + Q_0$ d) $Q_4 + \overline{Q}_3 + \overline{Q}_2 + \overline{Q}_1 + Q_0$ f) ništa od navedenoga</p> |
| 21 | <p>Koliko iznosi maksimalan broj stanja Johnsonovog brojila ako brojilo ima n bita?</p> <p>a) n b) $8n$ c) $4n$ d) $2n$ e) 2^n f) ništa od navedenoga</p> |
| 22 | <p>Težinski DA pretvornik s operacijskim pojačalom ima težine 8421, $U_{REF}=10\text{V}$, $R_f=1\text{k}\Omega$, otpor u težinskoj mreži uz znamenku a_3 od $2,5\text{k}\Omega$. Koliki će se napon generirati na izlazu pretvornika ako se na ulaz dovede $a_3a_2a_1a_0=0011$?</p> <p>a) -1V b) 0V c) -3V d) -2V e) -1,5V f) ništa od navedenoga</p> |
| 23 | <p>Zadan je 10-bitni brojeći AD pretvornik koji pretvara napone u rasponu 0V do 10V. Koliko iznosi kvant (tj. korak) s kojim pretvornik radi (naponi su zaokruženi na dvije decimale)?</p> <p>a) 0,00V b) 0,50V c) 0,01V d) 5,00V e) 0,25V f) ništa od navedenoga</p> |

| | |
|----|---|
| 24 | Memorija kapaciteta 256x2 bita ima 2½D organizaciju gdje jednu fizičku riječ čini osam logičkih riječi. S koliko se bitova adresira dekodeer retka? a) 5 b) 16 c) 8 d) 2 e) 32 f) ništa od navedenoga |
|----|---|

Zadatak 25 potrebno je riješiti na lijevoj, a zadatak 26 na desnoj strani unutrašnjosti košuljice. Oba zadatka ručno se pregledavaju i boduju te kod njih nema negativnih bodova.

| | |
|----|---|
| 25 | <p>Troulazni konfigurabilni logički blok (CLB) sklopa FPGA temeljen na preglednoj tablici (LUT-u) i bistabilu tipa D u VHDL-u je modeliran sklopom <code>clb</code> čije je sučelje dano u nastavku.</p> <pre>ENTITY clb IS PORT (a: in std_logic_vector(2 downto 0); lut: in std_logic_vector(0 to 7); s, clk: in std_logic; q: out std_logic); END clb;</pre> <p>Pri tome, ako je $s=0$, na izlaz CLB-a se propušta izlaz LUT-a dok se za $s=1$ na izlaz propušta izlaz bistabila. Uporabom tih komponenti ostvaren je sklop <code>automat</code> čiji je model prikazan u nastavku.</p> <pre>ENTITY automat IS PORT (a, clk: in std_logic; o: out std_logic); END automat;</pre> <pre>ARCHITECTURE arch OF automat IS SIGNAL q: std_logic_vector(1 downto 0); SIGNAL x: std_logic_vector(2 downto 0); BEGIN x <= a & q(1) & q(0); clb0: ENTITY work.clb PORT MAP (x, "10101010", '1', clk, q(0)); clb1: ENTITY work.clb PORT MAP (x, "01101001", '1', clk, q(1)); clb2: ENTITY work.clb PORT MAP (x, "11001100", '0', clk, o); END arch;</pre> <p>Uz pretpostavku da je stanje S_i kodirano binarnom reprezentacijom od i, nacrtajte dijagram promjene stanja ovog automata.</p> |
|----|---|

| | |
|----|--|
| 26 | <p>Na raspolaganju je komponenta <code>posmreg</code> (posmačni registar s paralelnim izlazima koji posmiče od q_2 prema q_0). Sučelje sadrži ulaz <code>clk</code> za signal takta, serijski ulaz <code>sin</code> te izlaz <code>q</code>: <code>std_logic_vector(2 downto 0)</code>, tim redoslijedom. Na raspolaganju je i <code>mux41</code> (multipleksor 4/1) čije se sučelje sastoji od podatkovnih ulaza <code>d</code>: <code>std_logic_vector(0 to 3)</code>, adresnih ulaza <code>a</code>: <code>std_logic_vector(1 downto 0)</code>, te izlaza <code>y</code>, tim redoslijedom. Tom komponentom ostvareno je sinkrono brojilo čiji je VHDL opis dan u nastavku.</p> <pre>ENTITY brojilo IS PORT (clk: in std_logic; o: out std_logic_vector(2 downto 0)); END brojilo;</pre> <pre>ARCHITECTURE arch OF automat IS signal q: out std_logic_vector(2 downto 0); signal d: out std_logic_vector(0 to 3); signal a: out std_logic_vector(1 downto 0); signal sin, nq: std_logic; BEGIN pr: ENTITY work.posmreg PORT MAP (clk, sin, q); mu: ENTITY work.mux41 PORT MAP (d, a, sin); a <= q(2) & q(1); nq <= not q(0); d <= nq & nq & q(0) & nq; o <= q; END arch;</pre> <p>Projektirajte brojilo koje obavlja identičnu funkcionalnost uporabom tri bistabila T i minimalnog broja osnovnih logičkih sklopova (<i>pažnja</i>: izlazi bistabila moraju ujedno biti i izlazi čitavog brojila). Kao rješenje zadatka nacrtajte shemu projektiranog sklopa.</p> |
|----|--|