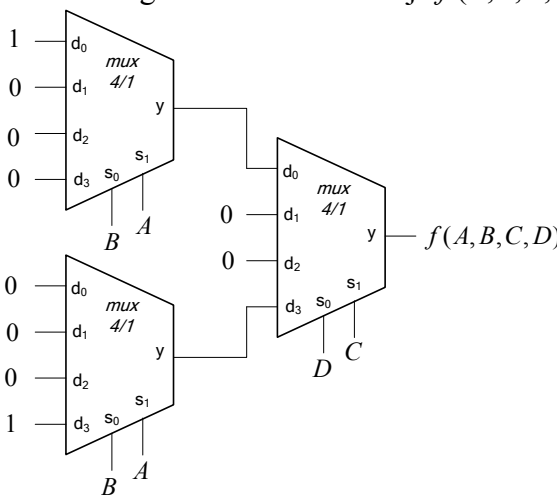
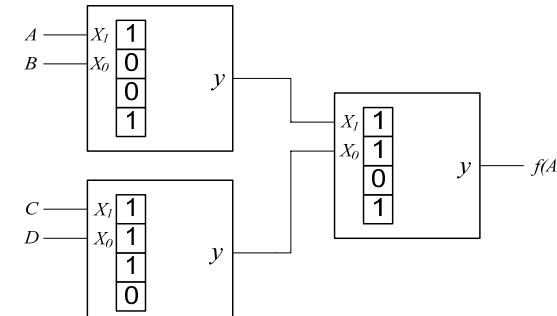


# LJETNI ISPITNI ROK IZ DIGITALNE LOGIKE

## Grupa B

1	<p>Sklop s tri ulaza dan je slikom. Kako glasi zapis njegova izlaza <math>f(A,B,C)</math>?</p> <p>a) <math>f = \sum m(2,4)</math>                      c) <math>f = \sum m(2,4,6)</math>                      e) <math>f = \prod M(2,4,6)</math>  b) <math>f = \sum m(3,5)</math>                      d) <math>f = \prod M(2,4)</math>                      f) ništa od navedenoga</p>
2	<p>Zadana je funkcija <math>f(A,B,C,D) = \prod M(3,4,5,7,8,9,11,12,13,15)</math>. Koliko ona ima implikanata/ primarnih implikanata/ bitnih primarnih implikanata, ako se funkcija realizira u obliku produkta suma?</p> <p>a) 13/ 3/ 2      b) 29/ 3/ 2      c) 29/ 7/ 1      d) 13/ 5/ 3      e) 29/ 5/ 3      f) ništa od navedenoga</p>
3	<p>U obliku minimalnog produkta suma prikazati funkciju čiji izlaz poprima vrijednost 1 isključivo kada se na njen ulaz dovede 4-bitni podatak koji predstavlja binarno kodiran (BCD) dekadski broj koji je prost (prim) broj. (Broj 1 nije prost).</p> <p>a) <math>(\bar{A} + \bar{D}) \cdot (B + \bar{C}) \cdot (\bar{B} + D)</math>      c) <math>(A + B) \cdot (\bar{B} + \bar{D})</math>                      e) <math>(B + \bar{D})(A + \bar{C})</math>  b) <math>(\bar{B} + D) \cdot (B + C)</math>                      d) <math>\bar{A} \cdot (B + C) \cdot (\bar{B} + D)</math>                      f) ništa od navedenoga</p>
4	<p>Za neku porodicu logičkih sklopova poznati su sljedeći parametri: <math>U_{OHmin}=4,3V</math>, <math>U_{OLmax}=0,5V</math>, <math>U_{IHmin}=3,7V</math> te <math>U_{ILmax}=1,2V</math>. Izračunati granicu istosmjerne smetnje.</p> <p>a) 2,7V                      c) 0,5V                      e) 3,6V  b) 0,6V                      d) 3,1V                      f) ništa od navedenoga</p>
5	<p>Pri izvedbi digitalnog sklopa u obliku minimalne sume produkata može se pojaviti hazard. Ako promjene na ulazu sklopa ograničimo na samo jednu ulaznu varijablu, koja se vrsta hazarda može pojaviti te koji je prijelaz ulazne varijable kritičan?</p> <p>a) statički 1-hazard, prijelaz <math>1 \rightarrow 0</math>                      d) statički 0-hazard, prijelaz <math>0 \rightarrow 1</math>  b) statički 1-hazard, prijelaz <math>0 \rightarrow 1</math>                      e) statički 0-hazard, prijelaz <math>1 \rightarrow 0</math>  c) dinamički hazard, javlja se kod oba prijelaza                      f) ništa od navedenoga</p>
6	<p>Digitalni sustav interno pohranjuje 3-znamenaste dekadске brojeve u Excess-3 zapisu pri čemu na početak dodaje još bit predznaka: ako je taj bit 0, broj je pozitivan, inače je negativan. Na određenoj memorijskoj lokaciji u tom sustavu pročitani su podaci 1010001101000; označimo vrijednost tog broja s X. Drugi digitalni sustav brojeve zapisuje binarno koristeći 12-bitovni zapis te 2-komplement. Kada bi broj X bio pohranjen u memoriji ovog sustava, koji bismo sadržaj pročitali u memoriji? Dan je heksadekadski prikaz.</p> <p>a) FE2                      b) 01E                      c) FFA                      d) 3ED                      e) F79                      f) ništa od navedenoga</p>
7	<p>Funkcija <math>f(A,B,C,D) = \sum m(2,4,6,10,14,15)</math> ostvarena je multipleksorom 8/1. Na adresne ulaze spojeno je <math>a_2a_1a_0=ABC</math>. Što je dovedeno na podatkovne ulaze multipleksora? U rješenjima su navedeni redom ulazi od <math>d_0</math> do <math>d_7</math>.</p> <p>a) <math>1A\bar{A}\bar{A}0A0A</math>                      c) <math>0\bar{D}\bar{D}\bar{D}0\bar{D}01</math>                      e) <math>1\bar{D}\bar{D}\bar{D}0\bar{D}01</math>  b) <math>0\bar{A}\bar{A}\bar{A}0\bar{A}01</math>                      d) <math>1DD\bar{D}0D0D</math>                      f) ništa od navedenoga</p>

8	<p>Hammingovim kodom potrebno je zaštititi podatak 11. Koristi se parni paritet. Zaštićena kodna riječ je:</p> <p>a) 00000      b) 01111      c) 01010      d) 11010      e) 10101      f) ništa od navedenog</p>
9	<p>Funkciju <math>f(A, B, C, D, E) = \overline{A} \cdot \overline{B} + \overline{C} \cdot D + \overline{E}</math> potrebno je izvesti tehnologijom CMOS uz minimalan broj tranzistora. Koliko će ta izvedba potrošiti <math>p</math>-kanalnih tranzistora te na koliko će mjesta u toj izvedbi postojati serijski spoj <math>p</math>-kanalnih tranzistora?</p> <p>a) šest <math>p</math>-kanalnih tranzistora, serijski spoj će biti na dva mjesta  b) pet <math>p</math>-kanalnih tranzistora, serijski spoj će biti na dva mjesta  c) pet <math>p</math>-kanalnih tranzistora, serijski spoj će biti na jednom mjestu  d) šest <math>p</math>-kanalnih tranzistora, serijski spoj će biti na jednom mjestu  e) četiri <math>p</math>-kanalnih tranzistora, serijski spoj će biti na jednom mjestu  f) ništa od navedenoga</p>
10	<p>Odredite algebarski izraz funkcije <math>f(A, B, C, D)</math>.</p>  <p>a) <math>ABCD</math>  b) <math>ABCD + \overline{A}\overline{B}CD + \overline{A}B\overline{C}D + \overline{A}\overline{B}\overline{C}D</math>  c) <math>\overline{A}\overline{B}\overline{C}\overline{D} + ABCD</math>  d) <math>A + \overline{B}CD</math>  e) <math>ABCD + \overline{A}\overline{B}CD</math>  f) ništa od navedenoga</p>
11	<p>Funkciju <math>f(A, B, C, D) = \sum m(0, 6, 4, 9, 11, 13, 15)</math> potrebno je ostvariti sklopom PLA koji implementira funkciju u obliku sume produkata.. Koliko je minimalno potrebno sklopova I i ILI, te za koliko se varijabli koristi inverter?</p> <p>a) 2×I, 1×ILI, 2×inverter      c) 2×I, 1×ILI, 3×inverter      e) 1×I, 2×ILI, 2×inverter  b) 2×I, 1×ILI, 1×inverter      d) 3×I, 1×ILI, 3×inverter      f) ništa od navedenoga</p>
12	<p>Kako glasi minimalna lista osjetljivosti bloka process koji opisuje bistabil D okidan rastućim bridom signala takta? Bistabil još ima asinkrone ulaze za postavljanje i brisanje.</p> <p>a) D, clk, set      c) clk      e) clk, clr, set  b) D, clk      d) clr, set      f) ništa od navedenoga</p>
13	<p>Uporabom dvoulaznih konfigurabilnih logičkih blokova temeljenih na multipleksoru i preglednoj tablici ostvarena je funkcija <math>f</math>, prema slici. Ulaz <math>X_1</math> CLB-a dovodi se na adresni ulaz veće težine multipleksora. O kojoj se funkciji radi?</p>  <p>a) <math>\overline{A}\overline{B} + AB + \overline{C}D</math>  b) <math>AB + \overline{A}CD</math>  c) <math>\overline{A}\overline{B} + AB + \overline{C} + \overline{D}</math>  d) <math>\overline{A}B + A\overline{B} + \overline{C} + \overline{D}</math>  e) <math>\overline{A}\overline{B} + \overline{B}CD</math>  f) ništa od navedenoga</p>

14	<p>Na raspolaganju je trougaoni CLB temeljen na preglednoj tablici, multipleksoru i bistabilu D. Na ulaz CLB-a <math>X_2</math> spojen je signal <math>A</math>, na <math>X_1</math> spojen je signal <math>B</math>. Izlaz CLB-a izvana je spojen na ulaz <math>X_0</math>. Potrebno je konfigurirati CLB tako da on ostvari bistabil čija je jednačba promjene stanja: <math>Q^{n+1} = \overline{A} \cdot \overline{Q}^n + B</math>. Napomena: ulaz <math>X_2</math> za multipleksor predstavlja adresni ulaz najveće težine. Sadržaj LUT-a je:</p> <p>a) 10110011                                      c) 11000011                                      e) 01110001  b) 11001100                                      d) 01011100                                      f) ništa od navedenoga</p>
15	<p>Sklop za izdvojeno generiranje prijenosa generira bitove prijenosa <math>c_0, c_1, c_2</math> i <math>c_3</math>. Prema kojem algebarskom izraz se generira <math>c_2</math>?</p> <p>a) <math>g_2 + g_1p_2 + g_0p_2p_1</math>                                      c) <math>g_2 + g_1p_2 + g_0p_2</math>                                      e) <math>g_2 + g_1p_1 + g_0p_2p_1</math>  b) <math>g_2p_3 + g_1p_2 + g_0p_2p_1</math>                                      d) <math>g_2p_2 + g_1p_1</math>                                      f) ništa od navedenoga</p>
16	<p>Prikazan je ponašajni model nekog sklopa u jeziku VHDL. Strukturni model tog sklopa, izveden pomoću minimalnog broja dvoulaznih I-sklopova i dvoulaznih ILI-sklopova (invertori nisu na raspolaganju), ukupno sadržava:</p> <pre> ENTITY sklop IS   PORT (a, b, c, d, e : IN std_logic; f : OUT std_logic); END sklop;  ARCHITECTURE beh of sklop IS BEGIN   f &lt;= NOT ((NOT a OR NOT b OR NOT c) AND (NOT d AND NOT e)); END beh; </pre> <p>a) jednog I-sklopa, jednog ILI-sklopa i četiri unutarnja signala  b) tri I-sklopa, dva ILI-sklopa i dva unutarnja signala  c) dva I-sklopa, dva ILI-sklopa i tri unutarnja signala  d) jednog I-sklopa, dva ILI-sklopa i dva unutarnja signala  e) dva I-sklopa, dva ILI-sklopa i jednog unutarnjeg signala  f) ništa od navedenoga</p>
17	<p>Projektant digitalnih sklopova želio je napraviti 8-bitno binarno zbrajalo. No, prilikom izrade sklopa, pogriješio je i umjesto potpunog zbrajala (F) na nekim je mjestima upotrijebio je potpuno oduzimalo (D), prema slici. Ako na ulaz takvog "zbrajala" dovedemo brojeve B5 i 64, što će biti rezultat (s)?</p> <p>a) C1                                      c) 03                                      e) A8  b) 09                                      d) 50                                      f) ništa od navedenoga</p>
18	<p>Asinkrono binarno brojilo unaprijed ostvareno je uporabom bistabila T. Bistabili imaju dodatne ulaze za postavljanje <math>S_d</math> koji su svi spojeni zajedno, i koriste se za skraćivanje ciklusa brojila. Ako ciklus sadrži 19 stanja a ulazi za postavljanje se aktiviraju logičkom razinom 1, koju funkciju treba ostvarivati sklop koji upravlja ulazima za postavljanje?</p> <p>a) <math>Q_4\overline{Q}_3\overline{Q}_2Q_1Q_0</math>                                      c) <math>\overline{Q}_4\overline{Q}_3\overline{Q}_2Q_1Q_0</math>                                      e) <math>Q_4\overline{Q}_3Q_2\overline{Q}_1\overline{Q}_0</math>  b) <math>Q_4\overline{Q}_3\overline{Q}_2Q_1\overline{Q}_0</math>                                      d) <math>\overline{Q}_4Q_3Q_2Q_1Q_0</math>                                      f) ništa od navedenog</p>

19	<p>Bistabilima tipa T koji su okidani padajućim bridom signala takta ostvareno je 4-bitno asinkrono binarno brojilo unaprijed. Parametri bistabila su: <math>t_{db}=20\text{ns}</math>, <math>t_{setup}=10\text{ns}</math>, <math>t_{hold}=10\text{ns}</math>. Neposredno prije trenutka <math>t=100\text{ns}</math> brojilo se nalazi u stabilnom stanju 15. U trenutku <math>t=100\text{ns}</math> nastupa padajući brid signala takta. Frekvencija signala takta je 10MHz. Što ćemo očitati na izlazima brojila u trenutku <math>t=165\text{ns}</math>?</p> <p>a) 4                      b) 0                      c) 12                      d) 8                      e) 10                      f) ništa od navedenog</p>
20	<p>Memorija <math>256 \times 2</math> bita ima <math>2 \frac{1}{2}</math> D organizaciju. Koliko logičkih riječi u tom slučaju sadrži jedna fizička riječ, ako se na adresni dekodler dovodi 5 bitova adrese?</p> <p>a) jednu logičku riječ    d) šesnaest logičkih riječi  b) četiri logičke riječi    e) osam logičkih riječi  c) trideset i dvije logičke riječi    f) ništa od navedenog</p>

*Ako se rješavaju, sljedeća dva zadatka moraju biti riješena u unutrašnjosti košuljice, kako je napisano uz svaki od zadataka (ili se neće bodovati). Zadatci se boduju jednako kao i prethodni zadatci (ali nema negativnih bodova). Zadatak mora imati prikazan postupak te konačno rješenje.*

**Zadatak 21. Riješiti na unutrašnjosti košuljice, s lijeve strane.**

Napišite ponašajni VHDL model binarnog dekodera 1/2 s ulazom za omogućavanje ( $dek12$ ). Potom uporabom tog modela napišite strukturni VHDL model binarnog dekodera 2/4 s ulazom za omogućavanje ( $dek24$ ).

**Zadatak 22. Riješiti na unutrašnjosti košuljice, s desne strane.**

Pretpostavite da na raspolaganju imate VHDL model sinkronog padajućim bridom okidanog bistabila T (nazovimo ovu komponentu  $tff$ ). U sučelju se redom nalaze: ulaz za signal takta, ulaz T, izlaz bistabila te invertirani izlaz bistabila.

Njegovom uporabom napišite ponašajni VHDL model 3-bitnog sinkronog binarnog brojila unaprijed.