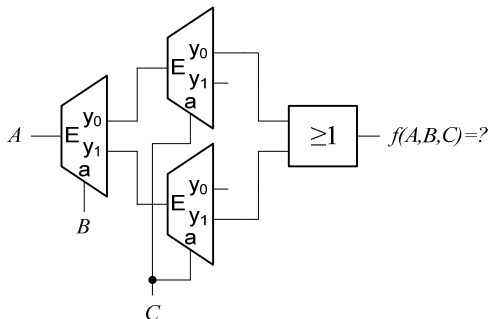


2. MEĐUISPIT IZ DIGITALNE LOGIKE

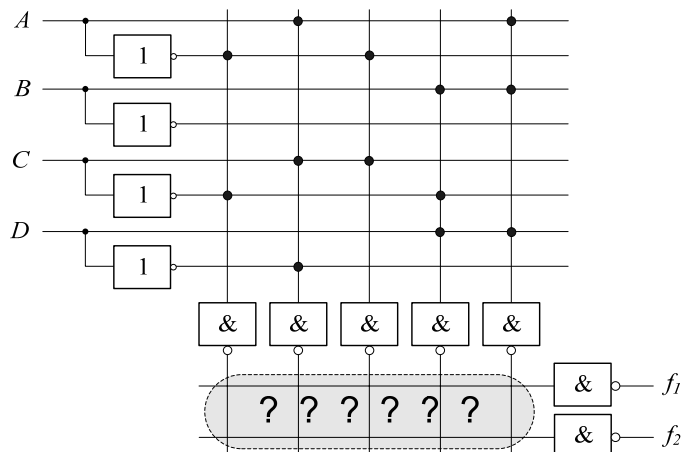
Grupa D

1. Sklop s tri dekodera i jednim logičkim sklopom prikazan je na slici. Kako glasi zapis njegova izlaza $f(A,B,C)$?



- a) $A \cdot \overline{B \oplus C}$ c) $A \cdot (B \oplus C)$ e) $A \cdot (B + \overline{C})$
 b) $A \oplus (B \cdot C)$ d) $\overline{A} + B \cdot C$ f) ništa od navedenoga

2. PLA sklop tipa NI-NI treba programirati tako da ostvaruje funkcije $f_1 = \overline{A} \overline{C} + AC \overline{D} + ABD$ i $f_2 = \overline{A} C + AC \overline{D} + B \overline{C} D$. PLA sklop je prikazan slikom i već je djelomično programiran. Kako treba programirati njegovu drugu ravninu (zasivljeno područje)?

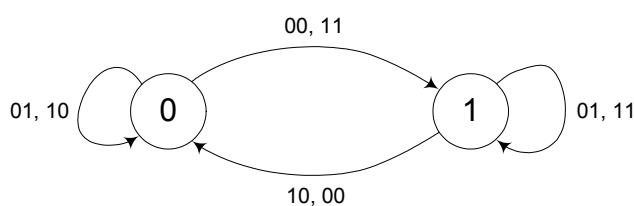


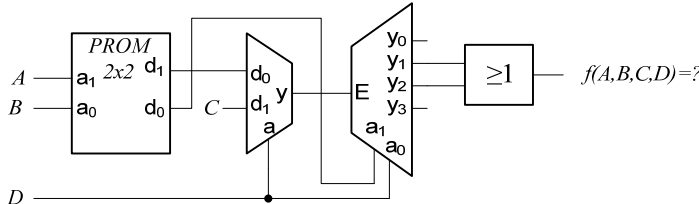
- a) b) c) d) e) f) ništa od navedenog

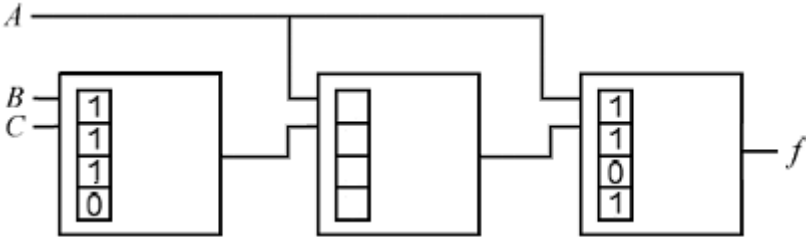
3. Sklopove PAL označavamo oznakom $m \times k \cdot n \times n$, pri čemu m predstavlja broj ulaza, n broj izlaza a k broj ulaza u pojedini izlazni sklop NILI. Takav sklop želimo programirati tako da na svojem ulazu dobije tri bita: a , b i c . Sklop na svojim izlazima treba generirati sumu, prijenos, razliku i posudbu (dakle, PAL treba ostvariti funkciju potpunog zbrajala i potpunog oduzimala). PAL koji imamo na raspolaganju izveden je pomoću dvije razine NILI sklopova. Ako implementacija svih funkcija mora biti dvorazinska, koje su minimalne dimenzije sklopa PAL koji nam je potreban?

- a) $3 \times 12 \times 3$ c) $3 \times 6 \times 3$ e) $3 \times 3 \times 3$
 b) $3 \times 9 \times 3$ d) $3 \times 15 \times 3$ f) ništa od navedenoga

4.	Na 4-bitno binarno zbrajalo sa serijskim prijenosom izvedenim uporabom 4 potpuna zbrajala u trenutku $t = 0$ ns doveden je podatak $a=0000$, $b=0000$ te $c_{in}=0$. U trenutku $t = 200$ ns dovode se podatci $a=1001$, $b=1100$ te $c_{in}=1$. Izlaz c_{out} potpunog zbrajala kasni 20 ns a izlaz bita rezultata kasni 30 ns. Od kojeg trenutka će i rezultat zbrajanja i konačni prijenos biti ispravni za podatak i ulazni prijenos doveden u $t=200$ ns? a) od $t=320$ ns b) od $t=250$ ns c) od 280 ns d) od 400 ns e) od 230 ns f) ništa od navedenoga
5.	Uporabom dvaju 4-bitnih binarnih zbrajala gradi se zbrajalo dviju dekadskih znamenaka zapisanih u kodu BCD (rezultat treba biti u istom kodu). Označimo izlaz prvog binarnog zbrajala $c_{out}r_3r_2r_1r_0$. Na ulaze drugog binarnog zbrajala dovodi se izlaz prvog ($r_3r_2r_1r_0$) te korekcija $k_3k_2k_1k_0$. Vrijednost korekcije određena je pomoćnom funkcijom $h(c_{out}, r_3, r_2, r_1, r_0)$. Ako je $h=1$, korekcija iznosi 0110 a inače iznosi 0000. Kako glasi minimalni oblik funkcije h uz koju će se na izlazu drugog binarnog zbrajala dobiti ispravan rezultat zapisan u kodu BCD? a) $c_{out}r_3 + \bar{r}_2$ b) r_3 c) $r_3 + c_{out}\bar{r}_2$ d) $c_{out} + r_3 \cdot (r_2 + r_1)$ e) \bar{c}_{out} f) ništa od navedenoga
6.	Kvartarne znamenke kodiraju se pomoću 3 bita, pri čemu je znamenka i kodirana kao binarno zapisana vrijednost $2i+1$. Potrebno je projektirati sklop koji na svojem ulazu $a_2a_1a_0$ prima kod kvartarne znamenke a na svojem izlazu $r_2r_1r_0$ generira njezin 3-komplement (u istom kodu). Za ulaz koji ne predstavlja valjani kod znamenke izlaz nije bitan. Odredite minimalni zapis funkcije r_1 . a) $a_2 + \bar{a}_1a_0$ b) $\bar{a}_2 + \bar{a}_1a_0 + a_1\bar{a}_0$ c) $a_2a_1 + \bar{a}_0$ d) \bar{a}_2 e) \bar{a}_1 f) ništa od navedenoga
7.	Zadan je bistabil s ulazima A i B , čiji je dijagram prijelaza stanja prikazan na slici desno (navedene pobude su oblika AB). Uporabom bistabila T potrebno je ostvariti ovaj bistabil. Odredite minimalni zapis funkcije ulaza bistabila T. a) $\bar{A}B + \bar{Q}A + AB\bar{Q}$ b) $A\bar{B} + \bar{Q}$ c) $A\bar{B} + Q$ d) $Q\bar{B} + \bar{A}\bar{B} + AB\bar{Q}$ e) $A\bar{Q} + BQ$ f) ništa od navedenoga
8.	Projektirati pretvornik koda koji na 4-bitnom ulazu $a_3a_2a_1a_0$ prima dekadsku znamenku u kodu BCD a na izlazu $r_3r_2r_1r_0$ generira Excess-3 kod znamenke s ulaza. Ako se na ulaz dovede podatak koji ne odgovara BCD kodu znamenke, izlaz nije bitan. Kako glasi minimalni oblik funkcije izlaza r_2 ? a) $\bar{a}_2a_0 + \bar{a}_2a_1 + a_2\bar{a}_1\bar{a}_0$ b) $\bar{a}_3\bar{a}_2 + \bar{a}_1a_0 + a_1\bar{a}_0$ c) $a_2 + a_3\bar{a}_1a_0$ d) $\bar{a}_3a_2 + \bar{a}_1a_0$ e) $\bar{a}_3 + a_2a_1 + \bar{a}_0$ f) ništa od navedenoga
9.	Uporabom sklopa PLA tipa NI-NI potrebno je ostvariti tri funkcije navedene u nastavku. Koje su minimalno potrebne dimenzije sklopa PLA? $f_1 = \bar{A}\bar{C} + \bar{A}\bar{B}CD + AC\bar{D}$, $f_2(A, B, C, D) = \sum m(0,1,3,4,11,15)$, $f_3(A, B, C, D) = \prod M(0,1,3,4,7,12,13,14,15)$. Naputak: pristupite minimizaciji kao da se radi o minimizaciji višezlazne funkcije. a) $4 \times 6 \times 3$ b) $4 \times 8 \times 3$ c) $4 \times 10 \times 3$ d) $4 \times 9 \times 3$ e) $4 \times 7 \times 3$ f) ništa od navedenoga



10.	<p>Funkciju $f(A, B, C, D) = C(\overline{A} + \overline{D}) + \overline{A}(C + D)$ potrebno je minimizirati. Potom je potrebno ukloniti sve hazarde (uz ograničenje da se u istom trenutku može promijeniti samo jedna ulazna varijabla). Koje sume treba još dodati? <i>Napomena:</i> u kojem obliku treba minimizirati funkciju?</p> <p>a) $B + \overline{C} + \overline{D}$ c) $A + B + D$ e) $\overline{A} + \overline{D}$ b) $\overline{A} + C$ d) $\overline{B} + C + \overline{D}$ f) ništa od navedenoga</p>
11.	<p>Arhitektura nekog sklopa opisanog jezikom VHDL sastoji se od 3 naredbe prikazane u nastavku. A, B, C i D su ulazi a X, Y i Z izlazi. U nekom trenutku na ulaze se dovede A=0, B=U, C=0, D=1. Što će biti postavljeno na izlaze sklopa?</p> <pre>X <= (A AND NOT B) OR (A AND B); Y <= (A OR B) AND (A OR C); Z <= (B OR C) AND (C OR D);</pre> <p>a) X=0, Y=0, Z=U c) X=U, Y=0, Z=U e) X=U, Y=1, Z=1 b) X=U, Y=1, Z=1 d) X=U, Y=0, Z=1 f) ništa od navedenoga</p>
12.	<p>Kombinacijski sklop temeljen na PROM-u prikazan je na slici. Sadržaj PROM-a po lokacijama je redom: 2, 3, 1, 2. Kod PROM-a izlazni bit d_1 te adresni bit a_1 su bitovi veće težine. Taj sklop ostvaruje neku funkciju $f(A, B, C, D)$. O kojoj se funkciji radi?</p>  <p>a) $\prod M(3,5,7,12)$ c) $\sum m(3,4,6,15)$ e) $\sum m(1,2,6,11,14)$ b) $\sum m(0,6,11,12,14)$ d) $\prod M(2,4,5)$ f) ništa od navedenoga</p>
13.	<p>Pomoću multipleksorskog stabla načinjenog od multipleksora 2/1 bez ulaza za omogućavanje ostvarujemo Booleovu funkciju od četiri varijable, $f(A, B, C, D)$. Na raspolaganju su nam varijable i komplementi varijabli (to su sve ulazi sklopa), pa funkciju ostvarujemo uporabom trivijalnih rezidualnih funkcija. Sklop koji ostvaruje funkciju f modeliramo strukturno u VHDL-u (multipleksore 2/1 koristimo kao gradivne blokove). Koliko je internih signala potrebno za modeliranje sklopa?</p> <p>a) 14 b) 8 c) 10 d) 6 e) 4 f) ništa od navedenoga</p>
14.	<p>Broj AF45_H prvo se posmiče udesno logičkim posmakom za 3 bita, a zatim se rezultat te operacije posmiče kružnim posmakom udesno za 5 bitova. Rezultat je:</p> <p>a) 815E_H c) 47AF_H e) 81AE_H b) 40AF_H d) 8F5E_H f) ništa od navedenoga</p>
15.	<p>Što od sljedećega u jeziku VHDL ne vrijedi?</p> <p>a) VHDL ne razlikuje velika i mala slova u nazivima signala b) interni signali, ako su potrebni, deklariraju se u početnom dijelu arhitekture sklopa c) u VHDL-u se ne može modelirati kašnjenje signala d) strukturni opis sklopa prepoznavamo po uporabi konstrukta port map e) svaki sklop u VHDL-u dovoljno je opisati ili ponašajno ili strukturno f) sve od navedenoga vrijedi</p>

16	<p>U nastavku je dan strukturni VHDL-model nekog sklopa (sučelje modela je izostavljeno).</p> <pre> architecture strukturna of supersklop is component sklopNOT is port (x : in std_logic; y : out std_logic); component sklopAND is port (x1,x2 : in std_logic; y : out std_logic); component sklopOR is port (x1,x2 : in std_logic; y : out std_logic); signal i : std_logic_vector(0 to 2); begin skop1: entity work.sklopNOT port map (b,i(0)); skop2: entity work.sklopAND port map (a,i(0),i(1)); skop3: entity work.sklopAND port map (y => i(2), x1 => c, x2 => i(0)); skop4: entity work.sklopOR port map (x2 => i(1), y => d, x1 => i(2)); end strukturna;</pre> <p>Kako izgleda naredba pridruživanja vrijednosti izlaznome signalu d kod ponašajnog modela koji je funkcijski ekvivalentan ovom zadanome?</p>	<p>a) $d \leq \text{not } b \text{ and } (a \text{ or } c)$ b) $d \leq b \text{ and } (\text{not } c)$ c) $d \leq a \text{ and } (\text{not } b) \text{ and } c$ d) $d \leq (\text{not } a) \text{ or } (\text{not } b)$ e) $d \leq a \text{ or } (\text{not } b) \text{ or } c$ f) ništa od navedenoga</p>
17	<p>Multiplesorom 4/1 potrebno je ostvariti funkciju $f(A,B,C)=\sum(2,3,5,6)$. Označimo s D_0,D_1,D_2,D_3 podatkovne ulaze, te s A_1A_0 adresne ulaze (indeks 0 označava ulaz najmanje težine). Ako na A_1 dovedemo A, a na A_0 dovedemo B što treba dovesti na ulaze D_0,D_1,D_2 te D_3:</p>	<p>a) $C, 0, 0, \bar{C}$ c) $\bar{C}, C, 0, C$ e) $C, 0, 1, C$ b) $\bar{C}, C, 0, C$ d) $0, 1, C, \bar{C}$ f) ništa od navedenoga</p>
18	<p>Da bismo pomoću multiplesora 4/1 izgradili multiplesor 16/1, koliko nam je potrebno multiplesora 4/1?</p>	<p>a) 7 b) 4 c) 5 d) 2 e) 3 f) ništa od navedenoga</p>
19.	<p>Na raspolaganju je FPGA sklop kako je prikazano slikom. Što treba upisati u preostali logički sklop kako bi se na izlazu dobila funkcija $f(A,B,C) = \bar{A} + ABC$? Prvi (na slici viši) ulaz u CLB je ulaz veće težine. Ponuđena rješenja u CLB se upisuju odozgo prema dolje.</p> 	<p>a) 0100 b) 1001 c) 0110 d) 0010 e) 0111 f) ništa od navedenoga</p>
20.	<p>Ako član G_i u formuli $C_i = G_i + P_i C_{i-1}$, koja čini temelj realizacije sklopa za izdvojeno generiranje prijenosa (<i>carry-look-ahead</i>), poprimi vrijednost 1, što možemo zaključiti? Napomena: A_i, B_i su pri tome ulazi odgovarajućeg potpunog zbrajala.</p>	<p>a) dogodila se pogreška kod generiranja prijenosa b) točno jedan od pribrojnika (A_i, B_i) je jednak 1 c) oba pribrojnika (A_i, B_i) su jednaka 1 d) C_{i-1} je jednak 1 e) oba pribrojnika (A_i, B_i) su jednaka 0 f) ništa od navedenoga</p>