Preostalo	vrijeme	ио кгаја	iesia.	3/81	min	40

2. Izlaz Y nekog sklopa definiran je izrazom Y <= (A AND NOT B AND NOT C) OR (A AND NOT B AND C) OR (NOT A AND NOT B AND C); Koju će vrijednost poprimiti taj izlaz ako se kao pobuda dovede A='0', B='0', C='U'?

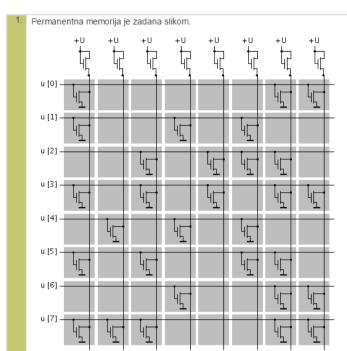
Nema dovoljno informacija da bi se odgovorilo na pitanje.

'0'

□ '1'

(U'

Reset

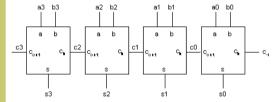


Očitajte sadržaj memorije po lokacijama. U polja za unos rješenja potrebno je unijeti vrijednost memorijske lokacije u heksadekadskom obliku (kao dvije heksadekadske znamenke); npr. E8 ili 2F. Pri tome bit i[0] tretirajte kao bit najveće težine.

Lokasija	
Lokacija 7C	
Lekseiie	
Lokacija 6B	
Lekseiie	
Lokacija D1	
-	
Lokacija 3 54	
Lokacija AB	
Laborita	
Lokacija 59	
Laboration and the state of the	
Lokacija 6 EC	
1-1	
Lokacija 7 [1A	
Reset	

i[0] i[1] i[2] i[3] i[4] i[5] i[6] i[7]

4. Na slici je prikazano paralelno binarno zbrajalo. Ako svako potpuno zbrajalo kasni 10ns, a u trenutku t=0ns na C.₁ se dovede 1 te a3a2a1a0 = 0000, b3b2b1b0 = 0010, nacrtajte vremenske dijagrame svih signala, te sa njih očitajte vrijednosti svih izlaza S i C u trenutku t = 21ns. Prilikom rješavanja zadatka pretpostaviti da su vrijednosti svih izlaza (rezultat i prijenos) u trenutku t = 0ns jednaki nula!



S(0)= 1	
C(0)= 0 S(1)= 1	
S(1)= 1	
C(1)= 0	
C(1) = 0 $S(2) = 0$ $C(2) = 0$ $S(3) = 0$ $C(3) = 0$	
C(2)= 0	
S(3)= 0	
C(3)= 0	

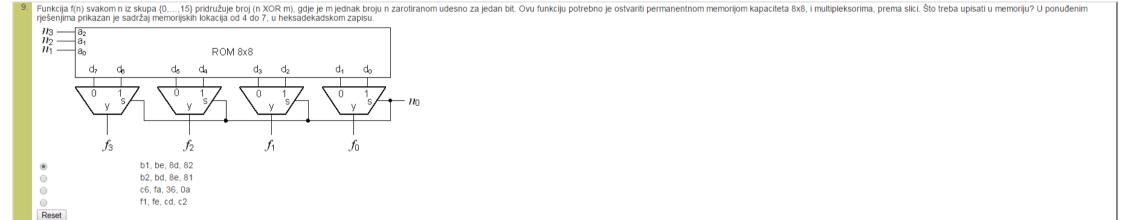
Reset

Važna napomena: U svako polje za unos treba unijeti samo vrijednost pripadnog izlaza rezultata i prijenosa zbrajala. Dozvoljena su dva načina upisa vrijednosti: 1 se tretira jednako kao i true, a 0 je ekvivalentna sa false.

5	
5.	Konfigurabilni logički blok (CLB) sklopa FPGA ostvaren je uporabom pregledne tablice (LUT) s 3 ulaza, kako je prikazano slikom. Uporabom takvog CLB-a potrebno je realizirati funkciju f zadanu kao produkt maksterma: f(A,B,C)=M(0,1,2,3,4,5,6,7). Kako treba konfigurirati LUT?
	1
	DO 0
	D1 0
	D2 0
	D3 0
	D4 <u>0</u>
	D5 0
	D7 0
	Reset
	Važna napomena: U svako polje za unos treba unijeti samo vrijednost pripadnog ulaza luta za navedenu funkciju. Dozvoljena su dva načina upisa vrijednosti: 1 se tretira jednako kao i true, a 0 je ekvivalentna sa false.

Konfigurabilni logički blok (CLB) sklopa FPGA ostvaren je uporabom pregledne tablice (LUT) s 3 ulaza, kako je prikazano slikom. Uporabom takvog CLB-a potrebno je realizirati funkciju: f(A,B,C)=(((A OR A) OR C) OR ((A OR C) AND NOT (NOT B OR B))). Kako treba konfigurirati LUT?
7 D0 D1 P F D0
D0 0
D1 1
D2 0
D3 1
D4 1
D5 1
D6 1
D7 1
Reset
Važna napomena: U svako polje za unos treba unijeti samo vrijednost pripadnog ulaza luta za navedenu funkciju. Dozvoljena su dva načina upisa vrijednosti: 1 se tretira jednako kao i true, a 0 je ekvivalentna sa false.

		, , .
Kvartarne znamenke u digitalnom se sustavu kodiraju na sljedeći način: 0==01, 1==00, 2: primljene znamenke. Kao rješenje unesite algebarski oblik funkcija i1(x,y) i i0(x,y) zapisan i0 y	2==10, 3==11. Označimo s (x, y) kod neke takve znamenke (x je prvi bit, y drugi bit). Pr n u obliku minimalne sume produkata.	rojektirajte digitalni sklop koji na ulazu prima varijable (x, y) a na izlazima (i1, i0) daje kodirani 3-komplement



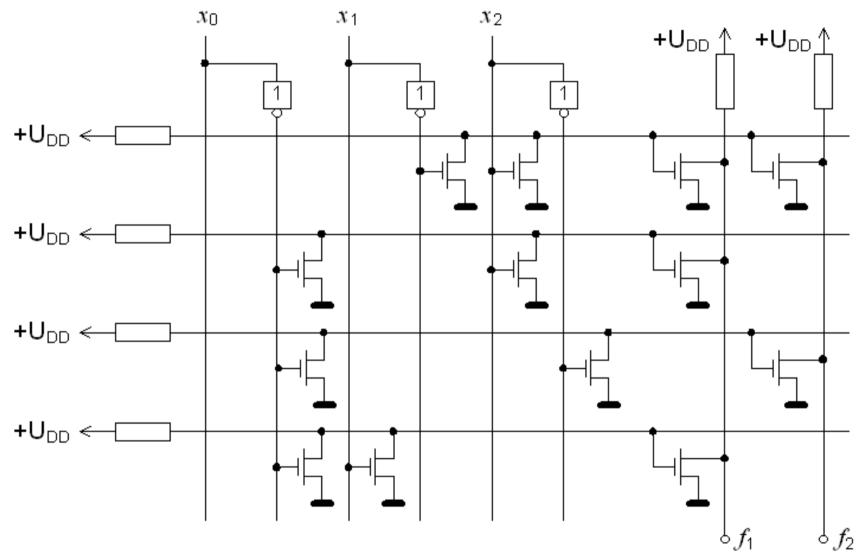
Nombinacijski sklop na slici označen s f1(A,B,C,D) obavlja funkciju suma, minterma(0, 3, 5, 8, 10, 11, 13, 15). Čitav digitalni sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7, 9, 15). Koju tada funkciju treba obavljati kombinacijski sklop na svom izlazu g treba obavljati funkciju g(A,B,C,D)=produkt_maksterma(0, 1, 3, 4, 5, 7,

	•	
	-	

NDD D) OR (NOT A AND B AND NOT C AND NOT D) OR (NOT A AND B AND C AND D))

Reset

3. PLA strukturom u tehnologiji MOSFET ostvarene su funkcije f1 i f2. O kojim se funkcijama radi?



- f1=(x2 AND x1) OR (NOT X1 AND NOT X0), f2=(X2 AND NOT X0) OR (NOT X2 AND NOT X1)
- f1=(x2 AND x1) OR (NOT X1 AND NOT X0), f2=(X1 AND NOT X0) OR (NOT X2 AND NOT X1)
- f1=(x1 AND x0) OR (NOT X1 AND NOT X0), f2=(X1 AND NOT X0) OR (NOT X2 AND NOT X1)
- f1=(x1 AND x0) OR (NOT X1 AND NOT X0), f2=(X2 AND NOT X0) OR (NOT X2 AND NOT X1)