ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

Grupa D

- Kontinuirano brojeći (slijedni) A/D pretvornik radi na frekvenciji 1 kHz. Kvant pretvornika iznosi 0,25V. Na ulazu se u trenutku t_0 =0 nalazi napon od 0V i očitana vrijednost je 0. Od trenutka t_0 =0 do trenutka t₁=20ms na ulazu se napon linearno povećava do 15,1V. Od trenutka t₁ nadalje ulazni napon ostaje konstantan. Kada će vrijednost koju generira A/D pretvornik doseći ili premašiti vrijednost ulaznog napona od 15,1V? Prva korekcija vrijednosti brojila u A/D pretvorniku događa se po isteku prve periode signala takta, a brojanje kreće od vrijednosti 0.
 - a) 200 ms
- b) 61 ms
- c) 20 ms
- d) 610 ms
- e) 6,1 ms
- f) ništa od navedenoga
- 2. Univerzalni sklop NILI u tehnologiji CMOS (pozitivna logika) je izveden pomoću:
 - a) PDN = paralelno spojeni NMOS
 - PUN = paralelno spojeni PMOS
 - b) PDN = paralelno spojeni NMOS
 - PUN = paralelno spojeni NMOS c) PDN = serijski spojeni NMOS
 - PUN = paralelno spojeni PMOS
- d) PDN = paralelno spojeni NMOS PUN = paralelno spojeni PMOS
- e) PDN = paralelno spojeni NMOS

 - PUN = serijski spojeni PMOS
- f) ništa od navedenoga

- 3. Koja je tvrdnja istinita?
 - a) samo Mealyev automat ima sekvencijske i kombinacijske sklopove
 - b) Mealyev i Mooreov automat imaju samo sekvencijske sklopove
 - c) samo Mooreov automat ima sekvencijske i kombinacijske sklopove
 - d) Mealyev i Mooreov automat imaju sekvencijske i kombinacijske sklopove
 - e) Mealvev i Mooreov automat imaju samo kombinacijske sklopove
 - f) ništa od navedenoga

f) ništa od ponuđenog

- Uporabom bistabila JK potrebno je ostvariti bistabil čija je jednadžba promjene stanja $Q_{n+1} = \overline{A} + \overline{B} \cdot Q_n$. Što se dovodi na ulaz K?
 - a) $A \cdot B$
- b) $Q_n \cdot \overline{A}$
- c) $\overline{A} \cdot \overline{B}$
- d) $\overline{A} \cdot B$
- e) $A \cdot \overline{B}$
- f) ništa od navedenoga
- Pojednostavljeni logički blok programirljivog polja (FPGA) prikazan shemom sastoji se od pregledne tablice (LUT) s četiri ulaza, D bistabila (FF), te multipleksora. Konfiguracija pregledne tablice zadana je funkcijom LUT4 = A AND (B XOR C) AND D. Pomoću tako konfiguriranog logičkog bloka treba izvesti bistabil tipa T. Koji od ponuđenih port map izraza treba odabrati da bi sintetizator iz priloženog VHDL opisa ispravno generirao bistabil T?

```
entity t ff is
                                                                                         sel
port (
                                                              LUT4
    t, cp: in std logic;
    q: out std logic
                                                                                          0
);
end t ff;
                                                              С
architecture x of t ff is
    signal i: std logic;
                                                                           >Cp
     t flop: entity fpga cell port map(???);
    q <= i;
end x;
a) port map(cp \Rightarrow cp, a \Rightarrow i, b \Rightarrow t, c \Rightarrow '1', d \Rightarrow '1', sel \Rightarrow '0', z \Rightarrow i)
b) port map(cp \Rightarrow cp, a \Rightarrow i, b \Rightarrow t, c \Rightarrow '1', d \Rightarrow '1', sel \Rightarrow '1', z \Rightarrow i)
 c) port map(cp => cp, a => t, b => i, c => '1', d => '1', sel => '0', z => i)
 d) port map(cp => cp, a => '1', b => i, c => t, d => '1', sel => '1', z => i)
 e) port map(cp => cp, a => t, b => i, c => '0', d => '1', sel => '1', z => i)
```

- Kako glasi minimalna lista osjetljivosti bloka process koji opisuje bistabil JK okidan padajućim bridom signala takta? Bistabil ima još asinkrone ulaze za postavljanje i brisanje.
 - a) J, K, clr, set

c) set, clr

e) clk, J, K, set

b) clk, set, clr

- d) clk, J, K, clr
- f) ništa od navedenoga
- Prikazan je blok process VHDL modela sinkronog bistabila T. Čime je potrebno zamijeniti mjesta <a> , i <c> u kodu kako bi ulazi clr i set djelovali asinkrono?

```
process<A>
      variable state: std logic;
begin
      if falling edge(cp) then
             state := t xor state;
             <B>
      end if;
      <C>
      q <= state after 10 ns;
      qn <= not state after 10 ns;
end process;
a) \langle A \rangle = "(cp)", \langle B \rangle = "if set = '1' then state := '1'; end if; if clr = '1' then state
 := '0'; end if;", <C>=""
b) <A>="(cp, clr, set)", <B>="if clr='1' then state := '0'; end if;", <C>=" if
 set='1' then state := '1'; end if;"
 c) <A>="(cp, clr)", <B>="if set='1' then state := '1'; end if;", <C>=" if
 clr='1' then state := '0'; end if;"
 d) <A>="(cp)", <B>="if set='1' then state := '0'; end if; if clr='1' then state
```

- d) <A>="(cp)", ="if set='l' then state := '0'; end if; if clr='l' then state := '1'; end if;", <C>=""
 - e) <A>="(cp, clr, set)", ="", <C>="if set='1' then state := '1'; end if; if clr='1' then state := '0'; end if;"
 - f) ništa od navedenoga
- 8. Što je od sljedećega istinito?
 - a) granica dinamičke smetnje manja je od granice istosmjerne smetnje
 - b) postoje zaštitni kodovi s redundancijom 0 (ali nude samo detekciju pogreške)
 - c) dinamička disipacija snage proporcionalna je kvadratu frekvencije
 - d) pogreška kvantizacije govori nam o brzini rada pretvornika
 - e) BCD-kôd koristi manje bitova od Excess-3 kôda
 - f) ostvarenje funkcije kao produkt suma podložno je statičkom-0 hazardu
- Uporabom trobitnog posmačnog registra i multipleksora (prema slici) potrebno je ostvariti sklop koji na izlazu generira ciklus 0→4→2→1 (izlaz A tumačiti kao bit najveće težine). Svako nespecificirano stanje potrebno je riješiti tako da se iz njega u najmanjem broju koraka dođe u stanje 4. Što je potrebno dovesti na ulaze multipleksora? Ponuđeni odgovori navode ulaze od d₀ do d₃, tim redosljedom.



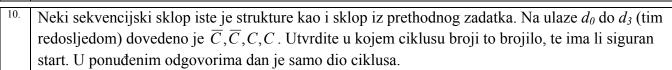
b) $C, C, 0, \overline{C}$

c) \overline{C} , C, \overline{C} , 1

d) \overline{C} ,0,0,0

e) \overline{C} , C, 0, 0

f) ništa od navedenoga



- a) $6 \rightarrow 3 \rightarrow 5$, nema
- c) $5\rightarrow 2\rightarrow 1$, nema
- e) $4\rightarrow2\rightarrow5$, nema

A B

CP

 $S_{\text{in}} \\$

- b) $2\rightarrow 5\rightarrow 6$, ima
- d) $0\rightarrow 4\rightarrow 2$, ima
- f) ništa od navedenoga

d₀

d₁

 d_2

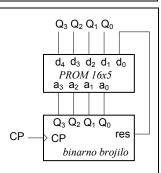
 d_3

 a_0

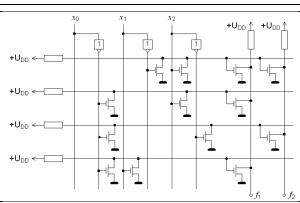
11.	Za realizaciju binarnog asinkronog brojila koje broji u skraćenom ciklusu duljine 12 stanja na
	raspolaganju su padajućim bridom okidani bistabili T s asinkronim ulazom za brisanje koji djeluju
	kada im se dovede logička jedinica (svi su spojeni zajedno; označimo tu točku oznakom X). Brojilo
	treba ostvariti minimalno potrebnim brojem bistabila, pri čemu stanje 0 treba pripadati ciklusu.
	Pobudu za točku <i>X</i> generira kombinacijski sklop. Koju funkciju taj sklop treba ostvarivati? Prilikom
	očitavanja stanja izlaz Q_0 smatra se izlazom najmanje težine.

- a) $Q_3 \cdot Q_2 \cdot \overline{Q_1} \cdot \overline{Q_0}$ c) $Q_3 \cdot Q_2 \cdot \overline{Q_1} \cdot Q_0$ e) $Q_3 \cdot \overline{Q_2} \cdot Q_1 \cdot Q_0$ b) $\overline{Q_3} \cdot Q_2 \cdot Q_1 \cdot \overline{Q_0}$ d) $Q_3 \cdot \overline{Q_2} \cdot \overline{Q_1} \cdot Q_0$ f) ništa od navedenoga
- Uporabom minimalnog broja bistabila tipa D potrebno je ostvariti brojilo čiji je ciklus $0 \rightarrow 2 \rightarrow 1 \rightarrow 3$. Sklop ima dodatni ulaz d koji određuje smjer; ako je d=0, brojilo broji prema zadanom ciklusu, a ako je d=1, brojilo broji unatrag (npr. iz 2 ide u 0). Stanja su kodirana binarno. Što se dovodi na ulaz D bistabila B₀ koji čuva izlaz najmanje težine?

- <u>a)</u> $D + Q_1 \cdot \overline{Q}_0$ b) \overline{Q}_0 c) $Q_1 \oplus Q_0 \oplus D$ d) $\overline{Q}_1 \cdot Q_0$ e) $Q_1 + \overline{Q}_0$ f) ništa od navedenoga
- Za kod 1215 konstruiran je težinski D/A pretvornik s operacijskim pojačalom. Ako je najveći otpor 13. u težinskoj mreži pretvornika 5000 Ω , izračunajte iznos otpora R_{ℓ} u povratnoj vezi operacijskog pojačala. Poznati su sljedeći podaci: ako se na ulaz pretvornika dovede broj 7, apsolutna vrijednost izlaznog napona je 2,8 V; iznos referentnog napona $U_{ref} = 20 \text{ V}$.
 - a) 17Ω
- b) 50Ω
- c) 140 Ω
- d) 100Ω
- f) ništa od navedenoga
- Uporabom 4-bitnog sinkronog binarnog brojila unaprijed i permanentnom memorijom (vidi sliku) potrebno je ostvariti sklop koji na izlazu ciklički generira slijed dekadskih znamenki od 0 do 9, pri čemu su znamenke kodirane Excess-3 kodom. Binarno brojilo ima sinkroni ulaz za resetiranje u stanje 0 (označen *res* na slici), a izvedeno je tako da se uključenjem na napajanje sigurno postavlja u početno stanje 0, kada i čitav sklop na izlazu treba generirati Excess-3 kod znamenke 0. Što je upisano u PROM na lokacije 3, 7 i 9? Sadržaj memorije u odgovorima dan je u **oktalnom** zapisu.



- a) 20, 40, 60
- b) 14, 24, 31
- c) 03, 16, 23
- d) 03, 07, 11
- e) 03, 16, 22
- f) ništa od navedenoga
- Funkcije f_1 i f_2 ostvarene su PLA strukturom izvedenom u tehnologiji MOSFET, prema slici. Definirajmo $g(x_2, x_1, x_0) = f_1 \cdot f_2$. Koje minterme sadrži ta funkcija?



- a) 1, 7
- b) 0, 4, 6
- c) 0, 6
- d) 0, 1, 4, 7
- e) 1, 2, 5
- f) ništa od navedenoga
- Funkcije $f_1(A, B, C, D) = \prod M(1,3,5,6,7,14)$ i $f_2(A, B, C, D) = \prod M(1,3,5,7,14,15)$ želimo ostvariti poluprogramirljivim poljem (PAL) tipa NILI-NILI minimalnih dimenzija u dvije razine logike. Koje su minimalne dimenzije sklopa? Oznaka je $m \times n \times k$, gdje je m broj ulaza, n broj NILI sklopova prvog polja te k broj izlaza.
 - a) $4\times1\times2$
- b) $4 \times 8 \times 2$ c) $4 \times 2 \times 2$ d) $4 \times 4 \times 2$ e) $4 \times 6 \times 2$
- f) ništa od navedenoga

