

3. izlazni test

1.

Relativni doprinos: 1.0/1.0 **Točno**

Vrijeme potrebno da se promijeni izlaz sinkronog sklopa od trenutka nailaska aktivnog brida signala takta naziva se:

- ☐ vrijeme otpuštanja (engl. release time)
- ☐ vrijeme postavljanja (engl. setup time)
- ☐ vrijeme kašnjenja (engl. delay time)
- ☐ vrijeme zadržavanja (engl. hold time)

2.

Relativni doprinos: 1.0/1.0 **Točno**

Označimo trenutno stanje JK bistabila sa Q_n , a sljedeće sa Q_{n+1} . Za kombinaciju $J=0$ i $K=1$, sljedeće stanje JK bistabila bit će jednako:

- ☐ NOT Q_n
- ☐ 1
- ☐ Q_n
- ☐ 0

3.

Relativni doprinos: 1.0/1.0 **Točno**

Zadan je sljedeći VHDL kod:

```
entity Element is port(
    cp, P, Q: in std_logic;
    Qout: out std_logic);
end Element;

architecture beh of Element is
    signal Qint: std_logic;
begin

    process(cp, P)
    begin
        if falling_edge(cp) then
            if Q= '0' then
                Qint<= not Qint;
            end if;
        end if;
        if P='0' then
            Qint<= '0';
        end if;
    end process;

    Qout<= Qint;
```

end beh;

Označite sve ulaze bistabila koji djeluju asinkrono.

☐ Q

☐ P

4.

Relativni doprinos: 1.0/1.0 **Točno**

Označimo s fs maksimalnu frekvenciju rada sinkronog binarnog brojila unaprijed sa serijskim prijenosom, a s fp maksimalnu frekvenciju rada sinkronog binarnog brojila unaprijed s paralelnim prijenosom. Ako promatramo fs i fp za 10-bitno brojilo, tada vrijedi:

- ☐ fs može biti jednak fp, a ako nije jednak, onda je veći od fp
- ☐ fs je strogo manji od fp
- ☐ fs može biti jednak fp, a ako nije jednak, onda je manji od fp
- ☐ fs je strogo veći od fp

5.

Relativni doprinos: 1.0/1.0 **Točno**

Zadan je sljedeći VHDL kod:

```
entity Element is port(
    clk, Q, R, S, T: in std_logic;
    Qout: out std_logic);
end Element;

architecture beh of Element is
    signal Qint: std_logic;
begin

    process(Qint, clk, Q, R)
        variable sel: std_logic_vector(1 downto 0);
    begin
        if Q='0' then
            Qint<= '0';
        elsif R='1' then
            Qint<= '0';
        elsif rising_edge(clk) then
            sel:=S&T;
            case sel is
                when "00"=> Qint<= '0';
                when "01"=> Qint<= '0';
                when "10"=> Qint<= not Qint;
                when "11"=> Qint<= not Qint;
                when others=> null;
            end case;
        end if;
        Qout<= Qint;
    end process;
```

end beh;

Označite asinkroni ulaz najvišeg prioriteta.

- ☐ T
- ☐ R
- ☐ Q
- ☐ S

6.

Relativni doprinos: 1.0/1.0 **Točno**

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    cp, L, M: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(Qint, cp, L)  
    begin  
        if falling_edge(cp) then  
            if M= '0' then  
                Qint<= not Qint;  
            end if;  
        end if;  
        if L='1' then  
            Qint<= '1';  
        end if;  
        Qout<= Qint;  
    end process;
```

end beh;

Na što djeluje signal takta cp?

- ☐ na padajući brid
- ☐ na logičku razinu 0
- ☐ na rastući brid
- ☐ na logičku razinu 1

7.

Relativni doprinos: 1.0/1.0 **Točno**

Kod kojeg/kojih se automata ulazi pišu na lukovima?

- ☐ niti kod jednog od ova dva
- ☐ samo kod Mooreovog
- ☐ samo kod Mealyjevog
- ☒ i kod Mooreovog, i kod Mealyjevog

8.

Relativni doprinos: 1.0/1.0 **Točno**

U ovoj laboratorijskoj vježbi, sklop Dekoder stanja je:

- ☐ kombinacijski sklop
- ☐ sinkroni sekvencijski sklop
- ☐ asinkroni sekvencijski sklop
- ☐ ništa od navedenoga

9.

Relativni doprinos: -0.25/1.0 **Netočno** [Vaše rješenje](#) | [Točno rješenje](#)

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    clk, P, Q, R: in std_logic;  
    Qout: out std_logic);  
end Element;
```

```
architecture beh of Element is  
    signal Qint: std_logic;  
begin
```

```
    process(...)  
    begin  
        if rising_edge(clk) then  
            if R= '1' then  
                Qint<= not Qint;  
            end if;  
        end if;  
        if P='0' then  
            Qint<= '1';  
        end if;  
        if Q='0' then  
            Qint<= '1';  
        end if;  
    end process;  
  
    Qout<= Qint;
```

```
end beh;
```

Označite sve signale koji čine minimalnu listu osjetljivosti.
(označeno je TOČNO)

- ☒ P
- ☐ R
- ☒ Q
- ☐ Qint
- ☒ clk

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    clk, P, Q, R: in std_logic;  
    Qout: out std_logic);  
end Element;
```

```
architecture beh of Element is  
    signal Qint: std_logic;  
begin
```

```
    process(...)  
    begin  
        if rising_edge(clk) then  
            if R= '1' then  
                Qint<= not Qint;  
            end if;  
        end if;  
        if P='0' then  
            Qint<= '1';  
        end if;  
        if Q='0' then  
            Qint<= '1';  
        end if;  
    end process;  
  
    Qout<= Qint;
```

```
end beh;
```

Označite sve signale koji čine minimalnu listu osjetljivosti.

- ☐ P
- ☐ R
- ☐ Q
- ☐ Qint
- ☐ clk

10.

Relativni doprinos: 1.0/1.0 **Točno**

Kod kojeg/kojih je automata izlaz u potpunosti definiran stanjem (tj. ako znate samo stanje, onda odmah znate i izlaz)?

- ☐ niti kod jednog od ova dva
 - ☐ i kod Mooreovog, i kod Mealyjevog
 - ☐ samo kod Mooreovog
 - ☐ samo kod Mealyjevog
-