



5. Implementacija logičkih sklopova

- interpretacija logičkih vrijednosti
- elektronički elementi kao sklopke
- izvedbe osnovnih logičkih sklopova
- izvedbe univerzalnih sklopova
- izvedbe u tehnologiji CMOS
- integrirani logički sklopovi
- električka i dinamička svojstva integriranih izvedbi
- skupine integriranih logičkih sklopova

Interpretacija logičkih vrijednosti

- prikaz logičkih vrijednosti naponskim razinama:

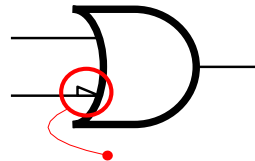
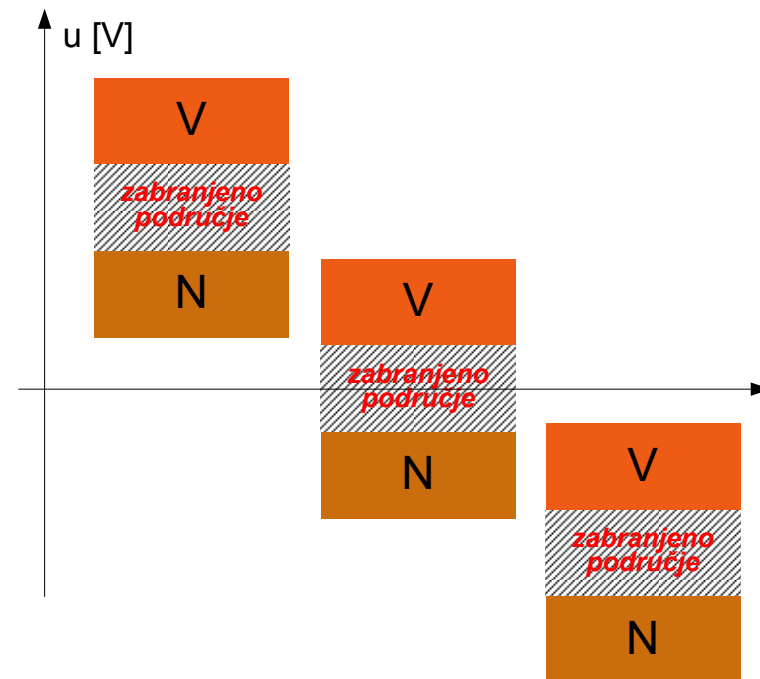
- *pozitivna logika:*

- viši napon ~ 1
- niži napon ~ 0

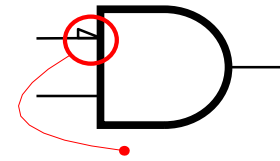
- *negativna logika:*

- viši napon ~ 0
- niži napon ~ 1

- uz liniju signala oznaka 



signal u *negativnoj* logici



signal u *negativnoj* logici

Interpretacija logičkih vrijednosti

- interpretacija tablice kombinacija funkcije I naponskih razina

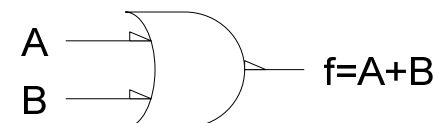
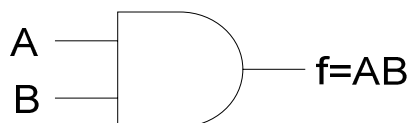
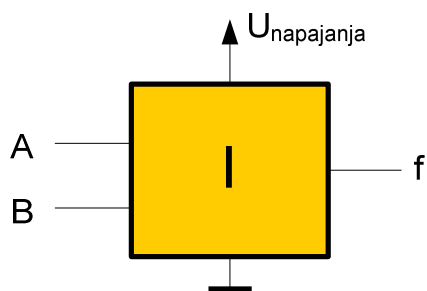
A	B	f
N	N	N
N	V	N
V	N	N
V	V	V

A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

A	B	f
1	1	1
1	0	1
0	1	1
0	0	0

pozitivna
logika

negativna
logika



Interpretacija logičkih vrijednosti

- interpretacija tablice kombinacija funkcije ILI naponskih razina

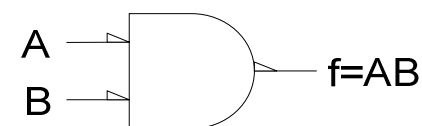
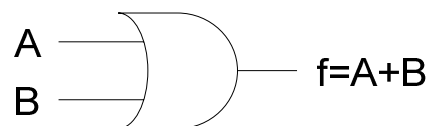
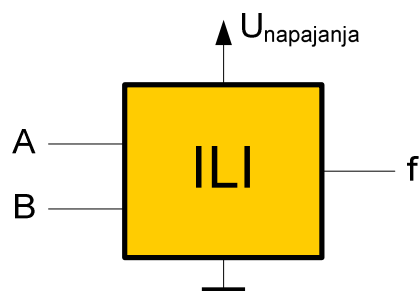
A	B	f
N	N	N
N	V	V
V	N	V
V	V	V

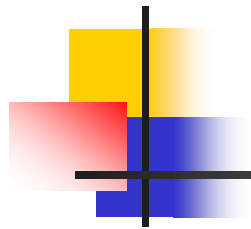
A	B	f
0	0	0
0	1	1
1	0	1
1	1	1

A	B	f
1	1	1
1	0	0
0	1	0
0	0	0

pozitivna
logika

negativna
logika



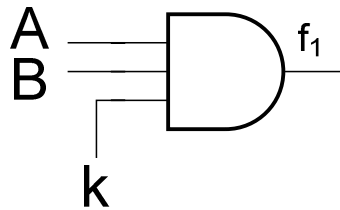


Interpretacija logičkih vrijednosti

- dualnost pozitivne i negativne logike:
 - funkcija I u pozitivnoj logici
→ funkcija ILI u negativnoj logici
 - funkcija ILI u pozitivnoj logici
→ funkcija I u negativnoj logici
 - negativna logika
~ *dual* logičke funkcije!

Interpretacija logičkih vrijednosti

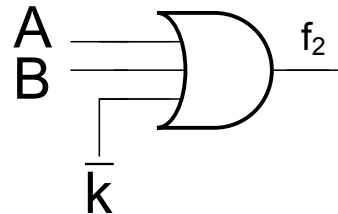
- *mješovita* logika:
 - primijenjene obje konvencije
 - prisustvo/odsustvo "trokutića"
~ oznaka *aktivne* razine (logičke 1)
 - primjena kod upravljačkih ulaza u logički sklop



$$f_1 = k \cdot (AB)$$

↑

$$k = 1 \rightarrow f_1 = AB$$



$$f_2 = k + (A + B)$$

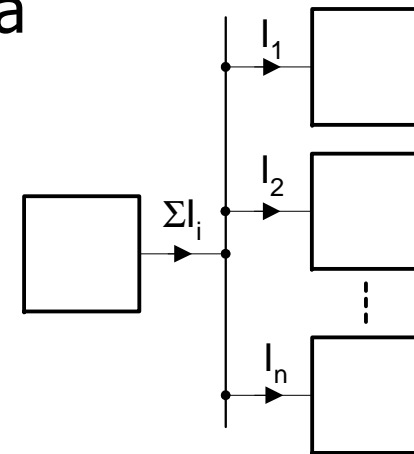
↑

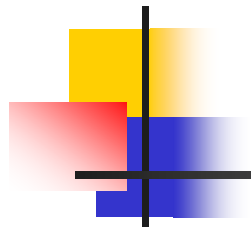
$$k = 0 \rightarrow f_2 = A + B$$

$$\bar{k} = 1$$

Interpretacija logičkih vrijednosti

- strujna i naponska logika:
 - naponska logika
~ nositelj "informacije" (0 ili 1) naponska razina
 - strujna logika
~ nositelj "informacije" (0 ili 1) struja:
 - ima je/nema je, smjer
 - loša svojstva prilikom grananja
~ raspodjela na ulaze
narednog stupnja



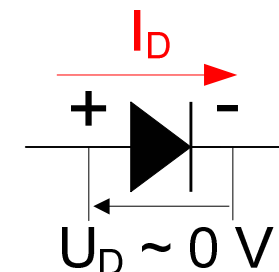
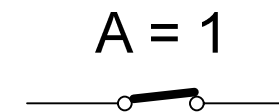
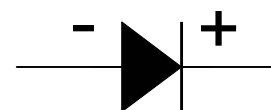
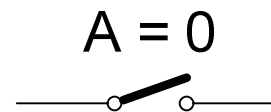


Elektronički elementi kao sklopke

- *logički sklopovi*
~ *elektroničke* izvedbe logičkih funkcija:
elektronički elementi *u režimu sklopke*
 - dioda
 - (NPN) bipolarni tranzistor
 - n-kanalni MOSFET
 - p-kanalni MOSFET

Elektronički elementi kao sklopke

- *dioda kao sklopka:*
 - idealna dioda, $U_D \approx 0 \text{ V}$
~ upravljani mehanički kontakt
 - napon na elektrodama
~ upravljanje = logička varijabla A
 - dioda *nepropusno* (reverzno) polarizirana
~ struja *ne* teče
 - dioda *propusno* polarizirana
~ struje teče

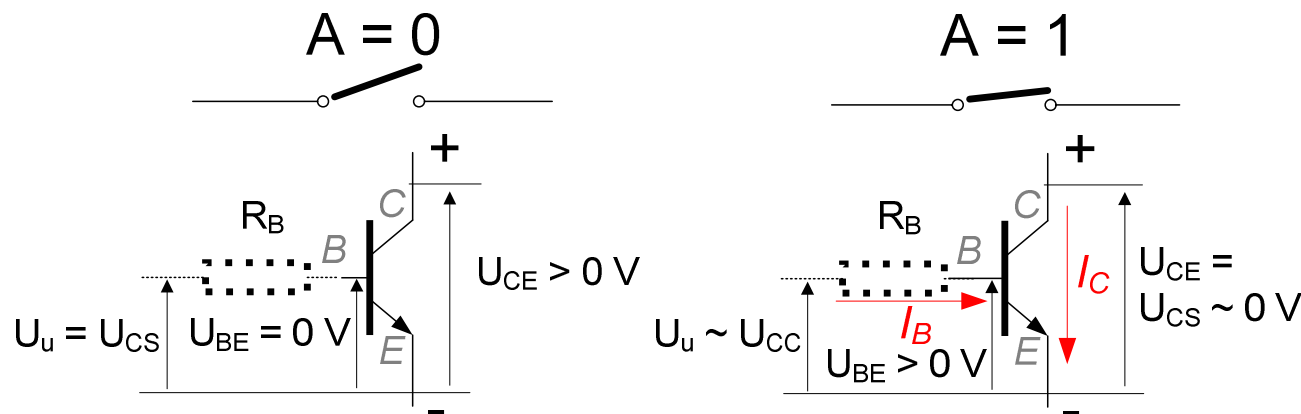


Elektronički elementi kao sklopke

- *bipolarni tranzistor*

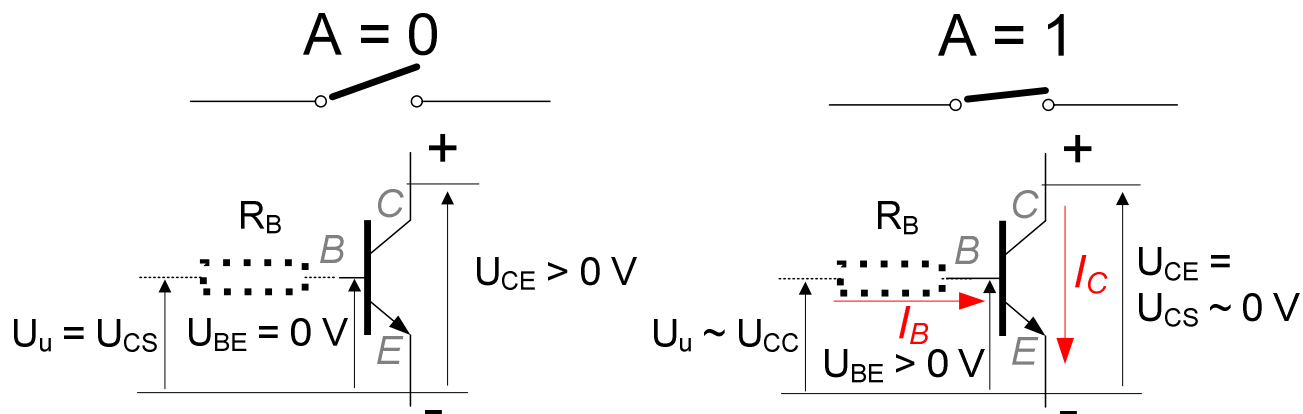
(engl. Bipolar Junction Transistor, BJT) kao sklopka :

- NPN tranzistor "u spoju zajedničkog emitera"
~ emiter na masi
- strujom upravljani element ~ strujna logika!
→ pretvoriti u *naponsko* upravljanje
 - $U_u \sim$ upravljanje = logička varijabla A
 - $U_{CE} \sim NE(A)$: BJT je *invertor* !



Elektronički elementi kao sklopke

- bipolarni tranzistor NPN kao sklopka:
 - NPN tranzistor "u spoju zajedničkog emitera"
~ vrlo pogodno rješenje:
 - zapiranje: $U_u = 0 \text{ V} \sim N$
 - zasićenje: $U_u = U_{CC} (U_{BE} > U_\gamma) \sim V$
 - $A = 0 \sim U_u = N$
 $A = 1 \sim U_u = V$



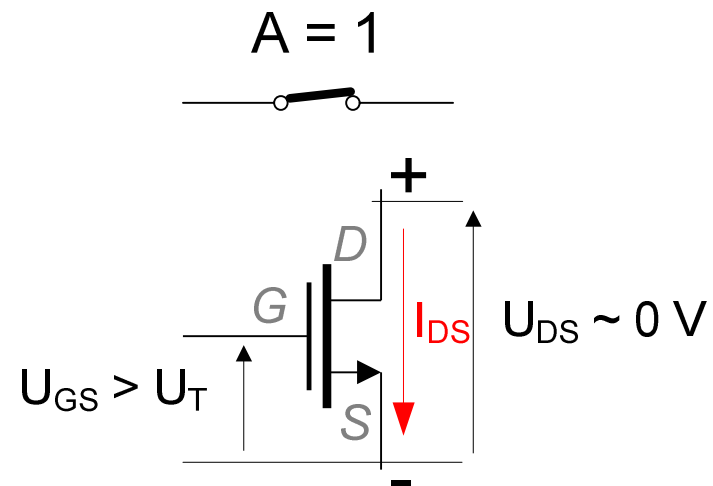
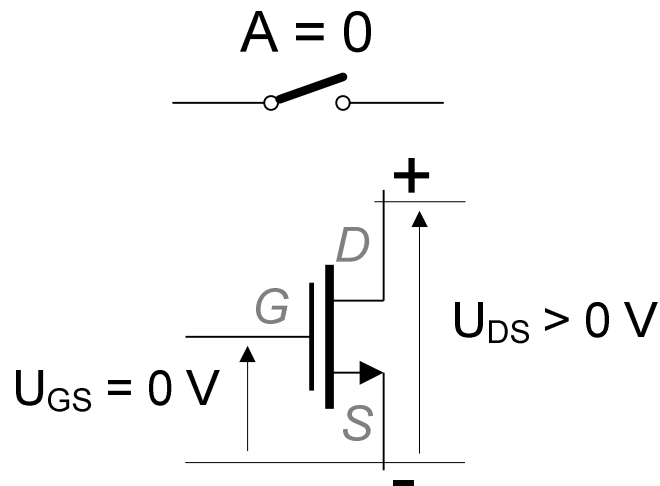


Elektronički elementi kao sklopke

- *MOSFET* (engl. Metal Oxide Semiconductor Field-Effect Transistor) kao sklopka:
 - naponom upravljani element:
 - upravljačka elektroda G (engl. gate) izolirana od poluvodiča
 - uvod S (engl. source), odvod D (engl. drain) utvrđeni *funkcijski*
~ S = niža naponska razina
 - puno manja površina na čipu (u odnosu na BJT $\approx 15\%$)
 - kanal ispod G:
 - n-tip: n-kanalni MOSFET, NMOS
 - p-tip: p-kanalni MOSFET, PMOS
~ *sporiji*, pa se koristi jedino u sklopu CMOS!

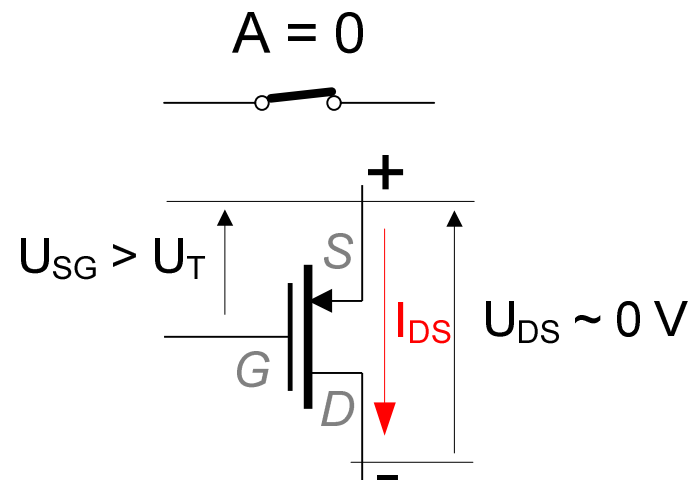
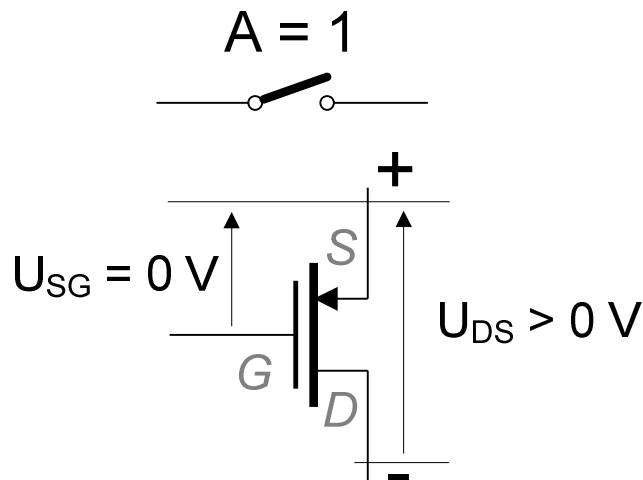
Elektronički elementi kao sklopke

- *NMOS* kao sklopka
~ vrlo pogodno rješenje:
 - zapiranje: $U_{GS} = 0 \text{ V} (< U_T) \sim N$
 - zasićenje: $U_{GS} = U_{DD} \sim V$
 - $A = 0 \sim U_{GS} = N$
 $A = 1 \sim U_{GS} = V$



Elektronički elementi kao sklopke

- *PMOS* kao sklopka
~ komplementarna pobuda:
 - zapiranje: $U_{SG} = 0 \text{ V} \rightarrow U_{GD} = U_{DD} \sim V$
 - zasićenje: $U_{SG} = U_{DD} (< U_T) \rightarrow U_{GD} = 0 \text{ V} \sim N$
 - $A = 1 \sim U_{SG} = N$
 $A = 0 \sim U_{SG} = V$



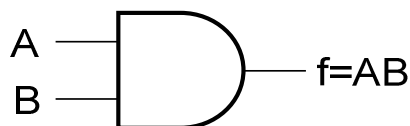
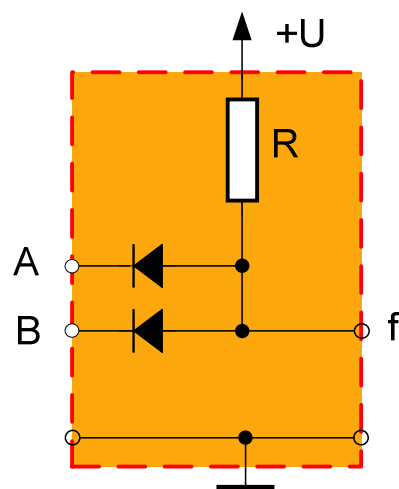
Izvedbe logičkih sklopova I i ILI

- izvedba sklopa I (pozitivna logika)

\sim diodna mreža:

$V \sim +U$

$N \sim 0\text{ V}$



A	B	f
N	N	N
N	V	N
V	N	N
V	V	V

A	B	f
0	0	0
0	1	0
1	0	0
1	1	1

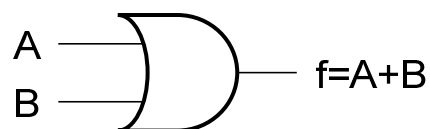
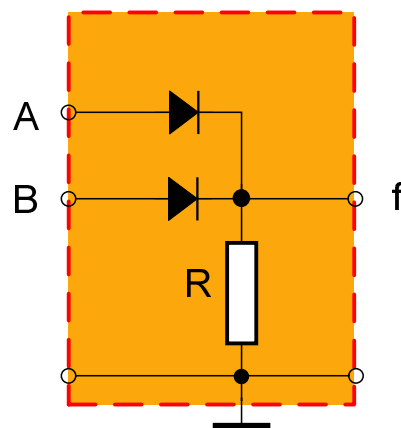
Izvedbe logičkih sklopova I i ILI

- izvedba sklopa ILI (pozitivna logika)

~ (također) *diodna mreža*:

$V \sim +U$

$N \sim 0\text{ V}$



A	B	f
N	N	N
N	V	V
V	N	V
V	V	V

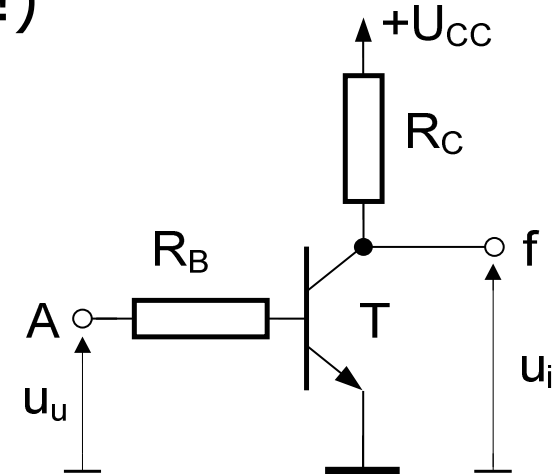
A	B	f
0	0	0
0	1	1
1	0	1
1	1	1

Izvedba invertora

- izvedba invertora s *bipolarnim tranzistorom*:
 - *pojačanje signala*
~ pobuda većeg broja ulaza narednog stupnja
 - strujna pobuda
~ $R_B \gg$ da pobuda (A) bude naponska!
 - *pritezanje izlaza na napon napajanja* (engl. Pull-Up, PU)
~ "pasivno" opterećenje $R_C \approx k\Omega$
 $V \sim U_{CC}$ (bez opterećenja izlaza!)
 $N \sim U_{CS} \approx 0 V$

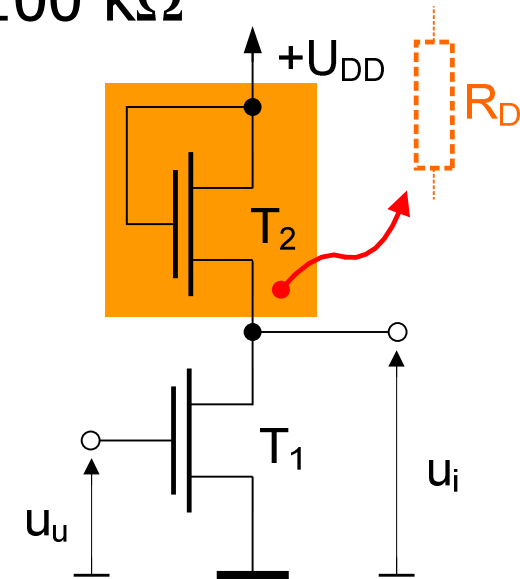
A	f
N	V
V	N

A	f
0	1
1	0



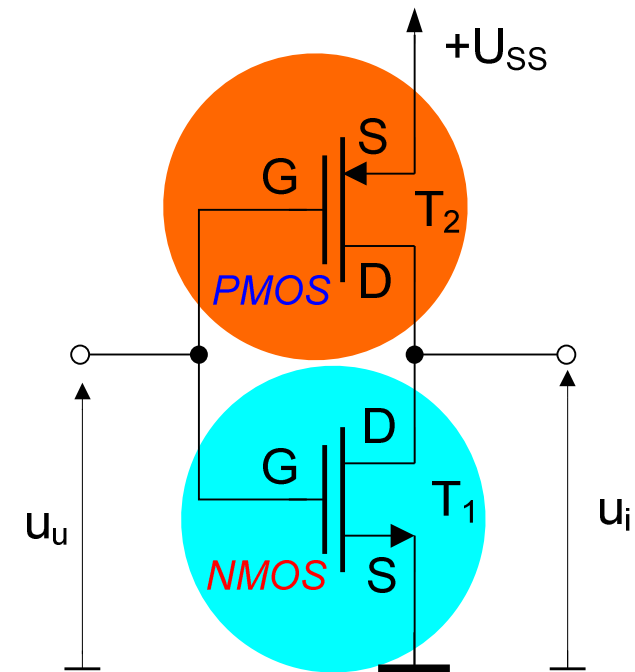
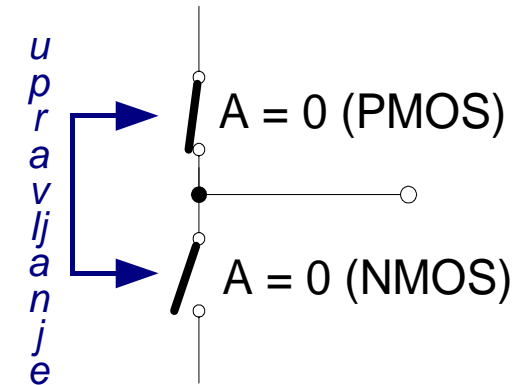
Izvedba invertora

- izvedba invertora s *MOSFET*
~ tipično n-kanalni MOSFET (NMOS):
 - *naponska* pobuda
~ troši manje snage ☺
 - pritezanje izlaza na napon napajanja
~ T_2 spojen kao dioda:
"pasivno" opterećenje $R_{ekv} = R_D \approx 100 \text{ k}\Omega$
 - *spori* odziv $N \rightarrow V$ (na izlazu)
 - $t_r \gg t_f$
 - izolirana upravljačka elektroda
~ statički elektricitet
može probiti izolaciju! ☹



Izvedba invertora

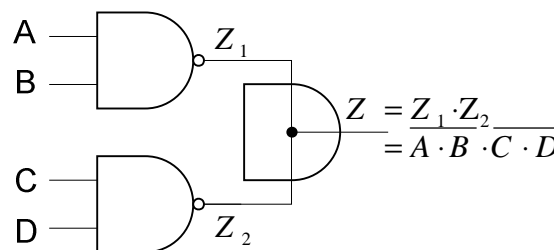
- izvedba invertora s CMOS (engl. Complementary MOS)
~ model sklopke "u protuspoju":
 - naponska pobuda
 - statički elektricitet !!! ☹
 - T_1 i T_2 električki simetrični
~ *komplementarni*
 - T_1 je NMOS
 - T_2 je PMOS
 - $t_r \approx t_f$
~ brže od NMOS! 😊 😊 😊
 - troši *najmanje* snage! 😊 😊 😊



Direktno povezivanje izlaza: spojeni I

- *spojeni I* (engl. wired AND)
~ kombiniranje logičkih sklopova
fizičkim povezivanjem izlaza
- "ušteda" logičkih sklopova

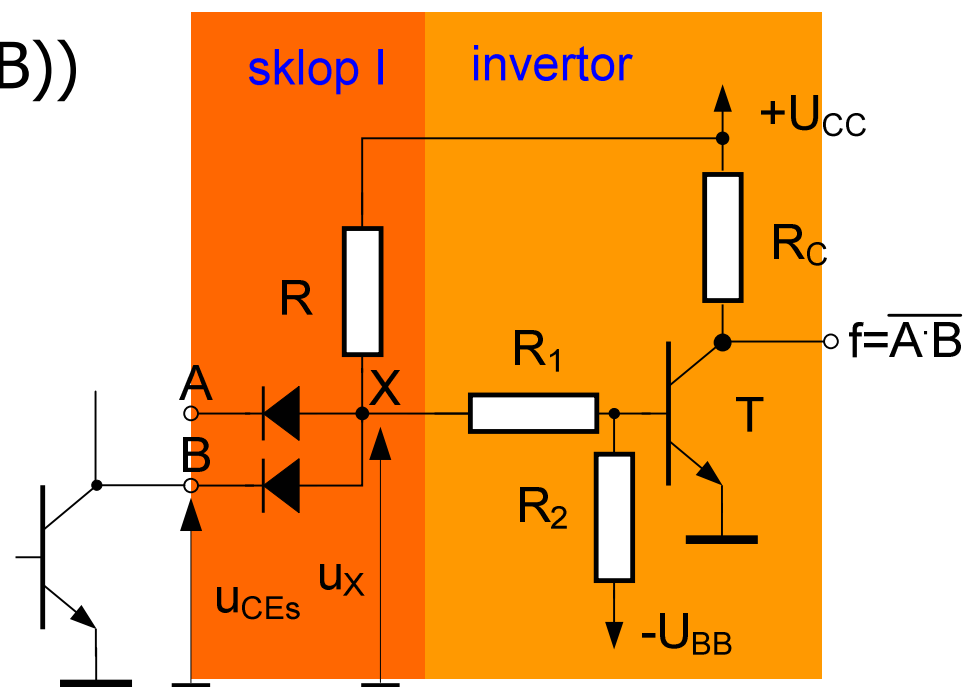
Z_1	Z_2	Z
N	N	N
N	V	N
V	N	N
V	V	V

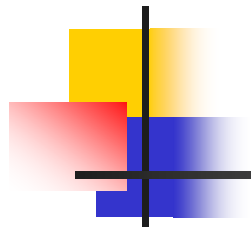


- električke mogućnosti izlaznog stupnja:
 - moguće ako $R_{pU} \gg$, npr. $R_C > \sim k\Omega$
 - inače zabranjeno, npr. $R_C < \sim 100 \Omega$

Izvedbe univerzalnih sklopova

- izvedba univerzalnog sklopa *kompozicijom funkcija* (kaskadiraanjem sklopova):
 - karakteristično za *bipolarnu* tehnologiju (BJT)
 - tipično $NI = NE^{\circ}I$
 $\sim NI(A, B) = NE(I(A, B))$
 - *diodni* sklop I
 - invertor s BJT
 - *koncept* za čitav niz (bipolarnih) skupina integriranih logičkih sklopova





Izvedbe univerzalnih sklopova

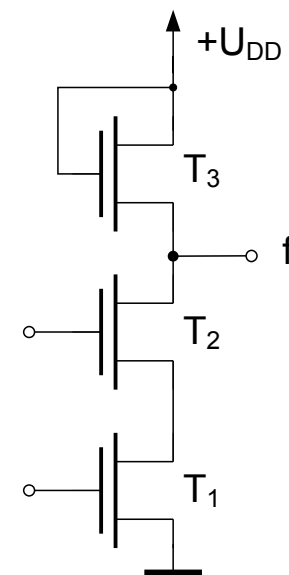
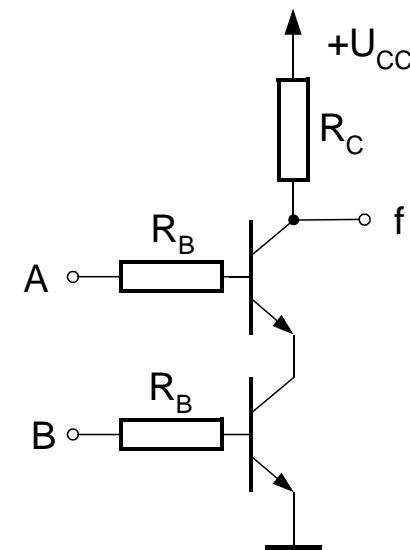
- izvedba univerzalnog sklopa *direktnim povezivanjem tranzistora*:
 - bipolarna i MOSFET tehnologija
 - kombiniranje tranzistora:
 - serijski: sklop NI
 - paralelno: sklop NILI

Izvedbe univerzalnih sklopova

- izvedba sklopa NI (pozitivna logika)
~ *serijski spoj tranzistora (kaskoda)*
 - $U_{izlN} = \Sigma U_S$ tranzistora > 0 V
~ uglavnom se izbjegava
 - praktične izvedbe jedino u NMOS

A	B	f
N	N	V
N	V	V
V	N	V
V	V	N

A	B	f
0	0	1
0	1	1
1	0	1
1	1	0

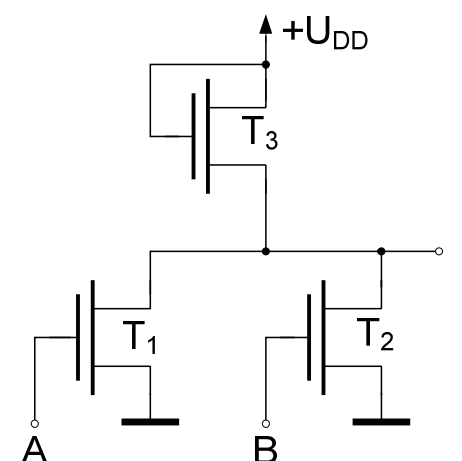
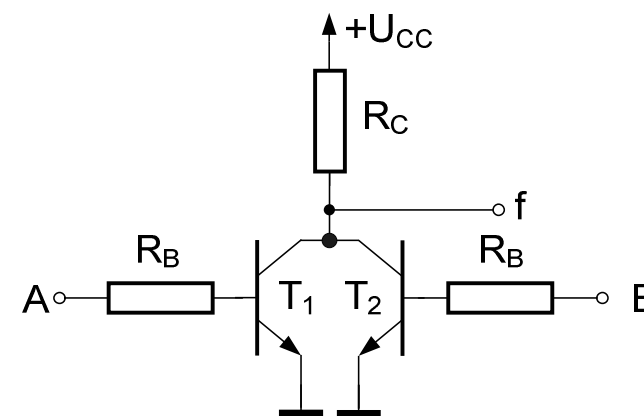


Izvedbe univerzalnih sklopova

- izvedba sklopa NILI (pozitivna logika)
~ paralelni spoj tranzistora:
 - bolja električka svojstva
~ izvedba izbora

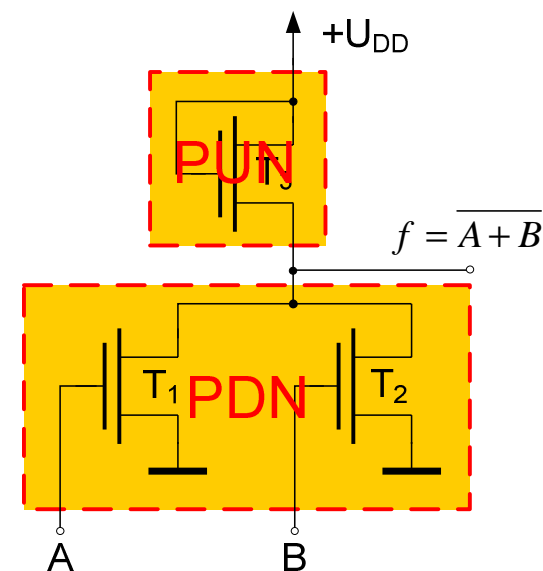
A	B	f
N	N	V
N	V	N
V	N	N
V	V	N

A	B	f
0	0	1
0	1	0
1	0	0
1	1	0



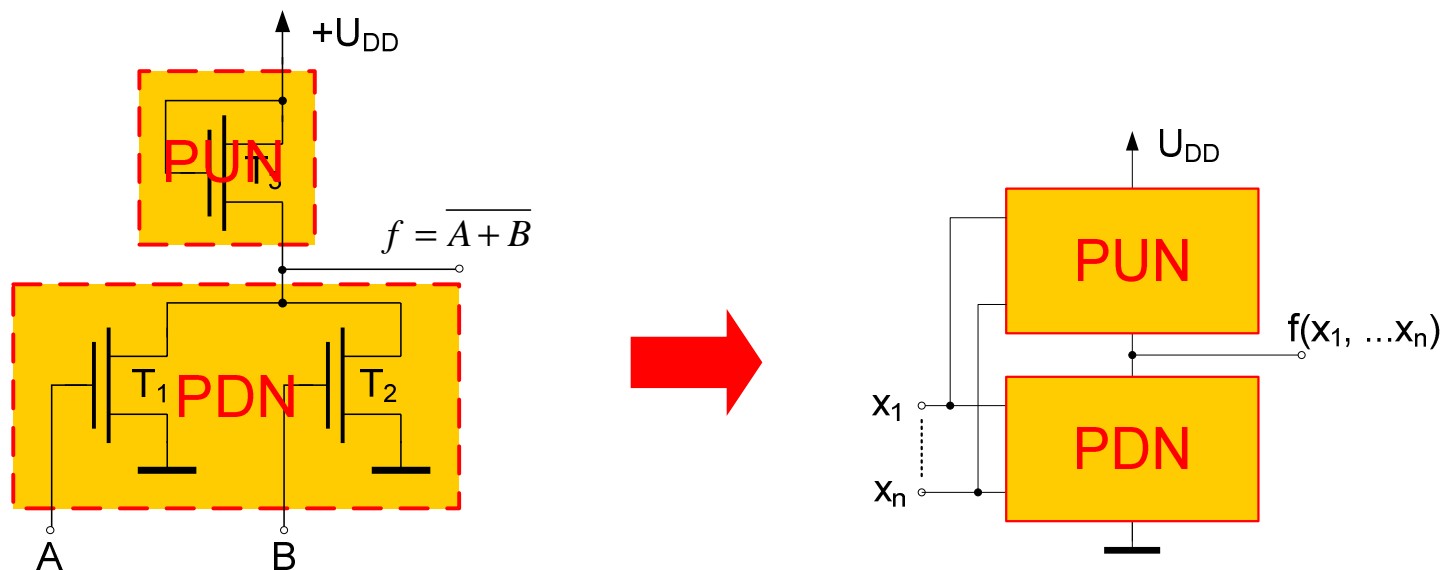
Izvedbe u tehnologiji CMOS

- univerzalni CMOS sklopovi
~ izvođenje iz NMOS sklopova:
 - mreža za pritezanje na masu
[Pull-Down Network, PDN]
~ ostvarivanje logičke funkcije
 - mreža za pritezanje na napajanje
[Pull-Up Network, PUN]
~ "otpornik" ostvaren posebnim NMOS



Izvedbe u tehnologiji CMOS

- univerzalni CMOS sklopovi
~ izvođenje iz NMOS sklopova:
 - zamijeniti NMOS za pritezanje na napajanje mrežom sastavljenom od PMOS
 - PMOS (pritezanje na napajanje) i NMOS (pritezanje na masu) električki *komplementarni*





Izvedbe u tehnologiji CMOS

- univerzalni sklopovi NILI i NI (pozitivna logika)
 $\sim T_{\text{izlazni}} = \text{NMOS}; T_{\text{opterećenje}} = \text{PMOS}$
 - sklop NILI:
PDN = paralelno spojeni NMOS
PUN = serijski spojeni PMOS
 - sklop NI:
PDN = serijski spojeni NMOS
PUN = paralelno spojeni PMOS

Izvedbe u tehnologiji CMOS

- izvođenje CMOS sklopa NI (pozitivna logika):

- PUN: $f = \overline{A \cdot B} = \overline{A} + \overline{B}$

$$f = 1 \Leftrightarrow (A = 0) + (B = 0)$$

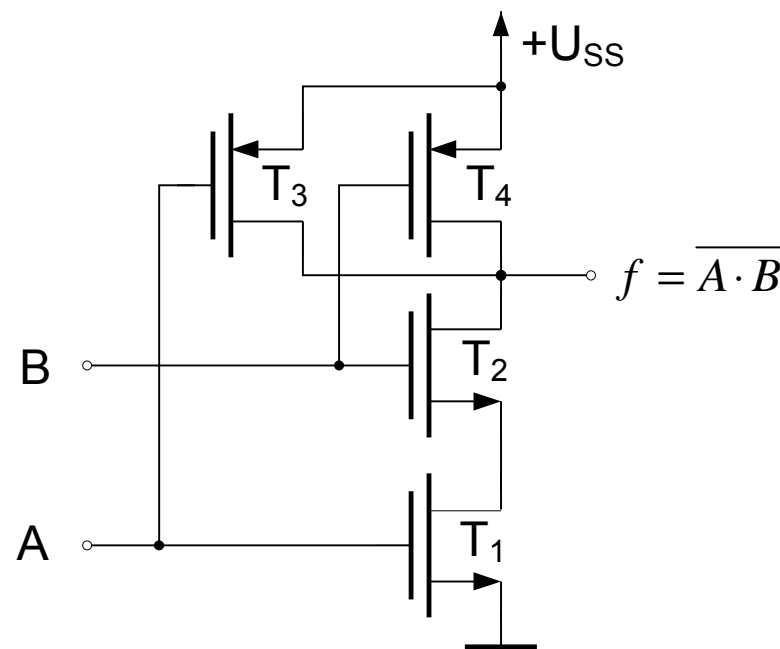
→ *paralela* PMOS !

- PDN: $\overline{f} = A \cdot B$

$$\overline{f} = 1 \Leftrightarrow (A = 1) \cdot (B = 1)$$

→ *serija* NMOS !

A	B	T ₁	T ₂	T ₃	T ₄	f
N	N	NE	NE	DA	DA	V
N	V	NE	DA	DA	NE	V
V	N	DA	NE	NE	DA	V
V	V	DA	DA	NE	NE	N



Izvedbe u tehnologiji CMOS

- izvođenje CMOS sklopa NILI:

- PUN: $f = \overline{A + B} = \overline{A} \cdot \overline{B}$

$$f = 1 \Leftrightarrow (A = 0) \cdot (B = 0)$$

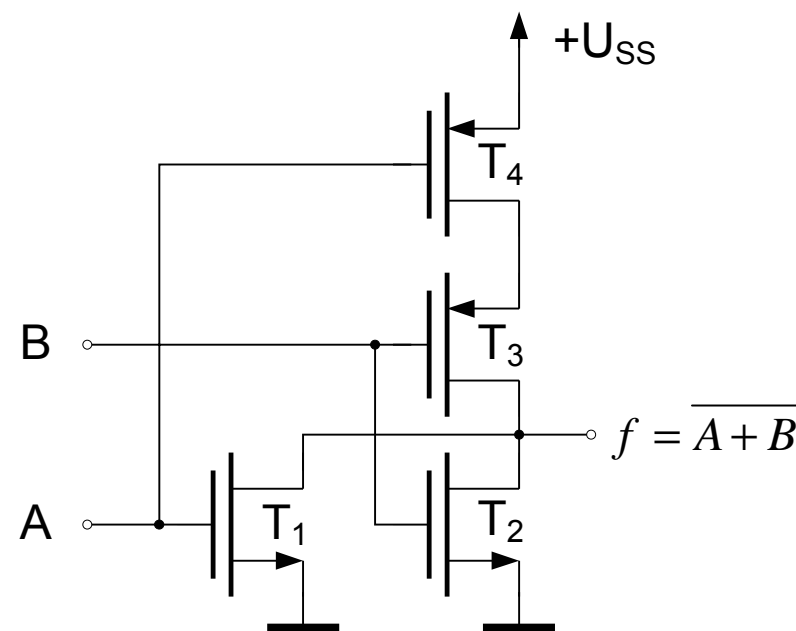
→ *serija* PMOS !

- PDN: $\overline{f} = A + B$

$$\overline{f} = 1 \Leftrightarrow (A = 1) + (B = 1)$$

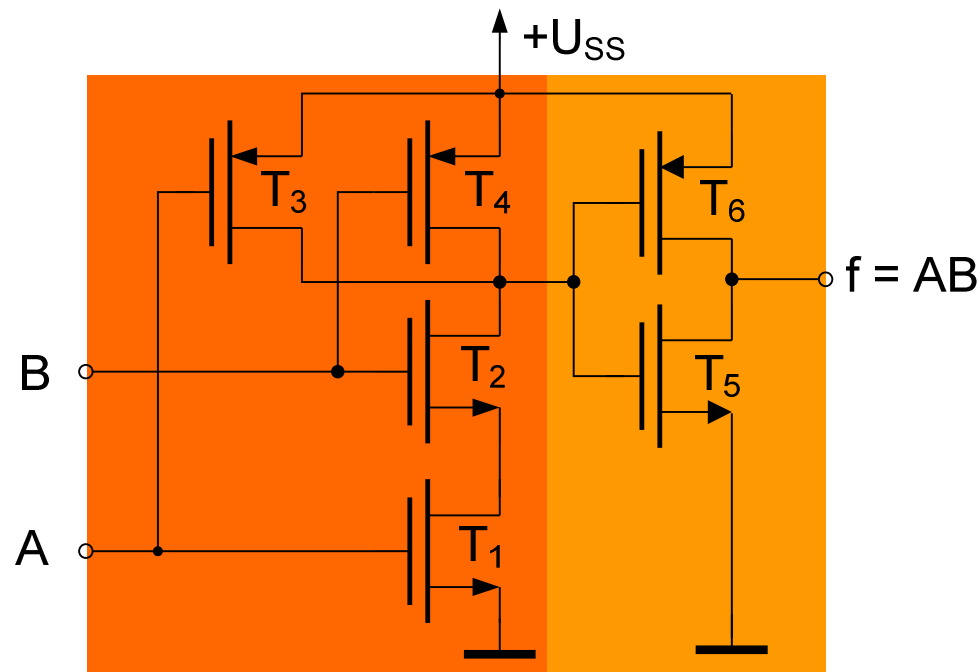
→ *paralela* NMOS !

A	B	T ₁	T ₂	T ₃	T ₄	f
N	N	NE	NE	DA	DA	V
N	V	NE	DA	NE	DA	N
V	N	DA	NE	DA	NE	N
V	V	DA	DA	NE	NE	N



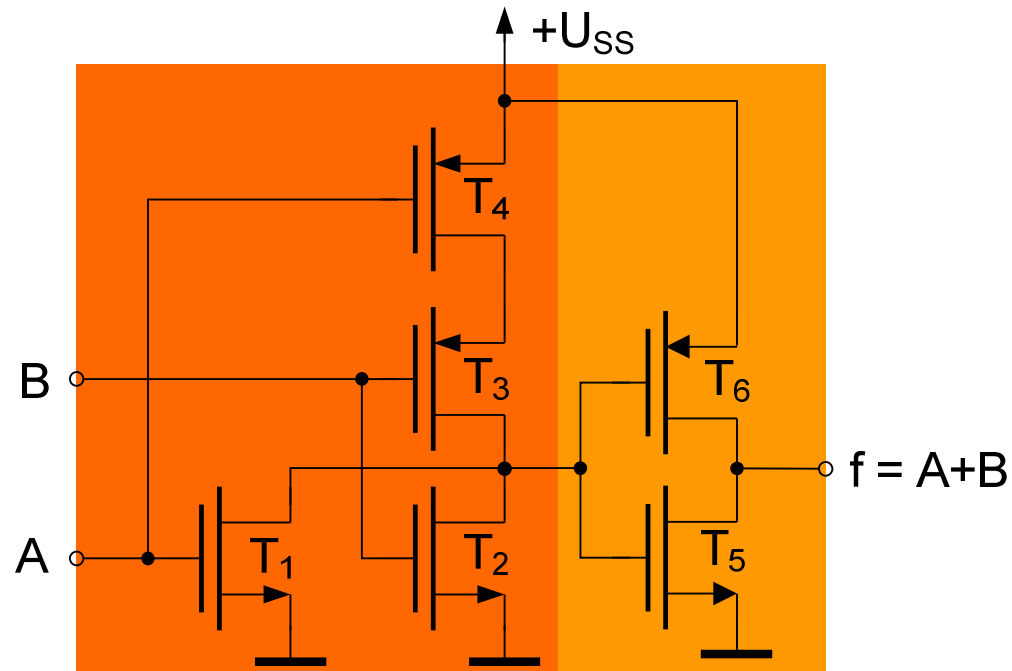
Izvedbe u tehnologiji CMOS

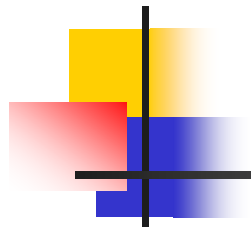
- izvedba CMOS sklopa I
~ kompozicija NE i NI: $I(A, B) = (NE \circ NI)(A, B)$
 $= NE(NI(A, B))$



Izvedbe u tehnologiji CMOS

- izvedba CMOS sklopa ILI
~ kompozicija NE i NILI: $ILI(A, B) = (NE \circ NILI)(A, B)$
 $= NE(NILI(A, B))$





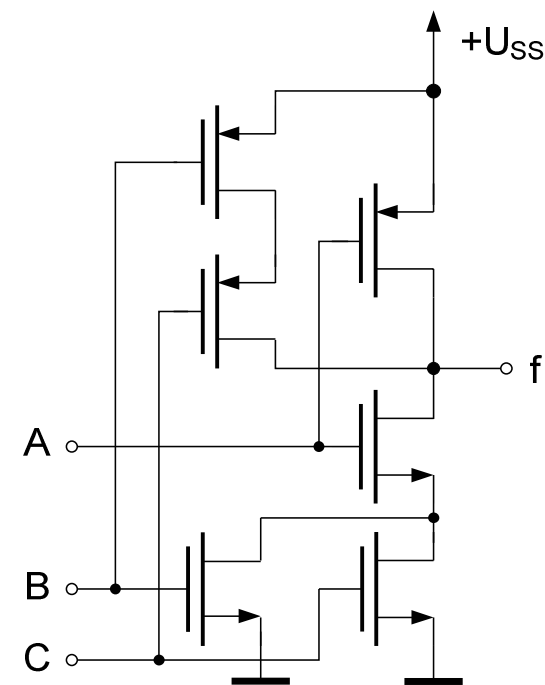
Implementacija funkcija u CMOSu

- poopćenje PDN i PUN
 - ~ izvođenje *proizvoljnog* CMOS sklopa:
 - *sve* varijable *komplementirane*
 - ~ vrlo jednostavno rješenje
 - *neke* varijable *nisu* komplementirane
 - ~ prethodno ih komplementirati

Implementacija funkcija u CMOSu

Primjer: $f = \overline{A} + \overline{B} \cdot \overline{C}$

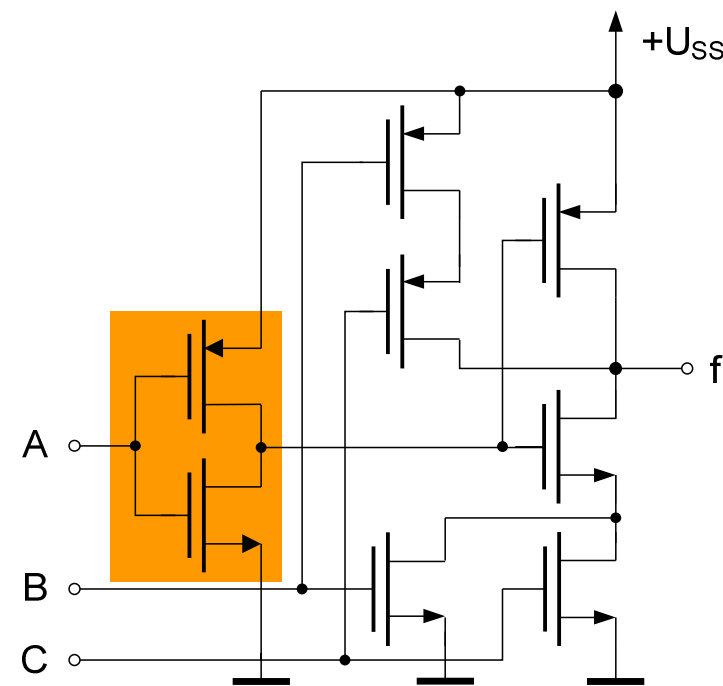
- sve su varijable *komplementirane*
~ direktno izvođenje PUN
- PUN:
 - serija PMOS za B i C
 - paralela PMOS za A i $\phi(B, C)$
- PDN:
$$\overline{f} = \overline{\overline{A} + \overline{B} \cdot \overline{C}}$$
$$= A \cdot (B + C)$$
 - paralela NMOS za B i C
 - serija NMOS za A i $\phi(B, C)$



Implementacija funkcija u CMOSu

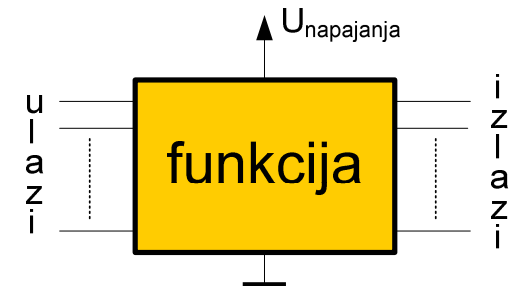
Primjer: $f = A + \overline{B} \cdot \overline{C} = \overline{\overline{A}} + \overline{B} \cdot \overline{C}$

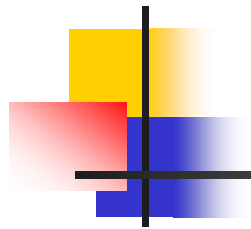
- inverter za dobivanje \overline{A}
- PUN:
 - serija PMOS za B i C
 - paralela PMOS za \overline{A} i $\varphi(B, C)$
- PDN:
$$\overline{f} = \overline{A + \overline{B} \cdot \overline{C}}$$
$$= \overline{\overline{A} \cdot (B + C)}$$
 - paralela NMOS za B i C
 - serija NMOS za \overline{A} i $\varphi(B, C)$



Integrirani logički sklopovi

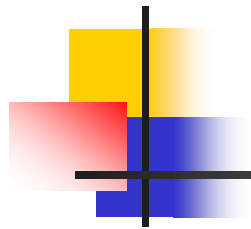
- *integrirani logički sklop*
 - ~ inkapsulacija složenije funkcijske cjeline u *modul*
- minijaturizacija i integriranje složenije cjeline
 - ~ crna kutija s određenim funkcijskim svojstvima, uz zadovoljene uvjete:
 - primjerena pobuda (područja za 0 i 1, granice smetnji)
 - odgovarajući režim rada (napon napajanja, temperatura okoline, opterećenje izlaza)
- *apstrakcija funkcija* (funkcijska apstrakcija)
 - ~ ne zagleda se u unutrašnjost crne kutije





Integrirani logički sklopovi

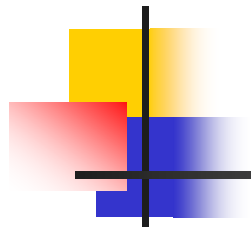
- klasifikacija integriranih logičkih sklopova
~ prema *stupnju integracije*
= u odnosu na složenost sklopova na čipu:
 - *funkcijska*
~ broj "osnovnih funkcija"
(→ osnovnih logičkih sklopova) na čipu
 - *tehnoška*
~ broj "komponenata" (*naprava*, engl. devices)
ostvarenih na čipu;
naprave: Tr, D, R, C (sve preko Tr!)



Integrirani logički sklopovi

- klasifikacija integriranih logičkih sklopova prema *stupnju integracije*

		tehnološka	funkcijska
niski stupanj integracije	SSI	< 100	< 10
srednji stupanj integracije	MSI	100-1.000	10-100
visoki stupanj integracije	LSI	1.000-10.000	100-1.000
vrlo visoki stupanj integracije	VLSI	> 10.000	> 1.000
sustav na waferu	WSI		

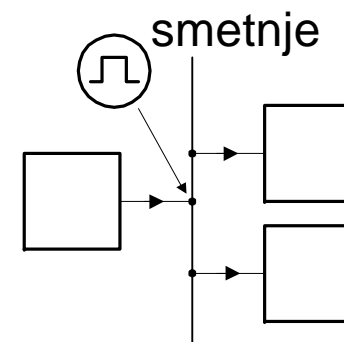


Električka svojstva integriranih izvedbi

- prijenosna karakteristika
- granica smetnji
- faktor grananja
- disipacija snage

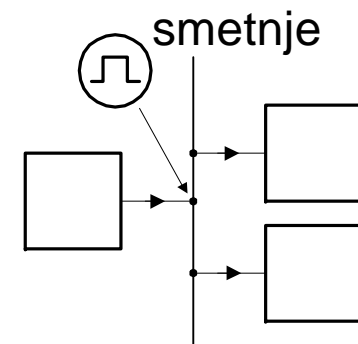
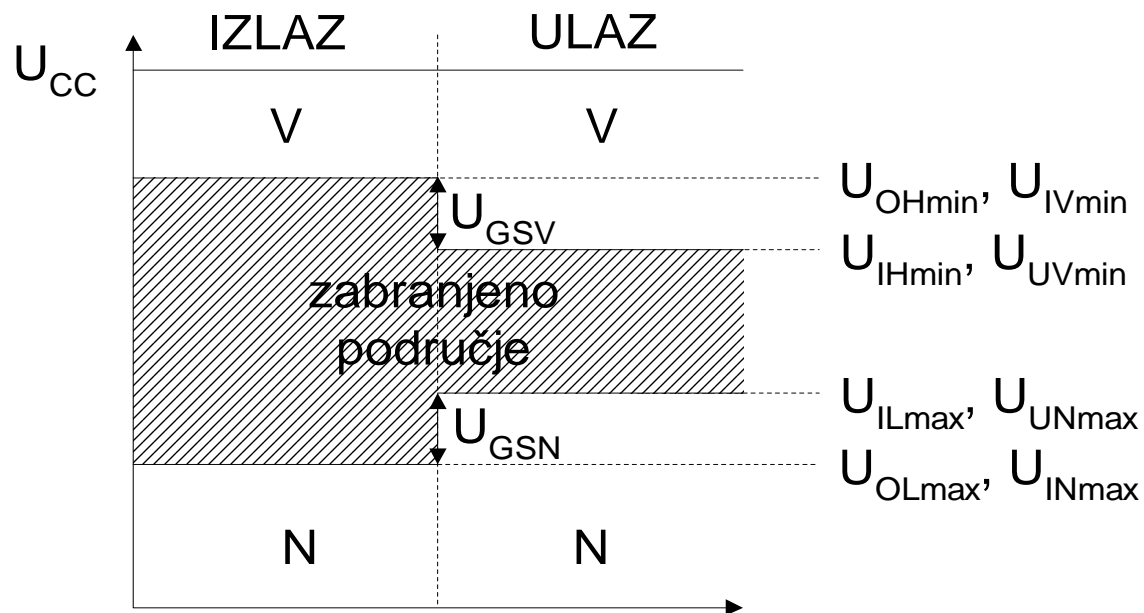
Prijenosna karakteristika

- naponska područja *na ulazu i izlazu* logičkog sklopa:
 - naponska područja:
 - varijacije parametara
 - utjecaj opterećenja
 - *zabranjeno područje*
~ "diskriminacija" naponskih razina V i N
 - uže tolerancije na izlazu logičkih sklopova
~ moguće djelovanje (superponiranih) smetnji na ulazu



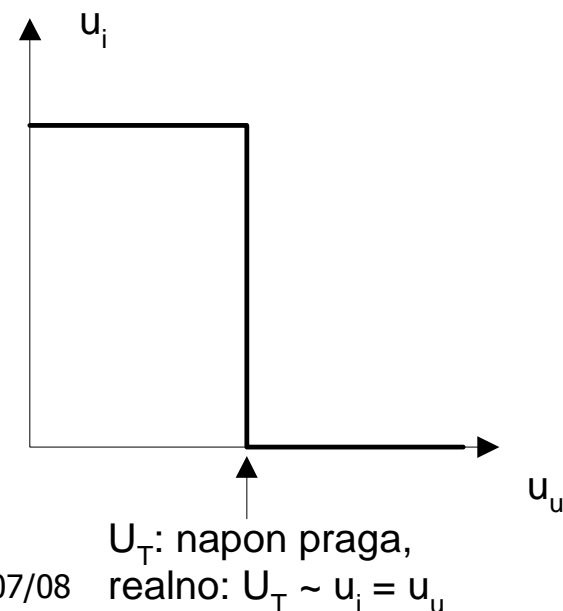
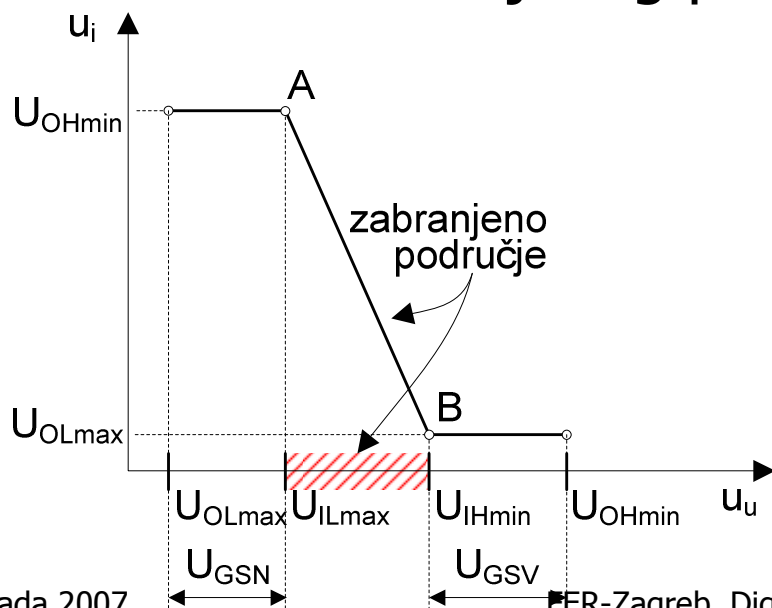
Prijenosna karakteristika

- naponska područja na ulazu i izlazu logičkog sklopa



Prijenosna karakteristika

- *prijenosna karakteristika* (engl. transfer characteristic): $u_i = f(u_u)$
 - temeljni sklopovi pojedinih skupina logičkih sklopova
~ *univerzalne funkcije* (NI, NILI)
⇒ invertorska karakteristika
 - idealna karakteristika: oštri prijelaz
~ *nema* zabranjenog područja!





Granica smetnji

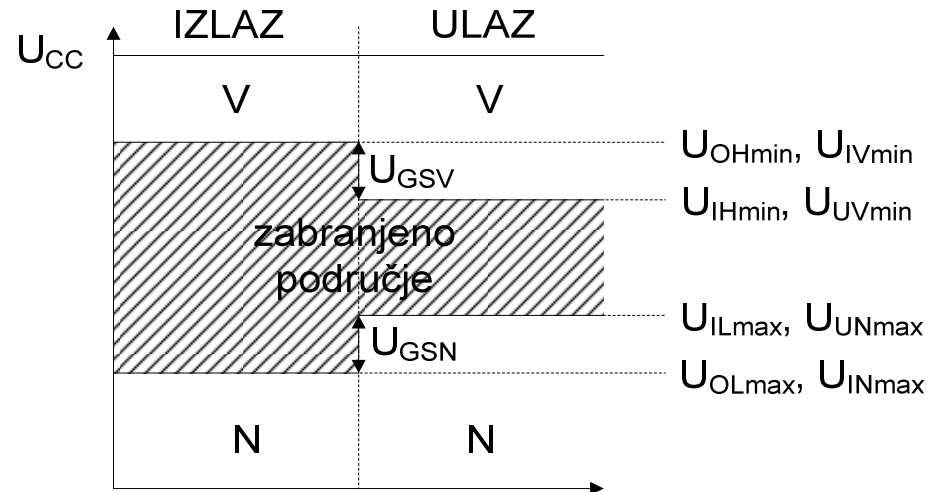
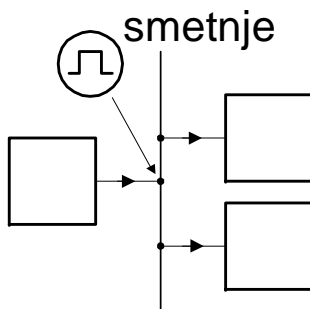
- *smetnje* (engl. noise)
 - ~ superponirani napon na ulazu logičkog sklopa koji *može* dovesti do neželjene promjene stanja na njegovu izlazu
- definira se posebno za V, a posebno za N
- vrste smetnji:
 - vanjske:
 - indukcija (iskrenja, munje?)
 - unutarnje:
 - preslušavanje, refleksije,
 - parazitni induktivitet strujnih krugova signala,
 - strujni šiljci prebacivanja stanja izlaznog stupnja

Granica smetnji

- *granica istosmjerne smetnje* (engl. DC noise margin)
~ iznos smetnji koji dovodi logički sklop na rub zabranjenog područja
- djeluje duže od t_d ~ "isto toliko dugo kao i signal"

$$\Delta "1" \equiv U_{GSV} = U_{OHmin} - U_{IHmin}$$

$$\Delta "0" \equiv U_{GSN} = U_{ILmax} - U_{OLmax}$$



Granica smetnji

Primjer:

$$U_{OLmax} = 1 \text{ V}; \quad U_{OHmin} = 4 \text{ V}$$

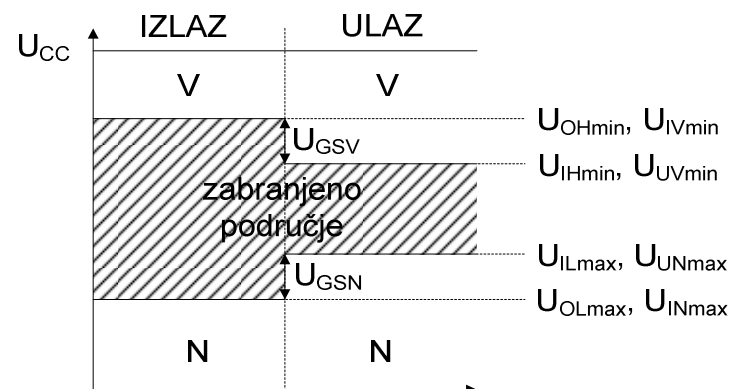
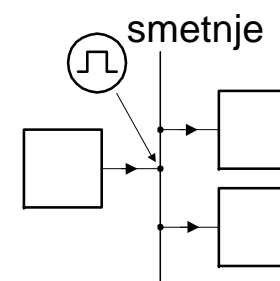
$$U_{ILmax} = 2,3 \text{ V}; \quad U_{IHmin} = 2,7 \text{ V}$$

$$\Delta "1" \equiv U_{GSV} = U_{OHmin} - U_{IHmin}$$

$$\Delta "0" \equiv U_{GSN} = U_{ILmax} - U_{OLmax}$$

$$U_{GSV} = 1,3 \text{ V}$$

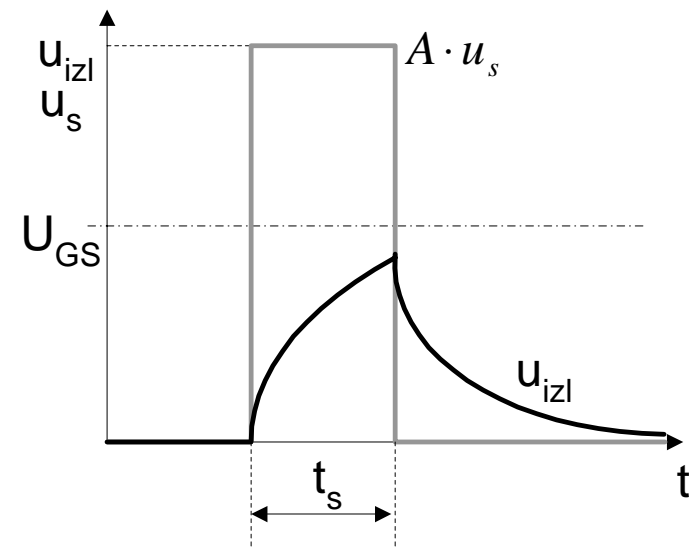
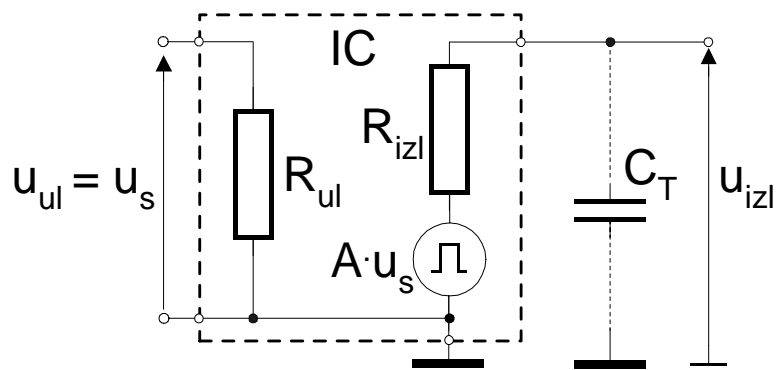
$$U_{GSN} = 1,3 \text{ V}$$

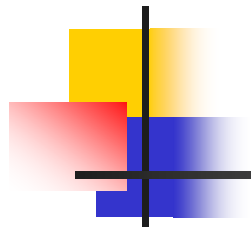


Granica smetnji

- *granica izmjenične smetnje* (engl. AC noise margin):
 - impuls smetnje kraći od t_p
 - mehanizam nabijanja/izbijanja C_T
 - vrlo kratke smetnje ne utječu!

$$U_{GS|AC} > U_{GS|DC}$$



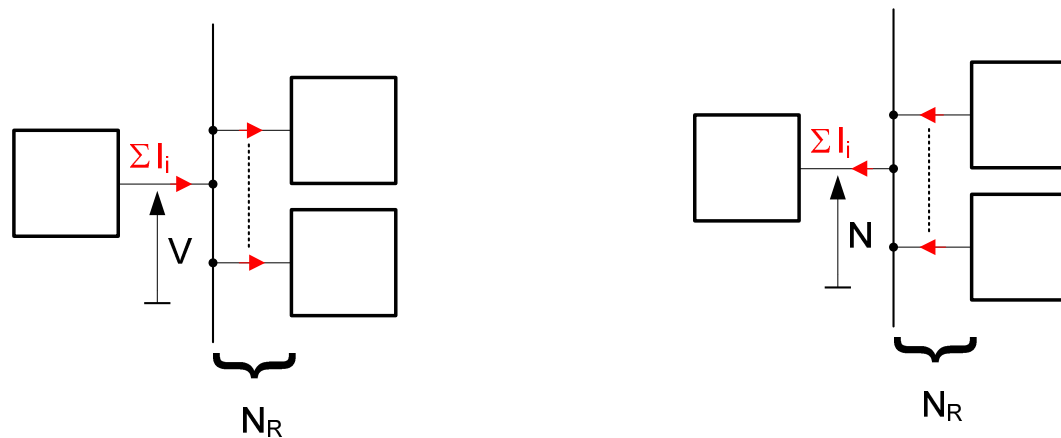


Faktor grananja

- *opterećenje* izlaza ulazima narednog stupnja
~ promjena električkih/dinamičkih osobina signala
 - bipolarni sklopovi
~ promjena naponske razine zbog pada napona na R_i
 - MOSFET/CMOS sklopovi
~ promjena dinamičkih svojstava zbog većeg C_T
- mjera opterećenja
~ *faktor grananja*
 - na izlazu (engl. fan-out)
 - na ulazu (engl. fan-in)

Faktor grananja

- faktor grananja na izlazu bipolarnog sklopa, N_R :
broj ulaza istovrsnih sklopova koje je moguće spojiti na izlaz logičkog sklopa, a da sklopovi sigurno rade u predviđenom režimu
- osigurano da u_i padne u odgovarajuća područja za V i N



Faktor grananja

Primjer:

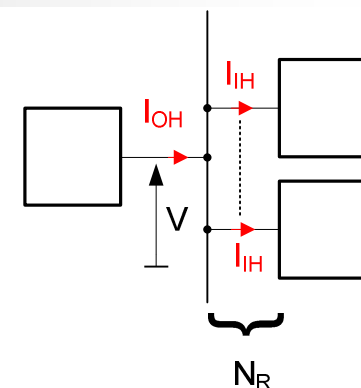
	I_{OL} [mA]	I_{IL} [μ A]	I_{OH} [μ A]	I_{IH} [μ A]
74N	16	1600	400	40
74LS	8	400	400	20

74N pobuđuje 74N: $N_R = 10$

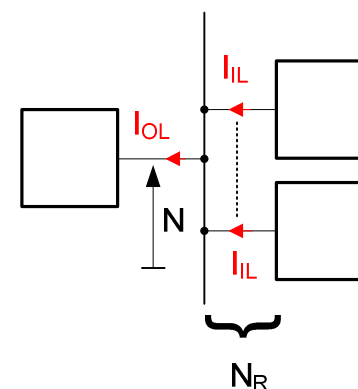
74LS pobuđuje 74LS: $N_R = 20$

74N pobuđuje 74LS: $N_R = ?$

74LS pobuđuje 74N: $N_R = ?$



$$I_{OH} = \sum I_{IH}$$



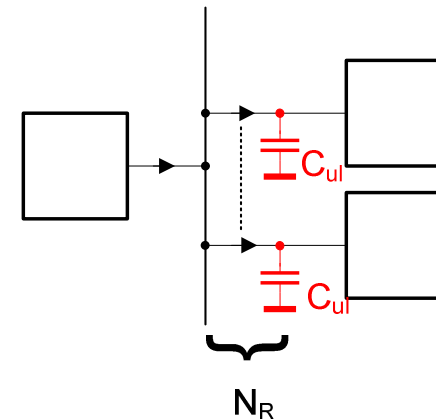
$$I_{OL} = \sum I_{IL}$$

Faktor grananja

- *faktor grananja* na izlazu MOSFET/CMOS sklopa, N_R : broj ulaza istovrsnih sklopova koje je moguće spojiti na izlaz logičkog sklopa, a da se previše ne pokvare dinamička svojstva:

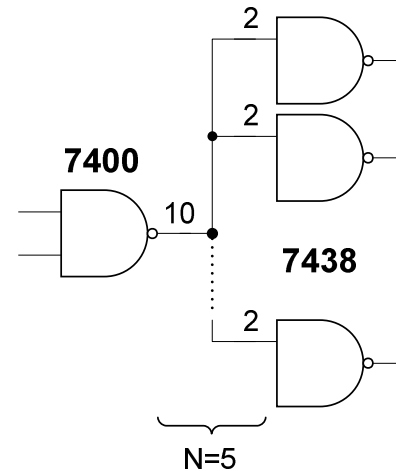
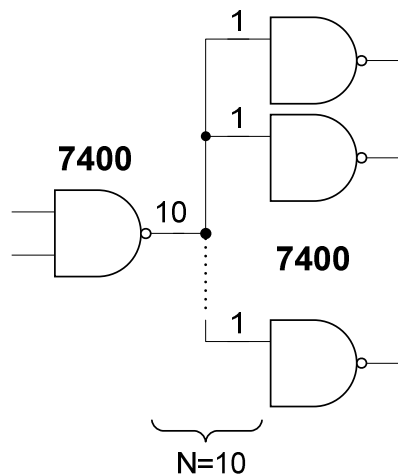
$$C_T = N_R \cdot C_{ul} \rightarrow t_r, t_f \nearrow$$

- kompenzacija djelovanja C_T
 \sim *snažniji* MOSFET
(širi i kraći kanal)



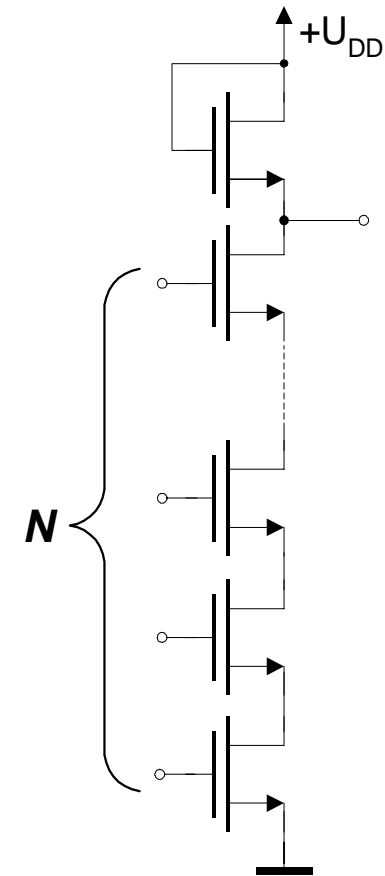
Faktor grananja

- *faktor grananja* na ulazu bipolarnog sklopa, N :
koliko je puta veće opterećenje ulazom sklopa od *jediničnog*, za temeljni sklop skupine
- "jedinična ulazna struja":
za temeljni sklop skupine,
u odnosu na koju se računa faktor grananja



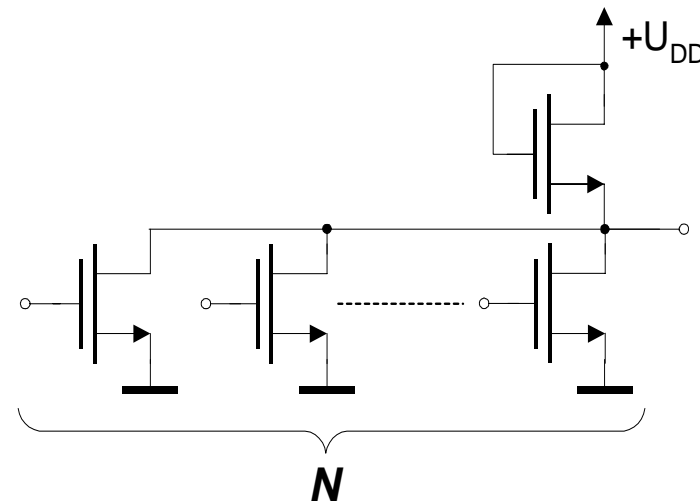
Faktor grananja

- *faktor grananja* na ulazu MOSFET/CMOS sklopa, N : broj ulaza nekog logičkog sklopa
- *serija* tranzistora (npr. NI):
 - serija MOSFET
~ jedan MOSFET s dužim kanalom:
 $t'_p \approx N \cdot t_p$,
širina kanala $\nearrow \rightarrow C_{Pizl} \nearrow$
 - $U_{OL} = \sum U_{OLi} \nearrow$
- CMOS: *uvijek serija NMOS ili PMOS*
~ zadržati $N \searrow$



Faktor grananja

- *faktor grananja* na ulazu MOSFET/CMOS sklopa, N : broj ulaza nekog logičkog sklopa
- *paralela* tranzistora (npr. NILI):
 - paralela MOSFET
~ jedan MOSFET sa *širim kanalom*:
$$t'_p \approx t_p/N,$$
$$C'_{Pul} = N \cdot C_{Pul}$$
 - N ne utječe na t_p
~ *radije NILI*





Disipacija snage

- *statička disipacija snage:*
 - pretpostavka:
sklop je u svakom od stanja 50% vremena

$$P_{st} = U_{napajanja} \cdot \frac{I_{napajanja}^V + I_{napajanja}^N}{2}$$

- ograničenje temperature T u logičkom sklopu
~ ograničena mogućnost odvođenja topline
- ograničenje P_{st} :
 - ograničenje stupnja integracije
 - ograničenje N_R
 - ograničenje smanjivanja t_d
(postoji C_T , a I_i je ograničena!)

Disipacija snage

- *dinamička disipacija snage:*
~ pri prebacivanju stanja!
- model: nabijanje/izbijanje C_T

- nabijanje $C_T \sim i_{C1}$:

$$dW = i_{C1} \cdot U \cdot dt; W = \int dW = U \cdot Q = C_T \cdot U^2$$

$$W_{C_T} = \frac{C_T \cdot U^2}{2} \quad \text{energija u } C_T$$

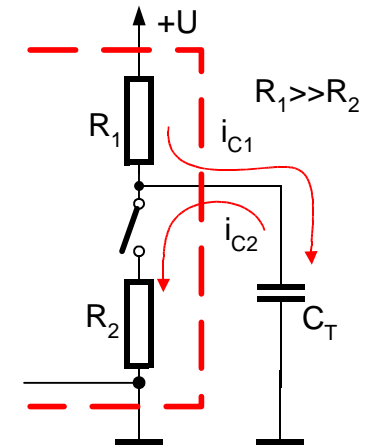
$$W_{R_1} = W_{C_T} = \frac{C_T \cdot U^2}{2} \quad \text{disipirana energija}$$

- izbijanje $C_T \sim i_{C2}$:

$$W_{R_2} = W_{C_T} = \frac{C_T \cdot U^2}{2}$$

- *ukupna* disipirana snaga: f uklj./isklj. [sec^{-1}]

$$W_{\text{disipirano}} = W_{C_T} + W_{R_2} = C \cdot U^2; P_d = f \cdot C \cdot U^2$$





Disipacija snage

Primjer:

$$U_{\text{nap1}} = 5 \text{ V}; \quad f_1 = 100 \text{ MHz}$$

$$U_{\text{nap2}} = 3,3 \text{ V}; \quad f_2 = ? \text{ uz } P_d = \text{const.}$$

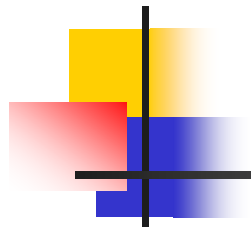
$$P_d = f \cdot C \cdot U^2$$

$$f_1 \cdot C \cdot U_1^2 = f_2 \cdot C \cdot U_2^2$$

$$f_2 = f_1 \cdot \frac{U_1^2}{U_2^2}$$

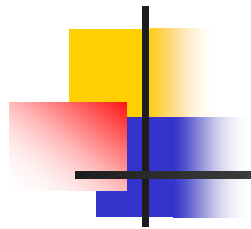
$$f_2 = 230 \text{ MHz}$$

$$U_{\text{nap3}} = 1,1 \text{ V}; \quad f_3 = ? \text{ uz } P_d = \text{const.}$$



Disipacija snage

- *produkt vremena kašnjenja i disipirane snage*
~ mjera dobrote integriranog sklopa
 - usporedba skupina integriranih logičkih sklopova
 - dimenzija $[\text{ns}] \times [\text{mW}] = [\text{pJ}]$
 - manji produkt ~ kvalitetniji integrirani sklopovi



Dinamička svojstva integriranih izvedbi

- kašnjenje (odziva) logičkog sklopa
~ promjena (naponske razine) signala na izlazu
u odnosu na promjenu (naponske razine) signala
na ulazu:
 - vrijeme kašnjenja logičkog sklopa, t_d
~ izvedeni parametar,
iz vremene rasprostiranja
 - vrijeme rasprostiranja signala, t_p
~ za pojedine prijelaze
 - mjeri se za $0,5 \cdot U$, odnosno U_T

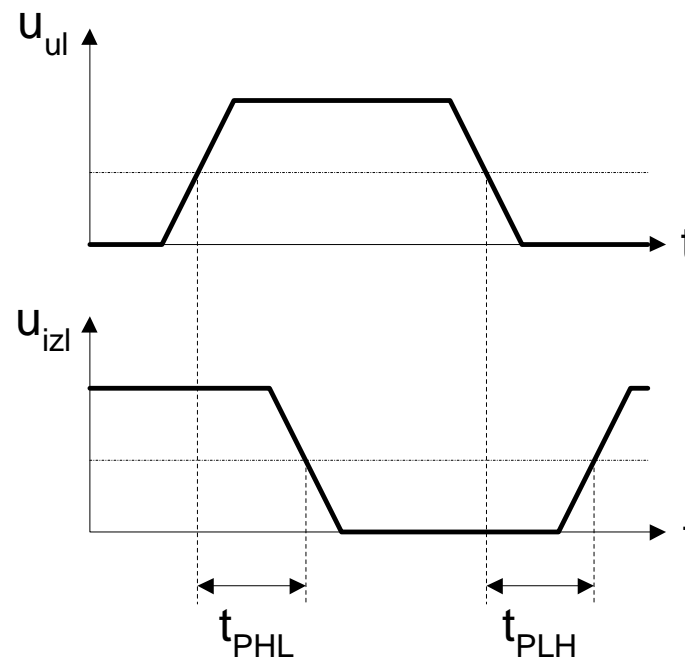
Dinamička svojstva integriranih izvedbi

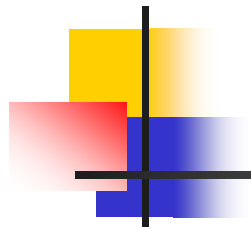
- *vrijeme rasprostiranja* (proleta, propagacije), t_p (engl. propagation time)
~ različito za prijelaz $V \rightarrow N$, odnosno $N \rightarrow V$

$$t_{PHL}(t_{DVN}) \neq t_{PLH}(t_{DNV})$$

- *vrijeme kašnjenja*, t_d :

$$t_d = \frac{t_{PHL} + t_{PLH}}{2}$$





Dinamička svojstva integriranih izvedbi

- vremenski hazard kao posljedica konstrukcije sklopa
~ *funkcijski hazard*:
 - električki i dinamički parametri sklopa
~ kašnjenja stvarnih sklopova
 - konkretni dizajn složenijeg sklopa
~ struktura sklopa izražena
kombinacijom jednostavnijih sklopova
 - sinkronizam ulaza (signala)

Dinamička svojstva integriranih izvedbi

- vrijeme porasta i vrijeme pada signala na izlazu logičkog sklopa
~ utjecaj *izvedbe* izlaznog stupnja:

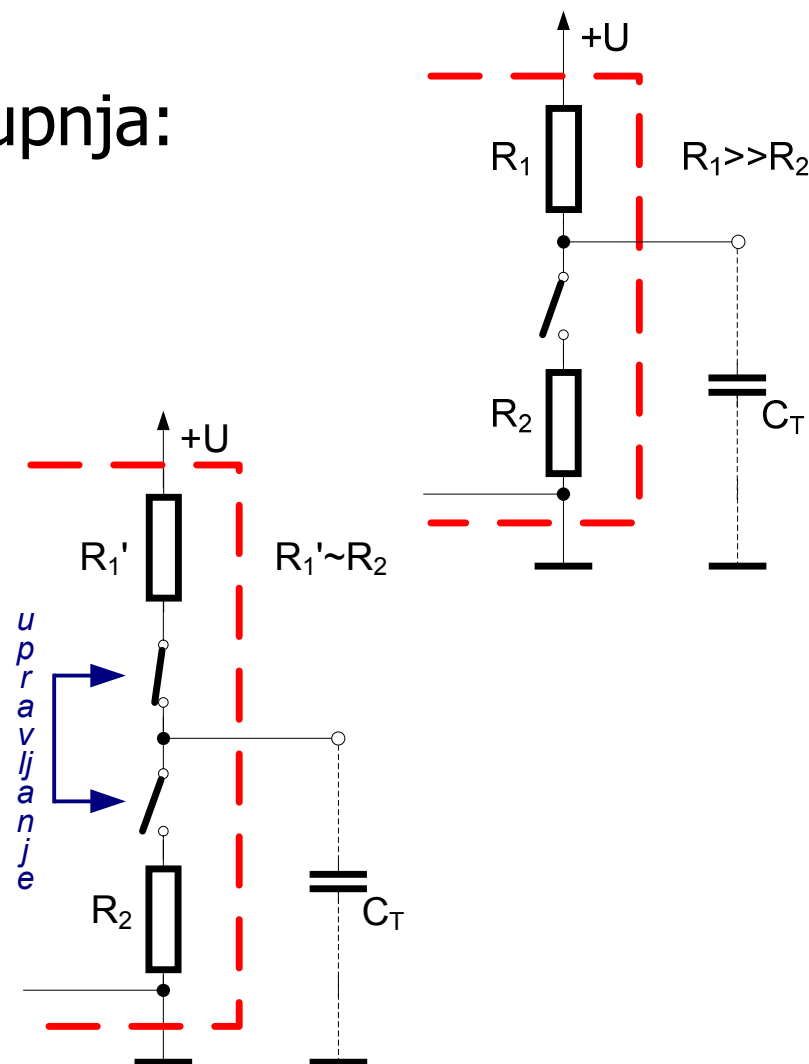
- "pasivno" opterećenje:

$$R_1 \gg R_2 \rightarrow t_f \gg t_r$$

- "aktivno" opterećenje:

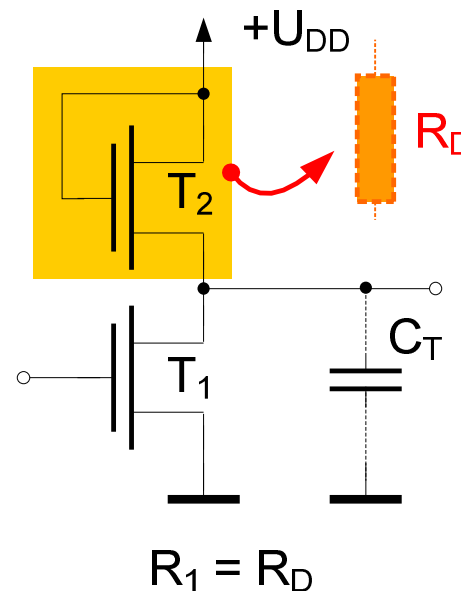
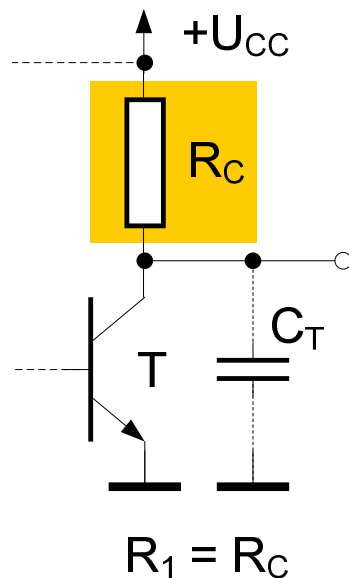
$$R_1' \sim R_2 \rightarrow t_f \sim t_r$$

~ brža izvedba!



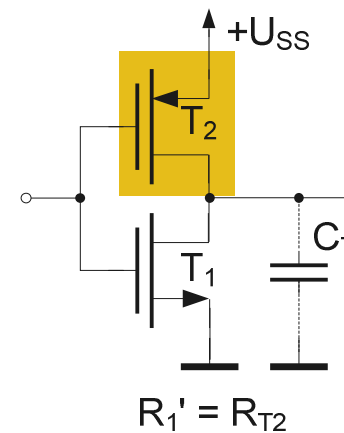
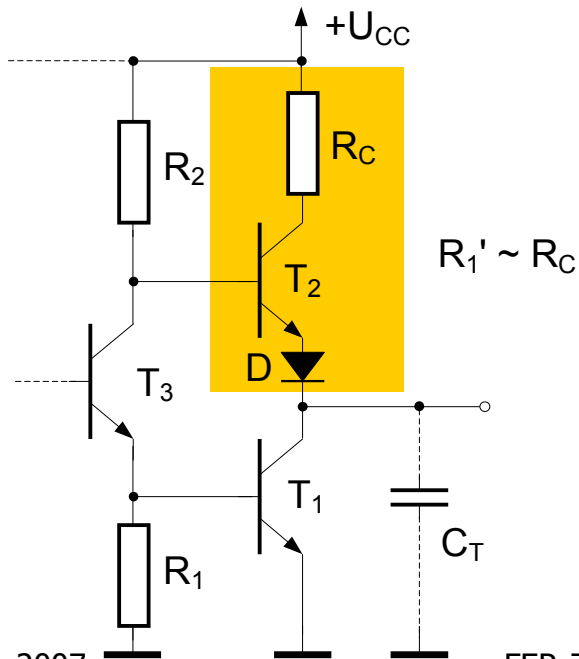
Dinamička svojstva integriranih izvedbi

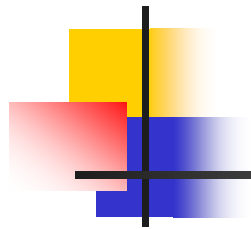
- izvedba izlaznog stupnja "pasivnim" opterećenjem:
 $R_1 \gg R_2 = R_{T\text{zasićenje}} \rightarrow t_f \gg t_r$
 - pritezanje izlaza ka masi
~ "izlazni" tranzistor
 - pritezanje izlaza ka napajanju
~ (pasivni) otpornik



Dinamička svojstva integriranih izvedbi

- izvedba izlaznog stupnja "aktivnim" opterećenjem:
 $R_1' \sim R_2 = R_{T\text{zasićenje}} \rightarrow t_f \sim t_r$
 - pritezanje izlaza ka masi
 \sim "izlazni" tranzistor
 - pritezanje izlaza ka napajanju
 \sim *također* tranzistor (R za ograničavanje I_{AC})





Skupine integriranih logičkih sklopova

- pregled skupina integriranih logičkih sklopova:
 - danas u primjeni:
 - CMOS, već 1960tih
 - TTL, 1962
 - ECL, 1963
 - povijesno zanimljive:
 - RTL, 1961
~ prva skupina!
 - DTL/HTL, 1962
 - NMOS/PMOS, 1970te
 - I²L, 1972

Skupine integriranih logičkih sklopova

- usporedba osnovnih parametara poznatih skupina integriranih logičkih sklopova:

skupina	serija	t_d [ns]	P [mW]		$t_d \cdot P$ [pJ]	N_R	U_{GSmin} [V]
			statička	dinamička (100 kHz)			
RTL		30	10		300	5	0,3
DTL		25	15		375	8	0,9
HTL		100	50		5000	10	7
TTL	74	9	10		90	8	0,4
	74S	3	20		60	10	0,3
	74LS	9,5	2		19	100	0,3
	74AS	1,7	8		13,6	10	0,3
	74ALS	4	1,2		4,8	100	0,4
ECL	10k	3	25		75	10	0,25
	100k	0,75	40		30	10	0,25
I ² L		40	1		40	8	
NMOS		50	0,1		5	50	
CMOS	4000	50	0,001	0,1	5	> 100	1,5
	74C	30	<0,001			> 100	0,6
	74HC	8	0,02	0,17	1,4	> 100	0,9