



9. Bistabil (2)



Sadržaj predavanja

- **tipovi bistabila**
 - **SR bistabil**
 - **JK bistabil**
 - **T bistabil**
 - **D bistabil**
- poboljšanje upravljanja
- karakteristični dinamički parametri



Tipovi bistabila

- *tipovi* bistabila:
 - SR bistabil
~ osnovna funkcionalnost
 - JK bistabil
~ proširena funkcionalnost:
"univerzalni" bistabil
 - T bistabil
~ (samo) promjena stanja
 - D bistabil
~ (samo) pamćenje 1 bita informacije

Tipovi bistabila

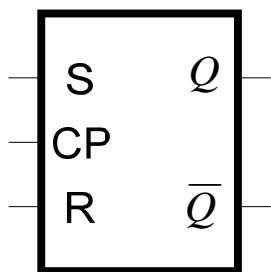
- *formalizmi* definicije bistabila:
 - tablica (promjene) stanja
 - jednađba (promjene) stanja, karakteristična jednađba

$$Q^{n+1} = f(ulazi, Q^n)$$

- uzbudna tablica:
ulazi = f(promjena_stanja)
- dijagram stanja
~ *grafički* prikaz tablice stanja
 - čvor \equiv stanje
 - strelica \equiv prijelaz

Tipovi bistabila

- SR bistabil* (rekapitulacija):



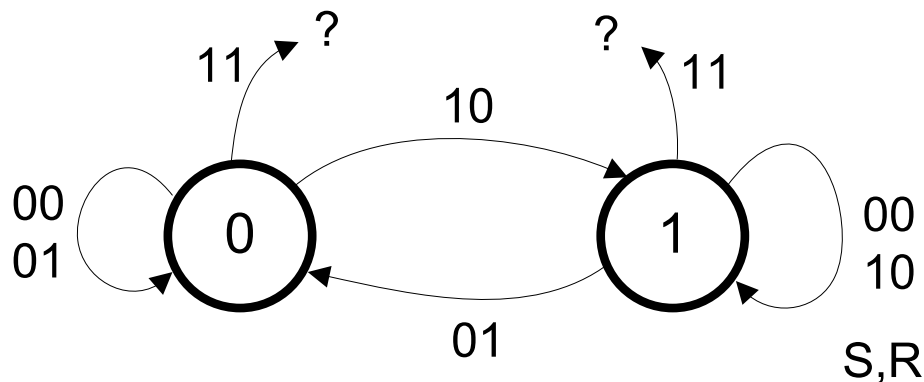
S	R	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	X

		Q^{n+1}				SR
		00	01	11	10	
Q^n	0			x	1	
	1	1		x	1	

$$Q^{n+1} = S + \bar{R} \cdot Q^n$$

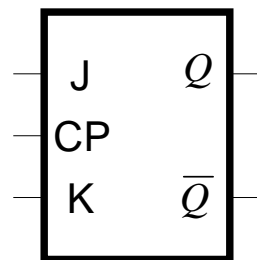
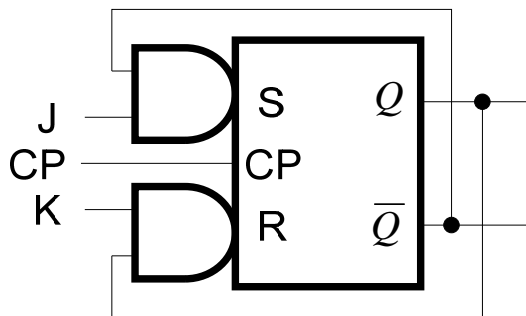
$$S \cdot R = 0$$

Q^n	Q^{n+1}	S	R
0	0	0	x
0	1	1	0
1	0	0	1
1	1	x	0



Tipovi bistabila

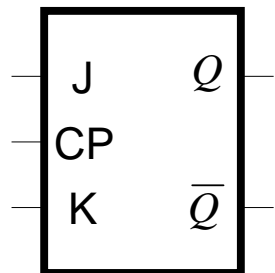
- *JK bistabil*:
 - ~ posebna povratna veza na SR bistabil:
propuštanje "vanjskih" ulaza
tako da *nema* zabranjene kombinacije ulaza:
 - $JK = 11$
 - ~ bistabil *mijenja stanje* (engl. toggle)
 - JK bistabil
 - ~ neka vrsta "univerzalnog" bistabila



J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

Tipovi bistabila

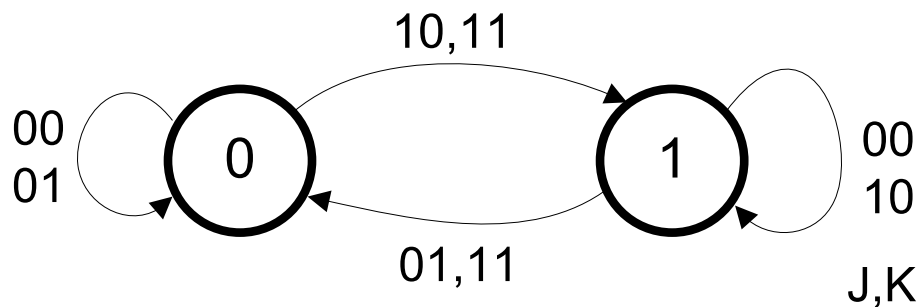
- JK bistabil:
 $\sim JK = 11 \rightarrow$ bistabil *mijenja stanje*



J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

		JK			
		00	01	11	10
Q^n	0			1	1
	1	1			1

$$Q^{n+1} = J \cdot \overline{Q}^n + \overline{K} \cdot Q^n$$



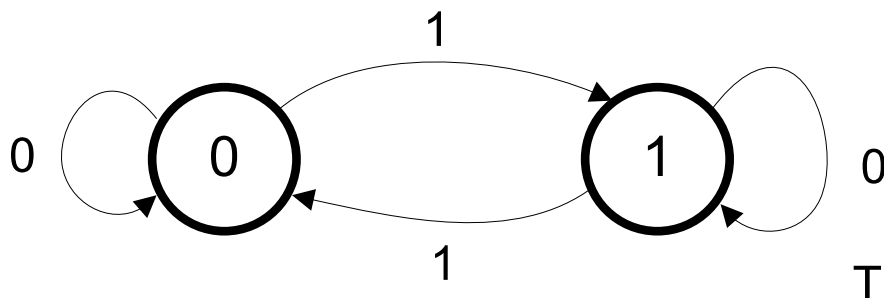
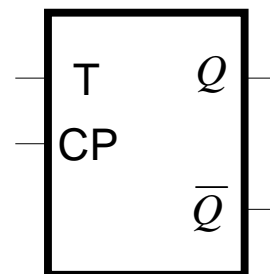
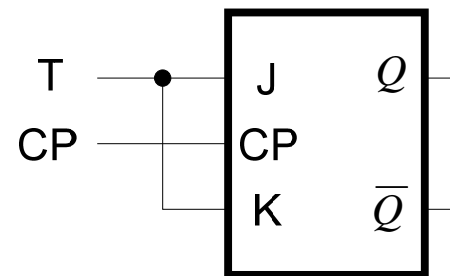
Q^n	Q^{n+1}	J	K
0	0	0	x
0	1	1	x
1	0	x	1
1	1	x	0

Tipovi bistabila

- *T bistabil*

~ samo mijenja stanje (engl. toggle)

- tipična primjena
~ brojanje impulsa (\rightarrow *brojila*)
- jednostavno se dobiva iz JK bistabila



J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	\bar{Q}^n

T	Q^{n+1}
0	Q^n
1	\bar{Q}^n

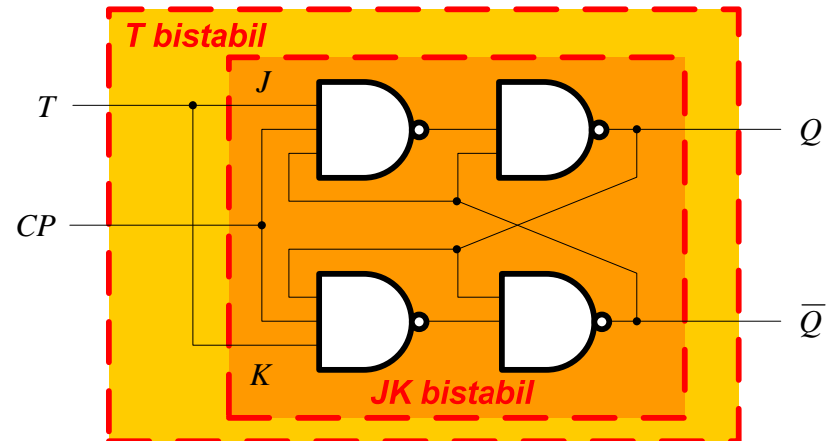
$$Q^{n+1} = T \cdot \bar{Q}^n + \bar{T} \cdot Q^n$$

Q^n	Q^{n+1}	T
0	0	0
0	1	1
1	0	1
1	1	0

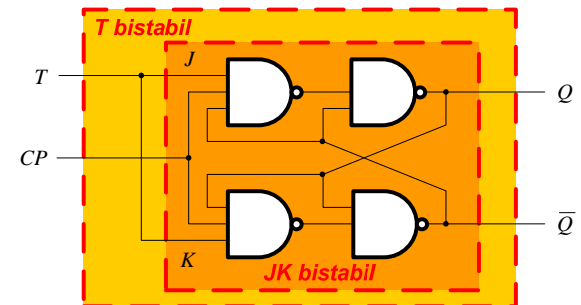
Tipovi bistabila

- VHDL model T bistabila
 - izlazni signali se koriste kao ulazni
~ povratna veza: dvosmjerni signali (tip INOUT)

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;  
ENTITY Tbistabil IS PORT (  
    T, CP: IN std_logic;  
    Q, Qn: INOUT std_logic);  
END Tbistabil;
```



Tipovi bistabila

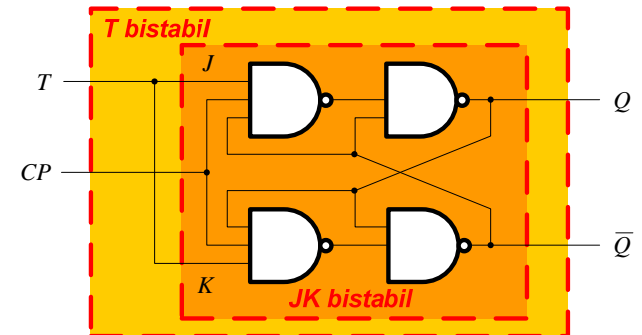


```
ARCHITECTURE Structural OF Tbistabil IS
  COMPONENT NI3
    PORT (i1, i2, i3: IN std_logic; y: OUT std_logic);
  END COMPONENT;
  SIGNAL JCPQn, KCPQ: std_logic; -- izlazi prvog reda NI sklopova
  SIGNAL J, K: std_logic;
BEGIN
  J <= T; K <= T;
  c1: NI3 PORT MAP(J, CP, Qn, JCPQn);
  c2: NI3 PORT MAP(K, CP, Q, KCPQ);
  c3: NI3 PORT MAP(JCPQn, JCPQn, Qn, Q);
  c4: NI3 PORT MAP(KCPQ, KCPQ, Q, Qn);
END Structural;
```

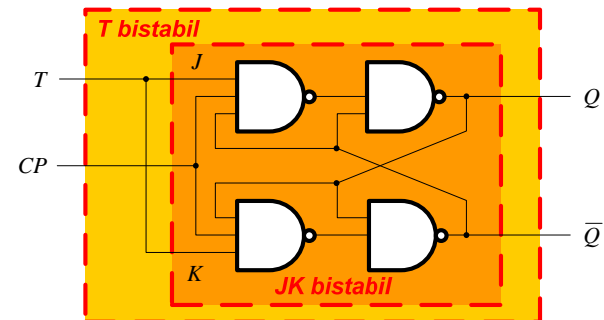
Tipovi bistabila

- izlazni signali su tipa OUT
~ povratna veza ostvarena unutarnjim signalima
Qint, Qnint: std_logic

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;  
ENTITY Tbistabil IS PORT (  
    T, CP: IN std_logic;  
    Q, Qn: OUT std_logic);  
END Tbistabil;
```



Tipovi bistabila



ARCHITECTURE Structural **OF** Tbistabil **IS**

COMPONENT NI3

PORT (i1, i2, i3: **IN** std_logic; y: **OUT** std_logic);

END COMPONENT;

SIGNAL JCPQn, KCPQ: std_logic; -- izlazi prvog reda NI sklopova

SIGNAL J, K: std_logic;

SIGNAL Qint, Qnint: std_logic; -- interni izlazi bistabila

BEGIN

-- modeliranje samog bistabila

J <= T; K <= T;

c1: NI3 PORT MAP(J, CP, Qnint, JCPQn);

c2: NI3 PORT MAP(K, CP, Qint, KCPQ);

c3: NI3 PORT MAP(JCPQn, JCPQn, Qnint, Qint);

c4: NI3 PORT MAP(KCPQ, KCPQ, Qint, Qnint);

-- preslikavanje internih izlaza na izlaze sklopa

Q <= Qint;

Qn <= Qnint;

END Structural;

Tipovi bistabila

- modeliranje *jednadžbama promjene stanja* (izlazi tipa INOUT ostvaruju povratnu vezu \sim *stanje!*)

```
library IEEE;  
use IEEE.STD_LOGIC_1164.ALL;
```

```
ENTITY Tbistabil IS PORT (  
    T, CP: IN std_logic;  
    Q, Qn: INOUT std_logic);  
END Tbistabil;
```

```
ARCHITECTURE Behavioral OF Tbistabil IS  
BEGIN
```

```
    PROCESS (T,CP)
```

```
    BEGIN
```

```
        IF CP='1' THEN
```

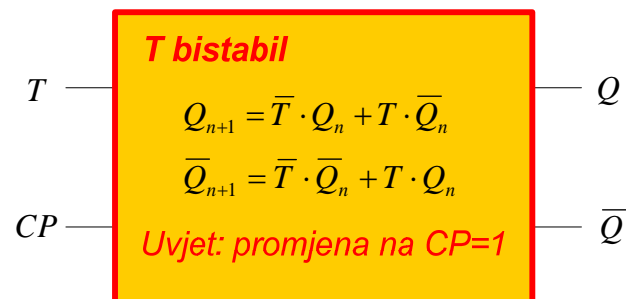
```
            Q <= (NOT T AND Q) OR (T AND NOT Q) AFTER 15 ns;
```

```
            Qn <= (NOT T AND NOT Q) OR (T AND Q) AFTER 15 ns;
```

```
        END IF;
```

```
    END PROCESS;
```

```
END Behavioral;
```



Tipovi bistabila

- modeliranje stanja korištenjem *variable*

```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

ENTITY Tbistabil IS PORT (
    T, CP: IN std_logic;
    Q, Qn: OUT std_logic);
END Tbistabil;

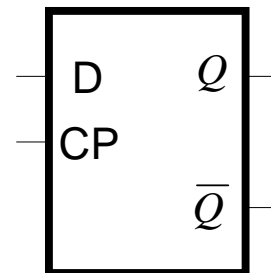
ARCHITECTURE Behavioral OF Tbistabil IS
BEGIN
    PROCESS (T,CP)
        VARIABLE stanje: std_logic;
    BEGIN
        IF CP='1' THEN
            stanje := (NOT T AND stanje) OR (T AND NOT stanje);
        END IF;
        Q <= stanje AFTER 15 ns;
        Qn <= NOT stanje AFTER 15 ns;
    END PROCESS;
END Behavioral;
```

Tipovi bistabila

- *D bistabil*

~ kasni (engl. delay) za 1 x CP

- "pamti" podatak narinut na ulazu
- primjena: *pohranjivanje* podataka (\rightarrow *registri*)

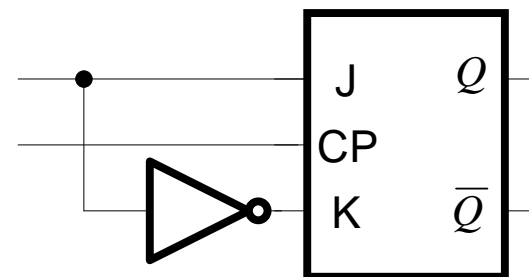
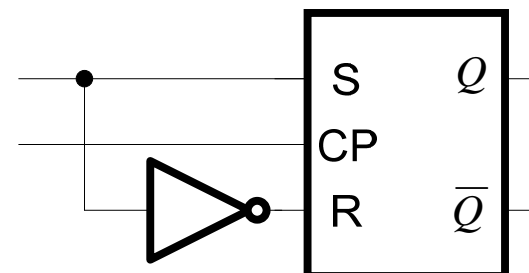
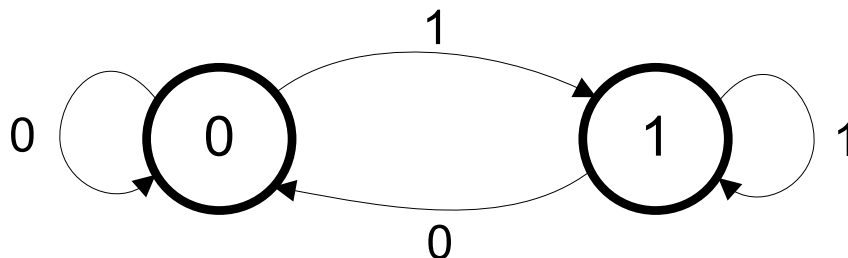


J	K	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	$\overline{Q^n}$

D	Q^{n+1}
0	0
1	1

Q^n	Q^{n+1}	D
0	0	0
0	1	1
1	0	0
1	1	1

$$Q^{n+1} = D^n$$

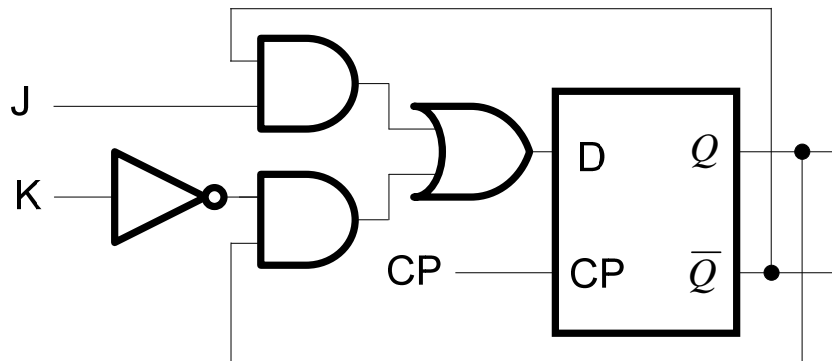


Tipovi bistabila

Primjer: JK bistabil ostvaren D bistabilom

- "logika" u dodatni kombinacijski sklop na ulazu D
- povratna veza s Q i \bar{Q}
- D bistabil: $Q^{n+1} = D^n \Rightarrow D^n = Q^{n+1}$

$$Q^{n+1} = J \cdot \bar{Q}^n + \bar{K} \cdot Q^n = D^n$$

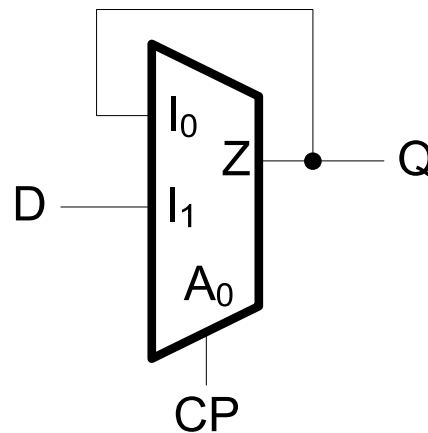


Tipovi bistabila

Primjer: izvedba bistabila multipleksorom

- "zabavljanje" podatka u multipleksoru
~ povratna veza s izlaza *na jedan* od ulaza
- drugi ulaz za vanjski podatak
- adresni ulaz za impuls takta
~ upravljanje razinom CP
CP = 1 upis podatka

$A_0 = CP$	$Z = Q^{n+1}$
0	$I_0 = Q^n$
1	$I_1 = D$





Sadržaj predavanja

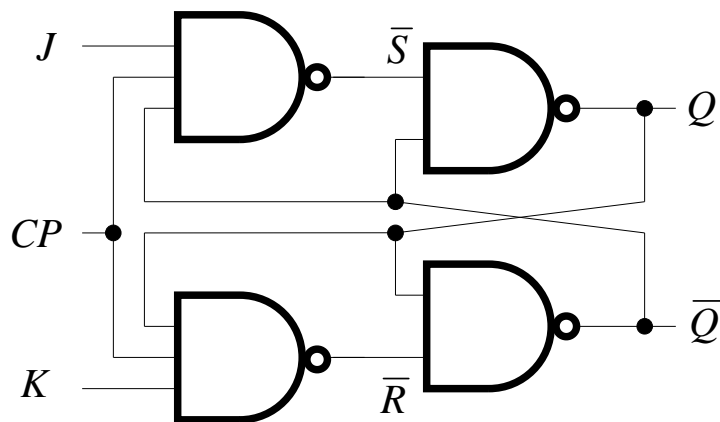
- tipovi bistabila
- **poboljšanje upravljanja**
 - **dvostruki bistabil**
 - **bridom upravljani bistabil**
- karakteristični dinamički parametri

Poboljšanje upravljanja

- rekapitulacija problema vezanih za *upravljanje bistabila*: \sim za $CP = 1$ sinkroni se bistabil ponaša kao "asinkroni"
 - transparentnost za ulaze:
 - stanje nakon prestanka CP ?
 - kaskadirani bistabili
 - \sim eventualne promjene stanja *nisu* ograničene na pobudu susjednih bistabila: *neispravni rad!*
 - posebno JK bistabil
 - \sim *osciliranje izlaza*
 - rješenje
 - \sim *djelovati na CP*:
 - poboljšanje upravljanja razinom CP
 - upravljanje bistabila bridom CP

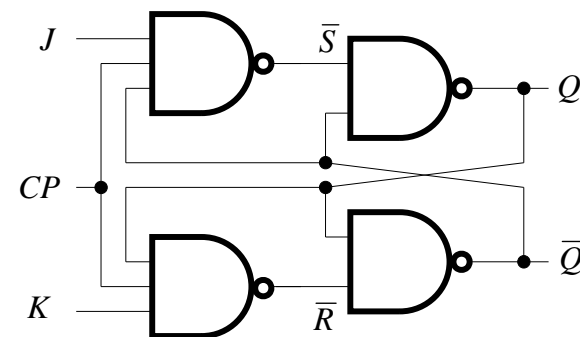
Poboljšanje upravljanja

- izvedba JK bistabila sklopovima NI
~ povratna veza na ulaznu mrežu za upravljanje
 - intuitivni (i naivni!) pristup
~ problemi kad $CP = 1$ "traje predugo"

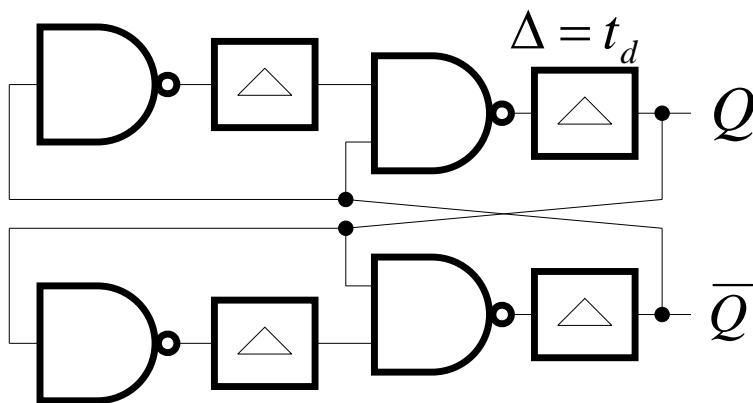


Poboljšanje upravljanja

- JK bistabil izveden sklopovima NI
~ "predugo trajanje" $CP = 1$
 - $CP = 1$ & $JK = 11$
 - promjena stanja $Q \forall 2 \cdot t_d$
 - *osciliranje* (stanja) izlaza:
"utrka" (engl. race-around condition)

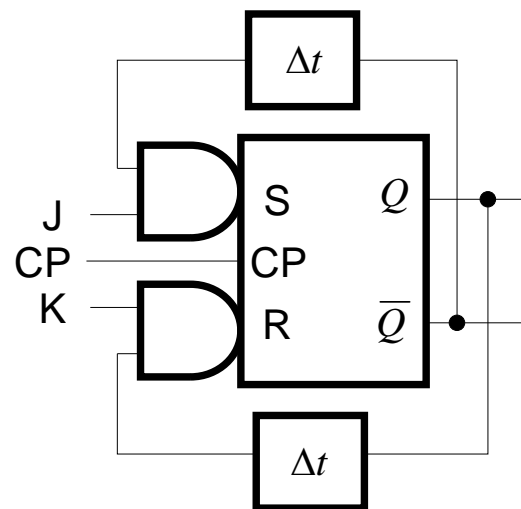


$$J \cdot K \cdot CP = 1$$



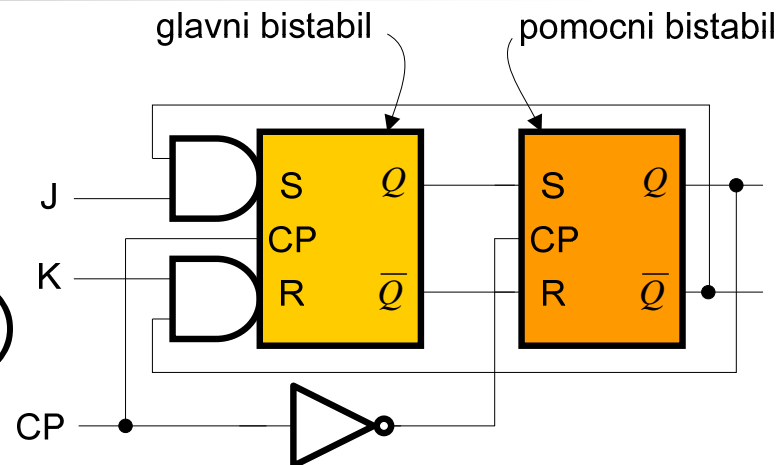
Poboljšanje upravljanja

- *osciliranje izlaza* JK bistabila izvedenog sklopovima NI ~ dva suprotstavljena zahtjeva
 - CP "dovoljno dug" da bistabil promijeni stanje
 - CP "dovoljno kratak" da bistabil ne zaoscilira
 - moguća rješenja:
 - odgovarajuća kašnjenja u petlje povratne veze
 - *poboljšati upravljanje* djelovanjem na CP



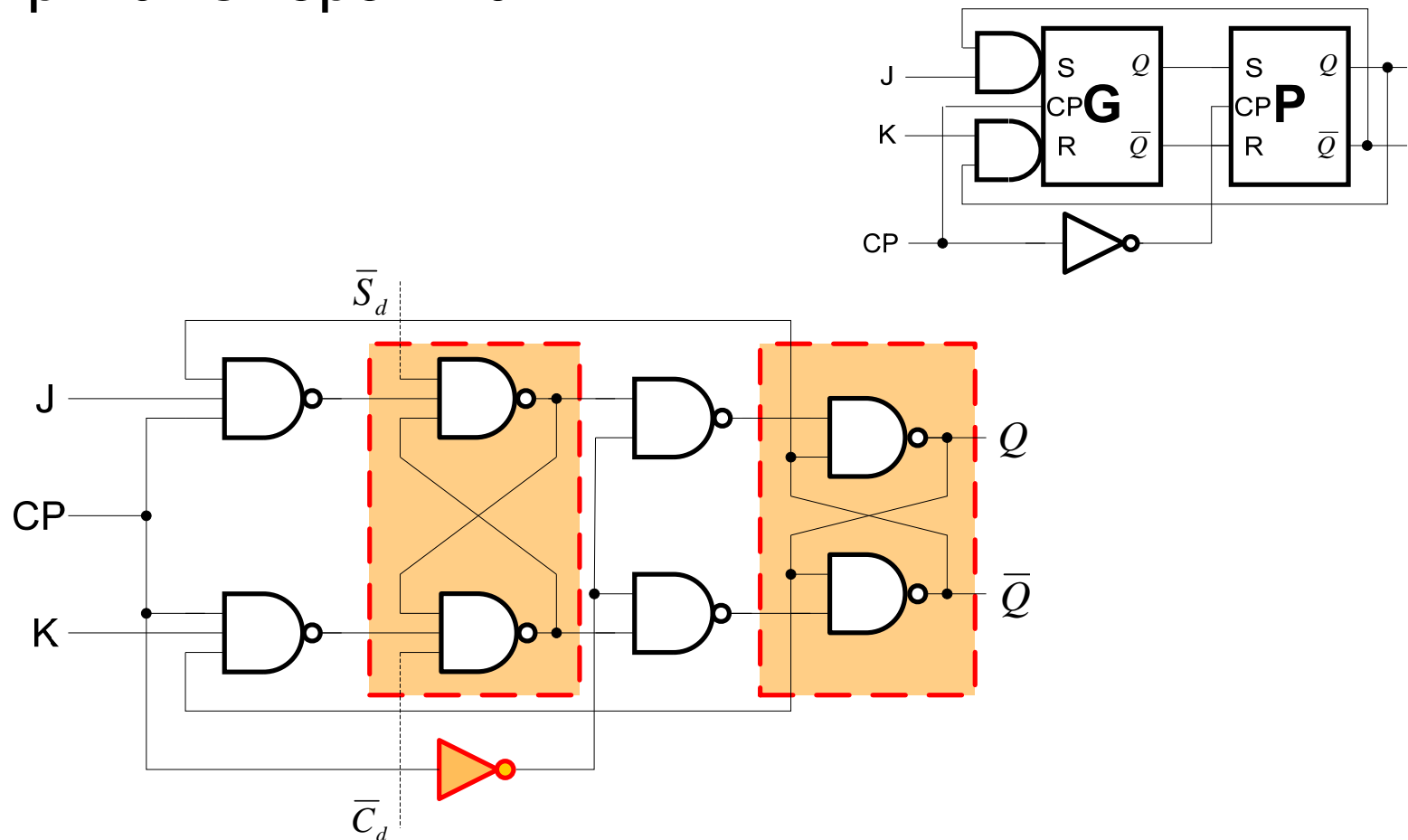
Poboljšanje upravljanja

- *upravljanje razinom CP*
~ koristiti *dva* bistabila:
"dvostruki" bistabil
(engl. master-slave flip-flop)
- princip rada:
 - CP nije aktivan
~ glavni i pomoćni bistabil povezani
 - CP aktivan
~ u glavni bistabil se upisuje novi sadržaj
 - CP ponovno neaktivan
~ sadržaj glavnog se prenosi u pomoćni bistabil
= stanje na izlazima bistabila



Poboljšanje upravljanja

- *dvostruki bistabil* (engl. master-slave flip-flop)
~ prikaz sklopovima NI



Poboljšanje upravljanja

- objašnjenje rada dvostrukog bistabila:

t_1 : CP izlazi iz područja 0

~ prekid veze G i P

t_2 : CP ulazi u područje 1

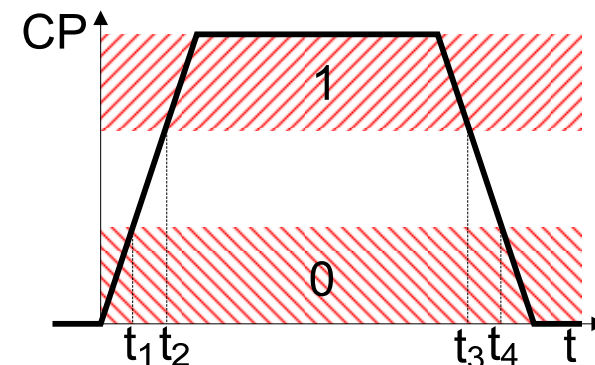
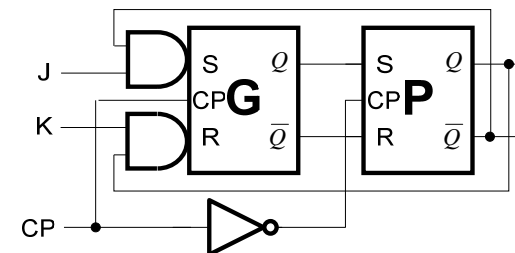
~ uspostavljanje veze ulaza i G,
upis podataka u G

t_3 : CP izlazi iz područja 1

~ prekid veze ulaza i G

t_4 : CP ulazi u područje 0

~ uspostavljanje veze G i P,
upis podatka iz G u P



- stvarno onemogućeno osciliranje

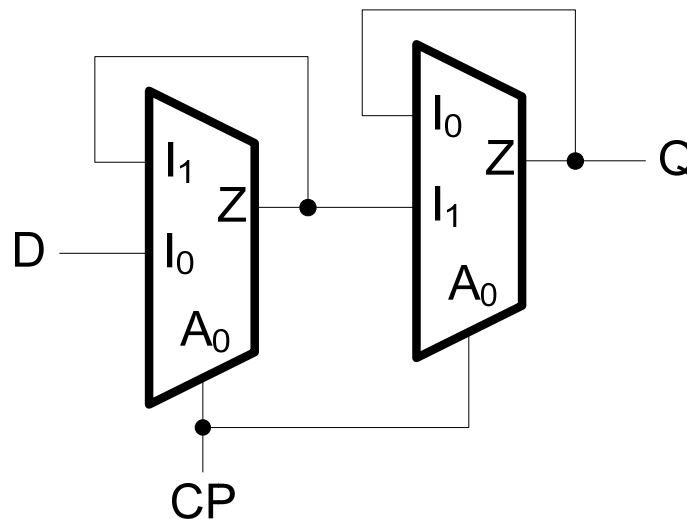
Poboljšanje upravljanja

Primjer: izvedba dvostrukog bistabila multipleksorom

- po jedan multipleksor za svaki komponentni bistabil
- komplementarni CP
~ odabir ulaza u multipleksore
- funkcionalnost dvostrukog bistabila

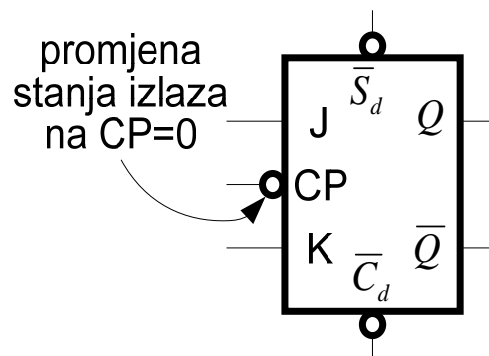
CP = 0 : podatak zapamćen
u izlaznom MUX;
veza ulaza D
i ulaznog MUX

CP = 1 : podatak zapamćen
u ulaznom MUX;
veza ulaznog
i izlaznog MUX



Poboljšanje upravljanja

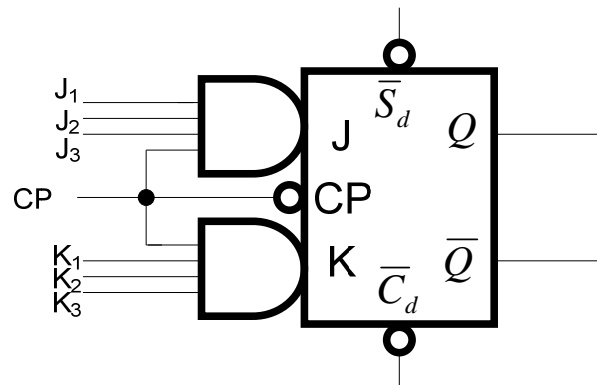
- blok-simbol dvostrukog bistabila:



- komentar izvedbe:
 - *dva* bistabila umjesto jednog!
 - brzina rada je *manja*
 - sklop i dalje osjetljiv na promjene ulaza (\rightarrow hazard) za vrijeme $CP = 1$
 - potrebno ograničiti mogućnost upisa

Poboljšanje upravljanja

- vrlo popularna SSI izvedba (mahom TTL, CMOS):
- sinkroni ulazi
~ sklopovi I:
olakšanje izgradnje složenijih sklopova
- primjer
~ *dvostruki* JK bistabil 7472 (TTL, serija 74)

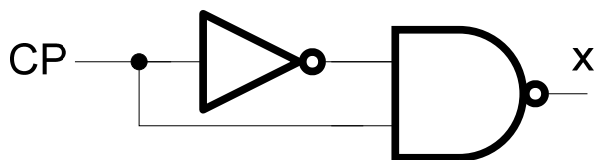


Poboljšanje upravljanja

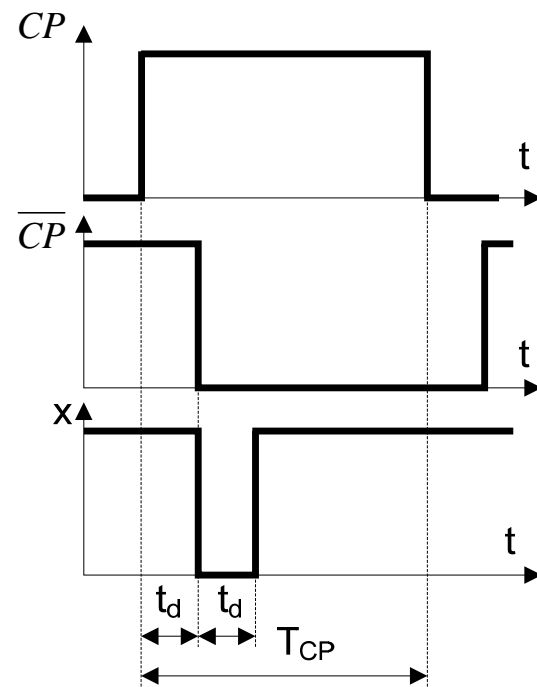
- *upravljanje bridom CP*
~ *bridom okidani bistabil*
(engl. edge-triggered flip-flop)
 - eliminiranje transparentnosti za trajanja impulsa CP
 - osnovna ideja:
~ na *jedan* od bridova impulsa CP generirati *kratki* impuls koji će propustiti ulaze
 - *više* mogućih izvedbi:
 - kašnjenje u logičkim sklopovima
 - kombiniranje *više* osnovnih bistabila

Poboljšanje upravljanja

- izvedba bridom okidanog bistabila korištenjem *kašnjenja u logičkim sklopovima* (\sim hazard):

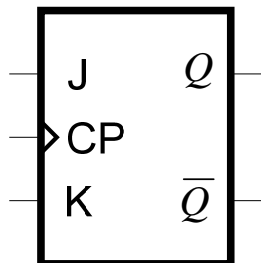


- na *rastući* brid impulsa CP generiranje impulsa trajanja t_d
- ispravni rad mreže $\sim 2 \cdot n + 1$ invertora:
 $(2 \cdot n + 1) \cdot t_d$

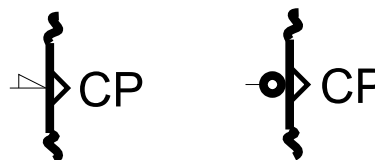


Poboljšanje upravljanja

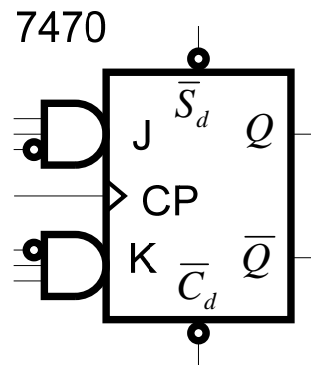
- blok-simbol:



- okidanje negativnim bridom:



- primjer
~ bridom okidani JK bistabil
7470 (TTL, serija 74)

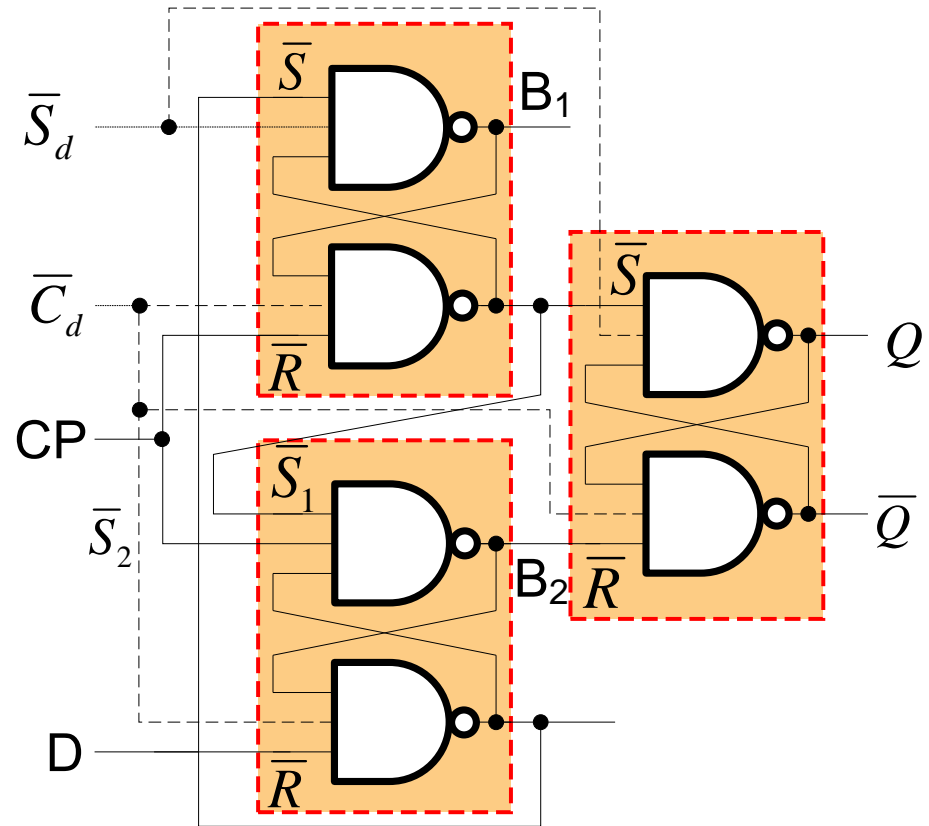
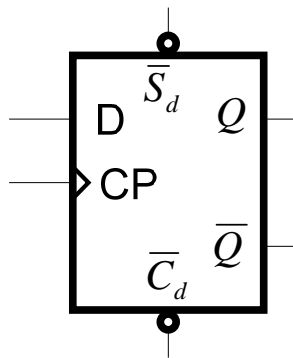


Poboljšanje upravljanja

- *bridom okidani bistabil*
izveden *kombiniranjem* osnovnih bistabila:

- karakteristična
izvedba D bistabila:

- blok-simbol:

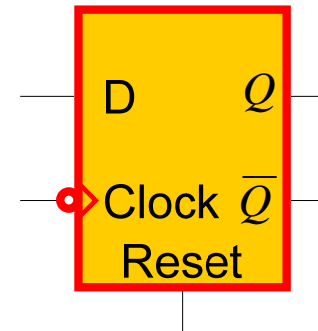


Poboljšanje upravljanja

Primjer: VHDL model bridom upravljano D-bistabila
(padajući brid signala takta),
sa sinkronim ulazom za brisanje

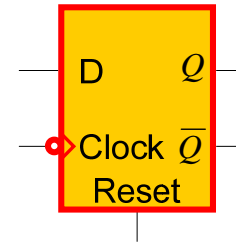
```
library IEEE;
use IEEE.STD_LOGIC_1164.ALL;

ENTITY Dbistabil IS PORT (
    D, Reset: IN std_logic;
    Q, Qn: OUT std_logic;
    Clock: IN std_logic
);
END Dbistabil;
```



Poboljšanje upravljanja

```
ARCHITECTURE Behavioral OF Dbistabil IS
BEGIN
  PROCESS(Clock)
    VARIABLE Qint: std_logic;
  BEGIN
    IF falling_edge(Clock) THEN
      IF Reset = '1' THEN
        Qint := '0';
      ELSE
        Qint := D;
      END IF;
    END IF;
    Q <= Qint AFTER 5 ns;
    Qn <= NOT Qint AFTER 5 ns;
  END PROCESS;
END BEHAVIORAL;
```





Sadržaj predavanja

- tipovi bistabila
- poboljšanje upravljanja
- **karakteristični dinamički parametri**

Karakteristični dinamički parametri

- *maksimalna frekvencija*, f_{\max} :
~ *najveća* frekvencija CP,
a da bistabil *sigurno* mijenja stanje
kad to ulazi zahtijevaju
- *vrijeme kašnjenja*, t_d :
~ interval od djelotvorne promjene na ulazu
(asinkrono: S_d , C_d ; sinkrono: CP)
do promjene na izlazu

češće: *vrijeme proleta (propagacije)*
~ posebno za $0 \rightarrow 1$, odnosno $1 \rightarrow 0$

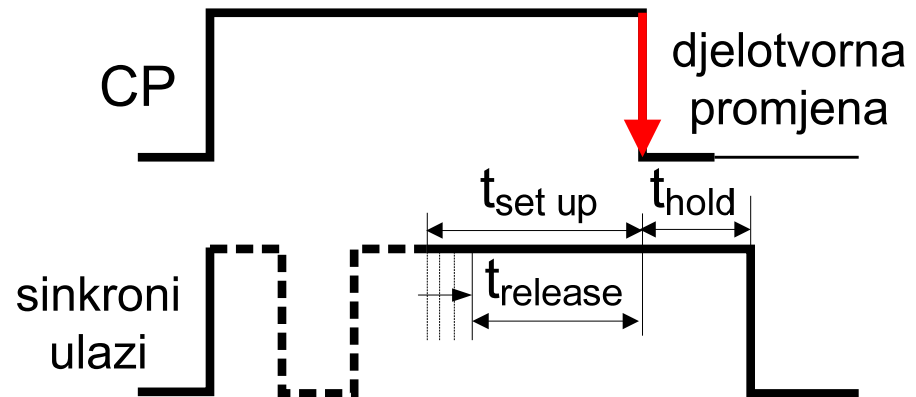
Karakteristični dinamički parametri

- *vrijeme postavljanja*, $t_{\text{set up}}$
~ *minimalno* vrijeme održavanja podatka na *sinkronim* ulazima *prije* djelotvorne promjene CP (dvostruki bistabil: prekid veze ulaz-glavni bistabil), a da bistabil *sigurno* prihvati podatak
- *vrijeme otpuštanja (oslobađanja)*, t_{release} (analogno $t_{\text{set up}}$)
~ *maksimalno* vrijeme održavanja podatka na *sinkronim* ulazima, a da ga bistabil sigurno *ne* prihvati
- *vrijeme pridržavanja*, t_{hold}
~ *minimalno* vrijeme održavanja podatka na sinkronim ulazima *nakon* djelotvorne promjene CP; potrebno kod nekih izvedbi bistabila

Karakteristični dinamički parametri

- definicija

$t_{\text{set up}}$, t_{release} , t_{hold} :



- tipični parametri za TTL bistabile serije 74 (t_{PLH} i t_{PHL} za sinkrone ulaze)

	bridom okidani	dvostruki
	7474	7472
f_{max} [MHz]	25	20
t_{PLH} [ns]	14	16
t_{PHL} [ns]	20	25
$t_{\text{set up}}$ [ns]	20	0
t_{hold} [ns]	5	0

U. Peruško, V. Glavinić: *Digitalni sustavi*, Poglavlje 5: Bistabil.

- tipovi bistabila: str. 179-189
- poboljšanje upravljanja: str. 189-195
- karakteristični dinamički parametri: str. 195-196



Zadaci za vježbu (1)

U. Peruško, V. Glavinić: *Digitalni sustavi*, Poglavlje 7:
Standardni kombinacijski moduli.

- tipovi bistabila: 5.1-5.4, 5.7
- poboljšanje upravljanja: 5.5, 5.6



Zadaci za vježbu (2)

M. Čupić: *Digitalna elektronika i digitalna logika. Zbirka riješenih zadataka*, Cjelina 6: Standardni programirajući moduli.

- tipovi bistabila:
 - riješeni zadaci: 7.1-7.6
 - zadaci za vježbu: 1-3
- poboljšanje upravljanja:
 - riješeni zadaci: 7.7