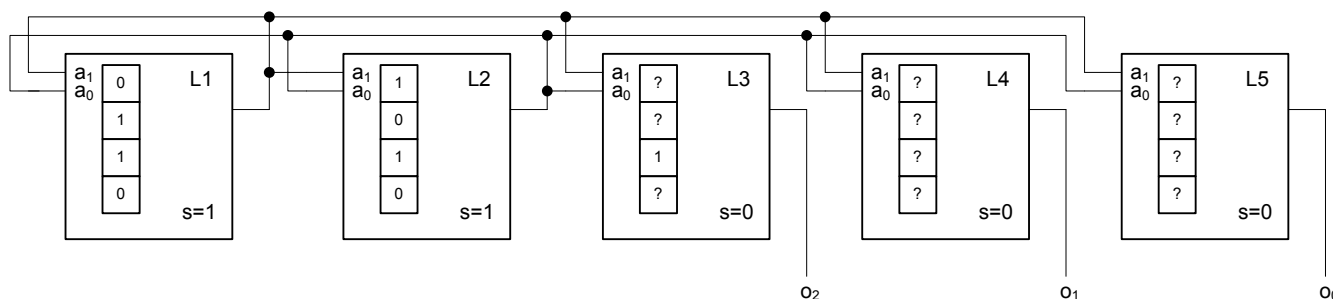


11.	<p>Multiplexorom 4/1 potrebno je ostvariti funkciju $f(A,B,C,D) = \sum m(1,2,7,9,10,11,12,13,15)$. Ako na adresni ulaz a_1 dovedemo A, a na a_0 dovedemo B, što je potrebno dovesti na podatkovni ulaz d_1?</p> <p>a) $\bar{C} + D$ b) $C \oplus D$ c) $C \cdot D$ d) $C + D$ e) $C + \bar{D}$ f) ništa od navedenog</p>
12.	<p>Što od navedenoga vrijedi za sljedeći blok process?</p> <pre> process(z) begin if z='0' then a<=b; else a<=not b; end if; end process; </pre> <p>a) lista osjetljivosti sadrži 3 signala b) opis predstavlja kombinajski sklop c) opis predstavlja sekvencijski sklop d) promjenom signala b simulator će pokrenuti obradu bloka process e) signal b je izlazni signal (OUT) f) ništa od navedenog</p>
13.	<p>Ostvarite automat sa slike uporabom minimalnog broja bistabila JK. S_i u kružiću predstavlja oznaku stanja, a $[xy]$ predstavlja izlaze. Ulaz je U. Neka stanje S_i bude kodirano binarnom reprezentacijom broja i. Minimalni oblik funkcije ulaza K_1 glasi:</p> <p>a) $\bar{Q}_0 U + Q_0 \bar{U}$ b) U c) $\bar{Q}_1 + U$ d) $\bar{Q}_0 \bar{U} + Q_0 U$ e) $Q_0 \bar{U} + \bar{Q}_1$ f) ništa od navedenog</p>
14.	<p>Automat iz prethodnog zadatka nalazi se u stanju S_2. Na ulaz se potom dovodi slijed 0, 1, 0. Na izlazima automata ćemo očitati:</p> <p>a) 01,11,01,00 b) 01,11,01,01 c) 01,01,00,01 d) 01,11,11,01 e) 01,11,01,11 f) ništa od navedenog</p>
15.	<p>Sinkroni sekvencijski sklop izgrađen je od dva bistabila: B_1 je bistabil tipa T, a B_0 je bistabil tipa D. Oba bistabila imaju jednake parametre: $t_{db}=30\text{ns}$, $t_{setup}=20\text{ns}$, $t_{hold}=10\text{ns}$. Bistabili su spojeni na sljedeći način: $T_1 = Q_0$, $D_0 = \bar{Q}_1$. Označimo s f_{max} maksimalnu frekvenciju rada ovog sklopa. Vrijedi:</p> <p>a) $f_{max}=20\text{MHz}$, sklop nema siguran start d) $f_{max}=40\text{MHz}$, sklop ima siguran start b) $f_{max}=20\text{MHz}$, sklop ima siguran start e) $f_{max}=40\text{MHz}$, sklop nema siguran start c) $f_{max}=50\text{MHz}$, sklop ima siguran start f) ništa od navedenog</p>
16.	<p>Uporabom bistabila JK potrebno je ostvariti bistabil čija je jednačba promjene stanja $Q_{n+1} = A \cdot Q_n + B$. Što se dovodi na ulaz K?</p> <p>a) $\bar{A} \cdot B$ b) $A \cdot \bar{B}$ c) $Q_n \cdot B$ d) $A \cdot B$ e) $\bar{A} \cdot \bar{B}$ f) ništa od navedenog</p>
17.	<p>Dva digitalna sustava razmjenjuju poruke koristeći sljedeći zaštitni kod {0000000000, 0101010101, 1111111111}. Koliko pogrešaka taj kod može ispraviti?</p> <p>a) 0 b) 2 c) 3 d) 1 e) 4 f) ništa od navedenog</p>

- | | |
|-----|--|
| 18. | <p>Uporabom logičkih blokova (CLB) sklopa FPGA potrebno je ostvariti sklop koji na izlazima ciklički generira slijed 3, 2, 7, 1. CLB-ovi su temeljeni na dvoulaznom LUT-u, D bistabilu i multipleksoru čiji je adresni ulaz označen sa s. Kada je $s=0$, na izlaz CLB-a propušta se izlaz LUT-a, dok se za $s=1$ na izlaz CLB-a propušta izlaz bistabila. Djelomično programiranje sklopa već je napravljeno. Što treba upisati u LUT CLB-a označenog s L5?</p> |
|-----|--|



- a) 1101 b) 0111 c) 1011 d) 0011 e) 1110 f) ništa od navedenog

- | | |
|-----|---|
| 19. | Projektirajte sklop koji na ulaz $n_3n_2n_1n_0$ dobiva 4-bitni podatak, a na izlazu daje 1 ako je taj podatak valjana znamenka kôda BCD. Minimalni oblik funkcije izlaza glasi: |
|-----|---|

- a) $n_3 \bar{n}_2 + \bar{n}_3 n_2 + \bar{n}_3 n_1 n_0 + n_3 \bar{n}_1 \bar{n}_0$
b) $\bar{n}_3 + \bar{n}_2 n_0$
c) $n_3 \bar{n}_0 + \bar{n}_3 n_2 + \bar{n}_3 n_1 n_0 + n_3 \bar{n}_1 \bar{n}_0 + n_2$
d) $\bar{n}_3 + \bar{n}_2 \bar{n}_1$
e) $n_3 \bar{n}_0 + \bar{n}_3 n_2 + \bar{n}_3 n_1 n_0 + n_3 \bar{n}_1 \bar{n}_0$
f) ništa od navedenog

- | | |
|-----|---|
| 20. | U nastavku je prikazan VHDL opis izvedbe osnovnog SR bistabila uporabom dva sklopa NILI. Što nedostaje u označenom retku? |
|-----|---|

```

ENTITY sr IS PORT (
    s, r: IN std_logic;
    q, qn: OUT std_logic);
END sr;

ARCHITECTURE str OF sr IS
    SIGNAL Qint, Qnint: std_logic;
    COMPONENT nili IS PORT (
        a, b: IN std_logic;
        y: OUT std_logic);
    END COMPONENT;
BEGIN

    q <= qint;
    qn <= qnint;
    s1: nili PORT MAP (s, qint, qnint);
    s2:

```

```
END str;
```

- a) nili PORT MAP (r, qnint, qint);
b) nili PORT MAP (qint, qnint, q);
c) nili PORT MAP (q, qn, qint);