

3. domaća zadaća (2022Z)

1. Točno

Relativni doprinos: 1.0/1.0

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    cp, O, P: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(...)  
    begin  
        if O='1' then  
            Qint<= '0';  
        elsif falling_edge(cp) then  
            if P= '1' then  
                Qint<= not Qint;  
            end if;  
        end if;  
    end process;  
  
    Qout<= Qint;  
  
end beh;
```

Označite sve signale koji čine minimalnu listu osjetljivosti.

☐ Qint☐ P☒ cp☒ O

2. Točno

Relativni doprinos: 1.0/1.0

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    clock, M, N, O, P: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(Qint, clock, M, N)  
        variable sel: std_logic_vector(1 downto 0);  
    begin  
        if M='0' then  
            Qint<= '1';  
        elsif N='0' then  
            Qint<= '0';  
        elsif falling_edge(clock) then  
            sel:=O&P;  
            case sel is  
                when "00"=> Qint<= '0';  
                when "01"=> Qint<= '0';  
                when "10"=> Qint<= Qint;  
                when "11"=> Qint<= '1';  
                when others=> null;  
            end case;  
        end if;  
        Qout<= Qint;  
    end process;
```

```
end beh;
```

Označite sve ulaze bistabila koji djeluju sinkrono.

☒ P

☐ N

☒ O

☐ M

3. Točno

Relativni doprinos: 1.0/1.0

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    clock, M, N, O, P: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(clock, M, N)  
        variable sel: std_logic_vector(1 downto 0);  
    begin  
        if rising_edge(clock) then  
            sel:=O&P;  
            case sel is  
                when "00"=> Qint<= not Qint;  
                when "01"=> Qint<= not Qint;  
                when "10"=> Qint<= Qint;  
                when "11"=> Qint<= '0';  
                when others=> null;  
            end case;  
            end if;  
            if M='1' then  
                Qint<= '0';  
            end if;  
            if N='1' then  
                Qint<= '1';  
            end if;  
        end process;  
  
        Qout<= Qint;  
  
    end beh;
```

Označite asinkroni ulaz najvišeg prioriteta.

☐ P

☐ O

☒ N

☐ M

4. Točno

Relativni doprinos: 1.0/1.0

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    cp, A, B, C, D: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(Qint, cp, A, B)  
        variable sel: std_logic_vector(1 downto 0);
```

```

begin
  if A='0' then
    Qint<= '0';
  elsif B='1' then
    Qint<= '0';
  elsif rising_edge(cp) then
    sel:=C&D;
    case sel is
      when "00"=> Qint<= '0';
      when "01"=> Qint<= Qint;
      when "10"=> Qint<= '0';
      when "11"=> Qint<= '1';
      when others=> null;
    end case;
  end if;
  Qout<= Qint;
end process;

```

end beh;

Na što djeluje signal takta cp?

- ☐ na logičku razinu 0
- ☐ na padajući brid
- ☐ na logičku razinu 1
- ☒ na rastući brid

5. Točno

Relativni doprinos: 1.0/1.0

Dvoulazni NI sklop modeliran je VHDL-om kao sklop nand2. Potom je napisan strukturni model sklopa sklop1. Sučelje sklopa nand2 te model sklopa sklop1 prikazani su u nastavku.

```

ENTITY nand2 IS
  PORT (
    a : OUT std_logic;
    b,c : IN std_logic);
END nand2;

ENTITY sklop1 IS PORT (d, e : IN std_logic;
  f : OUT std_logic);
END sklop1;
ARCHITECTURE ar OF sklop1 IS
  SIGNAL i : std_logic;
BEGIN
  s1: ENTITY work.nand2 PORT MAP (b<=i,c<=e,a<=f);
  s2: ENTITY work.nand2 PORT MAP (i,e,d);
END ar;

```

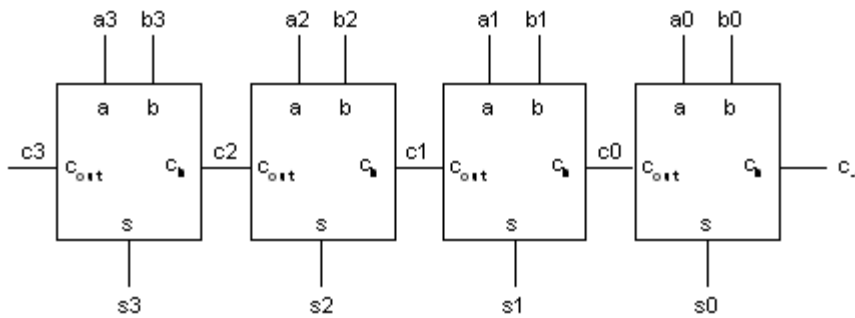
Ponašajni opis istovjetan opisu "ar" u tijelu bloka ARCHITECTURE sadržava sljedeći izraz:

- ☐ $f \leq d \text{ OR } e;$
- ☐ $f \leq \text{NOT } d \text{ AND NOT } e;$
- ☒ $f \leq \text{NOT } e \text{ OR } d;$
- ☐ $f \leq \text{NOT } (d \text{ AND } e) \text{ AND } e;$

6. Točno

Relativni doprinos: 1.0/1.0

Na slici je prikazano paralelno binarno zbrajalo. Ako svako potpuno zbrajalo kasni 10ns, a u trenutku $t=0\text{ns}$ na C_{-1} se dovede 1 te $a3a2a1a0 = 0111$, $b3b2b1b0 = 0111$, nacrtajte vremenske dijagrame svih signala, te sa njih očitajte vrijednosti svih izlaza S i C u trenutku $t = 25\text{ns}$. Prilikom rješavanja zadatka pretpostaviti da su vrijednosti svih izlaza (rezultat i prijenos) u trenutku $t = 0\text{ns}$ jednaki nula!

S(0)= C(0)= S(1)= C(1)= S(2)= C(2)= S(3)= C(3)=

Važna napomena: U svako polje za unos treba unijeti samo vrijednost pripadnog izlaza rezultata i prijenosa zbrajala. Dozvoljena su dva načina upisa vrijednosti: 1 se tretira jednako kao i true, a 0 je ekvivalentna sa false.

7. **Točno**

Relativni doprinos: 1.0/1.0

Za realizaciju binarnog asinkronog brojila koje broji u skraćenom ciklusu duljine 30 stanja na raspolaganju su padajućim bridom okidani T bistabili s asinkronim ulazom za brisanje koji djeluju kada im se dovede logička jedinica (svi su spojeni zajedno; označimo tu točku oznakom X). Brojilo treba ostvariti minimalno potrebnim brojem bistabila, pri čemu stanje 0 treba pripadati ciklusu. Pobudu za točku X generira kombinacijski sklop. Koju funkciju taj sklop treba ostvarivati? Kao rješenje upišite algebarski oblik (npr. not Q2 or Q1). Prilikom očitavanja stanja izlaz Q0 smatra se izlazom najmanje težine.

8. **Točno**

Relativni doprinos: 1.0/1.0

Nacrtajte shemu 3-bitnog asinkronog binarnog brojila unatrag izvedenog rastućim bridom okidanih JK bistabila. Za taj sklop potrebno je nacrtati vremenske dijagrame do trenutka T=1296 ns. Na brojilo se dovodi signal takta periode 144 ns, pri čemu u trenutku t=0 nastupa rastući brid. Kašnjenje svakog bistabila iznosi 32 ns. Brojilo osim bistabila ne smije koristiti dodatne logičke sklopove. Pretpostaviti da su svi bistabili u trenutku prije t=0 u stanju 0. Ako s Q0 označimo izlaz bistabila najmanje težine, očitajte stanje svih izlaza u trenutku t=616 ns.

Q0 Q1 Q2

Važna napomena: vrijednosti koje se prihvaćaju su: 0, 1 (alternativno: true, false).

9. **Netočno** Vaše rješenje | **Točno rješenje**

Relativni doprinos: 0.0/1.0

Za realizaciju binarnog asinkronog brojila koje broji u skraćenom ciklusu duljine 37 stanja na raspolaganju su padajućim bridom okidani T bistabili s asinkronim ulazom za brisanje koji su svi spojeni zajedno. Pri tome je utrošen minimalno potreban broj bistabila. Stanje 0 treba biti sastavni dio ciklusa. Koje stanje treba dekodirati kako bi se realiziralo to brojilo? Kao rješenje unesite broj stanja u dekadskom sustavu (npr. 12).

10. **Točno**

Relativni doprinos: 1.0/1.0

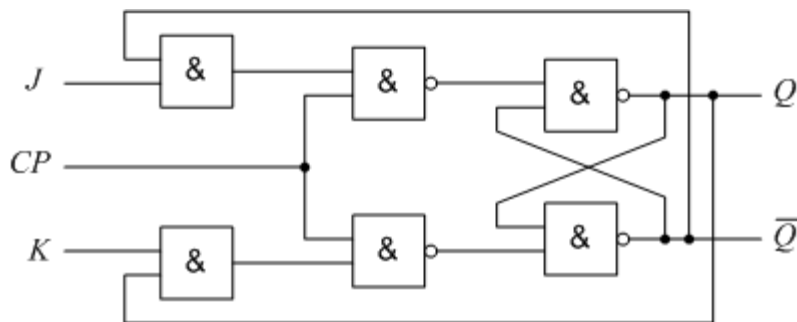
Zadana je funkcija $f(A,B,C,D) = m(0, 1, 3, 4, 7, 10, 11, 12, 13, 14, 15)$. Koliko ta funkcija ima **bitnih primarnih implikanata/minimalnih oblika**?

- ☐ 1/4
☐ 3/4
☒ 3/3
☐ 4/2

11. **Točno**

Relativni doprinos: 1.0/1.0

Na raspolaganju je SR-bistabil izveden s 4 sklopa NI i ulazom za signal takta. Taj je bistabil pomoću dva sklopa I pretvoren u JK-bistabil (vidi sliku). Ako sve ulaze ovog bistabila (J,K,CP) trajno spojimo na logičko 1, na izlazu ćemo primijetiti oscilacije. Ukoliko označimo s TL trajanje logičke 0, s TH trajanje logičke 1, a kašnjenje svakog logičkog sklopa iznosi 15ns, odredite iznose vremena TH i TL. Podrazumijevana mjerna jedinica je ns.

TL TH [Povratak](#)