

Sveučilište u Zagrebu
Fakultet elektrotehnike i računarstva

Digitalna logika

Laboratorijske vježbe korištenjem sklopovskih pomagala

Upute za 5. laboratorijsku vježbu

Marko Zec

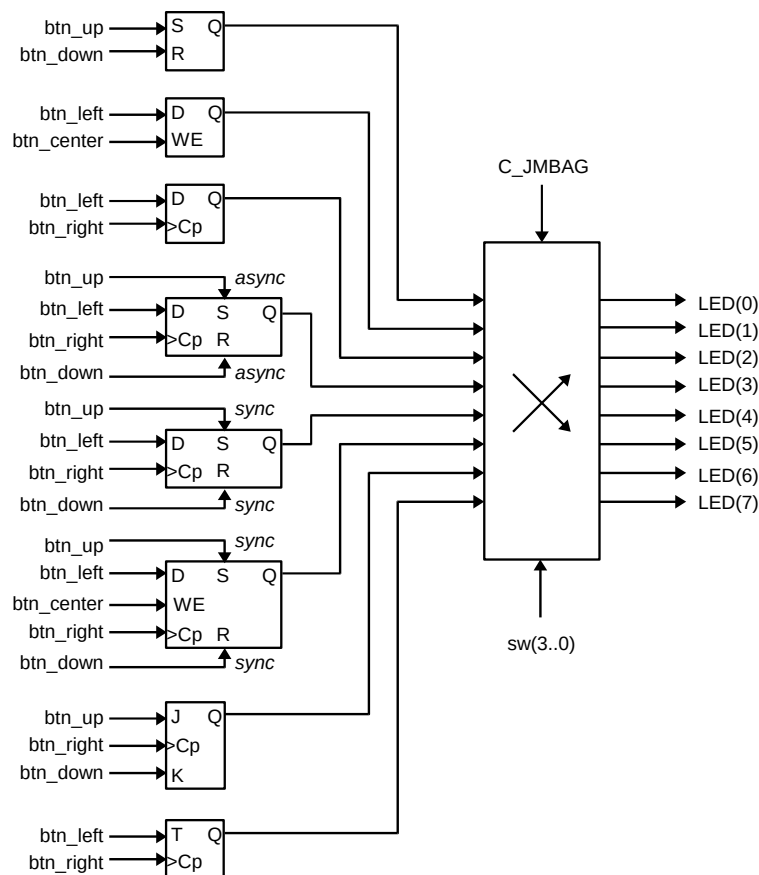
Siječanj 2014.

1 Uvod

Cilj vježbe je upoznavanje s memorijskim elementima (bistabili, registri, ROM) kroz dva odvojena praktična primjera. U prvom primjeru potrebno je ispitati rad već gotovog sklopa izgrađenog od osam različitih tipova bistabila, a čije ponašanje ovisi o studentovom JMBAG identifikatoru, pri čemu opaženo ponašanje sklopa treba dokumentirati te **prije početka vježbi** spremiti (upload) na sustav Ferko. U drugom primjeru razvojne pločice povezat će se s ručnim radio postajama (primopredajnicima) s ciljem prijenosa digitalnih podataka analognim prijenosnim kanalom. Vaš zadatak bit će projektiranje, izvedba i ispitivanje modula za modulaciju digitalnog signala korištenjem dva odvojena brojila te ROM tablice za generiranje sinusnog valnog oblika izlaznog signala, a za demoduliranje primljenog signala koristit će se već gotov modul.

2 Priprema: identifikacija bistabila

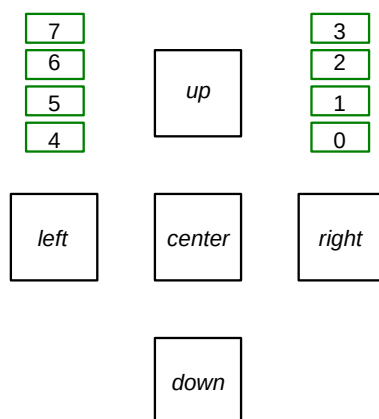
Već gotov ispitni sklop nazvan `pogodi_bistabil` povezuje izlaze iz osam različitih tipova bistabila s osam LED indikatora putem programirljivog prospojnog sklopa. Prospojni sklop svaki od svojih osam ulaza prospaja na točno jedan od svojih osam izlaza, na način koji ovisi o studentovom JMBAG identifikatoru. Blok-shema ispitnog sklopa prikazana je na slici 1.



Slika 1: blok-shema ispitnog sklopa

S web sjedišta laboratorijskih vježbi dohvatite implementaciju ispitnog sklopa `pogodi_bistabil.vhd`. U deklaraciji sučelja sklopa **podesite vrijednost *generic* parametara `C_JMBAG` u skladu s vlastitim JMBAG identifikatorom**, sintetizirajte sklop, te dobivenom konfiguracijskom datotekom programirajte svoju razvojnu pločicu. Osim podešavanja vrijednosti *generic* parametara `C_JMBAG`, **u VHDL kodu ispitnog sklopa nije potrebno ni dozvoljeno raditi bilo kakve druge preinake!**

Ulazima bistabila ispitnog sklopa upravlja se putem tipki `btn_up`, `btn_down`, `btn_left`, `btn_center` i `btn_right`, u skladu s blok-shemom prikazanom na slici 1. Raspored tipki i LED indikatora na razvojnoj pločici prikazan je na slici 2.



Slika 2: raspored i numeracija LED indikatora na razvojnoj pločici

Vaš je zadatak identificirati bistabile promatranjem njihovog odziva (izlaza vidljivih na LED indikatorima) na odgovarajuću pobudu, koju morate sami osmisliti. Kako je za svakog studenta konfiguracija prospojnog sklopa drugačija (ukupno je 8! odnosno 40320 mogućih konfiguracija prospojnog sklopa), vrlo je vjerojatno da će izlaziti iz bistabila kod svakog studenta biti prospojeni na LED indikatore na različit način. Prilikom prepoznavanja bistabila odnosno načina prospajanja njihovih izlaza svakako je uputno osim korištenja blok-scheme sa slike 1 **potražiti i proučiti i opise bistabila u datoteci `pogodi_bistabil.vhd`**.

Ukoliko je prekidač `sw(3)` postavljen na 0 (položaj prema dolje), na svih 8 LED indikatora biti će vidljivi izlazi iz svih 8 bistabila. Prebacivanjem prekidača `sw(3)` na 1 (položaj prema gore) biti će aktivan samo izlaz na LED indikatoru koji je određen kodom zadanim prekidačima `sw(2..0)`, dok će ostali LED indikatori biti isključeni. Ovakva mogućnost izoliranja samo jednog izlaza može olakšati identifikaciju bistabila čiji je izlaz prospojen na odabrani LED indikator.

Rezultate opažanja rada bistabila potrebno je u **točno propisanom formatu** zapisati u datoteku `pogodi_bistabil.txt`, pri čemu treba voditi računa da su pozicije LED indikatora numerirane brojevima u rasponu od 0 do 7. Predložak datoteke prikazan je u sljedećem okviru, a dostupan je i na web sjedištu laboratorijskih vježbi.

```
JMBAG: xxxxxxxxxx
LED(x): SR
LED(x): D latch
LED(x): D flip-flop
LED(x): D flip-flop, asinkroni SR
LED(x): D flip-flop, sinkroni SR
LED(x): D flip-flop s enable ulazom, sinkroni SR
LED(x): JK
LED(x): T
```

U skladu s Vašim opažanjima rada ispitnog sklopa, sva polja označena malim slovom x potrebno je zamijeniti odgovarajućim podacima, odnosno vašim JMBAG identifikacijskim brojem, te pozicijom LED indikatora na kojima su opaženi izlazi iz određenih tipova bistabila. Datoteku nazvanu točno pogodi_bistabil.txt potrebno je **spremiti (upload) u sustav Ferko i zaključati najkasnije do početka Vašeg termina izvođenja laboratorijskih vježbi!** Ocjenjivanje ovog dijela vježbe provodit će se isključivo strojnom provjerom rješenja, koja ne tolerira odstupanja od propisane forme.

3 Modem

Modem (**modulator-demodulator**) je uređaj koji digitalnim signalom modulira analogni signal s ciljem prijenosa informacije na daljinu, te na prijemnoj strani demulacijom analognog reproducira digitalni signal. U ovoj vježbi asinkronim serijskim digitalnim signalom koji odgovara ASCII kodovima tipki pritisnutih na tipkovnici računala modulirat će se analogni tonfrekvencijski signal pomoću odgovarajućeg sklopa sintetiziranog na razvojnoj FPGA pločici. Modulirani tonfrekvencijski signal odašiljat će se putem ručnih radio postaja podešenih za rad na jednom od 16 za vježbu raspoloživih radiofrekvencijskih kanala, a iz primljenog analognog tonfrekvencijskog signala rekonstruirat će se digitalni signal te proslijediti na određeno računalo gdje će primljeni znakovi biti prikazani na zaslonu. Pojednostavljena shema komunikacijskog puta i povezivanja opreme prikazana je na slici 3.

Jednostavni modem izgradit ćemo na razvojnoj FPGA pločici korištenjem temeljnih sekvencijskih (memorijskih) elemenata - bistabila i registara, te ROM tablice s koeficijentima za generiranje sinusnog oblika izlaznog signala.



Slika 3: komunikacijski put u laboratorijskom okruženju

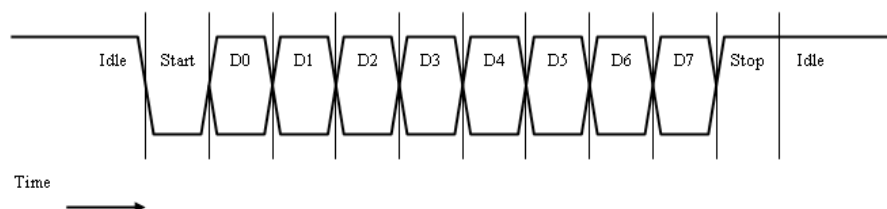
3.1 Asinkroni serijski prijenos podataka

Više-bitni podaci na manjim se udaljenostima mogu najbrže prenositi paralelno, odnosno istodobno sabirnicama odgovarajuće širine. Na daljinu je praktičnije, pouzdanije, brže i ekonomičnije podatke prenositi slijedno (serijski), bit po bit.

Serijski prijenos podataka može se izvesti sinkrono ili asinkrono. Kod sinkronog prijenosa uz podatkovni signal prenosi se i signal takta. Kod asinkronog prijenosa odašiljač i prijemnik imaju nezavisne generatore takta podešene na približno istu frekvenciju, a podaci se prenose u manjim blokovima, najčešće do 8 bitova, pri čemu se početak i kraj bloka podataka (slika 4) označuju sinkronizacijskim *start* i *stop*

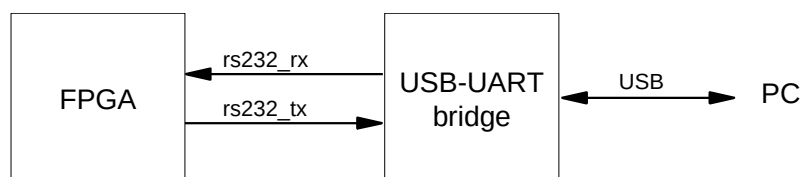
bitovima. Duljina bloka podataka kod asinkronog prijenosa dovoljno je kratka da poslani blok prijemnik može ispravno primiti čak i uz odstupanja frekvencije takta između odašiljača i prijemnika do oko 5%.

Pri većim brzinama prijenosa podaci se u pravilu prenose sinkrono (zajedno sa signalom takta), dok se asinkroni prijenos koristi pri manjim brzinama. U vježbi će se koristiti asinkroni prijenos podataka s računala na računalo brzinama do 1000 bita u sekundi.



Slika 4: vremenski dijagram asinkronog serijskog prijenosa 8-bitnog podatka bez zaštitnog kodiranja

Na razvojnu pločicu ULX2S ugrađen je USB prilagodni sklop FT232R koji osim programiranja FPGA sklopa omogućuje i dvosmjernu asinkronu serijsku komunikaciju brzinama od 300 do 3000000 bita u sekundi. Način na koji je FPGA sklop povezan s asinkronim serijskim sučeljem USB prilagodnog sklopa putem kojeg se može ostvariti komunikacija s računalom prikazan je shemom na slici 5.



Slika 5: signali razvojne pločice za asinkronu serijsku komunikaciju s računalom

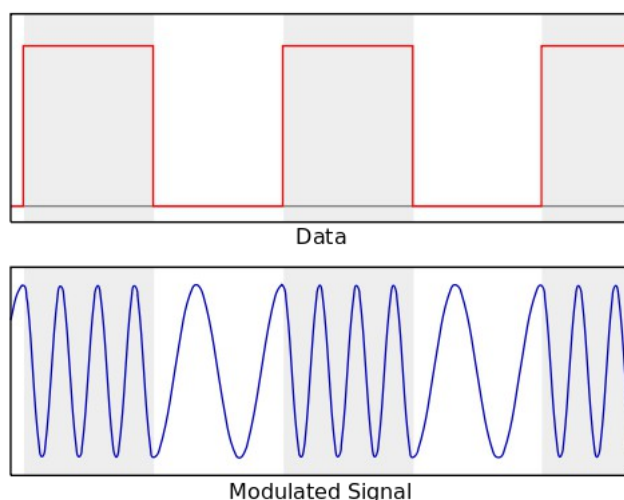
Na računalu se za asinkronu serijsku komunikaciju mogu koristiti već gotovi namjenski programi, npr. *putty* ili *hyper-terminal* na operacijskim sustavima Microsoft Windows, ili *FTDI UART terminal* na operacijskim sustavima Android od verzije 3.2. U laboratoriju se ipak preporučuje korištenje alata *ujprog* kojeg se zadavanjem opcije -t prilikom pokretanja može prebaciti u način rada za emulaciju asinkronog serijskog terminala.

3.2 Diskretna modulacija frekvencije (FSK)

Diskretna modulacija frekvencije (eng. *frequency-shift keying* – FSK) je postupak kojim se digitalni signal kodira promjenom frekvencije analognog signala. Odabirom prikladnih frekvencija iz tonfrekvencijskog pojasa može se dobiti modulirani signal podesan za prijenos radijskim ili telefonskim kanalom, pri čemu se takav postupak naziva *audio frequency-shift keying* – AFSK.

AFSK modulacijom uobičajeno se kodira samo jedan bit podataka, pri čemu zavisno od logičke razine modulirajućeg digitalnog signala analogni signal poprima jednu od dvije moguće frekvencije, kao što je prikazano na slici 6. Odabir frekvencija ovisi o svojstvima prijenosnog kanala, koji je u slučaju ručnih radio postaja dostupnih u laboratorijskom okruženju ograničen na prijenos signala u frekvencijskom pojasu između otprilike 300 Hz i 3 kHz. U takvim uvjetima često se koristi AFSK moduliranje

frekvencijama signala od 1200 i 2200 Hz, koje će se primijeniti i u ovoj vježbi. Demoduliranje AFSK signala je složeniji postupak od moduliranja, a jedna od jednostavnijih metoda demodulacije je mjerenjem trajanja perioda primljenog analognog signala. Ta metoda primijenjena je u već gotovom modulu za demoduliranje kojeg će se bez preinaka i detaljnijeg razmatranja koristiti u vježbi.



Slika 6: valni oblik digitalnog i AFSK moduliranog signala (izvor: Wikipedia)

3.3 Povezivanje razvojne pločice s radio postajom

U laboratoriju se radio postaja putem pasivnog prilagodnog sklopa priključuje na stereo priključnicu razvojne pločice, pri čemu se priključak "tip" koristi za odašiljanje, a priključak "ring" za prijem analognog signala. FPGA pločicu, prilagodni sklop i radio postaju treba povezati na način koji je ilustriran slikom 7. Za povezivanje FPGA pločice i prilagodnog sklopa koristi se kabel s tropolnim utikačima, dok za povezivanje prilagodnog sklopa i radio-postaje treba koristiti kabel s četveropolnim utikačima. Zbog ispravnog prijanjanja kontakata u radio-postaju obavezno treba utaknuti kutni utikač, kao što je prikazano na slici.



Slika 7: povezivanje FPGA pločice, prilagodnog sklopa i radio postaje

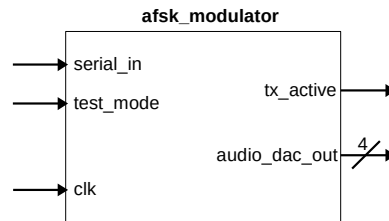
3.4 Priprema

S web sjedišta laboratorijskih vježbi dohvatite datoteku kojom je opisan sklop koji instancira i povezuje module `afsk_modulator` i `afsk_demodulator` međusobno, odnosno s vanjskim priključcima FPGA sklopa. Na vježbu trebate doći s nacrtanom shemom modula koji odgovara VHDL opisu iz datoteke `afsk_modem.vhd`. Shemu ucrtajte u prazni okvir na ovoj stranici, pri čemu instance modula `afsk_modulator` i `afsk_demodulator` ucrtajte kao "crne kutije", bez analize odnosno raščlambe njihove unutarnje strukture.



3.5 Zadatak: AFSK modulator

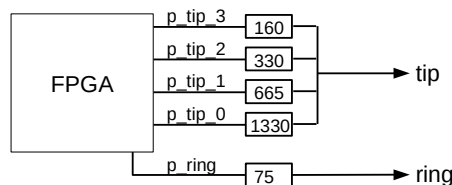
Vaš je zadatak projektirati i VHDL-om opisati modul za diskretno frekvencijsko moduliranje analognog signala digitalnim, uklopiti ga u sklop `afsk_modem` zajedno s već gotovim modulom `afsk_demodulator`, te sklop sintetizirati i ispitati njegov rad.



Slika 8: sučelje modula `afsk_modulator`

Zadano sučelje modula `afsk_modulator` prikazano je na slici 8. Na ulaz `clk` dovodi se signal takta 25 MHz. Na ulaz `serial_in` dovodi se modulirajući digitalni signal: asinkroni slijed bitova poslan s računala putem USB sučelja, ili ispitni signal kodiran prekidačem `sw(0)` na razvojnoj pločici.

Modul na četverobitnom izlazu `audio_dac_out` treba kontinuirano generirati periodički signal čija je frekvencija uvjetovana ulazom `serial_in`. Kad je ulaz `serial_in` na visokoj logičkoj razini na izlazu treba generirati signal frekvencije 1200 Hz, a za nisku logičku razinu ulaza `serial_in` izlazni signal treba biti frekvencije 2200 Hz. Izlazni signal treba biti sinusnog oblika u više diskretnih koraka, pri čemu se najniža razina signala kodira vrijednošću "0000" a najviša s "1111". Signal `audio_dac_out` bit će prosjojen na težinsku otpornu mrežu koja je na FPGA pločici povezana sa signalima `p_tip` (slika 9), kojom se ostvaruje pretvorba digitalnog koda u jednu od 16 naponskih razina.



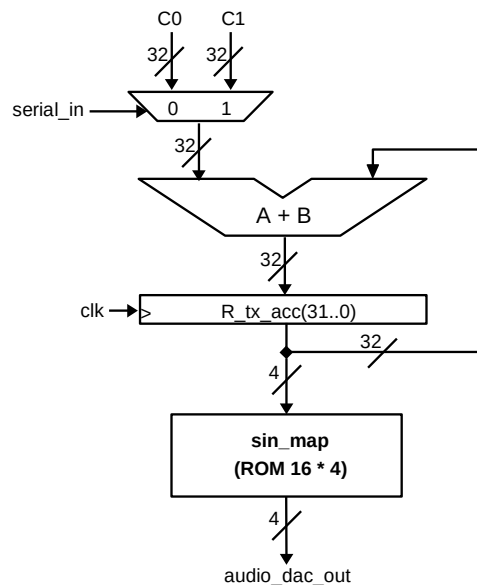
Slika 9: težinska otporna mreža digitalno-analognog pretvornika

Izlaz `tx_active` služi za upravljanje predajnikom radio-postaje. Visoka razina na izlazu `tx_active` omogućiti će prospajanje signala s izlaza `audio_dac_out` na vanjske priključke `p_tip` i time putem prilagodnog sklopa aktiviranje odašiljanja radio signala. Kad je izlaz `tx_active` na niskoj logičkoj razini radio-postaja će raditi kao prijemnik.

Kako bi se spriječilo prebrzo i prečesto prebacivanje radio-postaje iz prijema u predaju i obratno, što bi osim nemogućnosti ispravnog prijema moduliranog signala moglo rezultirati i oštećenjem radio-postaje, modul `afsk_modulator` mora zadržati signal `tx_active` na visokoj razini najmanje dvije, a najdulje tri sekunde nakon zadnjeg primljenog bita niske logičke razine na ulazu `serial_in` (kad računalo ne šalje nikakve znakove na serijsko sučelje, ulaz `serial_in` je stalno na visokoj logičkoj razini). Dodatno, izlaz `tx_active` treba biti na visokoj logičkoj razini cijelo vrijeme dok je ulaz

test_mode na visokoj logičkoj razini, neovisno o stanju ulaza serial_in.

Shemom na slici 10 prikazana je predložena struktura modulacijskog sklopa, čiji je temeljni dio upravljivo brojilo sastavljeno od 32-bitnog registra, zbrajala, te multipleksora za odabir brzine brojanja. Konstante C0 i C1 treba odabrati tako da pri radu brojila dođe do preljeva registra R_tx_acc približno 1200 odnosno 2200 puta u sekundi, zavisno od ulaznog signala serial_in. Četiri bita najveće težine registra R_tx_acc koriste se kao adresni ulaz ROM tablice za aproksimaciju sinusnog signala.



Slika 10: sklop za AFSK moduliranje

Registar R_tx_acc treba opisati VHDL-om u bloku process uz sinkronizaciju na rastući brid takta, pri čemu se možete poslužiti ovim predloškom:

```
process(clk)
begin
    if rising_edge(clk) then
        R_tx_acc <= nova_vrijednost;
    end if;
end process;
```

Zbrajalo i multipleksor za odabir konstanti C0 i C1 možete opisati u istom bloku process kojim se opisuje registar R_tx_acc ili koristeći konkurentne izraze izvan bloka process, prema vlastitom izboru. Nije potrebno (a ni poželjno) deklarirati odvojene module za izvedbu zbrajala ni multipleksora!

Za izvedbu ROM tablice s koeficijentima za aproksimaciju sinusnog valnog oblika izlaznog signala možete koristiti ovaj predložak:

```
-- deklaracija tipa i sadržaja memorije
type sin_rom_type is array(0 to 15) of std_logic_vector(3 downto 0);
constant sin_map: sin_rom_type := (
    x"8", x"b", x"d", x"e", x"f", x"e", x"d", x"a",
    x"7", x"4", x"2", x"1", x"0", x"1", x"2", x"5"
);

-- instanciranje (inferring)
audio_dac_out <= sin_map(conv_integer(R_tx_acc(31 downto 28)));
```

Dio modula za upravljanje izlazom tx_active ostvarite zasebnim brojiлом koje treba početi brojati iznova svaki put kad je ulaz serial_in na niskoj logičkoj razini, pri čemu

izlaz tx_active mora biti aktivan dok god brojilo broji. Brojilo se smije i mora se zaustaviti tek nakon što je brojalo dovoljan broj ciklusa da zadovolji zadani uvjet kašnjenja od dvije do tri sekunde. Brojilo možete izvesti bilo kao rastuće ili padajuće, te ga opisati u cijelosti u sinkronom bloku process ili odvajanjem kombinacijskih komponenti u konkurentne izraze izvan bloka process, prema vlastitom odabiru.

Kako se u ovoj vježbi signal p_ring koristi kao ulaz a ne kao izlaz, u datoteci ulx2s.lpf je prije pokretanja sinteze sklopa potrebno zakomentirati redak kojim se signalu p_ring zadaju svojstva primjenjiva samo na izlazne signale:

```
#IOBUF PORT "p_ring" DRIVE=20 PULLMODE=NONE;
```

3.6 Ispitivanje rada sklopa prije dolaska u laboratorij

Rad sklopa možete djelomično ispitati i prije dolaska u laboratorij, odnosno bez priključenja radiokomunikacijske opreme. Dovoljno je na FPGA pločicu priključiti slušalice ili zvučnik te usporediti opaženi zvuk s očekivanim.

Uz uključen prekidač sw(3) iz lijeve slušalice bi se trebao čuti kontinuirani ton. Dok je prekidač sw(0) uključen, ton bi trebao biti frekvencije 1200 Hz, a uz isključeni prekidač sw(0) trebao bi se čuti ton frekvencije 2200 Hz. Opažene tonove možete usporediti s uzorcima koji su dostupni na web sjedištu laboratorijskih vježbi u formatu MP3.

Isključenjem prekidača sw(3) najkasnije nakon tri sekunde trebao bi se ugasiti LED indikator led(2) a iz slušalice se više ne bi smio čuti nikakav ton. Daljnje ispitivanje rada sklopa može se provesti pokretanjem namjenskog programa za emulaciju asinkronog terminala na računalu, te slanjem ispitnih znakova, što bi trebalo rezultirati čujnim moduliranim signalom. Modulirani signal bi trebao utihniti najkasnije tri sekunde nakon zadnjeg pritiska na tipku tipkovnice računala. Za vrijeme emitiranja moduliranog tona trebao bi svijetliti indikator led(2), a indikator led(1) treptati u ritmu odašiljanja znakova s računala.

U okviru je prikazan primjer pokretanja programa uprog u načinu rada za emulaciju asinkronog terminala pri brzini komunikacije od 300 bita u sekundi:

```
% uprog -tb 300 lab5_lab5.jed
ULX2S JTAG programmer v 1.07 $Id: uprog.c 1748 2014-01-09 15:07:43Z marko $
Using USB JTAG cable.
Programming: 100%
Completed in 2.32 seconds.
Terminal emulation mode, using 300 bauds
Press ENTER, ~, ? for help
ovo je probni tekst koji treba rezultirati pistanjem i skvicanjem na zvucniku...
CTRL+J prebacuje pokazivac u novi red...
asdklfjhasdklfjdhaklsjfdhklkasjh

Pritisnite ENTER, ~, . za zavrsetak rada.
```

Na web sjedištu laboratorijskih vježbi mogu se pronaći uzorci tonskog signala dobiveni pri različitim brzinama prijenosa moduliranjem ove poruke:

```
Hello, world! Ja sam AFSK modem, a ovo je peta vježba iz digitalne logike.
```

3.7 Rad u laboratoriju

Student vježbu treba raditi samostalno, a rad sklopa ispitati komunikacijom s drugim studentom prema uputama i uz koordiniranje dežurnog asistenta ili demonstratora. Svaki student na početku laboratorijske vježbe zadužit će prilagodnu pločicu te kabele

za povezivanje iste s FPGA pločicom i radio-postajom.

Prije priključenja radio-postaje potrebno je pozvati demonstratora ili asistenta i demonstrirati rad sklopa priključenjem običnih slušalica na FPGA pločicu na način koji je opisan u prethodnom poglavlju. U dogovoru s demonstratorom ili asistentom treba odabrati drugog sudionika u komunikaciji te slobodni radiofrekvencijski kanal, prilikom čega će student zadužiti i radio-postaju.

Studenti koji zajedno ispituju rad modema trebaju se usuglasiti oko brzine prijenosa podataka, pri čemu komunikaciju treba početi ispitivati brzinom od 300 bita u sekundi, nakon čega treba ispitati i pouzdanost komunikacije pri višim brzinama (npr. 600, 900, 1200, 1500 bps).

Za zvučnu kontrolu primljenog signala na prilagodne pločice je ugrađen minijaturni zvučnik. Glasnoća zvuka iz zvučnika može se podešavati pomicanjem kratkospojnika (eng. *jumper*) na prilagodnoj pločici.

U laboratoriju će biti raspoloživo više osciloskopa pomoću kojih treba ispitati valni oblik moduliranog signala. Uz pomoć demonstratora ispitnu sondu osciloskopa trebate spojiti na ispitnu točku A prilagodne pločice kod odašiljanja, odnosno na ispitnu točku B kod prijema moduliranog signala.

Na slici 11 prikazani su upravljački elementi ručnih radio-postaja koje će se koristiti u laboratoriju. Uređaji se uključuju odnosno isključuju pritiskom na crvenu tipku s lijeve strane u trajanju od najmanje dvije sekunde. Kratkim pritiskom na crvenu tipku ciklički se podešava glasnoća primljenog signala, pri čemu uređaj postizanje najveće glasnoće oglašava kratkim dvostrukim zvučnim signalom. Predaja se uključuje pritiskom na gornju tipku s lijeve strane. Rotacijskim enkoderom može se odabrati jedan od 16 unaprijed programiranih kanala, što uređaj oglašava "izgovaranjem" broja kanala na engleskom jeziku. Indikator rada prilikom predaje svijetli u crvenoj boji. Kad je detektiran radio signal na odabranom kanalu indikator svijetli u zelenoj boji, a ne svijetli dok je uređaj u stanju spremnosti na prijemu, ili kad je uređaj ugašen.

Kod prijenosa podataka važno je glasnoću na uređaju podesiti na najvišu razinu, kako bi amplituda primljenog tonfrekvencijskog signala bila dovoljno velika za ispravan rad demodulatorskog modula.



Slika 11: upravljački elementi i priključci radio-postaja

