

### 3. domaća zadaća (2022Z)

#### 1. Točno

Relativni doprinos: 1.0/1.0

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    clk, Q, R: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(...)  
    begin  
        if rising_edge(clk) then  
            if R= '1' then  
                Qint<= not Qint;  
            end if;  
            if Q='1' then  
                Qint<= '0';  
            end if;  
        end process;  
  
        Qout<= Qint;  
  
    end beh;
```

Označite sve signale koji čine minimalnu listu osjetljivosti.

- ☒ Q
- ☒ clk
- ☐ R
- ☐ Qint

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    clock, R, S, T, U: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(Qint, clock, R, S)  
        variable sel: std_logic_vector(1 downto 0);  
    begin  
        if R='1' then  
            Qint<= '0';  
        elsif S='1' then  
            Qint<= '0';  
        elsif falling_edge(clock) then  
            sel:=T&U;  
            case sel is  
                when "00"=> Qint<= '0';  
                when "01"=> Qint<= Qint;  
                when "10"=> Qint<= Qint;  
                when "11"=> Qint<= '1';  
                when others=> null;  
            end case;  
        end if;  
        Qout<= Qint;  
    end process;  
  
end beh;
```

Označite sve ulaze bistabila koji djeluju asinkrono.

☐ U

☐ T

☒ R

☒ S

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    cp, B, C, D, E: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(cp, B, C)  
        variable sel: std_logic_vector(1 downto 0);  
    begin  
        if falling_edge(cp) then  
            sel:=D&E;  
            case sel is  
                when "00"=> Qint<= '0';  
                when "01"=> Qint<= '1';  
                when "10"=> Qint<= not Qint;  
                when "11"=> Qint<= not Qint;  
                when others=> null;  
            end case;  
        end if;  
        if B='0' then  
            Qint<= '0';  
        end if;  
        if C='1' then  
            Qint<= '1';  
        end if;  
    end process;  
  
    Qout<= Qint;  
  
end beh;
```

Označite asinkroni ulaz najvišeg prioriteta.

- ☒ C
- ☐ E
- ☐ B
- ☐ D

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    cp, F, G, H: in std_logic;  
    Qout: out std_logic);  
end Element;
```

```
architecture beh of Element is  
    signal Qint: std_logic;  
begin
```

```
    process(cp, F, G)  
    begin  
        if rising_edge(cp) then  
            if H='0' then  
                Qint<= not Qint;  
            end if;  
        end if;  
        if F='0' then  
            Qint<= '1';  
        end if;  
        if G='0' then  
            Qint<= '1';  
        end if;  
    end process;
```

```
    Qout<= Qint;
```

```
end beh;
```

Na što djeluje signal takta cp?

- ☐ na padajući brid
- ☒ na rastući brid
- ☐ na logičku razinu 1
- ☐ na logičku razinu 0

Dvoulazni NI sklop modeliran je VHDL-om kao sklop nand2. Potom je napisan strukturni model sklopa sklop1. Sučelje sklopa nand2 te model sklopa sklop1 prikazani su u nastavku.

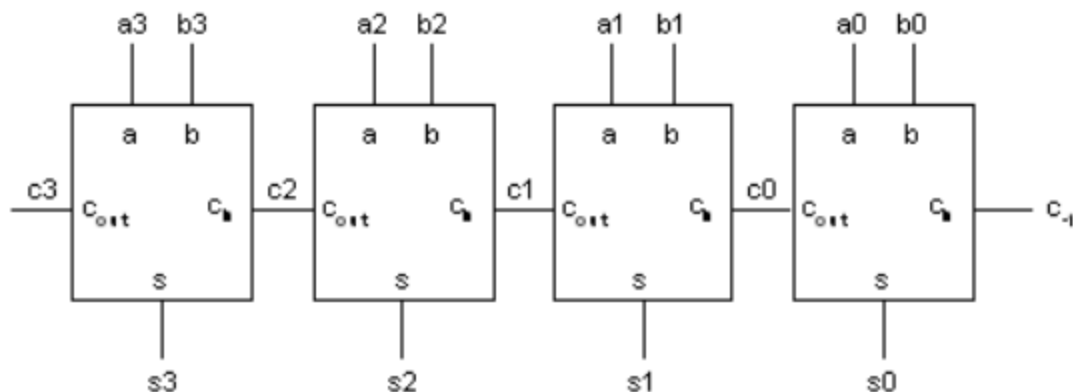
```
ENTITY nand2 IS
  PORT (
    a    : OUT std_logic;
    b,c  : IN  std_logic);
END nand2;
```

```
ENTITY sklop1 IS PORT (d, e : IN std_logic;
                      f : OUT std_logic);
END sklop1;
ARCHITECTURE ar OF sklop1 IS
  SIGNAL i : std_logic;
BEGIN
  s1: ENTITY work.nand2 PORT MAP (b<=i, c<=e, a<=f);
  s2: ENTITY work.nand2 PORT MAP (i,e,d);
END ar;
```

Ponašajni opis istovjetan opisu "ar" u tijelu bloka ARCHITECTURE sadržava sljedeći izraz:

- ☐ f <= d OR e;
- ☐ f <= NOT d AND NOT e;
- ☒ f <= NOT e OR d;
- ☐ f <= NOT (d AND e) AND e;

Na slici je prikazano paralelno binarno zbrajalo. Ako svako potpuno zbrajalo kasni 10ns, a u trenutku  $t=0\text{ns}$  na  $C_{-1}$  se dovede 1 te  $a_3a_2a_1a_0 = 1101$ ,  $b_3b_2b_1b_0 = 1001$ , nacrtajte vremenske dijagrame svih signala, te sa njih očitajte vrijednosti svih izlaza S i C u trenutku  $t = 29\text{ns}$ . Prilikom rješavanja zadatka pretpostaviti da su vrijednosti svih izlaza (rezultat i prijenos) u trenutku  $t = 0\text{ns}$  jednaki nula!



S(0)=

C(0)=

S(1)=

C(1)=

S(2)=

C(2)=

S(3)=

C(3)=

Važna napomena: U svako polje za unos treba unijeti samo vrijednost pripadnog izlaza rezultata i prijenosa zbrajala. Dozvoljena su dva načina upisa vrijednosti: 1 se tretira jednako kao i true, a 0 je ekvivalentna sa false.

7. **Točno**

Relativni doprinos: 1.0/1.0

Za realizaciju binarnog asinkronog brojila koje broji u skraćenom ciklusu duljine 30 stanja na raspolaganju su padajućim bridom okidani T bistabili s asinkronim ulazom za brisanje koji djeluju kada im se dovede logička jedinica (svi su spojeni zajedno; označimo tu točku oznakom X). Brojilo treba ostvariti minimalno potrebnim brojem bistabila, pri čemu stanje 0 treba pripadati ciklusu. Pobudu za točku X generira kombinacijski sklop. Koju funkciju taj sklop treba ostvarivati? Kao rješenje upišite algebarski oblik (npr. not Q2 or Q1). Prilikom očitavanja stanja izlaz Q0 smatra se izlazom najmanje težine.

Q4 and Q3 and Q2 and Q1 and not Q0

8. **Nije riješen** **Vaše rješenje** | **Točno rješenje**

Relativni doprinos: 0.0/1.0

Nacrtajte shemu 3-bitnog asinkronog binarnog brojila unaprijed izvedenog padajućim bridom okidanih JK bistabila. Za taj sklop potrebno je nacrtati vremenske dijagrame do trenutka  $T=1215$  ns. Na brojilo se dovodi signal takta periode 135 ns, pri čemu u trenutku  $t=0$  nastupa padajući brid. Kašnjenje svakog bistabila iznosi 30 ns. Brojilo osim bistabila ne smije koristiti dodatne logičke sklopove. Pretpostaviti da su svi bistabili u trenutku prije  $t=0$  u stanju 0. Ako s  $Q0$  označimo izlaz bistabila najmanje težine, očitajte stanje svih izlaza u trenutku  $t=489$  ns.

Q0

Q1

Q2

Važna napomena: vrijednosti koje se prihvataju su: 0, 1 (alternativno: true, false).



9. **Točno**

Relativni doprinos: 1.0/1.0

Za realizaciju binarnog asinkronog brojila koje broji u skraćenom ciklusu duljine 19 stanja na raspolaganju su padajućim bridom okidani T bistabili s asinkronim ulazom za brisanje koji su svi spojeni zajedno. Pri tome je utrošen minimalno potreban broj bistabila. Stanje 0 treba biti sastavni dio ciklusa. Koje stanje treba dekodirati kako bi se realiziralo to brojilo? Kao rješenje unesite broj stanja u dekadskom sustavu (npr. 12).

10. **Točno**

Relativni doprinos: 1.0/1.0

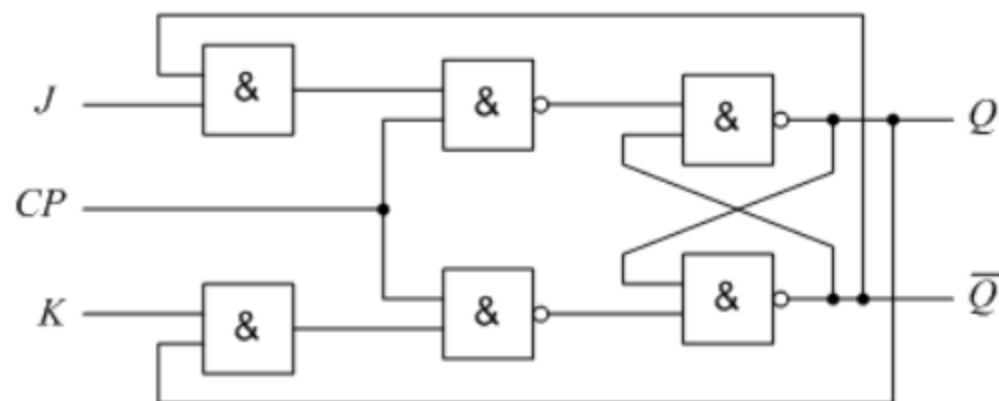
Zadana je funkcija  $f(A,B,C,D) = m(0, 1, 2, 4, 7, 8, 10, 12, 13, 14, 15)$ . Koliko ta funkcija ima **primarnih implikanata/bitnih primarnih implikanata**?

- ☒ 6/5  
☐ 6/2  
☐ 1/7  
☐ 4/3

11. **Točno**

Relativni doprinos: 1.0/1.0

Na raspolaganju je SR-bistabil izveden s 4 sklopa NI i ulazom za signal takta. Taj je bistabil pomoću dva sklopa I pretvoren u JK-bistabil (vidi sliku). Ako sve ulaze ovog bistabila (J,K,CP) trajno spojimo na logičko 1, na izlazu ćemo primijetiti oscilacije. Ukoliko označimo s TL trajanje logičke 0, s TH trajanje logičke 1, a kašnjenje svakog logičkog sklopa iznosi 25ns, odredite iznose vremena TH i TL. Podrazumijevana mjerna jedinica je ns.

TL TH