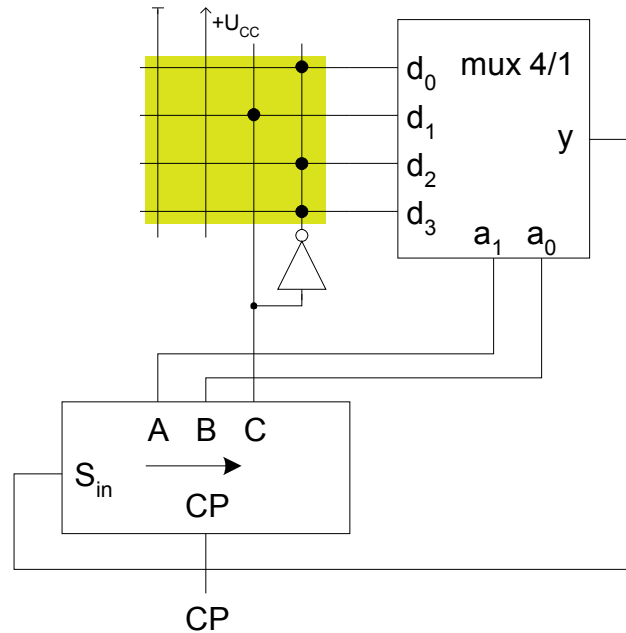


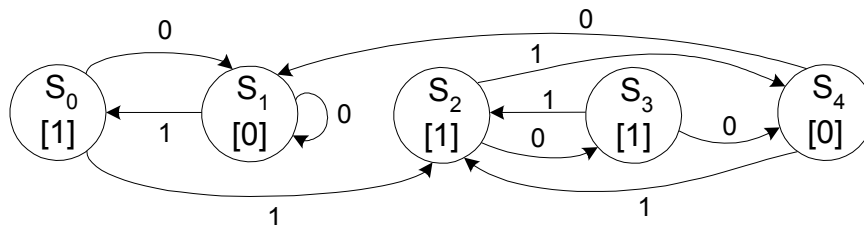


3. U kojem ciklusu broji sklop prikazan na slici?



- a) 0,4,6,7,3,5,2,1      b) 4,2,1,5  
 c) 1,0,2,3,4,5,6,7      d) 3,7,2  
 e) 0,4,2,5,6,3,1

4. Stroj s konačnim brojem stanja realiziran je prema dijagramu prikazanom na slici. Ako se početno stroj nalazi u stanju S<sub>0</sub>, te se na ulaz dovede slijed 0,1,1,1,0, što će stroj generirati na izlazu (počevši od početnog stanja), te u kojem će stanju ostati?



- a) izlazi: 1,0,0,1,0,1, stanje S<sub>2</sub>      b) izlazi: 1,0,0,1,1,0, stanje S<sub>4</sub>  
 c) izlazi: 1,0,0,1,1,1, stanje S<sub>0</sub>      d) izlazi: 1,0,0,0,0,1, stanje S<sub>3</sub>  
 e) Izlazi: 1,0,1,1,0,0, stanje S<sub>1</sub>

5. Na raspolaganju je T bistabil. Njegovom uporabom, te uz minimalni utrošak osnovnih logičkih sklopova, projektirajte xy bistabil, čije je ponašanje definirano tablicom.

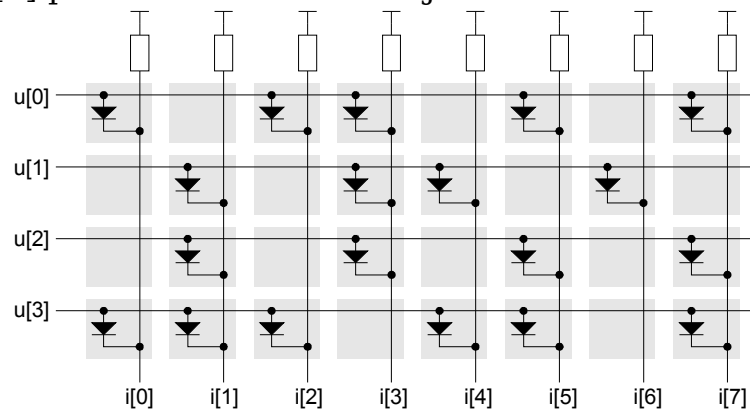
x	y	$Q_{n+1}$
0	0	0
0	1	$Q_n$
1	0	$\overline{Q_n}$
1	1	1

- a)  $T = X \cdot \overline{Q} + \overline{Y} \cdot Q$       b)  $T = \overline{Q} \cdot X + \overline{Q} \cdot Y + \overline{Q} \cdot \overline{X} \cdot \overline{Y}$   
 c)  $T = \overline{Q} \cdot X + \overline{X} \cdot Y + \overline{Q} \cdot X \cdot \overline{Y}$       d)  $T = \overline{Q} \cdot X \cdot Y + Q \cdot X + X \cdot \overline{Y}$   
 e)  $T = \overline{Q} \cdot X + \overline{Q} \cdot Y$

6. Uporabom minimalnog broja T bistabila s asinkronim ulazom za brisanje želi se projektirati asinkrono binarno brojilo koje broji u ciklusu duljine 12. Koje je stanje u tu svrhu potrebno dekodirati? Svi ulazi za brisanje spojeni su zajedno.

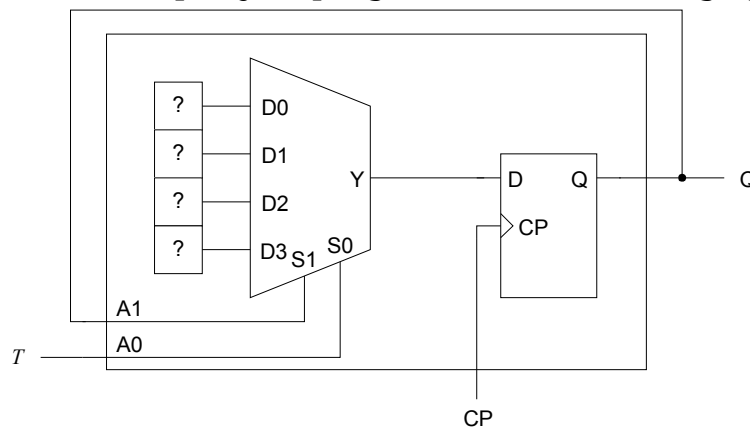
a) 0  
b) 12  
c) 14  
d) 15  
e) 13

7. Permanentna memorija ostvarena je diodnim poljem, prema slici. Koji je sadržaj memorije? Izlaz  $i[0]$  promatrati kao izlaz najveće težine.



a) 4A,A5,AA,12  
b) B5,5A,55,ED  
c) 23,17,2E,35  
d) A0,ED,54,31  
e) 14,73,77,51

8. Programirajte logički blok FPGA sklopa temeljen na preglednoj tablici, tako da ostvarite D bistabil. Što se upisuje u preglednu tablicu (odozgo prema dolje)?

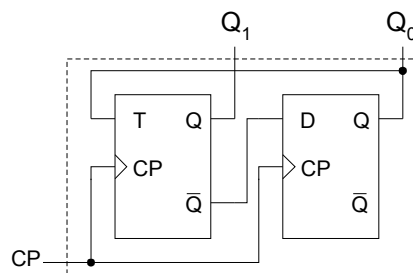


a) 0,1,0,1  
b) 1,1,0,0  
c) 0,0,1,1  
d) 1,0,1,0  
e) 0,1,1,0

9. Prednost  $2^{1/2}D$  organizacije memorije u odnosu na 2D organizaciju je:

a) Povećanje disipacije  
b) Produljenje vodova riječi  
c) Produljenje vodova bita  
d) Skraćenje vodova bita  
e) Skraćenje vodova riječi

10. Ako se na ulaz 5-bitnog težinskog D/A pretvornika s težinama (16,8,4,2,1) dovede podatak 01110, na izlazu se dobije napon amplitude 7V. Koliki se napon dobije za podatak 11011?
  - a) 13,5V
  - b) 3,14V
  - c) 17,2V
  - d) 14,1V
  - e) 12,5V
11. Na raspolaganju je analogno digitalni pretvornik sa sukcesivnom aproksimacijom koji može mjeriti napone od 0V do 21V. Koji će se napon kod tog pretvornika najbrže izmjeriti?
  - a) 21V
  - b) 10,5V
  - c) 9V
  - d) 0V
  - e) Sve pretvorbe traju jednako dugo
12. Ima li sklop na slici siguran start?

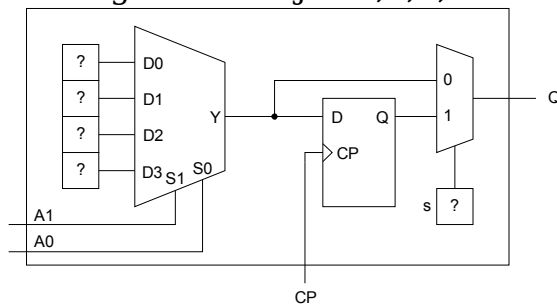


13. Popunite tablicu JK bistabila do kraja. U ponuđenim odgovorima stupac  $Q_{n+1}$  prepisan je odozgo prema dolje. Ukoliko je u nekom retku zabranjena pobuda, tada je odgovarajuće stanje  $Q_{n+1}$  označeno s X.

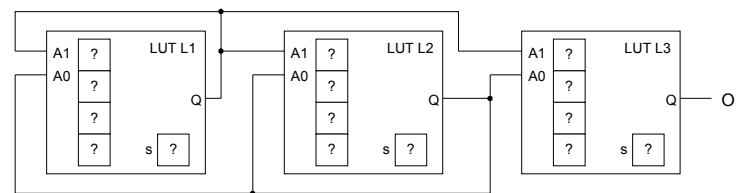
$\mathbf{Q_n}$	$\mathbf{J}$	$\mathbf{K}$	$\mathbf{Q_{n+1}}$
0	0	0	?
0	0	1	?
0	1	0	?
0	1	1	?
1	0	0	?
1	0	1	?
1	1	0	?
1	1	1	?

- a) 1,0,1,0,0,1,0,1                      b) 1,1,0,0,1,1,0,0  
c) 0,0,1,1,1,0,1,0                      d) 0,0,1,X,1,0,1,X  
e) 0,0,1,1,X,X,X,X

14. Na raspolaganju su tri logička bloka FPGA sklopa prikazana na slici 14-1, spojenih prema slici 14-2. Konfigurirajte blokove tako da se dobije sklop koji na izlazu generira slijed 0,1,1,1. Stanje  $S_i$  kodirajte binarnom reprezentacijom od 'i'.



Slika 14-1



Slika 14-2

- a)  $S_1=1$ , LUT1=0,1,1,0  
 $S_2=1$ , LUT2=1,0,1,0  
 $S_3=0$ , LUT3=0,1,1,0
- b)  $S_1=0$ , LUT1=0,0,0,0  
 $S_2=1$ , LUT2=0,0,0,0  
 $S_3=1$ , LUT3=0,0,0,0
- c)  $S_1=1$ , LUT1=1,1,0,0  
 $S_2=0$ , LUT2=0,0,1,1  
 $S_3=1$ , LUT3=0,1,1,1
- d)  $S_1=1$ , LUT1=0,1,1,0  
 $S_2=1$ , LUT2=1,0,1,0  
 $S_3=0$ , LUT3=0,1,1,1
- e)  $S_1=1$ , LUT1=0,1,0,0  
 $S_2=1$ , LUT2=0,0,1,0  
 $S_3=0$ , LUT3=0,1,1,1
15. Blok PROCESS nekog bistabila modeliranog VHDL-om prikazan je u nastavku. Koji je od ponuđenih odgovora točan za taj bistabil?
- ```

PROCESS (cp, a, b, x, qint)
BEGIN
    if (b='0') then qint<='0'; elsif (falling_edge(cp)) then
        if (a='0') then qint<='1'; else qint <= qint XOR x; end if;
    end if;
END PROCESS;

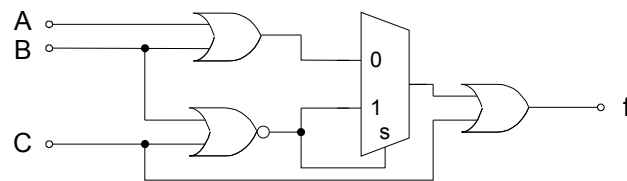
```
- a) a i b djeluju sinkrono  
b) b djeluje sinkrono, a asinkrono  
c) a i b djeluju asinkrono  
d) sklop reagira na rastući brid cp-a  
e) a djeluje sinkrono, b asinkrono
16. Blok PROCESS nekog bistabila modeliranog VHDL-om prikazan je u nastavku. O kojem se bistabilu radi? Signal qint direktno se preslikava na izlaz sklopa.
- ```

PROCESS (cp)
BEGIN
    if (falling_edge(cp)) then
        qint <= x;
    end if;
END PROCESS;

```
- a) T bistabil okidan padajućim bridom  
b) D bistabil okidan rastućim bridom  
c) T bistabil okidan rastućim bridom  
d) JK bistabil okidan padajućim bridom  
e) D bistabil okidan padajućim bridom



22. Funkcija od 4 varijable prikazana u kanonskom obliku produkta suma sadrži 11 maksterma. Ako istu funkciju prikažemo u kanonskom obliku sume produkata, koliko taj prikaz sadrži minterma?
  - a) 11
  - b) 10
  - c) 5
  - d) Ne može se odrediti
  - e) 16
23. U nekom digitalnom sustavu za pohranu cijelih brojeva koristi se binarni zapis u B-komplementu. Ako se za pohranu koristi 6 bitova, koji je najmanji broj koji se može prikazati?
  - a) -31
  - b) -64
  - c) -32
  - d) -16
  - e) 0
24. Koju funkciju obavlja sklop prikazan na slici?



- a)  $f(A, B, C) = \sum m(2, 4, 5, 7)$       b)  $f(A, B, C) = \sum m(0, 3, 7)$   
c)  $f(A, B, C) = \sum m(0, 1, 2, 3, 4, 5, 6, 7)$       d)  $f(A, B, C) = \sum m(0, 1, 2, 5, 7)$   
e)  $f(A, B, C) = \sum m(0, 1, 2, 5)$
25. Koji je od sljedećih minimalni potpuni sustav funkcija Booleove algebre?
- a) {EX-ILI}      b) {ILI, NE}  
c) {NE}      d) {NI}  
e) {EX-NILI}