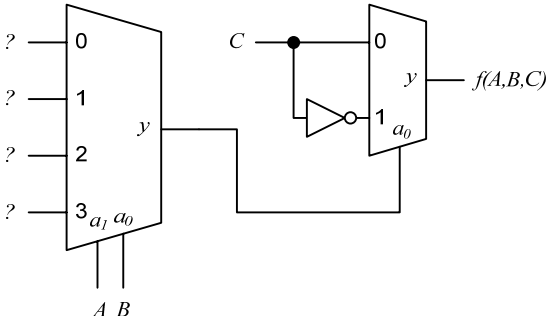
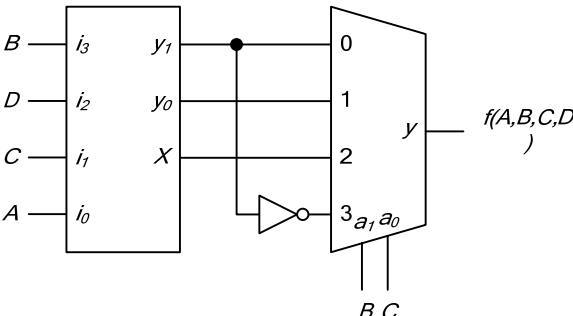
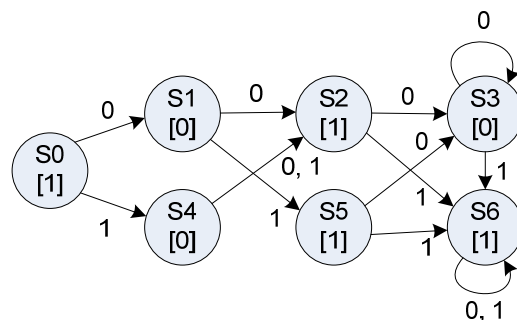




9.	<p>Sklop sa slike treba ostvariti funkciju <math>f(A,B,C) = \prod M(0,3,5,6)</math>. Što treba dovesti na ulaze multipleksora 4/1? U ponuđenim odgovorima vrijednosti su navedene od ulaza 0 prema ulazu 3.</p>  <p>a) 1,1,1,0 b) 0,1,1,0 c) 1,1,0,0 d) 1,0,1,0 e) 0,0,1,1 f) ništa od navedenog</p>
10.	<p>U nekom digitalnom sustavu dekadске znamenke kodiraju se pomoću 4 bita <math>b_3b_2b_1b_0</math>, pri čemu je dekadска znamenka <math>i</math> kodirana kao binarni broj <math>i+2</math> (npr. znamenci 5 odgovara kod <math>b_3b_2b_1b_0 = 0111</math>). Potrebno je projektirati sklop temeljen na dekoderu 4/16 i jednom ILI sklopu koji će na izlazu dati 1 ako se na ulaz dovede kod znamenke koja je parna i veća od 3. Na adresne ulaze dekodera <math>a_3a_2a_1a_0</math> dovodi se kod znamenke <math>b_3b_2b_1b_0</math>. Koje izlaze dekodera treba dovesti na ILI sklop?</p> <p>a) 6, 8, 10                      b) 8, 10, 12, 14                      c) 4, 6, 8, 10 d) 1, 3, 4, 8                      e) 4, 6, 8                      f) ništa od navedenog</p>
11.	<p>Koju funkciju <math>f(A,B,C,D)</math> ostvaruje sklop sa slike? Izlaz <math>X</math> prioritetnog kodera je u 1 ako je na barem jednom ulazu prisutna jedinica; inače <math>X=0</math> i <math>y_1y_0=00</math>. Ulaz <math>i_3</math> je ulaz najvećeg prioriteta.</p>  <p>a) <math>\sum m(1,2,4,5,9,10,12,13)</math> b) <math>\sum m(2,3,4,5,8,9,12,13)</math> c) <math>\sum m(1,4,5,9,10,12,13)</math> d) <math>\sum m(2,3,4,5,8,9,10,11,12,13)</math> e) <math>\sum m(4,5,12,13)</math> f) ništa od navedenog</p>
12.	<p>Tehnologijom CMOS potrebno je ostvariti funkciju <math>f(A,B,C,D,E) = \overline{A} B \overline{C} + \overline{D} \overline{E}</math>. Koliko nam treba minimalno tranzistora?</p> <p>a) 18                      b) 16                      c) 10                      d) 20                      e) 12                      f) ništa od navedenog</p>
13.	<p>Memorija 512×2 bita ima 2 1/2 D organizaciju. Koliko logičkih riječi u tom slučaju sadrži jedna fizička riječ, ako se na adresni dekođer retka dovodi 5 bitova adrese?</p> <p>a) jednu logičku riječ                      d) šesnaest logičkih riječi b) četiri logičke riječi                      e) trideset i dvije logičke riječi c) osam logičkih riječi                      f) ništa od navedenog</p>
14.	<p>Koliko iznosi maksimalna frekvencija rada 5-bitnog sinkronog binarnog brojila s paralelnim prijenosom (prijenos je izveden sklopovima I), ako je poznato <math>t_{db} = 20</math> ns, <math>t_{setup} = 15</math> ns, <math>t_{dls} = 5</math> ns?</p> <p>a) 10 MHz                      b) 25 MHz                      c) 50 MHz                      d) 20 MHz                      e) 100 MHz                      f) ništa od navedenog</p>
15.	<p>Pomoću 5 bistabila T izgrađeno je asinkrono binarno brojilo unaprijed. Bistabili imaju još i dodatni asinkroni ulaz za brisanje (reset, ulaz aktivan s 1), i u brojilu su ti ulazi povezani zajedno, te je na njih spojen izlaz sklopa I. Koje stanje taj sklop mora dekodirati ako se puni ciklus brojila želi skratiti za 5?</p> <p>a) 27                      b) 26                      c) 13                      d) 3                      e) 12                      f) ništa od navedenog</p>

16.	<p>Uporabom PLA tipa I-ILI potrebno je ostvariti funkcije: <math>f_1(A,B,C,D) = \sum m(0,3,4,7,10,11) + \sum d(2,8)</math> i <math>f_2(A,B,C,D) = \sum m(0,3,4,7,10,11,12,13,14,15) + \sum d(8)</math>. Ako dimenzije sklopa PLA označimo s <math>x \times y \times z</math>, gdje je <math>x</math> broj ulaza, <math>y</math> broj sklopova I-polja (prvog polja) a <math>z</math> broj sklopova ILI-polja (drugog polja), koji nam je minimalno potreban PLA?</p> <p>a) <math>4 \times 5 \times 2</math>    b) <math>4 \times 4 \times 2</math>    c) <math>4 \times 7 \times 2</math>    d) <math>4 \times 6 \times 2</math>    e) <math>4 \times 3 \times 2</math>    f) ništa od navedenog</p>
-----	--

17.	<p>Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Što je od sljedećega točno?</p> <p>a) stanja <math>S_0</math> i <math>S_1</math> su ekvivalentna  b) stanja <math>S_2</math> i <math>S_3</math> su ekvivalentna  c) stanja <math>S_2</math> i <math>S_4</math> su ekvivalentna  d) stanja <math>S_2</math> i <math>S_5</math> su ekvivalentna  e) stanja <math>S_0</math> i <math>S_6</math> su ekvivalentna  f) ništa od navedenog</p>
-----	---



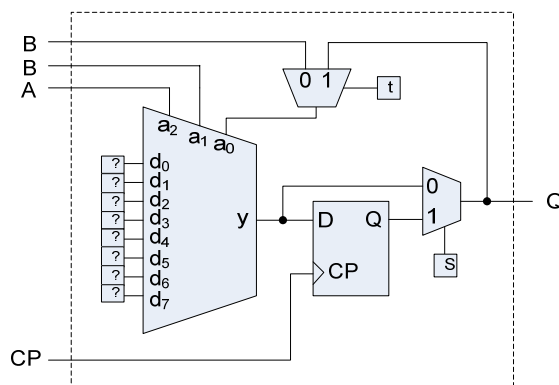
Slika 1. Stroj s konačnim brojem stanja

18.	<p>Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Početno stanje je <math>S_0</math>. Ako se na njegov ulaz dovede niz 1, 1, 1, 1, 1, što će biti generirano na njegovom izlazu?</p> <p>a) 1,0,1,0,0,0    b) 1,0,1,0,1,1    c) 1,0,1,1,1,1  d) 1,1,1,0,0,1    e) 1,0,1,0,0,1    f) ništa od navedenog</p>
-----	---

19.	<p>Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Taj se stroj direktno (bez minimizacije broja stanja) ostvaruje bistabilima D. Pri tome se koriste 3 bistabila, a stanje <math>S_i</math> kodira se kao broj <math>i</math> zapisan u Grayevom kodu. Što se dovodi na ulaz <math>D_0</math> bistabila koji pohranjuje bit najmanje težine? Ulaz stroja označen je sa <math>x</math>. <math>D_0(Q_2, Q_1, Q_0, x)</math> glasi:</p> <p>a) <math>\sum m(0,2,3,5,7,10,11,12,13,15) + \sum d(8,9)</math>    d) <math>\sum m(0,1,2,5,6,10,11,12,14,15) + \sum d(8,9)</math>  b) <math>\sum m(0,1,4,5,10,11,12,13,14,15) + \sum d(8,9)</math>    e) <math>\sum m(0,2,3,4,5,7,10,11,13,15) + \sum d(8,9)</math>  c) <math>\sum m(1,2,3,5,6,8,10,11,12,13,14) + \sum d(8,9)</math>    f) ništa od navedenog</p>
-----	---

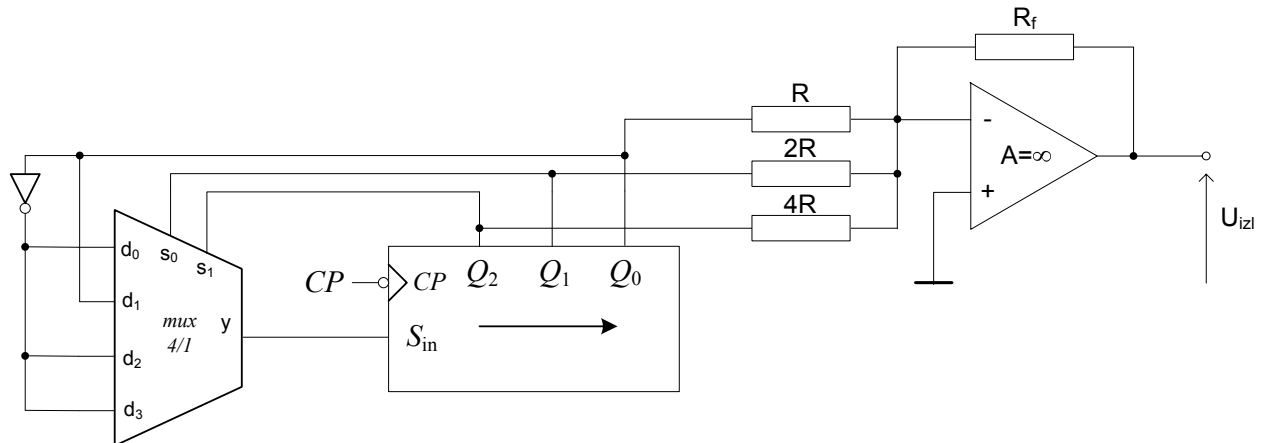
20.	<p>Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Prisjetite se kako ste na laboratorijskim vježbama modelirali ovakav stroj (razlaganje modela stroja na 3 bloka process). Ako ulaz stroja označimo sa <math>x</math>, signal koji čuva trenutno stanje sa <math>state</math>, signal koji čuva sljedeće stanje sa <math>nstate</math>, izlaz sa <math>o</math> te takt sa <math>cp</math>, što će biti minimalna lista osjetljivosti bloka process koji određuje <math>o</math>?</p> <p>a) <math>cp</math>    b) <math>state, x</math>    c) <math>state</math>    d) <math>state, x, cp</math>    e) <math>state, cp</math>    f) ništa od navedenog</p>
-----	---

21.	<p>Na raspolaganju je logički blok FPGA sklopa prikazan slikom. Želimo ostvariti bistabil s ulazima A i B čija je jednačba promjene stanja:</p> $Q^{n+1} = Q^n \cdot (A + \overline{B}) + A\overline{B}$ <p>gdje <math>Q^{n+1}</math> označava sljedeće a <math>Q^n</math> trenutno stanje bistabila. Kako treba programirati logički blok? U rješenjima je LUT očitao od <math>d_0</math> prema <math>d_7</math>.</p> <p>a) LUT=00011101, <math>s=1</math>, <math>t=1</math>  b) LUT=01001101, <math>s=1</math>, <math>t=1</math>  c) LUT=00111010, <math>s=1</math>, <math>t=1</math>  d) LUT=00101110, <math>s=1</math>, <math>t=1</math>  e) LUT=01100001, <math>s=0</math>, <math>t=1</math>  f) ništa od navedenog</p>
-----	--

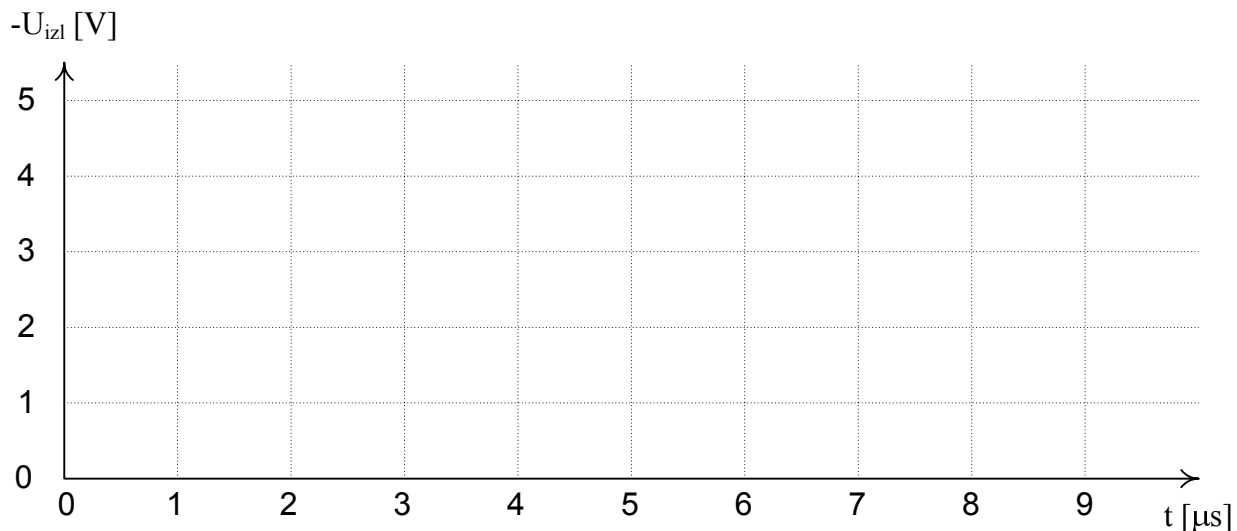


Sljedeća dva zadatka nemaju negativnih bodova i rješenje se pregledava ručno; način bodovanja: točno rješenje +1, netočno ili neodgovoreno 0. Računski dio zadatka 22 mora biti riješen na unutrašnjosti košuljice s lijeve strane a traženi dijagram mora biti nacrtan na ovom papiru u za to predviđeno mjesto. Zadatak 23 mora biti riješen na unutrašnjosti košuljice s desne strane.

22. Digitalni sustav priključen na digitalno-analogni pretvornik prikazan je na slici.



Signal takta je simetričan poluperiode 500 ns; prvi padajući brid pojavljuje se u trenutku  $t = 1 \mu\text{s}$ . Na vremenskom dijagramu **prikazanom u nastavku** prikažite kretanje izlaznog napona od trenutka  $t = 0$  ns do trenutka  $t = 9,5 \mu\text{s}$ . Pretpostaviti da se izlazi posmačnog registra ponašaju ili kao idealni izvor napona  $U_{\text{REF}} = 4 \text{ V}$  ili kao idealni spoj na masu (ovisno o stanju izlaza). Još je poznato:  $R = 8 \text{ k}\Omega$ ,  $R_F = 4 \text{ k}\Omega$ . U trenutku  $t = 0$  ns svi su bistabili registra u stanju 0. Kašnjenja bistabila i logičkih sklopova/modula zanemarite. Obratite pažnju na način (težine!) na koji je pretvornik spojen na izlaze registra.



23. **Na unutrašnjosti košuljice s desne strane** napišite cjelovit VHDL opis stroja s konačnim brojem stanja (ne trebate pisati zaglavlje `library` te `use`; sve ostalo treba). Struktura sklopa mora odgovarati kanonskom modelu stroja s konačnim brojem stanja te vrste kako je izložena na predavanjima.