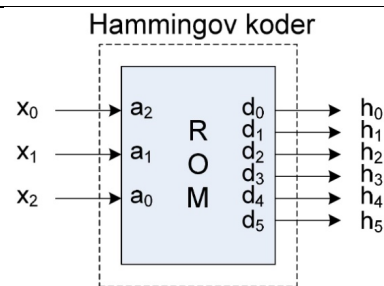


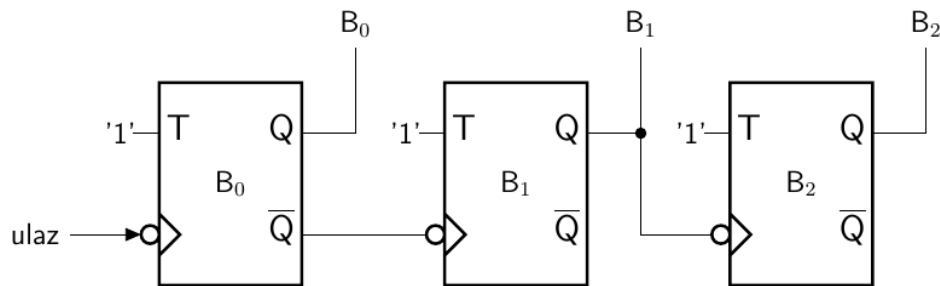
# ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

## Grupa B

1	Nad brojem $FEED_{16}$ potrebno je izvršiti aritmetički posmak udesno za 3 bita. Rezultat je: a) 1FDD      b) FFDD      c) F768      d) F76F      e) 1FEE      f) ništa od navedenoga
2	Ako je 8-bitno binarno zbrajalo koje zbraja dva broja $A=a_7a_6a_5a_4a_3a_2a_1a_0$ i $B=b_7b_6b_5b_4b_3b_2b_1b_0$ napravljeno s greškom tako da su u gornjoj polovici (za četiri bita najveće težine) upotrijebljena četiri potpuna oduzimala (umjesto potpunih zbrajala), što će se pojaviti na izlazima $s_7s_6s_5s_4s_3s_2s_1s_0$ toga sklopa ako se na ulaz A dovede niz 11101011, a na ulaz B niz bitova 01100111? a) 01110010      c) 01000100      e) 10001100 b) 01010010      d) 10000100      f) ništa od navedenoga
3	Za izvedbu množenja 3-bitnih sa 7-bitnim brojevima na raspolaganju su 3-bitna zbrajala te logički sklopovi I. Koliko je minimalno potrebno 3-bitnih zbrajala za izvedbu takvog množila (uz upotrebu minimalnog broja logičkih sklopova I)? a) četiri      b) pet      c) osam      d) sedam      e) šest      f) ništa od navedenoga
4	Zadana je funkcija $f(A,B,C,D) = \sum m(1,3,5,6,7,9,10,11,13,15)$ . Kako glasi njen minimalni oblik izravno ostvariv sklopom PLA tipa NILI-NILI. a) $\overline{D}(\overline{A} + B + \overline{C})(A + \overline{B} + \overline{C})$ c) $C + D$ e) $\overline{D} + \overline{A}B\overline{C} + A\overline{B}\overline{C}$ b) $I$ d) $(C + D)(\overline{A} + \overline{B} + D)(A + B + D)$ f) ništa od navedenoga
5	Multiplexorima 2/1 potrebno je izgraditi multipleksorsko stablo 8/1. Koliko je multipleksora 2/1 potrebno? a) 8      b) 16      c) 4      d) 7      e) 15      f) ništa od navedenoga
6	Potrebno je programirati ROM tako da sklop prikazan na slici obavlja funkciju Hammingovog kodera uz uporabu neparnog pariteta. Na izlazu $h_0$ potrebno je generirati prvi zaštitni bit, a kao prvi podatkovni bit uzima se $x_0$ . Neka se sadržaji lokacija ROM-a očitavaju kao oktalni brojevi. Na kojoj memorijskoj lokaciji se nalazi zapisan najveći oktalni broj (pri očitavanju $d_5$ je uzet kao bit najveće težine)? a) 1      b) 2      c) 4      d) 5      e) 7      f) ništa od navedenoga
7	Programirljiv kombinacijski modul koji ima programirljivo dekodersko polje a fiksno kodersko polje naziva se: a) FPGA sklop      d) Statička RAM memorija b) Poluprogramirljivo logičko polje (PAL)      e) Programirljivo logičko polje (PLA) c) Ispisna memorija      f) ništa od navedenoga
8	Asinkrono binarno brojilo sastoji se od 4 bistabila T koji imaju asinkrone ulaze za postavljanje i brisanje a koji se aktiviraju logičkom 1. Asinkroni ulazi za postavljanje bistabila $B_0$ i $B_1$ spojeni su na signal X, a bistabila $B_2$ i $B_3$ spojeni su na logičku 0. Asinkroni ulazi za brisanje bistabila $B_2$ i $B_3$ spojeni su na signal X, a bistabila $B_0$ i $B_1$ na logičku 0. Koju funkciju treba obavljati signal X kako bi brojilo radilo u ciklusu s 8 stanja? Izlazi bistabila označeni su s $Q_3Q_2Q_1Q_0$ . a) $Q_3\overline{Q_2}Q_1Q_0$ b) $\overline{Q_3}Q_2\overline{Q_1}Q_0$ c) $\overline{Q_3}Q_2Q_1Q_0$ d) $Q_3Q_2Q_1Q_0$ e) $Q_3\overline{Q_2}Q_1\overline{Q_0}$ f) ništa od navedenoga
9	Koliko iznosi maksimalna frekvencija signala takta 6-bitnog sinkronog binarnog brojila s paralelnim prijenosom ako je poznato: $t_{db}=20$ ns, $t_{setup}=25$ ns, $t_{hold}=10$ ns. Koriste se logički sklopovi I s $t_{dls} = 5$ ns. a) 15,4 MHz      b) 13,3 MHz      c) 10 MHz      d) 20 MHz      e) 40 MHz      f) ništa od navedenoga



10	<p>Funkcija <math>f(A,B,C,D) = \sum m(2,6,7,8,9,12,13,15)</math> ostvaruje se kao suma produkata. Za takav oblik funkcije odredite broj primarnih implikanata (<math>\pi</math>) te bitnih primarnih implikanata (<math>b\pi</math>). <math>\pi/b\pi</math> je:</p> <p>a) 2/2                      b) 5/5                      c) 17/5                      d) 3/5                      e) 5/2                      f) ništa od navedenoga</p>
11	<p>DA pretvornik s težinskom otpornom mrežom i operacijskim pojačalom izgrađen je za kôd 2421. Maksimalna vrijednost otpora u mreži iznosi 10 k<math>\Omega</math>. Ako se na ulazu pretvornika pojavi broj 5, kolika će biti vrijednost izlaznog napona ako je još poznato: <math>U_{REF}=5V</math>, <math>R_f=5 k\Omega</math>.</p> <p>a) -10V                      b) -5V                      c) 10V                      d) 12,5V                      e) -12,5V                      f) ništa od navedenoga</p>
12	<p>Analogno-digitalni pretvornik sa sukcesivnom aproksimacijom za pretvorbu koristi signal takta frekvencije 20 kHz. Vrijeme potrebno za pretvorbu ulaznog napona od 3 V iznosi 100 <math>\mu s</math>. Koliko će mu vremena trebati za pretvorbu napona od 1,5 V?</p> <p>a) 200 <math>\mu s</math>                      b) 100 <math>\mu s</math>                      c) 300 <math>\mu s</math>                      d) 50 <math>\mu s</math>                      e) 150 <math>\mu s</math>                      f) ništa od navedenoga</p>
13	<p>Bistabil je opisan VHDL-om u nastavku. Nacrtajte shemu tog sklopa prema priloženom VHDL kôdu. Ako je poznato da se bistabil početno nalazi u stanju 0 (tj. <math>q=0</math>), što je potrebno dovesti na ulaze X, Y i Z da bi bistabil promijenio stanje u 1?</p> <pre>entity ff is port(x,y,z:in std_logic; q,qn: out std_logic); end ff; architecture str of ff is signal i1,i2,i3,i4: std_logic; begin i1 &lt;= x nand y; i2 &lt;= y nand z; i3 &lt;= i1 nand i4; i4 &lt;= i3 nand i2; q &lt;= i3; qn &lt;= i4; end str;</pre> <p>a) X=0, Y=1, Z=1                      c) X=1, Y=1, Z=0                      e) X=0, Y=0, Z=0 b) X=1, Y=1, Z=1                      d) X=0, Y=0, Z=1                      f) ništa od navedenoga</p>
14	<p>Sučelje bistabila T te multipleksora 4/1 prikazano je u nastavku.</p> <pre>entity tff is port(t,cp:in std_logic; q,qn: out std_logic); end tff; entity mux41 is port(d0,d1,d2,d3,a1,a0:in std_logic; y: out std_logic); end mux41;</pre> <p>Razmotrite djelomični VHDL model koji ostvaruje bistabil JK uporabom bistabila T i multipleksora 4/1.</p> <pre>entity jkff is port(j,k,cp:in std_logic; q,qn: out std_logic); end jkff; architecture str of jkff is signal i1,i2,i3: std_logic; begin b: ENTITY work.tff PORT MAP (i3,cp,i1,i2); m: ENTITY work.mux41 PORT MAP (&lt;A&gt;); q &lt;= i1; qn &lt;= i2; end str;</pre> <p>U PORT MAP-u koji je nepotpun (umjesto &lt;A&gt;) može pisati:</p> <p>a) i1,0,i2,1,j,k,i3                      d) i1,i2,i1,1,j,k,i3 b) 0,i1,i2,1,i3,j,k                      e) 0,1,1,0,j,k,i1 c) 0,i1,i2,1,j,k,i3                      f) ništa od navedenoga</p>
15	<p>Neki memorijski modul ima kapacitet 64K<math>\times</math>8 bita. Ako je memorijsko polje organizacije 3D, koliko će ukupno izlaza imati korišteni <b>adresni dekoderi</b>?</p> <p>a) 64                      b) 4096                      c) 1024                      d) 512                      e) 2048                      f) ništa od navedenoga</p>
16	<p>Prednost dinamičkog RAM-a (DRAM) u odnosu na statički (SRAM) je:</p> <p>a) DRAM omogućava veći kapacitet memorije na istoj površini čipa b) DRAM omogućava brži rad od SRAM-a c) DRAM zahtijeva veći broj tranzistora za realizaciju jedne memorijske ćelije nego SRAM d) DRAM koristi diodne matrice za realizaciju memorijskih ćelija e) DRAM zahtijeva manje adresnih bitova od SRAM-a za adresiranje memorije jednakog kapaciteta f) ništa od navedenoga</p>



Slika 1. Asinkrono brojilo za zadatke 17 i 18.

- 17 Bistabilima tipa T koji su okidani padajućim bridom signala takta ostvareno je 3-bitno asinkrono brojilo prikazano na slici 1. U kojem ciklusu broji prikazano brojilo?
- a) 0,1,2,3,4,5,6,7      c) 0,7,6,5,4,3,2,1      e) 0,3,2,5,4,7,6,1  
b) 0,7,6,5,1,2,3,4      d) 0,3,1,2,5,4,6,7      f) ništa od navedenoga
- 18 Bistabilima tipa T koji su okidani padajućim bridom signala takta ostvareno je 3-bitno asinkrono brojilo prikazano na slici 1. Ulazni signal je simetričan, poluperiode 50 ns. U trenutku  $t = 0$  svi bistabili su u stanju 0. Prvi padajući brid ulaznog signala pojavljuje se u trenutku  $t = 100$  ns. Što ćemo očitati na izlazima brojila ( $B_2B_1B_0$ ) u trenutcima  $t = 305$  ns, 315 ns, 325 ns i 335 ns ako je  $t_{dB} = 10$  ns? U odgovoru su vrijednosti navedene traženim vremenskim redoslijedom.
- a) 0,2,4,6      b) 2,3,1,5      c) 2,5,1,4      d) 5,7,1,3      e) 0,3,1,2      f) ništa od navedenoga
- 19 Odredite minimalni oblik funkcije koju ostvaruje sklop sa slike.
- 
- a)  $AB + CD$       c)  $AB + AC + AD + \overline{BC} + \overline{BD}$       e)  $\overline{AB} + \overline{CD}$   
b)  $AB + AC + AD + BC + BD$       d)  $\overline{AB} + \overline{CD}$       f) ništa od navedenoga
- 20 Mealyjev stroj s konačnim brojem stanja opisan je tablicom u nastavku. Ostvarite ga uporabom dva bistabila tipa D (izravno, bez minimizacije broja stanja), pri čemu stanje  $S_i$  treba biti kodirano kao binarno zapisan broj  $i$ . Bistabili  $B_1$  i  $B_0$  imaju izlaze  $Q_1$  i  $Q_0$ ;  $B_1$  pohranjuje viši bit kôdne riječi. Ulaz automata je označen s X. Kako glasi minimalni zapis Booleove funkcije izlaza ovog stroja?
- | $Q^n$ | $Q^{n+1}$ |           | $Z^n$     |           |
|-------|-----------|-----------|-----------|-----------|
|       | $X^n = 0$ | $X^n = 1$ | $X^n = 0$ | $X^n = 1$ |
| $S_0$ | $S_0$     | $S_1$     | 1         | 0         |
| $S_1$ | $S_2$     | $S_1$     | 0         | 1         |
| $S_2$ | $S_3$     | $S_1$     | 0         | 0         |
| $S_3$ | $S_0$     | $S_1$     | 0         | 0         |
- a)  $\overline{X} \overline{Q_1} \overline{Q_0} + X \overline{Q_1} Q_0$       d)  $\overline{X} \overline{Q_1} Q_0 + \overline{X} Q_1 \overline{Q_0}$   
b)  $\overline{Q_1} Q_0 + Q_1 \overline{Q_0}$       e)  $\overline{X} \overline{Q_1} \overline{Q_0}$   
c)  $X + Q_1 \overline{Q_0}$       f) ništa od navedenoga

*Ako se rješavaju, sljedeća dva zadatka moraju biti riješena u unutrašnjosti košuljice, kako je napisano uz svaki od zadataka (ili se neće bodovati). Zadatci se boduju jednako kao i prethodni zadatci (ali nema negativnih bodova). Zadatak mora imati prikazan postupak te konačno rješenje.*

**Zadatak 21. Riješiti na unutrašnjosti košuljice, s lijeve strane.**

Na raspolaganju je model bistabila JK čije je sučelje prikazano u nastavku. Bistabil je okidan padajućim bridom signala takta.

```
entity jkff is port(j,k,cp:in std_logic; q,qn: out std_logic); end jkff;
```

Nacrtajte shemu 4-bitnog sinkronog binarnog brojila unaprijed s paralelnim prijenosom koje je ostvareno navedenim bistabilima JK. Potom napišite strukturni VHDL model tog brojila uz pretpostavku da je sučelje zadano kako slijedi.

```
entity brojilo is port(  
    cp: in std_logic;  
    q: out std_logic_vector(3 downto 0)  
); end brojilo;
```

Dovoljno je napisati samo arhitekturu tog opisa – ne treba prepisivati deklaraciju sučelja.

**Zadatak 22. Riješiti na unutrašnjosti košuljice, s desne strane.**

Komponenta zbr je 3-bitno binarno zbrajalo čije je sučelje:

```
entity zbr is port(a,b:in std_logic_vector(2 downto 0); r: out  
std_logic_vector(2 downto 0); cout: out std_logic); end zbr;
```

VHDL kôd u nastavku prikazuje model sekvencijskog sklopa koji koristi tu komponentu.

```
entity sklop is port(  
    cp: in std_logic; q: out std_logic_vector(2 downto 0)  
); end sklop;  
architecture arch of sklop is  
    signal s1, s2: std_logic_vector(2 downto 0);  
begin  
  
    process(cp)  
    begin  
        if falling_edge(cp) then s2 <= s1; end if;  
    end process;  
  
    z: ENTITY work.zbr PORT MAP(s2, "010", s1, open);  
  
    q <= s2;  
  
end arch;
```

Za ovaj sklop nacrtajte dijagram promjene stanja (pod stanjem podrazumijevamo broj zapisan na izlazu q u dekadskom sustavu, pri čemu je q(2) bit najveće težine). Uz pretpostavku da se pri uključenju fizičke implementacije opisanog sklopa bistabili mogu zateći u bilo kojem stanju, odredite ima li takav sklop siguran start (i objasnite odgovor)?