

Crvenom su označeni odgovori za koje smatram da su točni...

Ako ima neka duša da može potvrditi moje odgovore u pomoći mi u tri zadatka, a to su ostali neriješeni zadaci: 5.; 8.; 11.

Hvala unaprijed

Nadam se da će nekom i koristiti ovo ☺

1.

1.

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    clock, J, K, L: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(...)  
    begin  
        if J='1' then  
            Qint<= '1';  
        elsif K='0' then  
            Qint<= '1';  
        elsif rising_edge(clock) then  
            if L= '1' then  
                Qint<= not Qint;  
            end if;  
        end if;  
        Qout<= Qint;  
    end process;
```

end beh;

Označite sve signale koji čine minimalnu listu osjetljivosti.

☐ **L**

☐ **K**

☐ **clock**

☐ **Qint**

☐ **J**

---

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    clock, Q, R, S: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(clock, Q, R)  
    begin  
        if falling_edge(clock) then  
            if S = '1' then  
                Qint<= not Qint;  
            end if;  
        end if;  
        if Q='1' then  
            Qint<= '0';  
        end if;  
        if R='0' then  
            Qint<= '1';  
        end if;  
    end process;  
  
    Qout<= Qint;  
  
end beh;
```

Označite sve ulaze bistabila koji djeluju sinkrono.

☐ Q

☐ R

☐ S

---

3.

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    cp, G, H, I, J: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(cp, G, H)  
        variable sel: std_logic_vector(1 downto 0);  
    begin  
        if G='1' then  
            Qint<= '1';  
        elsif H='0' then  
            Qint<= '0';  
        elsif falling_edge(cp) then  
            sel:=I&J;  
            case sel is  
                when "00"=> Qint<= '1';  
                when "01"=> Qint<= Qint;  
                when "10"=> Qint<= '0';  
                when "11"=> Qint<= Qint;  
                when others=> null;  
            end case;  
        end if;  
    end process;  
  
    Qout<= Qint;  
  
end beh;
```

Označite asinkroni ulaz najvišeg prioriteta.

- ☐ H
  - ☒ G
  - ☐ J
  - ☐ I
-

---

4.

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    clock, U, V: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(clock, U)  
    begin  
        if U='1' then  
            Qint<= '1';  
        elsif falling_edge(clock) then  
            if V= '1' then  
                Qint<= not Qint;  
            end if;  
        end if;  
    end process;  
  
    Qout<= Qint;  
  
end beh;
```

Na što djeluje signal takta clock?

- ☐ na logičku razinu 0
  - ☒ na padajući brid
  - ☐ na logičku razinu 1
  - ☐ na rastući brid
-

5.

Stroj s konačnim brojem stanja zadan je tablicom u nastavku. Stroj ima jedan jednobitni ulaz, te jedan 3-bitni izlaz.

Trenutno stanje	Pobuda U	Sljedeće stanje	Izlaz
S5	0	S2	0
S5	1	S5	3
S3	0	S2	4
S3	1	S1	4
S0	0	S1	7
S0	1	S1	3
S6	0	S4	4
S6	1	S1	4
S2	0	S4	7
S2	1	S7	2
S7	0	S4	2
S7	1	S3	4
S1	0	S6	5
S1	1	S1	4
S4	0	S6	6
S4	1	S4	3

Za realizaciju tog stroja na raspolaganju su 3 D bistabila. Pri tome se svako stanje kodira prema tablici prikazanoj u nastavku.

Stanje	Kod stanja		
	Q2	Q1	Q0
S0	0	1	0
S1	1	1	0
S2	1	0	0
S3	0	0	1
S4	1	1	1
S5	0	0	0
S6	0	1	1
S7	1	0	1

Projektirajte taj sklop uporabom zadanih bistabila. Nije dozvoljeno obavljati minimizaciju broja stanja stroja (naime, iako se ovo uobičajeno čini prilikom projektiranja, za potrebe strojnog ocjenjivanja u ovom se zadatku ne smije). U polja za unos rješenja za svaki ulaz bistabila, te za svaki izlaz stroja unesite minimizirani algebarski zapis funkcije.

Prilikom unosa algebarskog oblika za stanja bistabila koristiti oznake  $Q_j$  (gdje je  $j$  broj bistabila; npr.  $Q_2$ ), odnosno  $U$  za pobudu. Primjer jednog takvog rješenja:

$Q_2 \text{ and not } Q_1 \text{ and } U \text{ or not } Q_0 \text{ and not } U$ . Prilikom očitavanja izlaza stroja bit izlaza  $O_0$  promatran je kao bit najmanje težine.

B2.D

B1.D

B0.D

O2

O1

O0

6.

Stroj s konačnim brojem stanja zadan je tablicom u nastavku. Stroj ima jedan 1-bitni ulaz, te jedan 1-bitni izlaz.

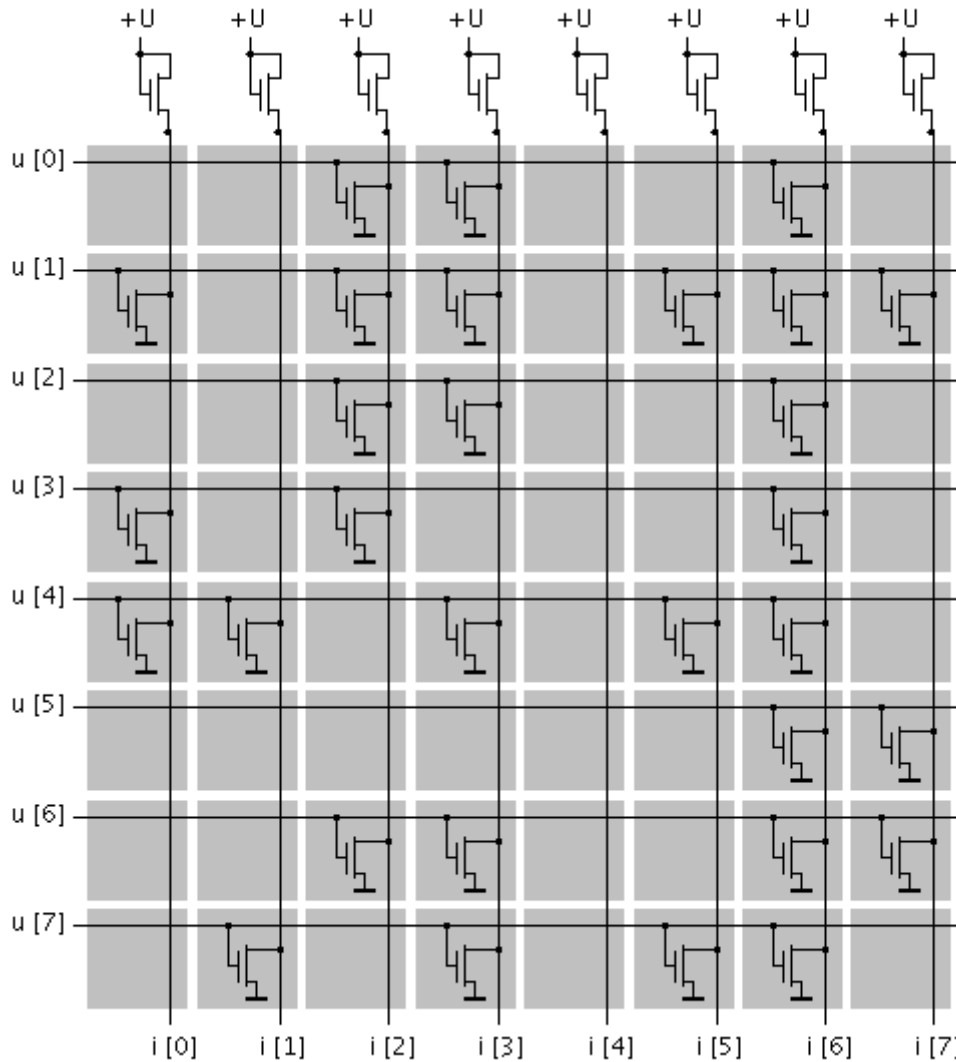
Trenutno stanje	Pobuda U	Sljedeće stanje	Izlaz
S3	0	S6	0
S3	1	S3	1
S0	0	S2	0
S0	1	S7	0
S1	0	S3	1
S1	1	S7	1
S4	0	S0	0
S4	1	S1	1
S6	0	S4	1
S6	1	S6	1
S7	0	S3	1
S7	1	S6	0
S2	0	S2	0
S2	1	S2	0
S5	0	S3	1
S5	1	S1	0

Provjerite je li zadani stroj s konačnim brojem stanja Mealyjev ili Mooreov? Dobro razmislite o vašem odgovoru!

- ☐ Stroj s konačnim brojem stanja je Mooreov, ali mu izlaz ovisi i o trenutnim ulazima
- ☒ Stroj s konačnim brojem stanja je Mealyjev
- ☐ Stroj s konačnim brojem stanja je Mealyjev, ali mu izlaz ne ovisi o trenutnim ulazima
- ☐ Stroj s konačnim brojem stanja je Mooreov

7.

Permanenta memorija je zadana slikom.



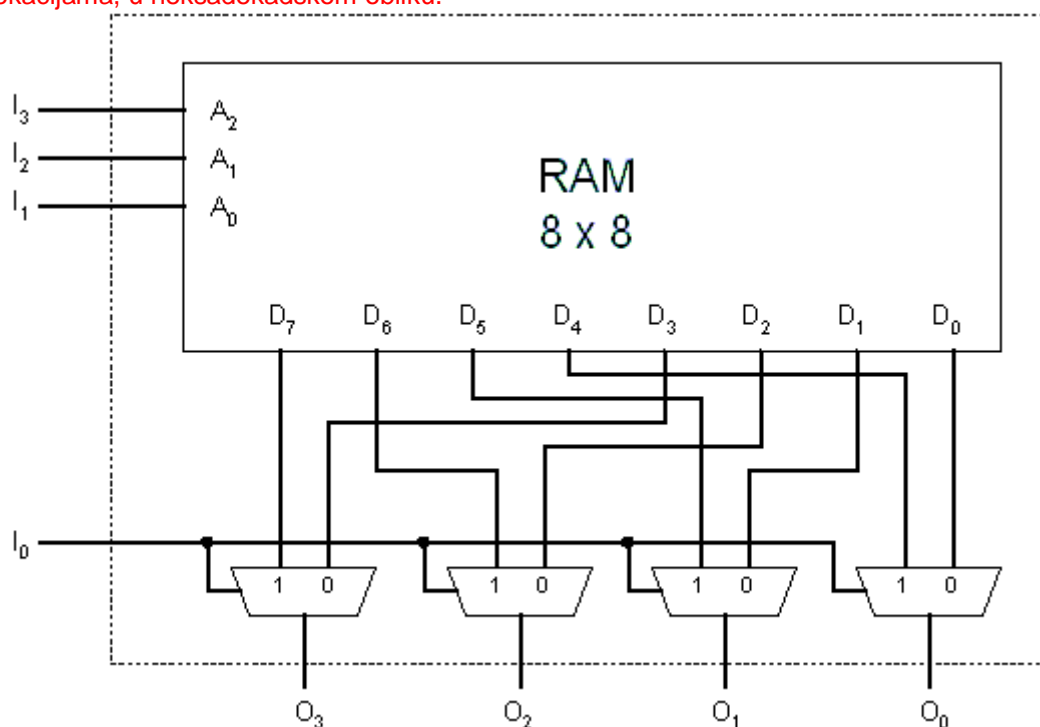
Očitajte sadržaj memorije po lokacijama. U polja za unos rješenja potrebno je unijeti vrijednost memorijske lokacije u heksadekadskom obliku (kao dvije heksadekadske znamenke); npr. E8 ili 2F. Pri tome bit  $i[0]$  tretirajte kao bit najveće težine.

Lokacija 0	<input type="text"/>	1100 1101 (CD)
Lokacija 1	<input type="text"/>	0100 1000 (48)
Lokacija 2	<input type="text"/>	1100 1101 (CD)
Lokacija 3	<input type="text"/>	0101 1101 (5D)
Lokacija 4	<input type="text"/>	0010 1001 (29)

Lokacija		
5		1111 1100 (FC)
Lokacija		
6		1100 1100 (CC)
Lokacija		
7		1010 1001 (A9)

8.

Zadana je uređena n-torka  $P=(13, 5, 11, 3, 15, 0, 4, 11, 12, 12, 2, 7, 14, 3, 15, 6)$ . Funkcija  $F(i)$  vraća  $i$ -ti element od  $P$  (npr.  $F(4) = 15$ ). Projektirati sklop koji ostvaruje ovu funkciju. Na raspolaganju je ispisna memorija  $8 \times 8$  te 4 multipleksora  $2 \times 1$ , spojenih prema slici. Prikazati sadržaj memorije po lokacijama, u heksadekadskom obliku.



Lokacija	
0	
Lokacija	
1	
Lokacija	
2	
Lokacija	
3	
Lokacija	
4	
Lokacija	
5	
Lokacija	
6	
Lokacija	
7	

Važna napomena: U svaki redak unijeti odgovarajuću vrijednost memorijske lokacije prikazane kao



dvoznamenkasti heksadekadski broj. Primjerice, ako je  $D7...D0 = 10110001$ , tada je potrebno upisati B1. Unos nedvoznamenkastih brojeva neće biti prihvaćen.

9.

Zadana je funkcija  $f(A,B,C,D) = m(0, 1, 2, 3, 4, 6, 7, 9, 10, 12, 14)$ . Koliko ta funkcija ima **bitnih primarnih implikanata/minimalnih oblika**?

- ☐ 7/2
- ☐ 6/2
- ☐ 6/3
- ☒ 4/2

10.

Prilikom minimizacije Mooreovog stroja s konačnim brojem stanja, u nekom koraku analiziraju se dva stanja: S3 i S0. Dio tablice koji se odnosi na ta dva stanja prikazan je u nastavku.

Trenutno stanje Pobuda Sljedeće stanje Trenutni izlaz

S3	0	S4	0
S3	1	S6	0
S0	0	S9	0
S0	1	S7	0

Što možemo sa sigurnošću zaključiti o ta dva stanja na temelju ovdje prikazanih podataka?

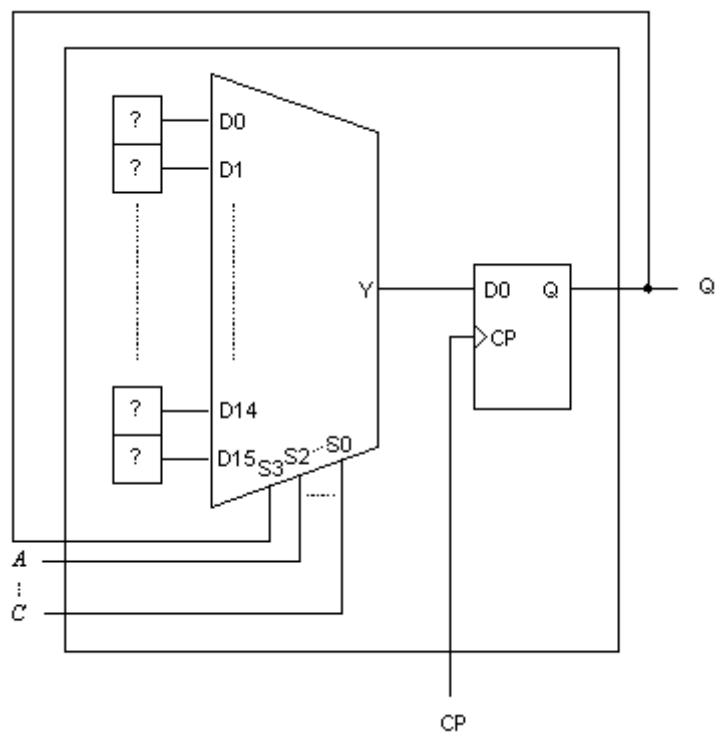
- ☐ stanja su ekvivalentna
- ☒ stanja su možda ekvivalentna
- ☐ stanja nisu ekvivalentna

11.

Na raspolaganju je 4-ulazni LUT s D bistabilom, prikazan slikom. Programirati taj bistabil tako da se dobije bistabil čija je funkcija opisana sljedećom tablicom.

A	B	C	$Q_{n+1}$
0	0	0	1
0	0	1	not $Q_n$
0	1	0	1
0	1	1	1
1	0	0	not $Q_n$
1	0	1	not $Q_n$

1	1	0	not Qn
1	1	1	not Qn



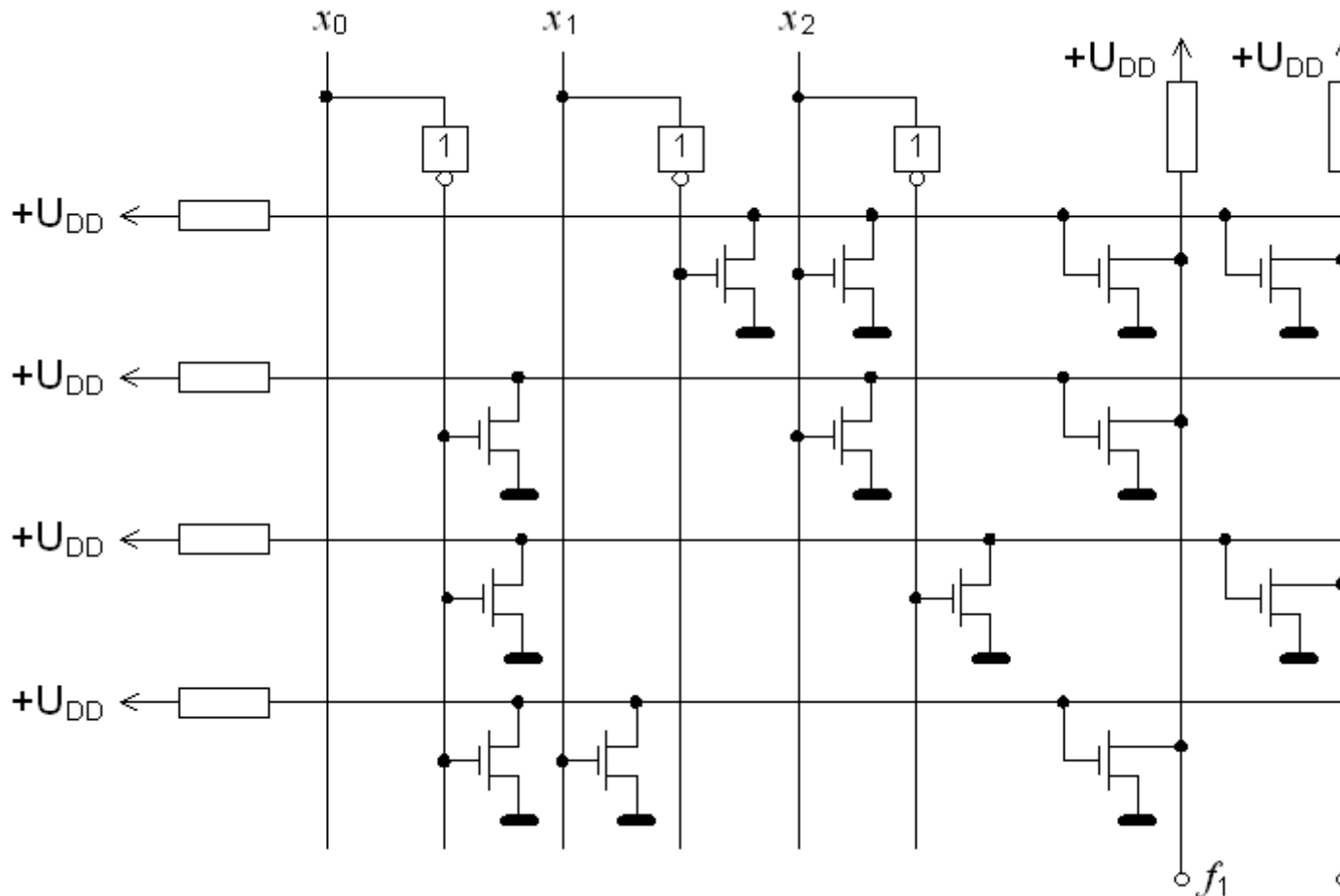
LUT_0	
LUT_1	
LUT_2	
LUT_3	
LUT_4	
LUT_5	
LUT_6	
LUT_7	
LUT_8	
LUT_9	
LUT_10	
LUT_11	
LUT_12	
LUT_13	
LUT_14	
LUT_15	

Važna napomena: U svako polje za unos treba unijeti samo vrijednost pripadnog ulaza luta za

navedenu funkciju. Dozvoljena su dva načina upisa vrijednosti: 1 se tretira jednako kao i true, a 0 je ekvivalentna sa false. Bilo koji oblik redundantnog unosa (dupliciranje nula, proširivanje jedinice sa vodećom nulom) povlači netočnost unosa.

12.

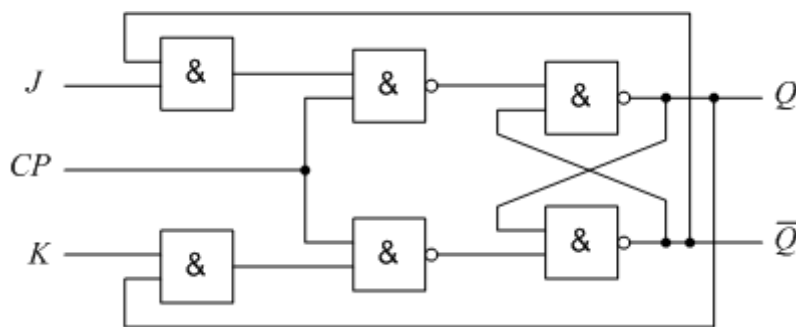
PLA strukturom u tehnologiji MOSFET ostvarene su funkcije  $f_1$  i  $f_2$ . O kojim se funkcijama radi?



- ☐  $f_1 = (x_2 \text{ AND } x_1) \text{ OR } (\text{NOT } x_1 \text{ AND } \text{NOT } x_0), f_2 = (x_2 \text{ AND } \text{NOT } x_0) \text{ OR } (\text{NOT } x_2 \text{ AND } \text{NOT } x_1)$
- ☐  $f_1 = (x_2 \text{ AND } x_1) \text{ OR } (\text{NOT } x_1 \text{ AND } \text{NOT } x_0), f_2 = (x_1 \text{ AND } \text{NOT } x_0) \text{ OR } (\text{NOT } x_2 \text{ AND } \text{NOT } x_1)$
- ☐  $f_1 = (x_1 \text{ AND } x_0) \text{ OR } (\text{NOT } x_1 \text{ AND } \text{NOT } x_0), f_2 = (x_1 \text{ AND } \text{NOT } x_0) \text{ OR } (\text{NOT } x_2 \text{ AND } \text{NOT } x_1)$
- ☐  $f_1 = (x_1 \text{ AND } x_0) \text{ OR } (\text{NOT } x_1 \text{ AND } \text{NOT } x_0), f_2 = (x_2 \text{ AND } \text{NOT } x_0) \text{ OR } (\text{NOT } x_2 \text{ AND } \text{NOT } x_1)$

13.

Na raspolaganju je SR-bistabil izveden s 4 sklopa NI i ulazom za signal takta. Taj je bistabil pomoću dva sklopa I pretvoren u JK-bistabil (vidi sliku). Ako sve ulaze ovog bistabila (J,K,CP) trajno spojimo na logičko 1, na izlazu ćemo primijetiti oscilacije. Ukoliko označimo s TL trajanje logičke 0, s TH trajanje logičke 1, a kašnjenje svakog logičkog sklopa iznosi 5ns, odredite iznose vremena TH i TL. Podrazumijevana mjerna jedinica je ns.

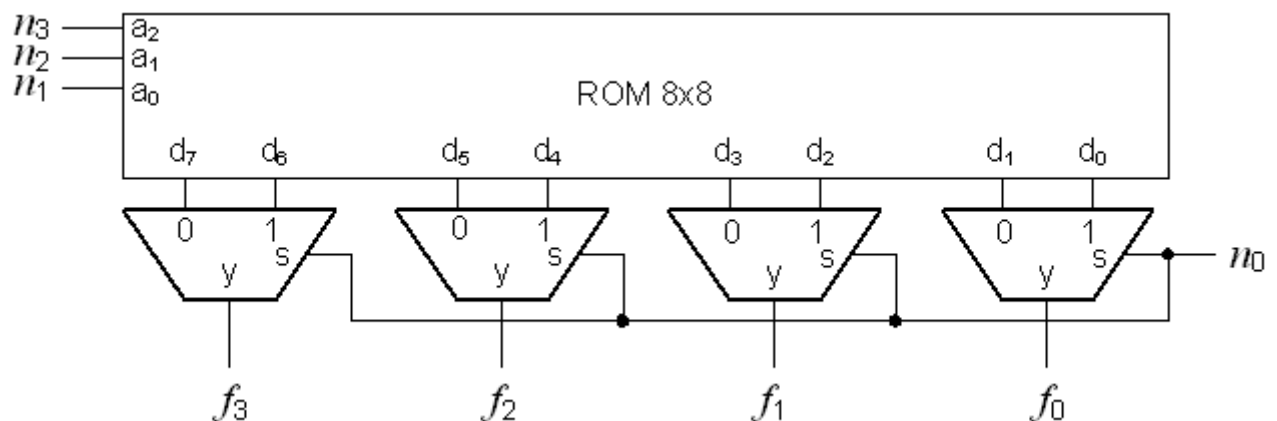


TL 10

TH 20

14.

Funkcija  $f(n)$  svakom  $n$  iz skupa  $\{0, \dots, 15\}$  pridružuje broj  $(n \text{ XOR } m)$ , gdje je  $m$  jednak broju  $n$  zarotiranom udesno za jedan bit. Ovu funkciju potrebno je ostvariti permanentnom memorijom kapaciteta  $8 \times 8$ , i multiplexorima, prema slici. Što treba upisati u memoriju? U ponuđenim rješenjima prikazan je sadržaj memorijskih lokacija od 4 do 7, u heksadekaskom zapisu.



☐ c6, fa, 36, 0a

☐ f1, fe, cd, c2

☒ b1, be, 8d, 82

☐ b2, bd, 8e, 81

---

15.

Dvoulazni NI sklop modeliran je VHDL-om kao sklop nand2. Potom je napisan strukturni model sklopa sklop1. Sučelje sklopa nand2 te model sklopa sklop1 prikazani su u nastavku.

```
ENTITY nand2 IS
  PORT (
    a : OUT std_logic;
    b,c : IN std_logic);
END nand2;

ENTITY sklop1 IS PORT (d, e : IN std_logic;
  f : OUT std_logic);
END sklop1;
ARCHITECTURE ar OF sklop1 IS
  SIGNAL i : std_logic;
BEGIN
  s1: ENTITY work.nand2 PORT MAP (b<=i, c<=e, a<=f);
  s2: ENTITY work.nand2 PORT MAP (i,e,d);
END ar;
```

Ponašajni opis istovjetan opisu "ar" u tijelu bloka ARCHITECTURE sadržava sljedeći izraz:

- ☐ f <= d OR e;
- ☐ f <= NOT d AND NOT e;
- ☒ f <= NOT e OR d;
- ☐ f <= NOT (d AND e) AND e;
-