



13. Memorijski moduli



Sadržaj predavanja

- **osnovne karakteristike memorija**
- statičke memorije
- dinamičke memorije

Osnovne karakteristike memorija

- memorija
 - ~ digitalni (pod)sustav za pamćenje *većeg broja* podataka:
 - nadogradnja koncepta pamćenja
 - ~ osnovna interpretacija:
skup registara
 - bistabil
 - ~ 1 bit
 - registar
 - ~ 1 podatak ("riječ")
 - memorija
 - ~ više riječi
 - osnovna jedinica informacije
 - ~ *memorijska riječ*



Osnovne karakteristike memorija

- funkcija pamćenja
~ primitivne (pod)funkcije:
 - pamćenje grupa bitova
 - pristup podacima
 - *čitanje* iz memorije, *pisanje* u memoriju
- organizacija memorije:
 - memorijsko polje
~ skup memorijskih ćelija
 - sklopovi za pristup podacima
 - sklopovi za čitanje i pisanje

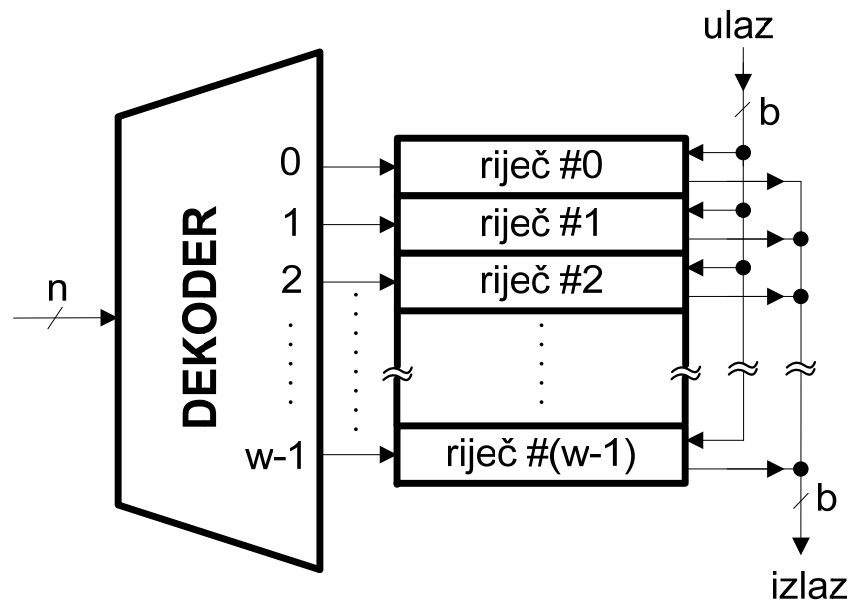


Osnovne karakteristike memorija

- svojstva *memorijskih ćelija*:
 - *razlučiva* i lako prepoznatljiva stanja
 - održavanje stabilnog stanja:
 - postojeće ćelije/memorije
~ bez utroška energije proizvoljno dugo ostaju u *stabilnom* stanju;
npr. magnetske memorije
 - nepostojeće ćelije/memorije
~ troše energiju za pamćenje,
gube informaciju kod prestanka napajanja;
npr. poluvodičke memorije

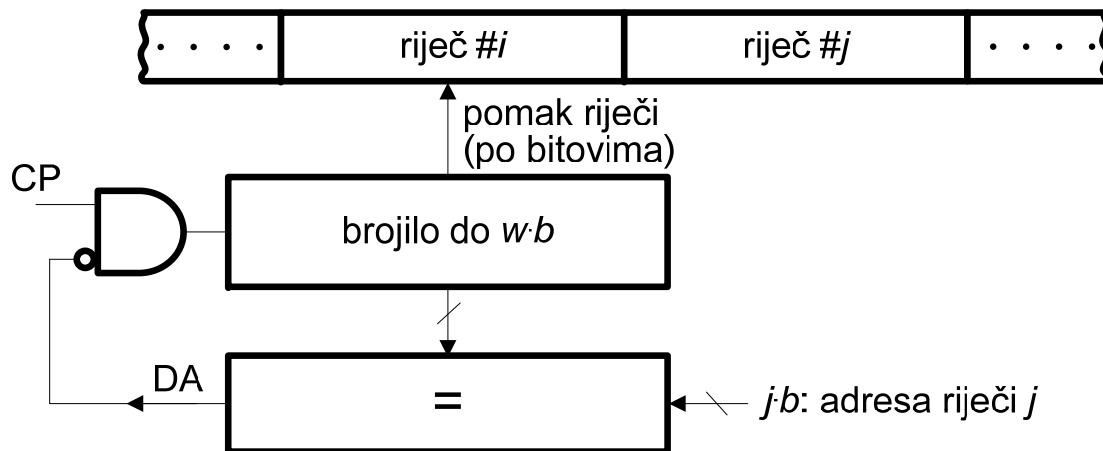
Osnovne karakteristike memorija

- *paralelni pristup* podacima
~ paralelno *svakoj* riječi
 - vrijeme pristupa jednako za sve riječi
~ *paralelne* memorije
- nasumični pristup:
~ pristup pojedinoj riječi *ne ovisi* o prethodnim pristupima
(engl. Random Access Memory, RAM)
- *adresa*:
~ "redni broj" riječi unutar memorije
$$W = 2^n \rightarrow a_{n-1} \dots a_1 a_0$$



Osnovne karakteristike memorija

- *serijski pristup* podacima
~ serijski po riječima (i bitovima):
 - pristup adresiranoj riječi
~ od *prve* ili od *prethodno adresirane* riječi:
serijske (sekvencijalne) memorije;
npr. mg. trake, mg. diskovi, "veliki posmačni registri"
 - *bitno različito* vrijeme pristupa pojedinim riječima





Osnovne karakteristike memorija

- *čitanje i pisanje*:
 - "upisno-ispisne memorije"
 - ~ memorije promjenjivog sadržaja,
"memorije" u užem smislu;
(paralelne upisno-ispisne memorije: RAM)
 - ispisne memorije = *permanentne* memorije (ROM)
 - ~ u odnosu na čitanje, zanemarivo mali broj pisanja

Osnovne karakteristike memorija

- *funkcijska podjela*
 - ~ smještaj u odnosu na digitalni sustav/procesor:
 - *unutarnje (interne), "operativne"*
 - ~ paralelne, velikih brzina (~ brzina CPU)
 - *vanjske (eksterne)*
 - ~ CPU *ne* komunicira s njima neposredno:
 - metoda pristupa podacima
 - ~ putem glavne memorije
 - znatno veći kapacitet,
znatno manja brzina ($t_a \sim 5 \text{ ms}$)
 - uređaji
 - ~ diskovi, trake

Osnovne karakteristike memorija

- unutarnje, "operativne" memorije:
 - *glavna memorija*:
 - ~ glavni spremnik za programe, podatke, operacijski sustav, itd.
 - veličina (kapacitet), nije tako brza kao CPU
 - *priručna memorija* (engl. cache)
 - ~ pohranjivanje manje količine upravo korištenih instrukcija (odsječak programa) i podataka
 - manja memorija, brzina ~ CPU, skupa!
 - primarna p. m. (engl. L1 cache):
 - ~ u sklopu CPU (kapacitet ~ 1 MB)
 - sekundarna p. m. (engl. L2 cache):
 - ~ na M/B (kapacitet ~ 16 MB)

Osnovne karakteristike memorija

- karakteristični *parametri memorija*:
 - *kapacitet* memorije: $C = W \cdot b$
~ ukupna količina bitova, okteta/riječi (bajtova)
 - *vrijeme pristupa*, t_a :
~ vrijeme potrebno za dohvat podatka,
od zahtjeva za čitanje do pojave podatka
na izlazu, uz prethodno postavljenu adresu
npr. $5 \text{ ns} < t_a \text{ tipično} < 70 \text{ ns}$ (suvremeni DRAM)
 - *prosječno vrijeme pristupa*, $\overline{t_a}$:
~ za *sekvencijalne* memorije
$$\overline{t_a} = (t_a)_{\max} / 2$$

Osnovne karakteristike memorija

- karakteristični *parametri memorija*:
 - *vrijeme ciklusa*, t_c :
~ minimalno moguće vrijeme između dva čitanja ili pisanja;
za *paralelne* memorije
općenito $t_c > t_a$
 - *maksimalna frekvencija memorije*: $f_M = t_c^{-1}$
~ maksimalni broj čitanja/pisanja u jedinici vremena [sec];
širina (frekvencijskog) *pojasa* memorije, u analogiji s elektroničkim pojačalima, jer $f_{\min} = 0$ (kad se *ne* čita/piše)



Sadržaj predavanja

- osnovne karakteristike memorija
- **statičke memorije**
 - **organizacija memorijskih modula**
 - **vremenski odnosi**
 - **projektiranje statičkih memorija**
- dinamičke memorije



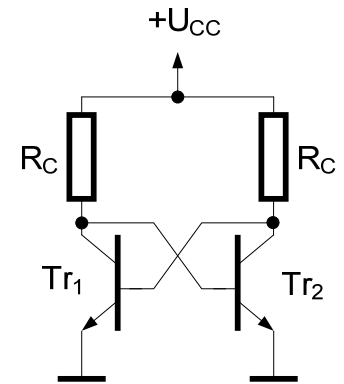
Statičke memorije

- statičke memorije
 - ~ memorijska ćelija *bistabil*
 - nepostojana memorija
 - elektronskim cijevima već u prvim digitalnim računalima (ENIAC, 1945)
 - danas poluvodička tehnologija
 - ~ posebno pojednostavljeni sklopovi:
 - što manja površina na čipu
 - ~ veća gustoća pakiranja,
manja vjerojatnost defekata
 - što manja disipacija

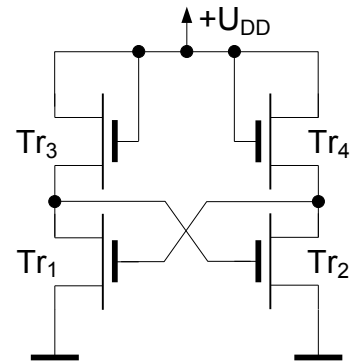
Statičke memorije

- princip izvedbe memorijskog bistabila:

- bipolarna izvedba
~ manje elemenata, mali hod u_{izl}
(pobuda logičkih sklopova?)



- izvedba s MOSFETom:
~ NMOS

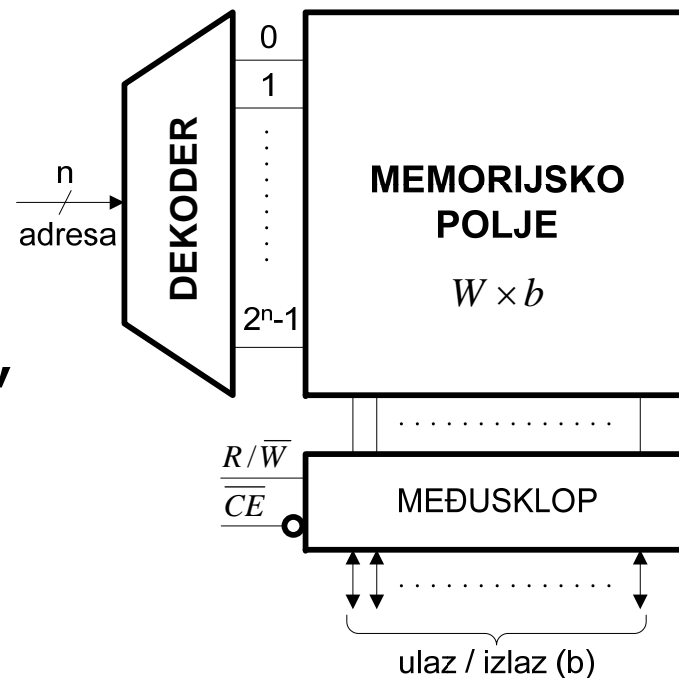
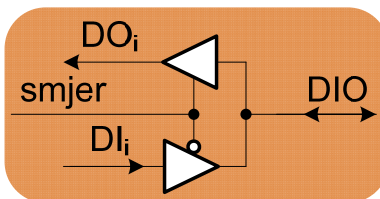
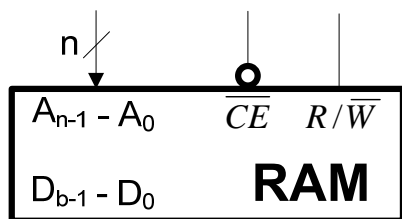


	bipolarne	MOSFET
kapacitet	manji	veći
brzina	veća	manja
cijena	veća	manja

Organizacija memorijskih modula

- *organizacija* memorijskih modula
~ karakteristični funkcijski blokovi:

- dekodeer adrese
- memorijsko polje
- međusklop:
~ pojačala za čitanje/pisanje:
konverzija električkih razina,
dvolinijskih reprezentacija





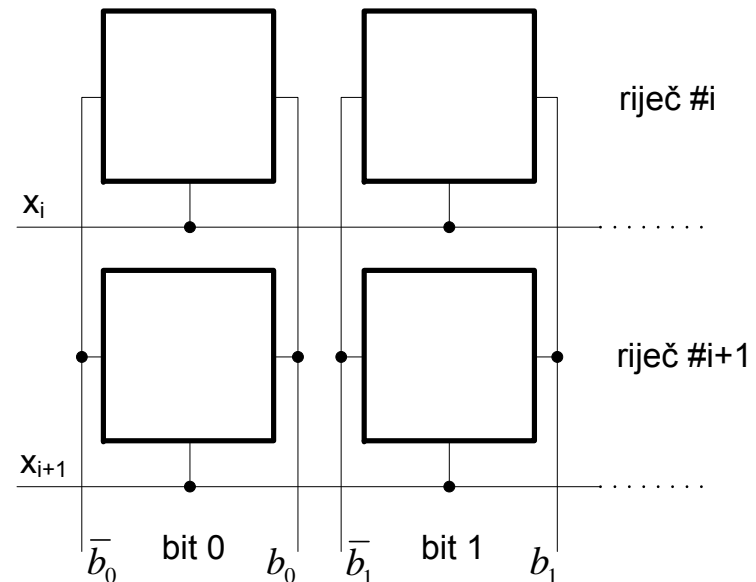
Organizacija memorijskih modula

- organizacija *memorijskog polja*:
 - 2 D - "dvodimenzijaska"
~ linearno adresiranje
 - 3 D - "trodimenzijaska"
~ koincidentno adresiranje
 - 2 1/2 D
~ implementacijsko poboljšanje 2 D

Organizacija memorijskih modula

- 2 D - "dvodimenzijska" organizacija:

- b ćelija jedne riječi
~ *samo jedna* adresna linija:
linijsko adresiranje
- 1 linija retka
~ 1 izlaz dekodera

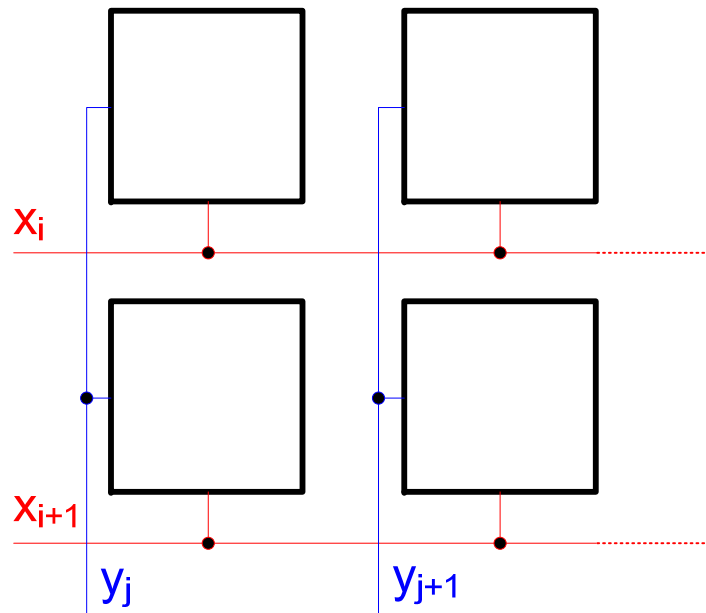


Organizacija memorijskih modula

- 3 D - "trodimenzijska" organizacija:
 - smanjiti veličinu dekodera za $W \gg :$
 - preveliki i presloženi dekodер
 - preveliki broj izlaza iz dekodera
 - *koincidentno* adresiranje:
 - ~ memorijska se ćelija adresira
koincidiranjem dvije adresne linije (retka i stupca)
 - koordinatni razmještaj ćelija
 - ćelije s 2 adresne linije
 - 2 dekodera koji su *upola manji*!

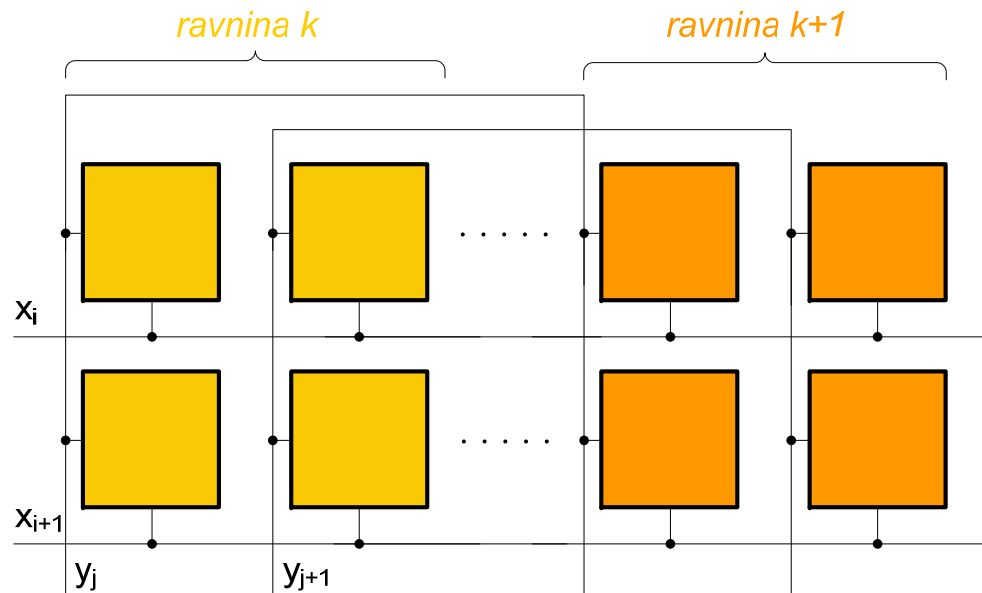
Organizacija memorijskih modula

- *koincidentno* adresiranje
~ memorijska polja *jednobitnih* riječi



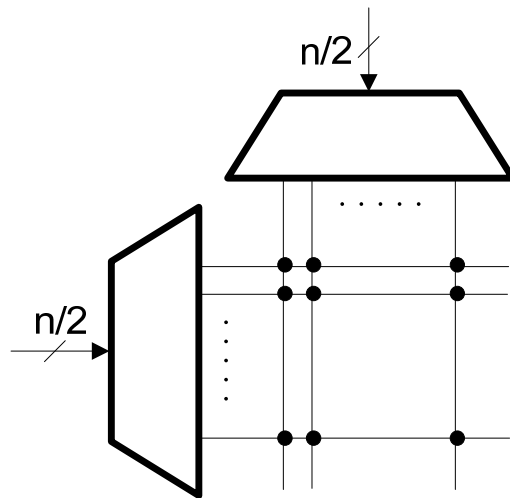
Organizacija memorijskih modula

- *koincidentno* adresiranje
 - ~ memorijska polja *višebitne* riječi:
više ravnina (~ memorijska polja)
koja se "slažu" u "trećoj dimenziji"



Organizacija memorijskih modula

- *koincidentno* adresiranje
~ *dekodiranje* s dva dekodera:
 - broj riječi W = broj presjecišta:
 $n/2 \rightarrow 2^{n/2} \cdot 2^{n/2} = 2^n = W$
 - broj izlaza iz dekodera:
 $2^{n/2} + 2^{n/2} = 2 \cdot 2^{n/2} = 2\sqrt{2^n} = 2\sqrt{W}$

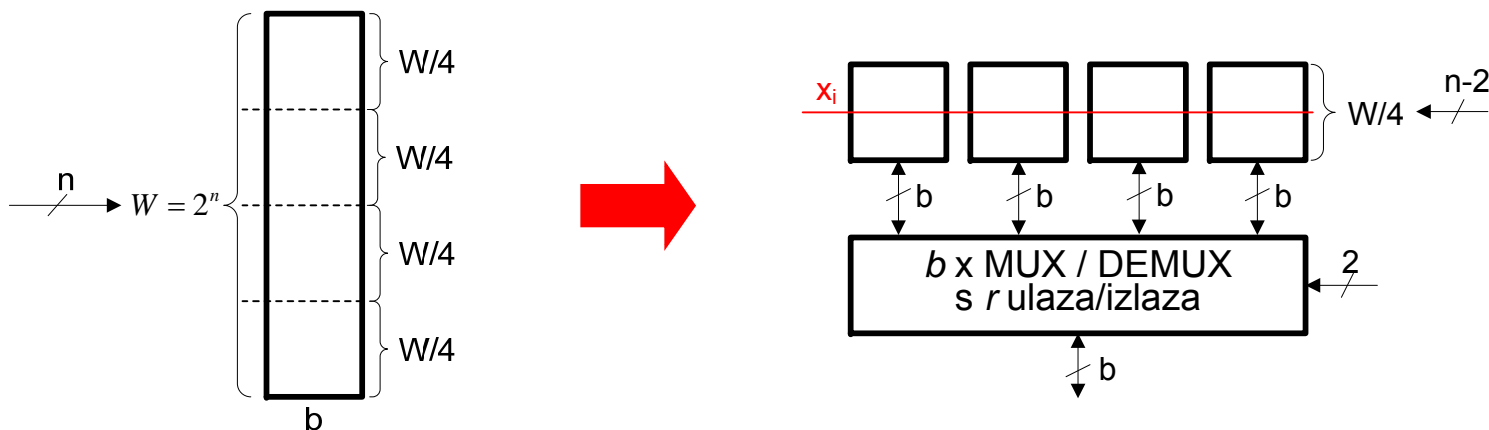


Organizacija memorijskih modula

- 2 1/2 D organizacija:
 - ~ poboljšanje ponašanja 2 D organizacije:
duljina (fizičke) linije bita = $W \times \text{"duljina bita"}$:
 - $C_{\text{par}} \nearrow \Rightarrow$ veća kašnjenja
 - ponašanje prijenosne linije
 - rješenje:
 - ~ podjela memorije na
podpolja s manjim brojem riječi
povećanog broja bitova:
 r podpolja \rightarrow 1 *fizička* riječ od r *logičkih* riječi

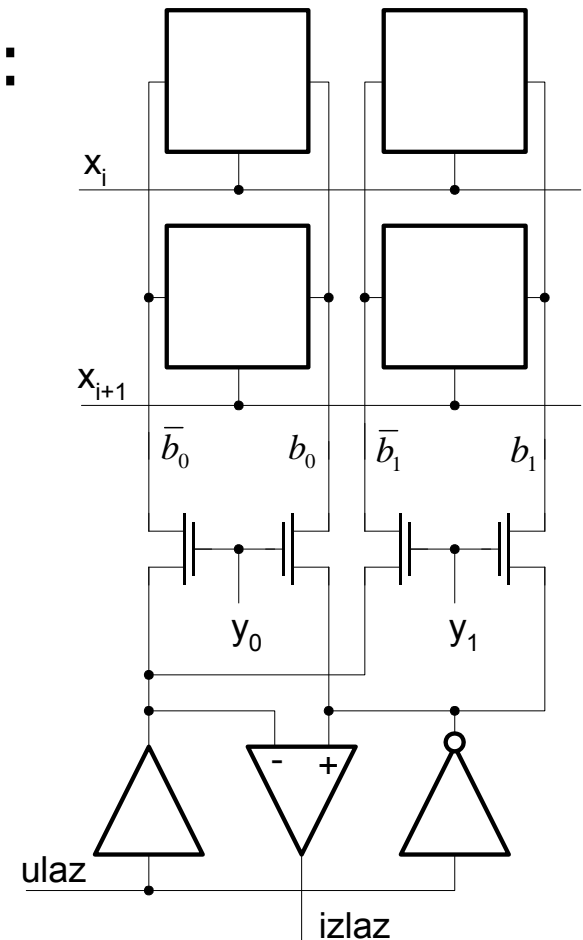
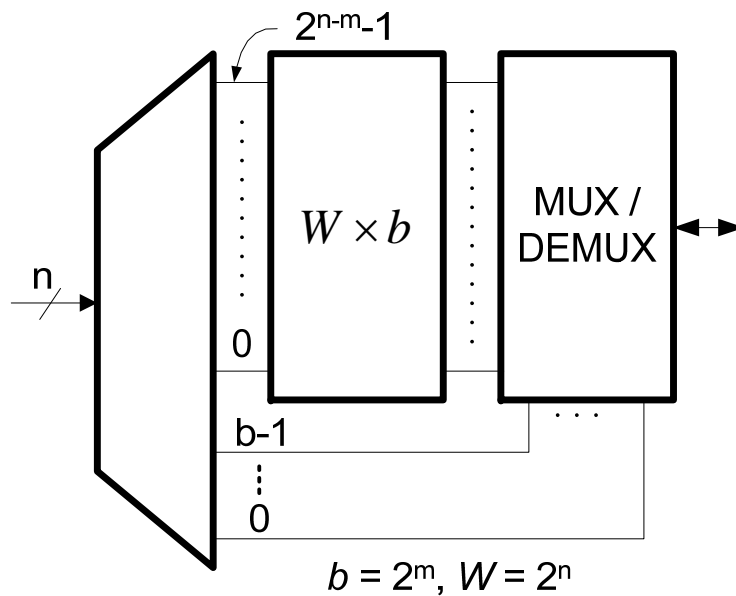
Organizacija memorijskih modula

- 2 1/2 D organizacija
~ podjela memorije na podpolja s *manjim brojem riječi povećanog broja bitova*:
 - r podpolja → 1 *fizička* riječ od r *logičkih* riječi
 - dva dekodera:
 - za fizičku riječ
 - "pristupni" MUX/DEMUX



Organizacija memorijskih modula

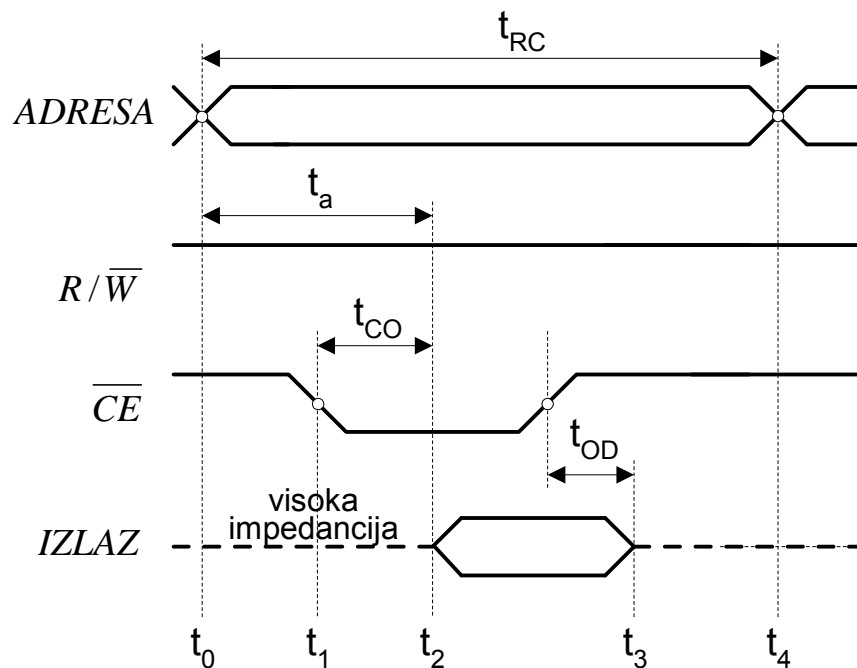
- 2 1/2 D organizacija
~ *posebno jednostavna* izvedba
pristupnog MUX/DEMUX za $b = 1$:
1-bitni memorijski moduli



Vremenski odnosi statičkih memorija

- ciklus *čitanja*:

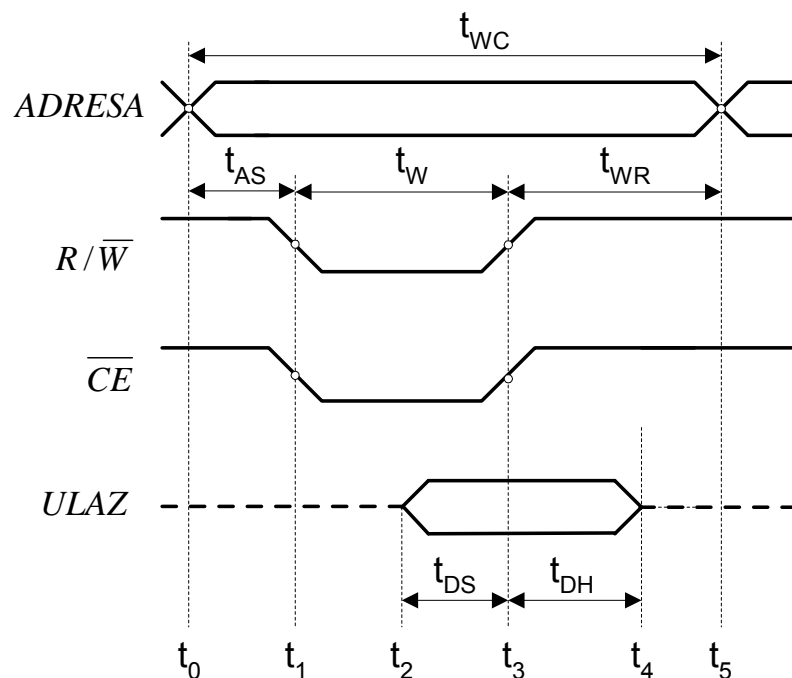
parametar	značenje
t_{RC}	trajanje ciklusa čitanja (između dvije promjene adrese)
t_a	vrijeme pristupa (pojava podataka na izlazu uz $\overline{CE} = 0$)
t_{CO}	kašnjenje u odnosu na \overline{CE} (pojava podataka): podaci su na izlazu nakon $\max(t_a, t_1 + t_{CO})$
t_{OD}	kašnjenje u odnosu na $\overline{CE} = 1$ (uklanjanje podataka na izlazu)



Vremenski odnosi statičkih memorija

- ciklus *pisanja*:

parametar	značenje
t_{WC}	trajanje ciklusa pisanja (između dvije promjene adrese)
t_{AS}	vrijeme postavljanja adrese: min kašnjenje R/\overline{W} i \overline{CE} u odnosu na početak ciklusa
t_W	vrijeme pisanja; min trajanje R/\overline{W} i \overline{CE}
t_{WR}	vrijeme otpuštanja (pri pisanju) ~ min vrijeme oporavka
t_{DS}	vrijeme postavljanja podatka
t_{DH}	vrijeme održavanja podatka





Projektiranje statičkih memorija

- "projektiranje" memorije
~ izgradnja memorije većeg kapaciteta
od modula manjeg kapaciteta
 - memorija $W' \times b'$
 - memorijski moduli $W \times b$
 - vrijedi $W' = 2^n > W = 2^m, b' > b$

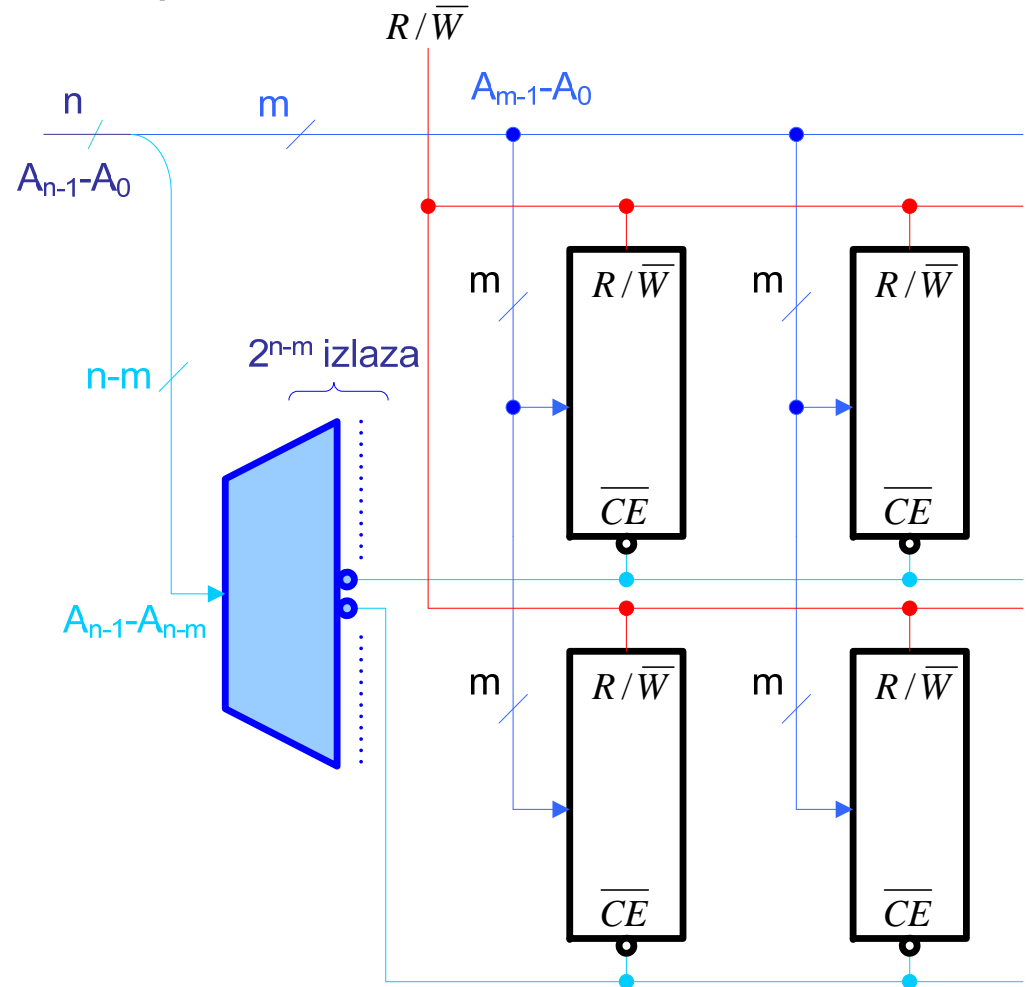


Projektiranje statičkih memorija

- struktura memorije:
 - *dekoder za viših* $(n-m)$ bitova adrese
~ putem signala \overline{CE}
 - ulazi bitova podatka b_i spajaju se skupa
 - izlazi bitova podatka b_i spajaju se skupa;
izvedbe izlaza:
 - sklopovi s tri stanja
 - sklopovi sa slobodnim kolektorom
 - kombinacija ulaz-izlaz
 - niži adresni bitovi: paralelno *na sve* module
 - signal R/\overline{W} također paralelno *na sve* module

Projektiranje statičkih memorija

Primjer: memorija $W' \times b'$, moduli $W \times b$,
 $W' = 2^n > W = 2^m$, $b' > b$



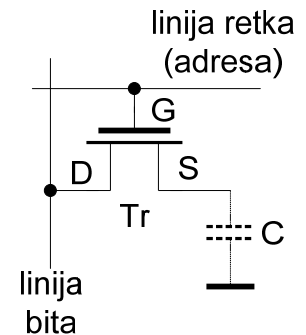


Sadržaj predavanja

- osnovne karakteristike memorija
- statičke memorije
- **dinamičke memorije**

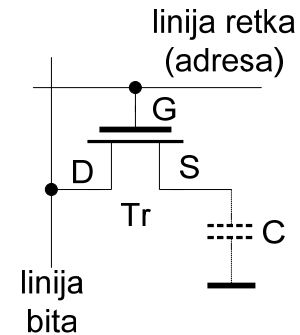
Dinamičke memorije

- povećanje kapaciteta poluvodičke memorije
~ smanjenje veličinu memorijske ćelije:
 - pohranjivanje bita podatka:
 - ~ naboj na C
 - dovoljan jedan tranzistor
 - $C = C_{\text{par}}$: međuelektrodni kapacitet
 - pamćenje informacije
~ C_{par} se izbija zbog površinske vodljivosti



Dinamičke memorije

- rješenje problema gubitka naboja dinamičke memorijske ćelije:



- *periodičko* čitanje sadržaja memorijske ćelije i ponovno upisivanje (~ 2 ms):
 \sim *osvježavanje* (engl. refreshing)
- memorije s *dinamičkim* memorijskim ćelijama:
 \sim *dinamičke memorije*, DRAM (engl. Dynamic RAM)

Dinamičke memorije

- *čitanje* informacije
~ *adresirati* ćeliju:
 - očitavanje napona na C:
~ dobro pojačalo za čitanje (engl. sense amplifier)
$$U_b \propto \frac{C}{C_b + C} \approx \frac{C}{C_b}$$
 - zbog $C_b \gg C$ (duga linija bita!) čitanje je *destruktivno!*
~ nakon čitanja *ponovni* upis podataka
- *pisanje* informacije
~ adresirati ćeliju i upisati podatak s linije bita



Dinamičke memorije

- suvremeni DRAM:
 - ~jednotranzistorske ćelije:
kapaciteti ~ više Gbit/modul
 - drastično smanjena površina memorijske ćelije:
npr. 64 K: $250 \mu\text{m}^2 \rightarrow 4 \text{ M: } 8,9 \mu\text{m}^2$ (CMOS)
~ C također smanjen!
 - povećana osjetljivost na "meke" pogreške
~ gubitak informacije zbog α -zraka
(kozmičke zrake, Sr u materijalu kućišta IC)
 - rješenje problema:
 - posebne izvedbe C
 - dodatni sklopovi za zaštitu podatka (ECC)
~ tipično Hammingovi kodovi

Dinamičke memorije

- organizacija DRAM
 - ~jedan dekodler: 2 D ili 2 1/2 D (povoljnije)
 - gustoća pakiranja bitova ↗ :
 - veličina chipa ↘
 - kućište ↘
 - broj izvoda (broj adresnih linija ↗)?
 - *smanjiti broj izvoda za adrese multipleksiranjem:*
 - veličina IC ↘ :
 - broj IC na PCB ↗
 - kapacitet memorije ↗
 - posebno sklopovlje za multipleksiranje
 - usporavanje rada memorije

Dinamičke memorije

Primjer: DRAM modul 4116/2118 (16 K x 1)

kućište: DIP sa 16 izvoda

7 adresa za 16 K = 2^{14} :

$A_{13} \dots A_0 \sim$

$\text{MUX}(A_6 \dots A_0,$
 $A_{13} \dots A_7)$

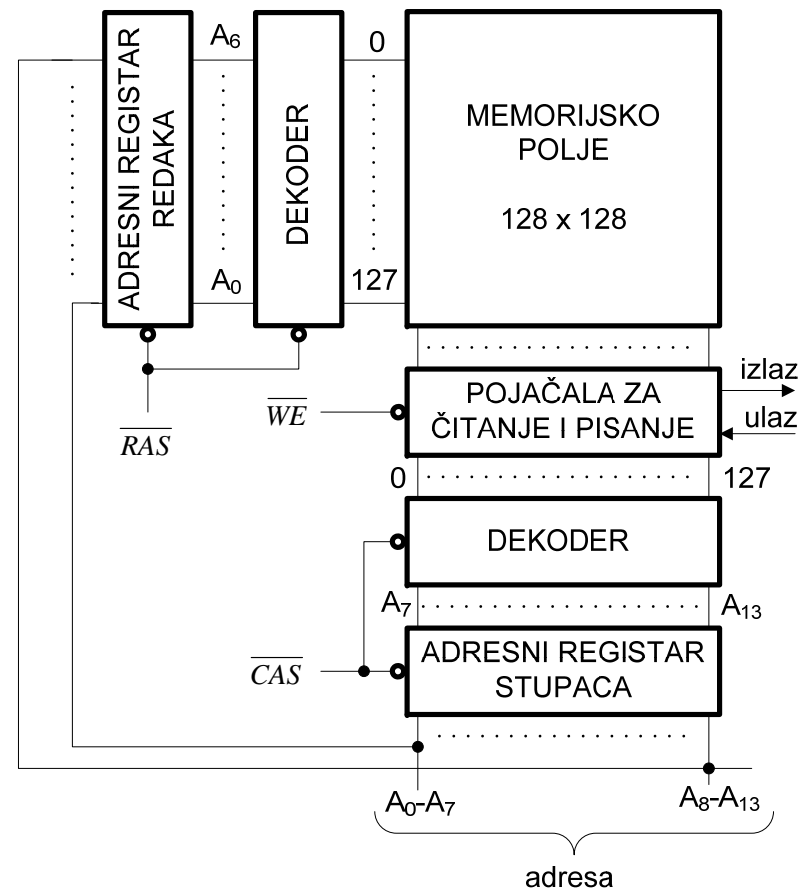
2 UI podatka

1 čitaj/piši

2 impulsa upisa adrese

4/2 napajanja

organizacija: 2 1/2 D



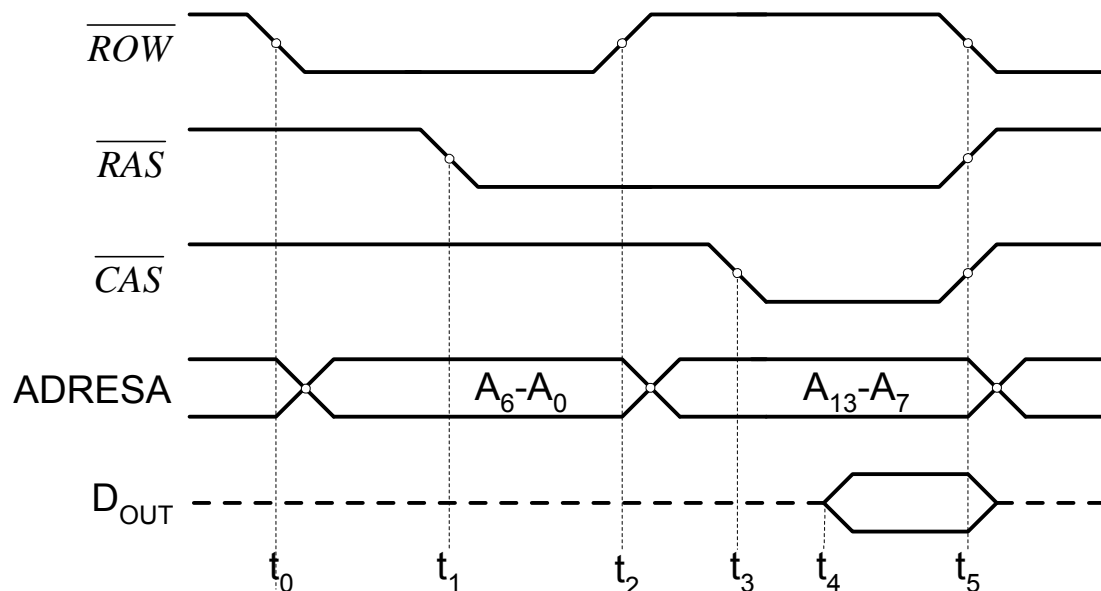
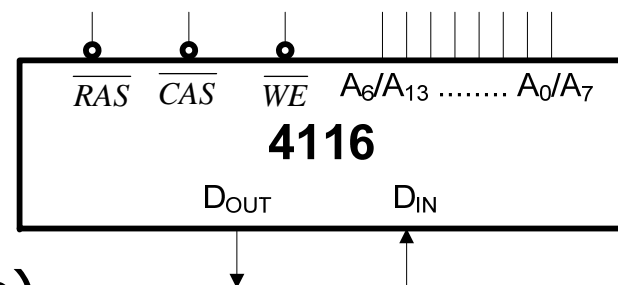
Dinamičke memorije

- vremenski dijagram čitanja/pisanja za 4116/2118:

\overline{ROW} ~ signal odabira $\overline{RAS}/\overline{CAS}$

\overline{RAS} (engl. Row Address Strobe)
~ impuls upisa adrese retka

\overline{CAS} (engl. Column Address Strobe)
~ upis adrese stupca



Dinamičke memorije

- *osvježavanje*
~ adresiranje *samo* retka ili stupca:
osvježavaju se *sve* ćelije retka/stupca
- vrste osvježavanja:
 - distribuirano:
~ \forall 2 ms/broj_redaka (stupaca) ubaciti
ciklus osvježavanja u sustavske cikluse
 - usnopljeno (engl. burst refreshing)
~ \forall 2 ms osvježiti *sve* retke (stupce):
ubaciti *odgovarajući broj* ciklusa osvježavanja
npr. DRAM 16 K x 1 (4116/2118)
16 K = 128 x 128
 $\rightarrow 2 \text{ ms}/128 = 15,63 \mu\text{s} \rightarrow \forall 15 \mu\text{s}$



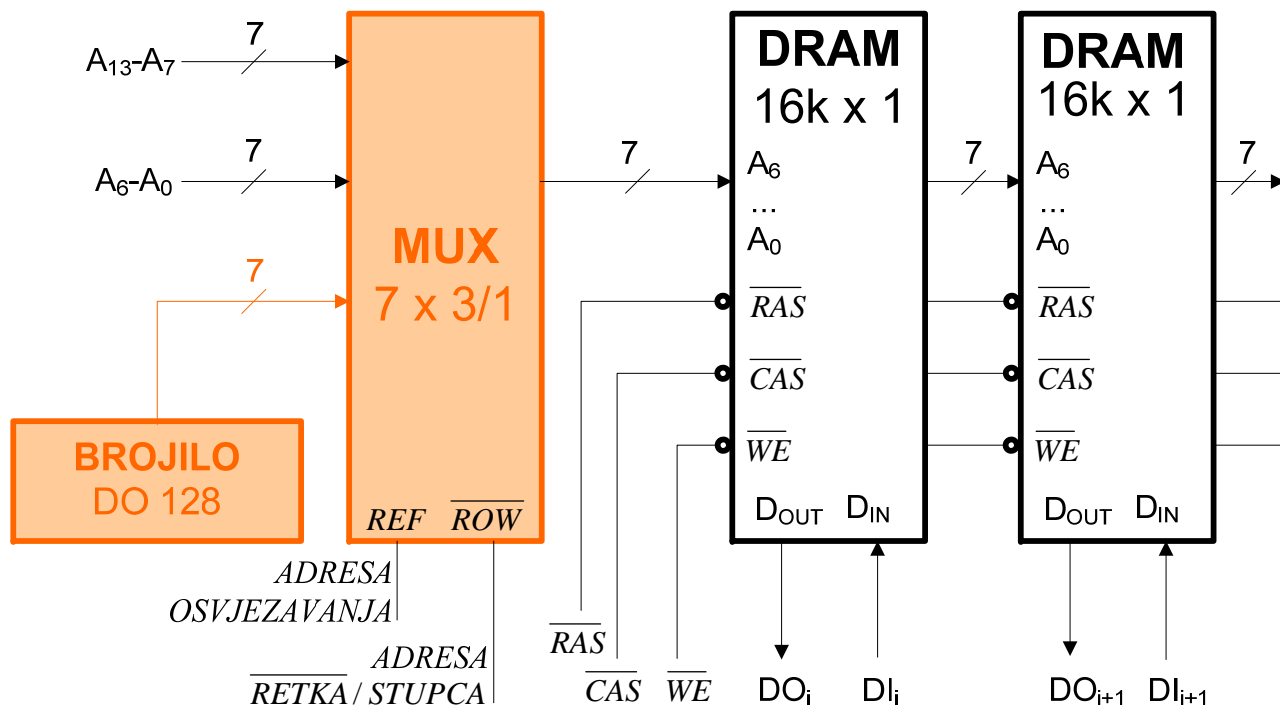
Dinamičke memorije

- izvedba osvježavanja:
 - posebna sklopovska podrška (MSI)
~ MUX za adresu, s ugrađenim brojilom osvježavanja:
male memorije
 - sklopovska podrška ugrađena u μ P
~ generiranje adrese osvježavanja
za vrijeme dekodiranja instrukcije:
npr. 8-bitni μ P (npr. Zilog Z.80)
 - *pseudostatičke* memorije
~ ugrađeno sklopovlje za osvježavanje:
transparentno za sustav!

Dinamičke memorije

Primjer: memorija izvedena DRAM modulima 16 K x 1 (4116/2118)

- ubaciti *sklop za osvježavanje*



U. Peruško, V. Glavinić: *Digitalni sustavi*, Poglavlje 12: Spremnici podataka.

- osnovne karakteristike memorija: str. 459-464
- statičke memorije: str. 465-477
- dinamičke memorije: str. 477-482



Zadaci za vježbu (1)

U. Peruško, V. Glavinić: *Digitalni sustavi*, Poglavlje 12: Spremnici podataka.

- osnovne karakteristike memorija: 12.1, 12.2
- statičke memorije: 12.3-12.6, 12.9
- dinamičke memorije: 12.7



Zadaci za vježbu (2)

M. Čupić: *Digitalna elektronika i digitalna logika.*
Zbirka riješenih zadataka, Cjelina 12: Memorije.

- osnovne karakteristike memorija:
 - riješeni zadaci: 12.1
- statičke memorije:
 - riješeni zadaci: 12.6, 12.8
 - zadaci za vježbu: 1
- dinamičke memorije:
 - riješeni zadaci: 12.3, 12.4
 - zadaci za vježbu: 4