## ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

## Grupa C

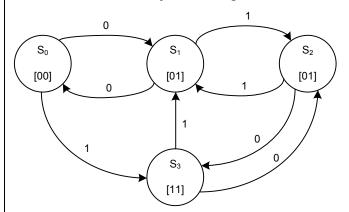
1.	Digitalni sklop radi s naponskim razinama +5V i -5V. U negativnoj logici, sklop obavlja funkciju $f(A,B,C)=AB+B\overline{C}$ . Napišemo li za tu funkciju tablicu kombinacija napona, u koliko će redaka izlazni napon $U_f$ biti -5V?					
	a) 1	b) 2	c) 3	d) 4	e) 5	f) ništa od navedenog
2.	Funkciju $f(A,B,C,D,E) = (\overline{A}  \overline{B} + \overline{C}  D) \overline{E}$ potrebno je realizirati tehnologijom CMOS. Koliko nam je minimalno potrebno NMOS tranzistora?					
	a) 3	b) 4	c) 5	d) 6	e) 7	f) ništa od navedenog
3.	Hammingovim kodom potrebno je zaštititi podatak 11. Koristi se parni paritet. Zaštićena kodna riječ je:					
	a) 00000	b) 10101	c) 01010	d) 11010	e) 01111	f) ništa od navedenog
4.	Asinkrono binarno brojilo unaprijed ostvareno je uporabom bistabila T. Bistabili imaju dodatne ulaze za postavljanje $S_d$ koji su svi spojeni zajedno, i koriste se za skraćivanje ciklusa brojila. Ako ciklus sadrži 19 stanja a ulazi za postavljanje se aktiviraju logičkom razinom 1, koju funkciju treba ostvarivati sklop koji upravlja ulazima za postavljanje?					
	a) $Q_4 \overline{Q}_3 Q_2 \overline{Q}_1 \overline{Q}_2$	$\overline{Q}_0$	c) $\overline{Q}_4\overline{Q}_3\overline{Q}_2Q_1Q_0$		e) $Q_4\overline{Q}_3\overline{Q}_2Q_1Q_0$	
	b) $Q_4 \overline{Q}_3 \overline{Q}_2 Q_1 \overline{Q}_2$	$\overline{Q}_0$	d) $\overline{Q}_4 Q_3 Q_2 Q_1 Q_0$		f) ništa od navedenog	
5.	Bistabilima tipa T koji su okidani padajućim bridom signala takta ostvareno je 4-bitno asinkrono binarno brojilo unaprijed. Parametri bistabila su: t <sub>db</sub> =20ns, t <sub>setup</sub> =10ns, t <sub>hold</sub> =10ns. Neposredno prije trenutka t=100ns brojilo se nalazi u stabilnom stanju 15. U trenutku t=100ns nastupa padajući brid signala takta. Frekvencija signala takta je 10MHz. Što ćemo očitati na izlazima brojila u trenutku t=165ns?					
	a) 4	b) 0	c) 12	d) 10	e) 8	f) ništa od navedenog
6.	Koliko iznosi maksimalna frekvencija rada 5-bitnog sinkronog binarnog brojila sa serijskim prijenosom? Parametri bistabila su: t <sub>db</sub> =12,5ns, t <sub>setup</sub> =5ns, t <sub>hold</sub> =5ns. Logički sklopovi kasne 2,5ns.					
	a) 10MHz	b) 20MHz	c) 25MHz	d) 40MHz	e) 50MHz	f) ništa od navedenog
7.	Uporabom bistabila JK potrebno je ostvariti bistabil T. Koliko nam je minimalno potrebno osnovnih logičkih sklopova?					
	a) 3	b) 0	c) 2	d) 1	e) 4	f) ništa od navedenog
8.	Za 4-bitni težinski DA pretvornik poznati su sljedeći podaci: otpor u povratnoj vezi operacijskog pojačala $R_1$ = 1kΩ, a najveći otpor u težinskoj mreži iznosi 10kΩ. Ako se na ulaz ovog DA pretvornika dovede broj 5, na izlazu će se dobiti napon -1V. Koliko iznosi referentni napon $U_{REF}$ pretvornika?					
	a) 1V	b) 2V	c) 4V	d) 5V	e) 6V	f) ništa od navedenog
9.	a) 1V b) 2V c) 4V d) 5V e) 6V f) ništa od navedenog Kako glasi minimalni oblik dualne funkcije od $f(A,B,C,D) = \overline{A}(\overline{B}+C) + \overline{C}(A+\overline{B})$ ?					
	a) $\overline{A}D + AB\overline{D}$		c) $\overline{A}\overline{C} + A\overline{B}C$		e) $\overline{A}\overline{C} + ABC$	
	b) $\overline{A}D + A\overline{B}\overline{D}$		d) $A\overline{C} + \overline{A}D$		f) ništa od navedenog	
10.	Za neki digitalni sklop poznati su sljedeći podaci: U <sub>OHmin</sub> =4,4V, U <sub>OLmax</sub> =0,1V, U <sub>IHmin</sub> =4,1V, U <sub>ILmax</sub> =0,5V Koliko iznosi granica istosmjerne smetnje ovog sklopa?					

- Multipleksorom 4/1 potrebno je ostvariti funkciju  $f(A, B, C, D) = \sum m(1,2,3,5,6,8,9,11,15)$ . Ako na adresni 11. ulaz a<sub>1</sub> dovedemo A, a na a<sub>0</sub> dovedemo B, što je potrebno dovesti na podatkovni ulaz d<sub>0</sub>?
  - a)  $\overline{C} + D$
- b)  $C \oplus D$
- c)  $C \cdot D$
- d) C+D
- e)  $C + \overline{D}$
- f) ništa od navedenog

Što od navedenoga vrijedi za sljedeći blok process? 12.

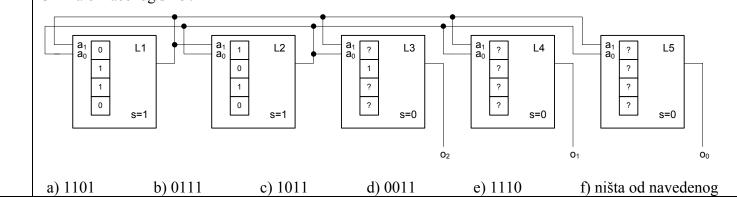
```
process(z)
begin
  if z='0' then
    a \le b;
  else
    a<=not b;
  end if;
end process;
```

- a) lista osjetljivosti sadrži 3 signala
- b) opis predstavlja sekvencijski sklop
- c) signal b je izlazni signal (OUT)
- d) promjenom signala b simulator će pokrenuti obradu bloka process
- e) opis predstavlja kombinacijski sklop
- f) ništa od navedenog
- Ostvarite automat sa slike uporabom minimalnog broja bistabila JK. S<sub>i</sub> u kružiću predstavlja oznaku stanja, a 13. [xy] predstavlja izlaze. Ulaz je U. Neka stanje  $S_i$  bude kodirano binarnom reprezentacijom broja i. Minimalni oblik funkcije ulaza J<sub>1</sub> glasi:



- a)  $\overline{Q}_0U + Q_0\overline{U}$
- b)  $\frac{U}{C}$  c)  $\overline{Q}_1 + U$
- d)  $\overline{Q}_0\overline{U} + Q_0U$
- e)  $Q_0\overline{U} + \overline{Q}_1$
- f) ništa od navedenog
- Automat iz prethodnog zadatka nalazi se u stanju S<sub>2</sub>. Na ulaz se potom dovodi slijed 0, 1, 0. Na izlazima automata ćemo očitati:
  - a) 01,11,01,00
- b) 01,11,01,01
- c) 01,01,00,01
- d) 01,11,11,01 e) 01,11,01,11
- f) ništa od navedenog
- Sinkroni sekvencijski sklop izgrađen je od dva bistabila: B<sub>1</sub> je bistabil tipa D, a B<sub>0</sub> je bistabil tipa T. Oba 15. bistabila imaju jednake parametre: t<sub>db</sub>=15ns, t<sub>setup</sub>=5ns, t<sub>hold</sub>=5ns. Bistabili su spojeni na sljedeći način:  $D_1 = \overline{Q}_0$ ,  $T_0 = Q_1$ . Označimo s  $f_{max}$  maksimalnu frekvenciju rada ovog sklopa. Vrijedi:
  - a)  $f_{max}$ =25MHz, sklop ima siguran start
  - b)  $f_{max}$ =25MHz, sklop nema siguran start
  - c)  $f_{max}$ =50MHz, sklop nema siguran start
- d)  $f_{max}$ =50MHz, sklop ima siguran start
- e)  $f_{max}$ =40MHz, sklop ima siguran start
- f) ništa od navedenog
- 16. Uporabom bistabila JK potrebno je ostvariti bistabil čija je jednadžba promjene stanja  $Q_{n+1} = \overline{A} \cdot Q_n + \overline{B}$ . Što se dovodi na ulaz K?
  - a)  $\overline{A} \cdot B$
- b)  $A \cdot \overline{B}$  c)  $Q_n \cdot B$  d)  $A \cdot B$  e)  $\overline{A} \cdot \overline{B}$
- f) ništa od navedenog
- Dva digitalna sustava razmjenjuju poruke koristeći sljedeći zaštitni kod {000000, 101010, 111111}. Koliko 17. pogrešaka taj kod može ispraviti?
  - a) 4
- b) 2
- c) 3
- d) 0
- e) 1
- f) ništa od navedenog

18. Uporabom logičkih blokova (CLB) sklopa FPGA potrebno je ostvariti sklop koji na izlazima ciklički generira slijed 1, 7, 2, 3. CLB-ovi su temeljeni na dvoulaznom LUT-u, D bistabilu i multipleksoru čiji je adresni ulaz označen sa *s*. Kada je *s*=0, na izlaz CLB-a propušta se izlaz LUT-a, dok se za *s*=1 na izlaz CLB-a propušta izlaz bistabila. Djelomično programiranje sklopa već je napravljeno. Što treba upisati u LUT CLB-a označenog s L5?



- 19. Projektirajte sklop koji na ulaz n<sub>3</sub>n<sub>2</sub>n<sub>1</sub>n<sub>0</sub> dobiva 4-bitni podatak, a na izlazu daje 1 ako je taj podatak valjana znamenka kôda Excess-3. Minimalni oblik funkcije izlaza glasi:
  - a)  $\overline{n}_3 + \overline{n}_2 n_0$

- d)  $\overline{n}_3 + \overline{n}_2 n_1$
- b)  $n_3 \overline{n}_2 + \overline{n}_3 n_2 + \overline{n}_3 n_1 n_0 + n_3 \overline{n}_1 \overline{n}_0$
- e)  $n_3 \overline{n}_0 + \overline{n}_3 n_2 + \overline{n}_3 n_1 n_0 + n_3 \overline{n}_1 \overline{n}_0$
- c)  $n_3 \overline{n}_0 + \overline{n}_3 n_2 + \overline{n}_3 n_1 n_0 + n_3 \overline{n}_1 \overline{n}_0 + n_2$
- f) ništa od navedenog
- 20. U nastavku je prikazan VHDL opis izvedbe osnovnog SR bistabila uporabom dva sklopa NI. Što nedostaje u označenom retku?

```
ENTITY sr IS PORT (
  s, r: IN std logic;
  q, qn: OUT std logic);
END sr;
ARCHITECTURE str OF sr IS
  SIGNAL Qint, Qnint: std logic;
  COMPONENT ni IS PORT (
    a, b: IN std logic;
    y: OUT std logic);
  END COMPONENT;
BEGIN
  q <= qint;</pre>
  qn <= qnint;
  s1: ni PORT MAP (r, qint, qnint);
  s2:
END str;
                                      d) ni PORT MAP (r, qint, qnint);
a) ni PORT MAP (s, qn, q);
b) ni PORT MAP (gint, gnint, g);
                                      e) ni PORT MAP (q, qn, qint);
c) ni PORT MAP (s, qnint, qint);
                                      f) ništa od navedenog
```