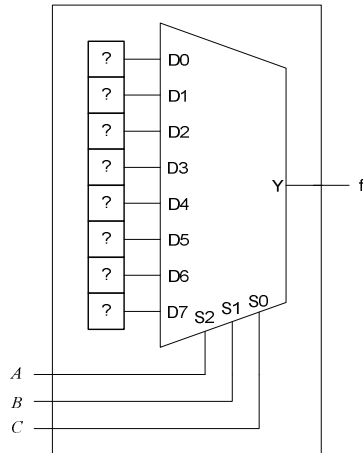


# ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

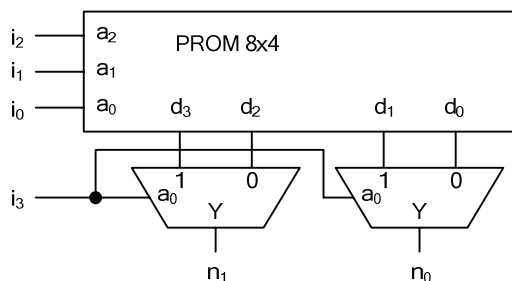
## Grupa C

1. Funkciju  $f(A, B, C) = B \cdot (A \oplus C)$  potrebno je ostvariti uporabom konfigurabilnog bloka sklopa FPGA. Što treba upisati u preglednu tablicu (LUT)? U ponuđenim odgovorima vrijednosti su upisane počev od ulaza D0.



- a) 0, 1, 0, 0, 1, 0, 0, 0
- b) 0, 0, 0, 1, 0, 0, 1, 0
- c) 0, 1, 1, 0, 0, 0, 0, 0
- d) 0, 0, 0, 0, 0, 1, 1, 0
- e) 0, 1, 1, 0, 1, 0, 0, 1
- f) ništa od navedenoga

2. Sklopom temeljenim na ispisnoj memoriji potrebno je realizirati funkciju  $P(i)$  koja za zadani  $i$  vraća  $i$ -ti element iz niza  $\{3, 3, 1, 0, 2, 1, 0, 0, 2, 2, 1, 0, 2, 1, 3, 1\}$  (numeracija kreće od nule). Što treba upisati u ispisnu memoriju? U ponuđenim odgovorima prikazan je sadržaj po memorijskim lokacijama, počev od adrese 0, u heksadekadskom obliku, pri čemu je bit  $d_3$  bit najveće težine.



- a) E, E, 3, 0, C, 3, 5, 1
- b) E, E, 3, 0, C, 3, 9, 1
- c) D, D, 3, 0, C, 3, 6, 2
- d) D, D, 3, 0, C, 3, A, 2
- e) 0, 3, 5, F, F, C, A, 1
- f) ništa od navedenoga

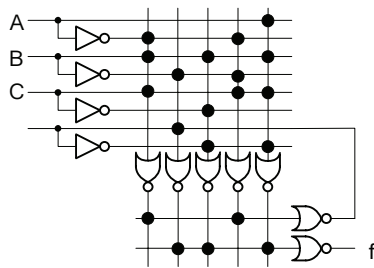
3. Zadana je funkcija  $f(A, B, C, D) = \sum m(1, 3, 5, 7, 8, 9, 10, 12)$ ? Koliko ta funkcija ima primarnih implikanata / bitnih primarnih implikanata?

- a) 6 / 3
- b) 5 / 3
- c) 5 / 2
- d) 4 / 3
- e) 3 / 2
- f) ništa od navedenog

4. Funkciju  $f(A, B, C) = \sum m(0, 3, 5, 6, 7)$  potrebno je ostvariti multipleksorom 2/1 (s podatkovnim ulazima  $D_0$  i  $D_1$ ). Ako na selekcijski ulaz multipleksora dovedemo varijablu A, koju funkciju trebamo dovesti na podatkovni ulaz  $D_0$ ?

- a) 0
- b)  $B + C$
- c)  $\overline{B \oplus C}$
- d)  $\overline{B \cdot C}$
- e)  $\overline{B + C}$
- f) ništa od navedenog

5. Sklopom PLA prikazanim na slici ostvarena je funkcija  $f$ . O kojoj se funkciji radi?



- a)  $f(A, B, C) = \sum m(2,3,4,7)$   
 b)  $f(A, B, C) = \sum m(3,5,6,7)$   
 c)  $f(A, B, C) = \sum m(1,2,3,6)$   
 d)  $f(A, B, C) = \sum m(0,1,3,7)$   
 e)  $f(A, B, C) = \sum m(1,2,4,6,7)$   
 f) ništa od navedenoga

6. Prilikom minimizacije Mooreovog stroja s konačnim brojem stanja razmatraju se stanja S2 i S3. Odgovarajući dio tablice stroja stanja prikazan je u nastavku.

Trenutno stanje	Pobuda	Sljedeće stanje	Izlaz
S2	0	S4	0
	1	S5	0
S3	0	S4	0
	1	S6	0

Što možemo zaključiti o stanjima S2 i S3? Poznato je da su stanja S5 i S6 ekvivalentna.

- a) stanja su ekvivalentna  
 b) stanja nisu ekvivalentna  
 c) stanja su možda ekvivalentna  
 d) stanja su ekvivalentna, ali imaju različite izlaze  
 e) stanja su ekvivalentna jer imaju ista sljedeća stanja  
 f) ništa od navedenog

7. Na raspolaganju je težinski 4-bitni D/A pretvornik s operacijskim pojačalom (za kod 8421). Ako je najveći otpor u težinskom dijelu  $8\text{ k}\Omega$ , otpor  $R_F$  u povratnoj vezi operacijskog pojačala  $2\text{ k}\Omega$ , a referentni napon napajanja  $U_{REF}=2,5\text{ V}$ , koliki će se napon dobiti na izlazu pretvornika kada na ulaz dovedemo podatak 8?

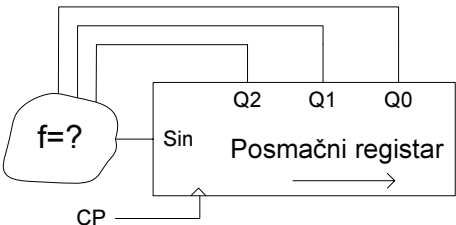
- a)  $-2\text{ V}$   
 b)  $-4\text{ V}$   
 c)  $-5\text{ V}$   
 d)  $-8\text{ V}$   
 e)  $-10\text{ V}$   
 f) ništa od navedenog

8. Sekvencijski sklop izveden je kao Mooreov stroj s konačnim brojem stanja, čije stanje pohranjuju bistabili  $B_0$ ,  $B_1$  i  $B_2$  (čiji su izlazi  $Q_0$ ,  $Q_1$  i  $Q_2$ ), a ulazi su X i Y. Koja od sljedećih funkcija može predstavljati njegov izlaz Z?

- a)  $Z = X \cdot Q_1$   
 b)  $Z = (X + Q_0) \cdot Q_1$   
 c)  $Z = \bar{X} + Y$   
 d)  $Z = Q_1 \oplus Y + Q_2$   
 e)  $Z = \bar{Q}_0 + Q_2$   
 f) ništa od navedenog

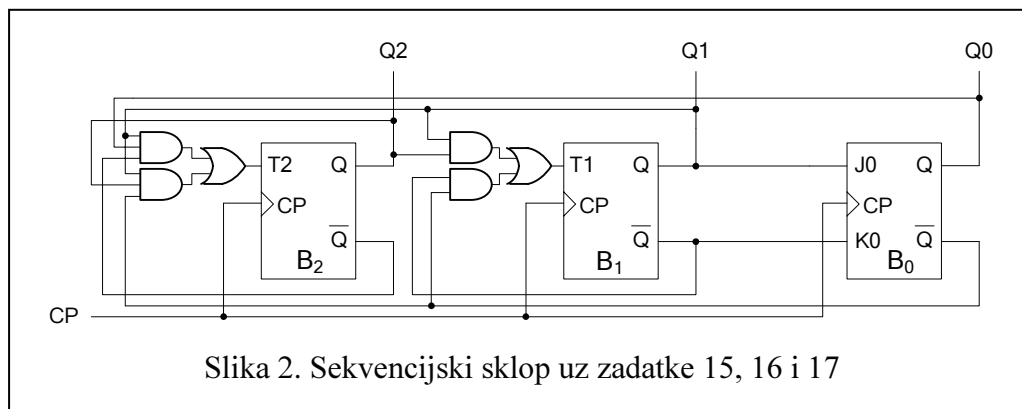
9. Memorija kapaciteta  $512 \times 1$  bit organizirana je na način  $2^{1/2} D$ . Ako je poznato da dekodek retka može adresirati 128 memorijske riječi, koliko adresnih ulaza ima multipleksor/demultipleksor stupca?

- a) 5  
 b) 4  
 c) 3  
 d) 2  
 e) 1  
 f) ništa od navedenog

10.	<p>Pogledajte VHDL opis sklopa sa slike 1. Kako glasi minimalna lista osjetljivosti bloka process?</p> <p>a) clock, E, F, G, H b) clock, E, F, G, H, Qint c) Qint, Qout</p> <p>d) clock, E, F e) clock, Qint f) ništa od navedenog</p>
11.	<p>Pogledajte VHDL opis sklopa sa slike 1. Koji ulazi modeliranog sinkronog sklopa djeluju asinkrono?</p> <p>a) clock, E b) E c) F</p> <p>d) clock, G, H e) niti jedan f) ništa od navedenog</p>
12.	<p>Pogledajte VHDL opis sklopa sa slike 1. Koji je ulaz većeg prioriteta: ulaz za brisanje (E) ili ulaz za postavljanje (F)?</p> <p>a) clock b) G c) H</p> <p>d) E e) F f) ništa od navedenog</p>
13.	<p>Posmačnim registrom sa slike potrebno je ostvariti brojilo koje broji u ciklusu 1,4,6,7,3,5,2. Sklop mora imati sigurni start. Koji od sljedećih izraza opisuje minimalni oblik funkcije f? Prilikom očitavanja stanja izlaz Q2 predstavlja bit najveće težine. Posmak se obavlja u smjeru strelice.</p>  <p>a) <math>f = Q_1\overline{Q_0} + \overline{Q_1}Q_0 + \overline{Q_2}Q_1</math> b) <math>f = Q_1\overline{Q_0} + \overline{Q_2}Q_1</math> c) <math>f = \overline{Q_1}Q_0 + \overline{Q_2}Q_1Q_0</math> d) <math>f = \overline{Q_2}Q_0 + Q_2\overline{Q_0} + \overline{Q_1}Q_0</math> e) <math>f = \overline{Q_2}Q_0 + Q_2\overline{Q_1}Q_0</math> f) ništa od navedenoga</p>
14.	<p>Analizom nekog zaštitnog koda utvrđeno je da se sve kodne riječi međusobno razlikuju za 4 ili 5 bitova, izuzev dvije kodne riječi koje se razlikuju za 9 bitova. Koliko najviše pogrešaka takav kod može ispraviti?</p> <p>a) 1 b) 2 c) 3 d) 4 e) 5 f) ništa od navedenoga</p> <pre> entity Element is port (     clock, E, F, G, H: in std_logic;     Qout: out std_logic); end Element;  architecture beh of Element is     signal Qint: std_logic; begin     process(clock, E, F, G, H, Qint)         variable sel: std_logic_vector(1 downto 0);     begin         if rising_edge(clock) then             if E='1' then Qint&lt;= '0';             elsif F='0' then Qint&lt;= '1'; else                 sel:=G&amp;H;                 case sel is                     when "00"=&gt; Qint&lt;= '0';                     when "01"=&gt; Qint&lt;= not Qint;                     when "10"=&gt; Qint&lt;= not Qint;                     when "11"=&gt; Qint&lt;= '1';                     when others=&gt; null;                 end case;             end if;         end if;         Qout&lt;= Qint;     end process; end beh; </pre>

Slika 1. VHDL kod uz zadatke 10, 11 i 12

15.	Pogledajte sklop sa slike 2. Poznati sljedeći parametri: $t_{dls}=5ns$ , $t_{hold}=10ns$ , $t_{setup}=25ns$ , $t_{db}=15ns$ . Kolika je maksimalna frekvencija signala takta uz koju će sklop još raditi ispravno?
a) 50 MHz b) 40 MHz c) 25 MHz	d) 20 MHz e) 10 MHz f) ništa od navedenog
16.	Pogledajte sklop sa slike 2. U kojem ciklusu broji to brojilo?
a) 0, 3, 5, 2, 1, 7, 6, 4 b) 0, 2, 5, 1, 7, 3, 4, 6 c) 0, 5, 1, 7, 3, 4, 2, 6	d) 0, 2, 3, 7, 5, 4, 6, 1 e) 0, 1, 3, 4, 2, 6, 5, 7 f) ništa od navedenog
17.	Pogledajte sklop sa slike 2. Ako bistabil B0 zamijenimo s D bistabilom, što bi tada trebalo dovesti na njegov ulaz D, kako ne bi promijenili rad sklopa?
a) $D = Q_1 \oplus Q_0$ b) $D = Q_2 \oplus Q_0$ c) $D = Q_1 Q_0 + Q_2$	d) $D = Q_1 Q_0 + \overline{Q_2} \overline{Q_0}$ e) $D = Q_1$ f) ništa od navedenog



18.	Koju funkciju obavlja sklop u negativnoj logici, ako u pozitivnoj obavlja funkciju I?
a) I b) ILI c) NI	d) NILI e) Ex-ILI f) ništa od navedenog
19.	Neki 6-bitni A/D pretvornik sa sukcesivnom aproksimacijom ulazni napon od 14V pretvara 100 ns. Koliko vremena će mu trebati za pretvorbu upola manjeg ulaznog napona?
a) 25 ns b) 50 ns c) 100 ns	d) 200 ns e) 400 ns f) ništa od navedenog
20.	Booleova funkcija od 5 varijable u kanonskom zapisu sume minterma sadrži 17 minterma. Koliko minterma, u istom zapisu, sadrži komplement te funkcije?
a) 14 b) 15 c) 16	d) 17 e) 21 f) ništa od navedenog

