TIPS for DIGLOG

- sukcesivna transformacija vrijeme uvijek isto(ne ovisi o naponu)
- ljestvičasta otporna mreža omjer otpora je uvijek 2
- Moore izlaz ovisi samo o trenutnom stanju, slijedeće stanje ovisi o trenutnom i pobudi
- Mealy- izlaz ovisi o pobudi i trenutnom stanju, slijedeće stanje ovisi o pobudi na ulazu i trenutnom stanju
- komplementrana funkcija; + <=> * i A <=> NOT(A)
- dualna funkcija; + <=> *
- vrijeme razlučivanja na ulazima impulsa => Tmin = Tdb
- maksimalna frekvencija Asinkronog brojila $\frac{1}{n*tdb+to\check{c}}$
- maksimalna frekvencija paralelno ostvarenog sinkronog brojila = $\frac{1}{tsetup+tdb+tdls}$
- maksimalna frekvencija serijski ostvarenog sinkronog brojila = $\frac{1}{tsetup+tdb+(n-2)tdls}$
- tsetup=vrijeme postavljanja; tdb=kašnjenje bistabila; tdls=kašnjenje logičkog sklopa; toč=vrijeme očitanja; thold=vrijeme držanja signala
- vrijeme kašnjenja brojila = n*tdb
- referentni napon = Uizlaza=-In*Rf=- $\sum \left(\frac{Uref}{R}\right)*Rf$
- PAL = programiljivo dekodersko polje, fiksno kodersko polje
- DRAM veći kapacitet memorije na istoj površini čipa nego SRAM
- Dispacija snage => $U1^2*f1*C=U2^2*f2*C$
- Redudancija R=r/n; r=broj zaštitnih bitova; n=broj ukupnih bitova
- $n_{\text{otkriveno}} = d-1$; $n_{\text{ispravljeno}} = (d-1)/2$; d = distanca
- lista osjetljivosti: svi asinkroni ulazi + ono što stoji kod glavnog "if" u kodu

Asinkrona brojila	Sinkrona brojila
Bistabili spojeni tako daizlaz jednog daje signal slijedećem	Bistabili spojeni tako da se signal daje svima istovremeno
Jednostavni bez obzira s brojem stanja	Povećanjem stanja komplicira se krug
Sporiji zbog čekanja signala iz bistabila	Brzi jer se signal daje svim bistabilima istovremeno

S	R	Q_{n+1}	J	K	Q_{n+1}	T	Q_{n+1}	D	Q_{n+1}
0	0	Qn	0	0	Q _n	0	Q _n	0	0
0	1	0	0	1	0	1	NOT Q _n	1	1
1	0	1	1	0	1				
1	1	X	1	1	NOT Q _n				