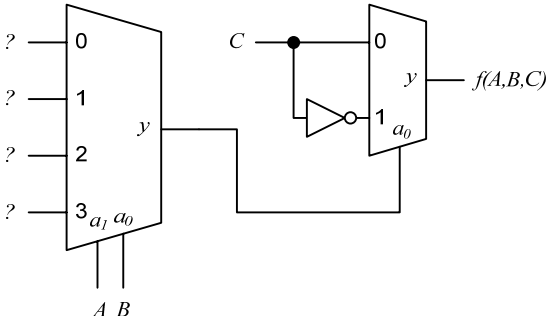
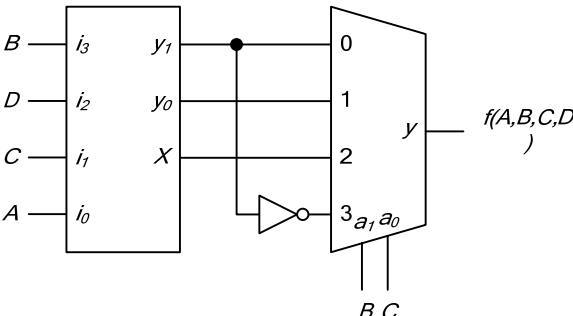
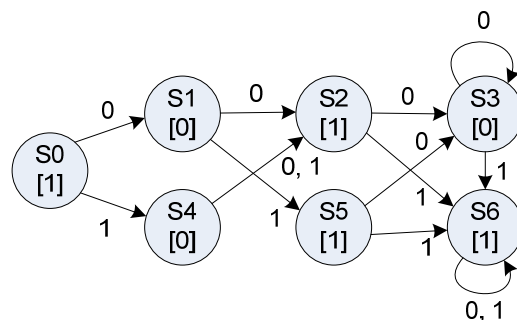


9.	<p>Sklop sa slike treba ostvariti funkciju $f(A,B,C) = \prod M(0,3,5,6)$. Što treba dovesti na ulaze multipleksora 4/1? U ponuđenim odgovorima vrijednosti su navedene od ulaza 0 prema ulazu 3.</p>  <p>a) 0,1,1,0 b) 1,1,1,0 c) 1,1,0,0 d) 1,0,1,0 e) 0,0,1,1 f) ništa od navedenog</p>
10.	<p>U nekom digitalnom sustavu dekadске znamenke kodiraju se pomoću 4 bita $b_3b_2b_1b_0$, pri čemu je dekadска znamenka i kodirana kao binarni broj $i+2$ (npr. znamenici 5 odgovara kod $b_3b_2b_1b_0 = 0111$). Potrebno je projektirati sklop temeljen na dekoderu 4/16 i jednom ILI sklopu koji će na izlazu dati 1 ako se na ulaz dovede kod znamenke koja je parna i veća od 3. Na adresne ulaze dekodera $a_3a_2a_1a_0$ dovodi se kod znamenke $b_3b_2b_1b_0$. Koje izlaze dekodera treba dovesti na ILI sklop?</p> <p>a) 4, 6, 8, 10 b) 8, 10, 12, 14 c) 6, 8, 10 d) 1, 3, 4, 8 e) 4, 6, 8 f) ništa od navedenog</p>
11.	<p>Koju funkciju $f(A,B,C,D)$ ostvaruje sklop sa slike? Izlaz X prioritетnog kodera je u 1 ako je na barem jednom ulazu prisutna jedinica; inače $X=0$ i $y_1y_0=00$. Ulaz i_3 je ulaz najvećег prioriteta.</p>  <p>a) $\sum m(2,3,4,5,8,9,12,13)$ b) $\sum m(1,2,4,5,9,10,12,13)$ c) $\sum m(1,4,5,9,10,12,13)$ d) $\sum m(2,3,4,5,8,9,10,11,12,13)$ e) $\sum m(4,5,12,13)$ f) ništa od navedenog</p>
12.	<p>Tehnologijom CMOS potrebno je ostvariti funkciju $f(A,B,C,D,E) = \overline{A}B\overline{C} + \overline{D}\overline{E}$. Koliko nam treba minimalno tranzistora?</p> <p>a) 18 b) 16 c) 10 d) 12 e) 20 f) ništa od navedenog</p>
13.	<p>Memorija 512×2 bita ima $2^{1/2}$ D organizaciju. Koliko logičkih riječi u tom slučaju sadrži jedna fizička riječ, ako se na adresni dekoder retka dovodi 5 bitova adrese?</p> <p>a) šesnaest logičkih riječi d) jednu logičku riječ b) četiri logičke riječi e) trideset i dvije logičke riječi c) osam logičkih riječi f) ništa od navedenog</p>
14.	<p>Koliko iznosi maksimalna frekvencija rada 5-bitnog sinkronog binarnog brojila s paralelnim prijenosom (prijenos je izveden sklopovima I), ako je poznato $t_{db} = 20$ ns, $t_{setup} = 15$ ns, $t_{dls} = 5$ ns?</p> <p>a) 10 MHz b) 100 MHz c) 50 MHz d) 20 MHz e) 25 MHz f) ništa od navedenog</p>
15.	<p>Pomoću 5 bistabila T izgrađeno je asinkrono binarno brojilo unaprijed. Bistabili imaju još i dodatni asinkroni ulaz za brisanje (reset, ulaz aktivan s 1), i u brojilu su ti ulazi povezani zajedno, te je na njih spojen izlaz sklopa I. Koje stanje taj sklop mora dekodirati ako se puni ciklus brojila želi skratiti za 5?</p> <p>a) 12 b) 26 c) 13 d) 3 e) 27 f) ništa od navedenog</p>

16.	<p>Uporabom PLA tipa I-ILI potrebno je ostvariti funkcije: $f_1(A,B,C,D) = \sum m(0,3,4,7,10,11) + \sum d(2,8)$ i $f_2(A,B,C,D) = \sum m(0,3,4,7,10,11,12,13,14,15) + \sum d(8)$. Ako dimenzije sklopa PLA označimo s $x \times y \times z$, gdje je x broj ulaza, y broj sklopova I-polja (prvog polja) a z broj sklopova ILI-polja (drugog polja), koji nam je minimalno potreban PLA?</p> <p>a) $4 \times 4 \times 2$ b) $4 \times 5 \times 2$ c) $4 \times 7 \times 2$ d) $4 \times 6 \times 2$ e) $4 \times 3 \times 2$ f) ništa od navedenog</p>
-----	--

17.	<p>Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Što je od sljedećega točno?</p> <p>a) stanja S_0 i S_1 su ekvivalentna b) stanja S_2 i S_5 su ekvivalentna c) stanja S_2 i S_4 su ekvivalentna d) stanja S_2 i S_3 su ekvivalentna e) stanja S_0 i S_6 su ekvivalentna f) ništa od navedenog</p>
-----	---



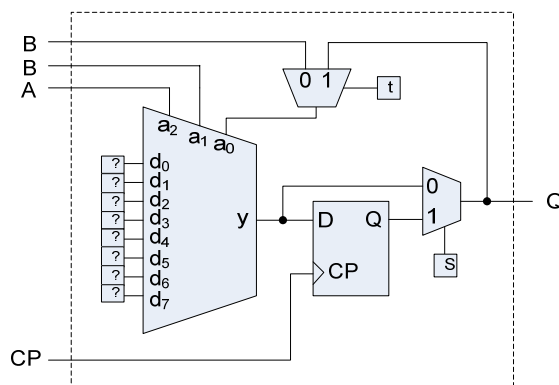
Slika 1. Stroj s konačnim brojem stanja

18.	<p>Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Početno stanje je S_0. Ako se na njegov ulaz dovede niz 1, 1, 1, 1, 1, što će biti generirano na njegovom izlazu?</p> <p>a) 1,0,1,0,0,0 b) 1,0,1,1,1,1 c) 1,0,1,0,1,1 d) 1,1,1,0,0,1 e) 1,0,1,0,0,1 f) ništa od navedenog</p>
-----	---

19.	<p>Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Taj se stroj direktno (bez minimizacije broja stanja) ostvaruje bistabilima D. Pri tome se koriste 3 bistabila, a stanje S_i kodira se kao broj i zapisan u Grayevom kodu. Što se dovodi na ulaz D_0 bistabila koji pohranjuje bit najmanje težine? Ulaz stroja označen je sa x. $D_0(Q_2, Q_1, Q_0, x)$ glasi:</p> <p>a) $\sum m(0,1,2,5,6,10,11,12,14,15) + \sum d(8,9)$ d) $\sum m(0,2,3,5,7,10,11,12,13,15) + \sum d(8,9)$ b) $\sum m(0,1,4,5,10,11,12,13,14,15) + \sum d(8,9)$ e) $\sum m(0,2,3,4,5,7,10,11,13,15) + \sum d(8,9)$ c) $\sum m(1,2,3,5,6,8,10,11,12,13,14) + \sum d(8,9)$ f) ništa od navedenog</p>
-----	---

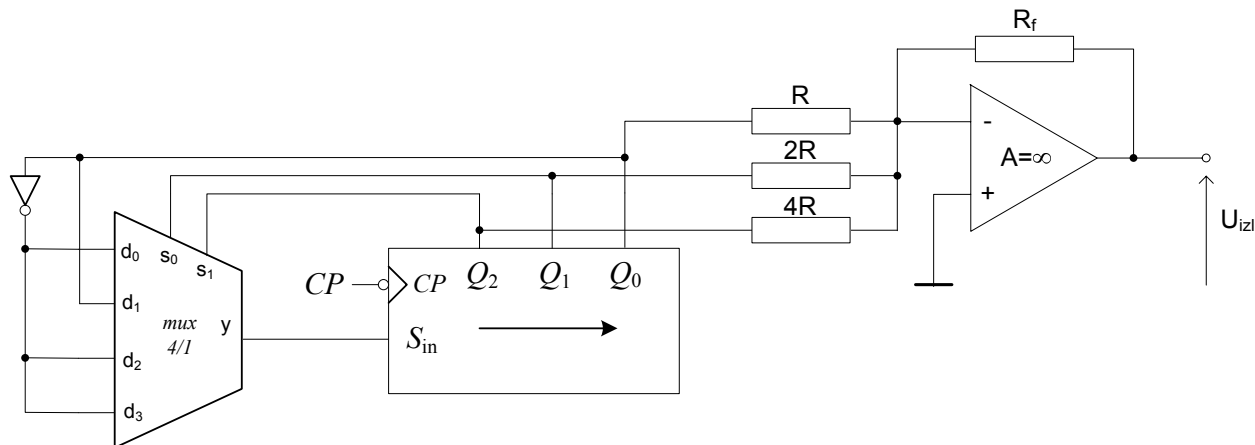
20.	<p>Pogledajte stroj s konačnim brojem stanja prikazan na slici 1. Prisjetite se kako ste na laboratorijskim vježbama modelirali ovakav stroj (razlaganje modela stroja na 3 bloka process). Ako ulaz stroja označimo sa x, signal koji čuva trenutno stanje sa $state$, signal koji čuva sljedeće stanje sa $nstate$, izlaz sa o te takt sa cp, što će biti minimalna lista osjetljivosti bloka process koji određuje o?</p> <p>a) cp b) $state, x$ c) $state, x, cp$ d) $state$ e) $state, cp$ f) ništa od navedenog</p>
-----	---

21.	<p>Na raspolaganju je logički blok FPGA sklopa prikazan slikom. Želimo ostvariti bistabil s ulazima A i B čija je jednačba promjene stanja:</p> $Q^{n+1} = Q^n \cdot (A + \overline{B}) + A\overline{B}$ <p>gdje Q^{n+1} označava sljedeće a Q^n trenutno stanje bistabila. Kako treba programirati logički blok? U rješenjima je LUT očitao od d_0 prema d_7.</p> <p>a) LUT=00011101, s=1, t=1 b) LUT=01100001, s=0, t=1 c) LUT=00111010, s=1, t=1 d) LUT=00101110, s=1, t=1 e) LUT=01001101, s=1, t=1 f) ništa od navedenog</p>
-----	--

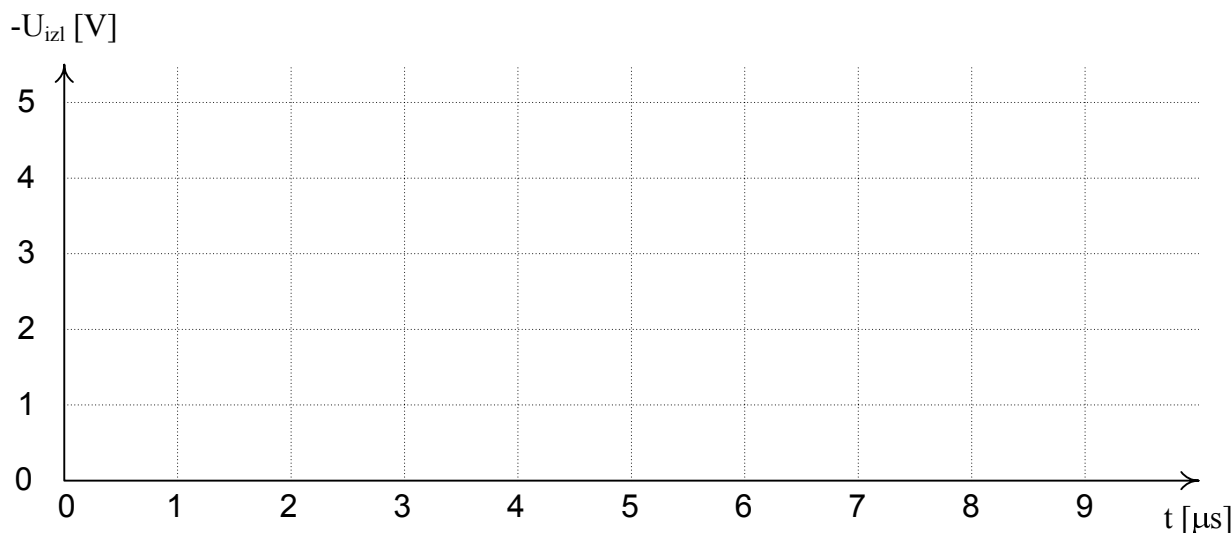


Sljedeća dva zadatka nemaju negativnih bodova i rješenje se pregledava ručno; način bodovanja: točno rješenje +1, netočno ili neodgovoreno 0. Računski dio zadatka 22 mora biti riješen na unutrašnjosti košuljice s lijeve strane a traženi dijagram mora biti nacrtan na ovom papiru u za to predviđeno mjesto. Zadatak 23 mora biti riješen na unutrašnjosti košuljice s desne strane.

22. Digitalni sustav priključen na digitalno-analogni pretvornik prikazan je na slici.



Signal takta je simetričan poluperiode 500 ns; prvi padajući brid pojavljuje se u trenutku $t = 1 \mu\text{s}$. Na vremenskom dijagramu **prikazanom u nastavku** prikažite kretanje izlaznog napona od trenutka $t = 0$ ns do trenutka $t = 9,5 \mu\text{s}$. Pretpostaviti da se izlazi posmačnog registra ponašaju ili kao idealni izvor napona $U_{\text{REF}} = 4 \text{ V}$ ili kao idealni spoj na masu (ovisno o stanju izlaza). Još je poznato: $R = 8 \text{ k}\Omega$, $R_F = 4 \text{ k}\Omega$. U trenutku $t = 0$ ns svi su bistabili registra u stanju 0. Kašnjenja bistabila i logičkih sklopova/modula zanemarite. Obratite pažnju na način (težine!) na koji je pretvornik spojen na izlaze registra.



23. **Na unutrašnjosti košuljice s desne strane** napišite cjelovit VHDL opis stroja s konačnim brojem stanja (ne trebate pisati zaglavlje `library` te `use`; sve ostalo treba). Struktura sklopa mora odgovarati kanonskom modelu stroja s konačnim brojem stanja te vrste kako je izložena na predavanjima.