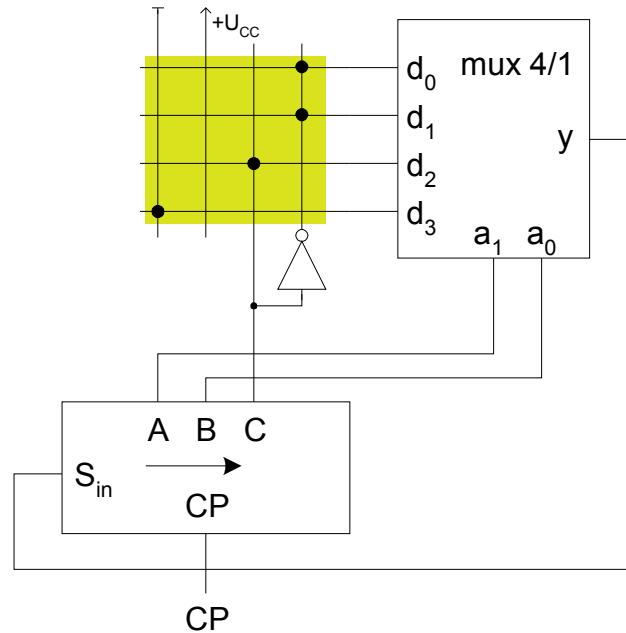
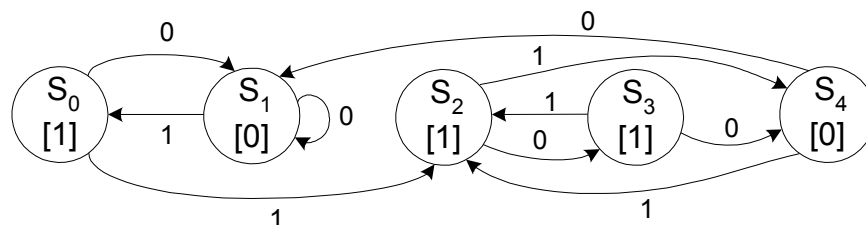


3. U kojem ciklusu broji sklop prikazan na slici?



- a) 0,4,6,7,3,5,2,1 b) 4,2,1,5
 c) 1,0,2,3,4,5,6,7 d) 7,3,1
 e) 0,4,2,5,6,3,1

4. Stroj s konačnim brojem stanja realiziran je prema dijagramu prikazanom na slici. Ako se početno stroj nalazi u stanju S0, te se na ulaz dovede slijed 0,1,0,0,1, što će stroj generirati na izlazu (počevši od početnog stanja), te u kojem će stanju ostati?



- a) izlazi: 1,0,1,0,0,1, stanje S0 b) izlazi: 1,1,0,1,1,0, stanje S4
 c) izlazi: 0,0,0,1,1,1, stanje S2 d) izlazi: 1,0,0,0,0,1, stanje S2
 e) Izlazi: 0,0,1,1,0,1, stanje S3

5. Na raspolaganju je T bistabil. Njegovom uporabom, te uz minimalni utrošak osnovnih logičkih sklopova, projektirajte xy bistabil, čije je ponašanje definirano tablicom.

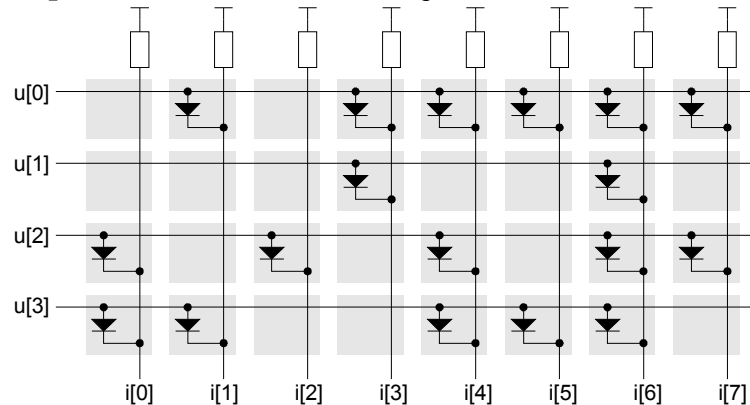
x	y	Q_{n+1}
0	0	Q_n
0	1	1
1	0	$\overline{Q_n}$
1	1	0

- a) $T = \overline{Q} \cdot \overline{X} \cdot Y + Q \cdot X + X \cdot \overline{Y}$ b) $T = Q \cdot X + \overline{Q} \cdot Y + \overline{Q} \cdot \overline{X} \cdot \overline{Y}$
 c) $T = \overline{Q} \cdot X \cdot Y + Q \cdot X + X \cdot \overline{Y}$ d) $T = Q \cdot X + \overline{X} \cdot Y + \overline{Q} \cdot X \cdot \overline{Y}$
 e) $T = Q \cdot X + \overline{Q} \cdot Y$

6. Uporabom minimalnog broja T bistabila s asinkronim ulazom za postavljanje želi se projektirati asinkrono binarno brojilo koje broji u ciklusu duljine 13. Koje je stanje u tu svrhu potrebno dekodirati? Svi ulazi za postavljanje spojeni su zajedno.

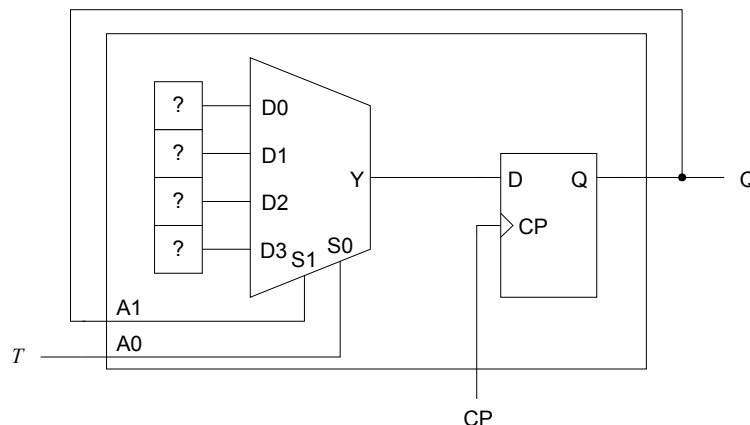
- a) 0
b) 12
c) 14
d) 15
e) 13

7. Permanentna memorija ostvarena je diodnim poljem, prema slici. Koji je sadržaj memorije? Izlaz $i[0]$ promatrati kao izlaz najveće težine.



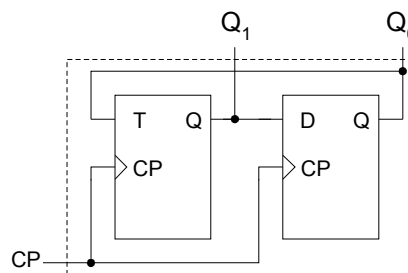
- a) 00,FF,2E,17
b) 5F,12,AB,CE
c) 23,17,2E,35
d) A0,ED,54,31
e) 14,22,15,51

8. Programirajte logički blok FPGA sklopa temeljen na preglednoj tablici, tako da ostvarite T bistabil. Što se upisuje u preglednu tablicu (odozgo prema dolje)?



- a) 0,0,0,0
b) 1,1,0,0
c) 0,0,1,1
d) 1,0,1,0
e) 0,1,1,0

9. Prednost $2^{1/2}D$ organizacije memorije u odnosu na 2D organizaciju je:
- Skraćenje vodova bita
 - Produljenje vodova riječi
 - Skraćenje vodova riječi
 - Povećanje disipacije
 - Produljenje vodova bita
10. Ako se na ulaz 5-bitnog težinskog D/A pretvornika s težinama (16,8,4,2,1) dovede podatak 10100, na izlazu se dobije napon amplitude 10V. Koliki se napon dobije za podatak 11001?
- 20V
 - 4,71V
 - 11,3V
 - 13V
 - 12,5V
11. Na raspolaganju je analogno digitalni pretvornik sa sukcesivnom aproksimacijom koji može mjeriti napone od 0V do 15V. Koji će se napon kod tog pretvornika najbrže izmjeriti?
- 0V
 - Sve pretvorbe traju jednako dugo
 - 7,5V
 - 15V
 - 8V
12. Ima li sklop na slici siguran start?

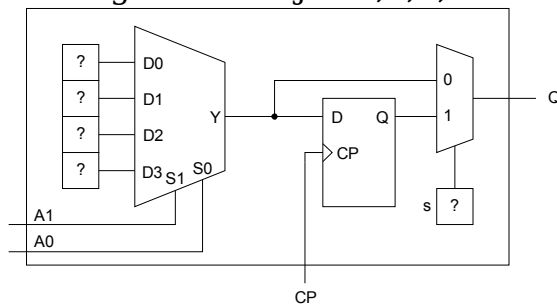


- Nema
 - Nije moguće utvrditi
 - Ima
13. Popunite tablicu SR bistabila do kraja. U ponuđenim odgovorima stupac Q_{n+1} prepisan je odozgo prema dolje. Ukoliko je u nekom retku zabranjena pobuda, tada je odgovarajuće stanje Q_{n+1} označeno s X.

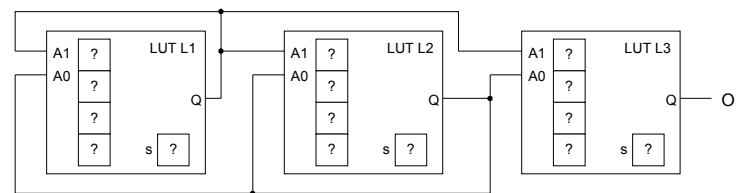
Q_n	S	R	Q_{n+1}
0	0	0	?
0	0	1	?
0	1	0	?
0	1	1	?
1	0	0	?
1	0	1	?
1	1	0	?
1	1	1	?

- 1,0,1,0,0,1,0,1
- 1,1,0,0,1,1,0,0
- 0,0,1,1,1,0,1,0
- 0,0,1,X,1,0,1,X
- 0,0,1,1,X,X,X,X

14. Na raspolaganju su tri logička bloka FPGA sklopa prikazana na slici 14-1, spojenih prema slici 14-2. Konfigurirajte blokove tako da se dobije sklop koji na izlazu generira slijed 0,0,0,1. Stanje S_i kodirajte binarnom reprezentacijom od 'i'.



Slika 14-1



Slika 14-2

- a) $S_1=1$, LUT1=0,1,1,0
 $S_2=1$, LUT2=1,0,1,0
 $S_3=0$, LUT3=0,1,1,0
- b) $S_1=0$, LUT1=0,0,0,0
 $S_2=1$, LUT2=0,0,0,0
 $S_3=1$, LUT3=0,0,0,0
- c) $S_1=1$, LUT1=0,1,1,0
 $S_2=1$, LUT2=1,0,1,0
 $S_3=0$, LUT3=0,0,0,1
- d) $S_1=1$, LUT1=1,1,0,0
 $S_2=0$, LUT2=0,0,1,1
 $S_3=1$, LUT3=0,0,0,1
- e) $S_1=1$, LUT1=0,1,0,0
 $S_2=1$, LUT2=0,0,1,0
 $S_3=0$, LUT3=0,0,0,1
15. Blok PROCESS nekog bistabila modeliranog VHDL-om prikazan je u nastavku. Koji je od ponuđenih odgovora točan za taj bistabil?
- ```

PROCESS (cp, a, b, x, qint)
BEGIN
 if (a='1') then qint<='0'; elsif (falling_edge(cp)) then
 if (b='0') then qint<='1'; else qint <= qint XOR x; end if;
 end if;
END PROCESS;

```
- a) a i b djeluju sinkrono  
b) b djeluje sinkrono, a asinkrono  
c) a i b djeluju asinkrono  
d) sklop reagira na rastući brid cp-a  
e) a djeluje sinkrono, b asinkrono
16. Blok PROCESS nekog bistabila modeliranog VHDL-om prikazan je u nastavku. O kojem se bistabilu radi? Signal qint direktno se preslikava na izlaz sklopa.
- ```

PROCESS (cp)
BEGIN
  if (falling_edge(cp)) then
    qint <= qint XOR x;
  end if;
END PROCESS;

```
- a) T bistabil okidan padajućim bridom
b) D bistabil okidan rastućim bridom
c) T bistabil okidan rastućim bridom
d) JK bistabil okidan padajućim bridom
e) D bistabil okidan padajućim bridom

17. Arhitektura nekog sklopa koji ima ulaze x, y, z te izlaz o (svi tipa std_logic) modelirana je VHDL-om prikazanim u nastavku. O kojem se sklopu radi?

```
WITH z SELECT
  o <= x WHEN '0', y WHEN OTHERS;
```

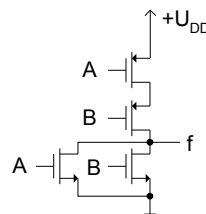
- a) Dekoder 1/2
b) Dekoder 2/4
c) Multipleksor 3/1
d) PLA sklop
e) Multipleksor 2/1

18. Arhitektura nekog sklopa koji ima ulaz cp te izlaze q0 i q1 (svi tipa std_logic) modelirana je VHDL-om prikazanim u nastavku. Sklop koristi T bistabil okidan padajućim bridom. O kojem se sklopu radi?

```
ARCHITECTURE some OF sklop IS
  COMPONENT tbistabil IS
    PORT(cp, t: IN std_logic, q, qn: OUT std_logic);
  END COMPONENT;
  SIGNAL qi: std_logic;
BEGIN
  b1: tbistabil PORT MAP (cp, '1', q0, qi);
  b2: tbistabil PORT MAP (qi, '1', q1, open);
END some;
```

- a) Sinkrono binarno brojilo unaprijed
b) Asinkrono binarno brojilo unatrag
c) Sinkrono binarno brojilo unatrag
d) Sinkroni registar
e) Asinkrono binarno brojilo unaprijed

19. Neka funkcija ostvarena je CMOS tehnologijom prema slici. O kojoj se funkciji radi?



- a) I
b) Ex-ILI
c) ILI
d) NILI
e) NI

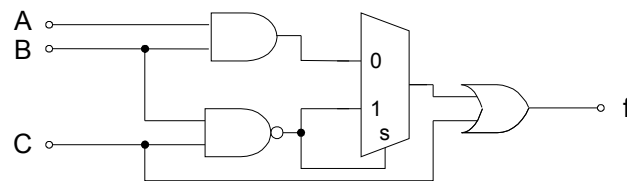
20. Korištenjem K-tablica pronaći minimalni zapis funkcije f u obliku sume parcijalnih produkata, ako je $f(A, B, C, D) = \sum m(1, 7, 9, 13, 15) + \sum d(5, 8, 14)$. Rezultat minimizacije je:

- a) $\overline{A} \cdot B + \overline{A} \cdot \overline{C}$
b) $\overline{C} \cdot D + B \cdot C \cdot D$
c) $\overline{C} \cdot \overline{B} \cdot D + B \cdot D$
d) $\overline{C} \cdot D + B \cdot D + A \cdot \overline{B} \cdot \overline{C}$
e) $\overline{C} \cdot D + B \cdot D$

21. Distanca nekog koda iznosi 6. Koliko pogrešaka ovaj kod može ispraviti/otkriti?

- a) 0/0
b) 6/6
c) 3/5
d) 2/5
e) 2/6

22. Funkcija od 4 varijable prikazana u kanonskom obliku produkta suma sadrži 6 maksterma. Ako istu funkciju prikažemo u kanonskom obliku sume produkata, koliko taj prikaz sadrži minterma?
 - a) 6
 - b) 16
 - c) 2
 - d) Ne može se odrediti
 - e) 10
23. U nekom digitalnom sustavu za pohranu cijelih brojeva koristi se binarni zapis u B-komplementu. Ako se za pohranu koristi 5 bitova, koji je najmanji broj koji se može prikazati?
 - a) -31
 - b) -15
 - c) -32
 - d) -16
 - e) 0
24. Koju funkciju obavlja sklop prikazan na slici?



- a) $f(A, B, C) = \sum m(2, 4, 5, 7)$ b) $f(A, B, C) = \sum m(0, 1, 2, 5)$
c) $f(A, B, C) = \sum m(0, 1, 2, 5, 7)$ d) $f(A, B, C) = \sum m(0, 1, 2, 3, 4, 5, 6, 7)$
e) $f(A, B, C) = \sum m(0, 3, 7)$
25. Koji je od sljedećih minimalni potpuni sustav funkcija Booleove algebre?
- a) {EX-NILI} b) {NILI}
c) {ILI, NE} d) {NE}
e) {EX-ILI}