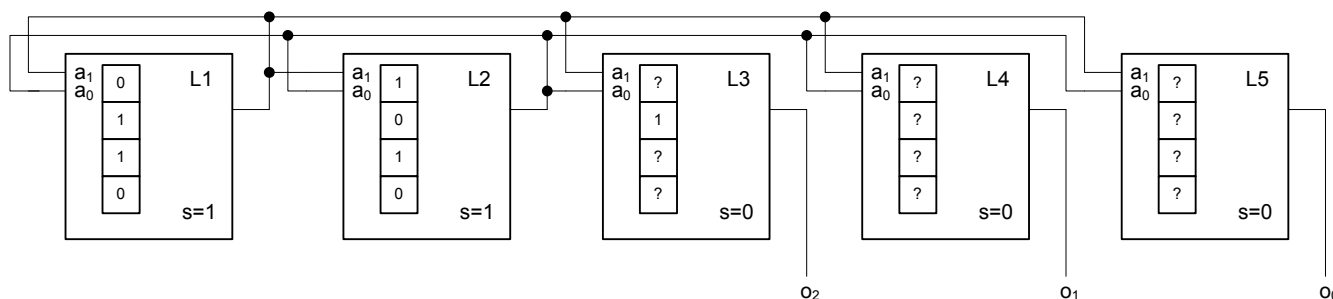


11.	<p>Multiplexorom 4/1 potrebno je ostvariti funkciju $f(A, B, C, D) = \sum m(1, 2, 3, 5, 6, 8, 9, 11, 15)$. Ako na adresni ulaz a_1 dovedemo A, a na a_0 dovedemo B, što je potrebno dovesti na podatkovni ulaz d_0?</p> <p>a) $\bar{C} + D$ b) $C \oplus D$ c) $C \cdot D$ d) $C + D$ e) $C + \bar{D}$ f) ništa od navedenog</p>
12.	<p>Što od navedenoga vrijedi za sljedeći blok process?</p> <pre> process(z) begin if z='0' then a<=b; else a<=not b; end if; end process; </pre> <p>a) lista osjetljivosti sadrži 3 signala b) opis predstavlja sekvencijski sklop c) signal b je izlazni signal (OUT) d) promjenom signala b simulator će pokrenuti obradu bloka process e) opis predstavlja kombinacijski sklop f) ništa od navedenog</p>
13.	<p>Ostvarite automat sa slike uporabom minimalnog broja bistabila JK. S_i u kružiću predstavlja oznaku stanja, a $[xy]$ predstavlja izlaze. Ulaz je U. Neka stanje S_i bude kodirano binarnom reprezentacijom broja i. Minimalni oblik funkcije ulaza J_1 glasi:</p> <p>a) $\bar{Q}_0 U + Q_0 \bar{U}$ b) U c) $\bar{Q}_1 + U$ d) $\bar{Q}_0 \bar{U} + Q_0 U$ e) $Q_0 \bar{U} + \bar{Q}_1$ f) ništa od navedenog</p>
14.	<p>Automat iz prethodnog zadatka nalazi se u stanju S_2. Na ulaz se potom dovodi slijed 0, 1, 0. Na izlazima automata ćemo očitati:</p> <p>a) 01,11,01,00 b) 01,11,01,01 c) 01,01,00,01 d) 01,11,11,01 e) 01,11,01,11 f) ništa od navedenog</p>
15.	<p>Sinkroni sekvencijski sklop izgrađen je od dva bistabila: B_1 je bistabil tipa D, a B_0 je bistabil tipa T. Oba bistabila imaju jednake parametre: $t_{db}=15\text{ns}$, $t_{setup}=5\text{ns}$, $t_{hold}=5\text{ns}$. Bistabili su spojeni na sljedeći način: $D_1 = \bar{Q}_0$, $T_0 = Q_1$. Označimo s f_{max} maksimalnu frekvenciju rada ovog sklopa. Vrijedi:</p> <p>a) $f_{max}=25\text{MHz}$, sklop ima siguran start d) $f_{max}=50\text{MHz}$, sklop ima siguran start b) $f_{max}=25\text{MHz}$, sklop nema siguran start e) $f_{max}=40\text{MHz}$, sklop ima siguran start c) $f_{max}=50\text{MHz}$, sklop nema siguran start f) ništa od navedenog</p>
16.	<p>Uporabom bistabila JK potrebno je ostvariti bistabil čija je jednačba promjene stanja $Q_{n+1} = \bar{A} \cdot Q_n + \bar{B}$. Što se dovodi na ulaz K?</p> <p>a) $\bar{A} \cdot B$ b) $A \cdot \bar{B}$ c) $Q_n \cdot B$ d) $A \cdot B$ e) $\bar{A} \cdot \bar{B}$ f) ništa od navedenog</p>
17.	<p>Dva digitalna sustava razmjenjuju poruke koristeći sljedeći zaštitni kod {000000, 101010, 111111}. Koliko pogrešaka taj kod može ispraviti?</p> <p>a) 4 b) 2 c) 3 d) 0 e) 1 f) ništa od navedenog</p>

18. Uporabom logičkih blokova (CLB) sklopa FPGA potrebno je ostvariti sklop koji na izlazima ciklički generira slijed 1, 7, 2, 3. CLB-ovi su temeljeni na dvoulaznom LUT-u, D bistabilu i multipleksoru čiji je adresni ulaz označen sa s . Kada je $s=0$, na izlaz CLB-a propušta se izlaz LUT-a, dok se za $s=1$ na izlaz CLB-a propušta izlaz bistabila. Djelomično programiranje sklopa već je napravljeno. Što treba upisati u LUT CLB-a označenog s L5?



- a) 1101 b) 0111 c) 1011 d) 0011 e) 1110 f) ništa od navedenog

19. Projektirajte sklop koji na ulaz $n_3n_2n_1n_0$ dobiva 4-bitni podatak, a na izlazu daje 1 ako je taj podatak valjana znamenka kôda Excess-3. Minimalni oblik funkcije izlaza glasi:

- a) $\bar{n}_3 + \bar{n}_2n_0$ d) $\bar{n}_3 + \bar{n}_2n_1$
 b) $n_3\bar{n}_2 + \bar{n}_3n_2 + \bar{n}_3n_1n_0 + n_3\bar{n}_1\bar{n}_0$ e) $n_3\bar{n}_0 + \bar{n}_3n_2 + \bar{n}_3n_1n_0 + n_3\bar{n}_1\bar{n}_0$
 c) $n_3\bar{n}_0 + \bar{n}_3n_2 + \bar{n}_3n_1n_0 + n_3\bar{n}_1\bar{n}_0 + n_2$ f) ništa od navedenog

20. U nastavku je prikazan VHDL opis izvedbe osnovnog SR bistabila uporabom dva sklopa NI. Što nedostaje u označenom retku?

```
ENTITY sr IS PORT (
  s, r: IN std_logic;
  q, qn: OUT std_logic);
END sr;

ARCHITECTURE str OF sr IS
  SIGNAL Qint, Qnint: std_logic;
  COMPONENT ni IS PORT (
    a, b: IN std_logic;
    y: OUT std_logic);
  END COMPONENT;
BEGIN

  q <= qint;
  qn <= qnint;
  s1: ni PORT MAP (r, qint, qnint);
  s2: _____

END str;
```

- a) ni PORT MAP (s, qn, q); d) ni PORT MAP (r, qint, qnint);
 b) ni PORT MAP (qint, qnint, q); e) ni PORT MAP (q, qn, qint);
 c) ni PORT MAP (s, qnint, qint); f) ništa od navedenog