



## 5. Implementacija logičkih sklopova (2)

---



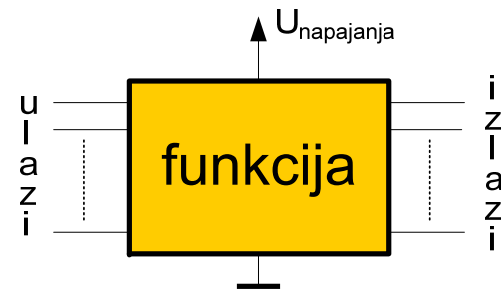
# Sadržaj predavanja

---

- **koncept integriranog sklopa**
- električka svojstva integriranih izvedbi
- dinamička svojstva integriranih izvedbi
- skupine integriranih logičkih sklopova

# Koncept integriranog sklopa

- *integrirani logički sklop*
  - ~ inkapsulacija složenije funkcijske cjeline u *modul*
- minijaturizacija i integriranje složenije cjeline
  - ~ crna kutija s određenim funkcijskim svojstvima, uz zadovoljene uvjete:
    - primjerena pobuda (područja za 0 i 1, granice smetnji)
    - odgovarajući režim rada (napon napajanja, temperatura okoline, opterećenje izlaza)
- *apstrakcija funkcija* (funkcijska apstrakcija)
  - ~ ne zagleda se u unutrašnjost crne kutije





# Koncept integriranog sklopa

---

- električka svojstva:
  - prijenosna karakteristika
  - granica smetnji
  - faktor grananja
  - disipacija snage
- dinamička svojstva:
  - vrijeme kašnjenja
  - mjera dobrote integriranog sklopa
  - vrijeme porasta i vrijeme pada signala na izlazu sklopa



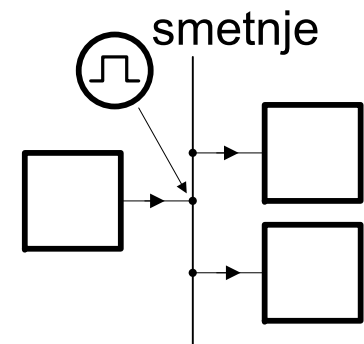
# Sadržaj predavanja

---

- koncept integriranog sklopa
- **električka svojstva integriranih izvedbi**
  - **naponska područja**
  - **prijenosna karakteristika**
  - **smetnje**
  - **opterećenje i faktor grananja**
  - **disipacija snage**
- dinamička svojstva integriranih izvedbi
- skupine integriranih logičkih sklopova

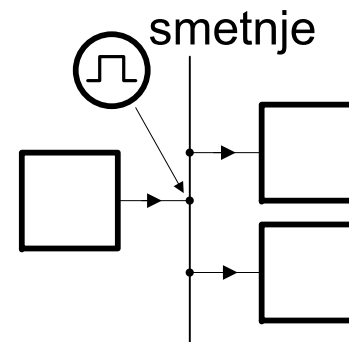
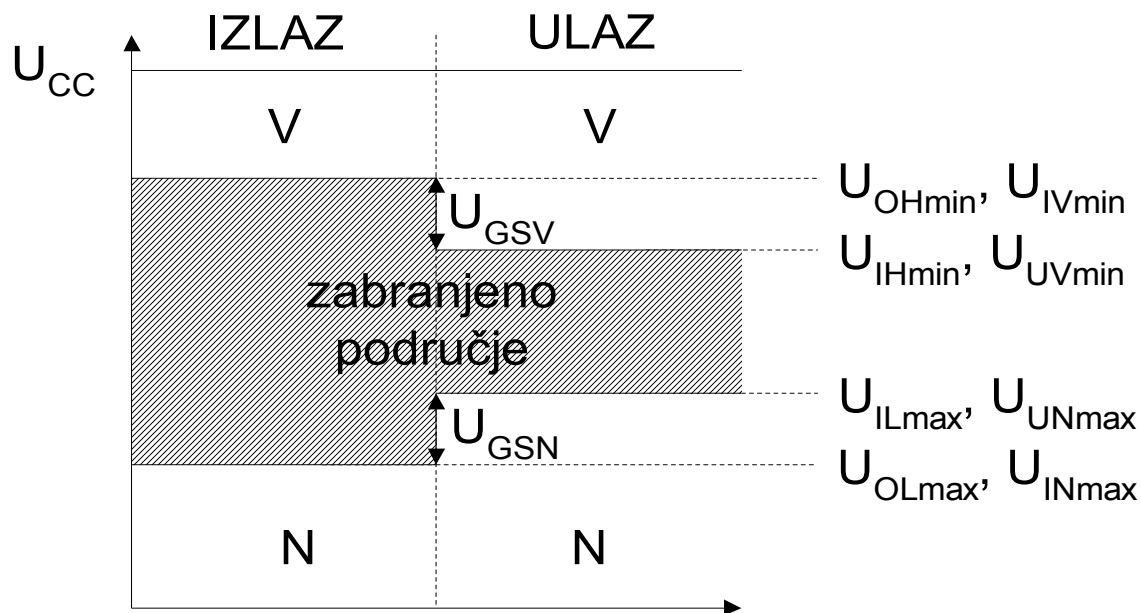
# Električka svojstva integriranih izvedbi

- naponska područja *na ulazu i izlazu* logičkog sklopa:
  - naponska područja:
    - varijacije parametara
    - utjecaj opterećenja
  - *zabranjeno područje*  
~ "diskriminacija" naponskih razina V i N
  - uže tolerancije na izlazu logičkih sklopova  
~ moguće djelovanje (superponiranih) smetnji na ulazu



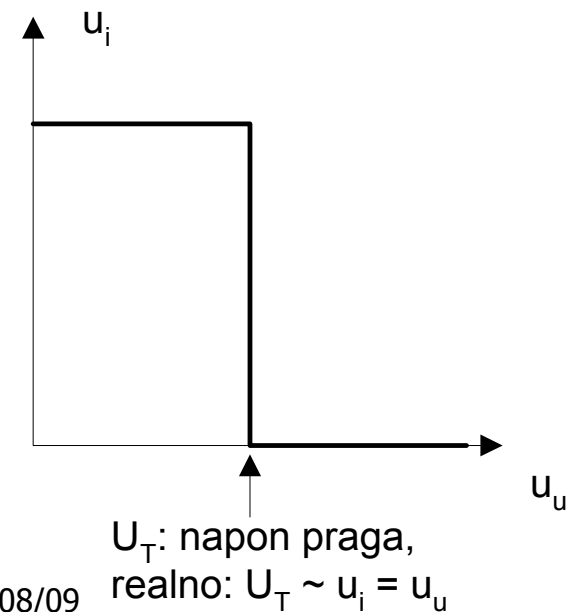
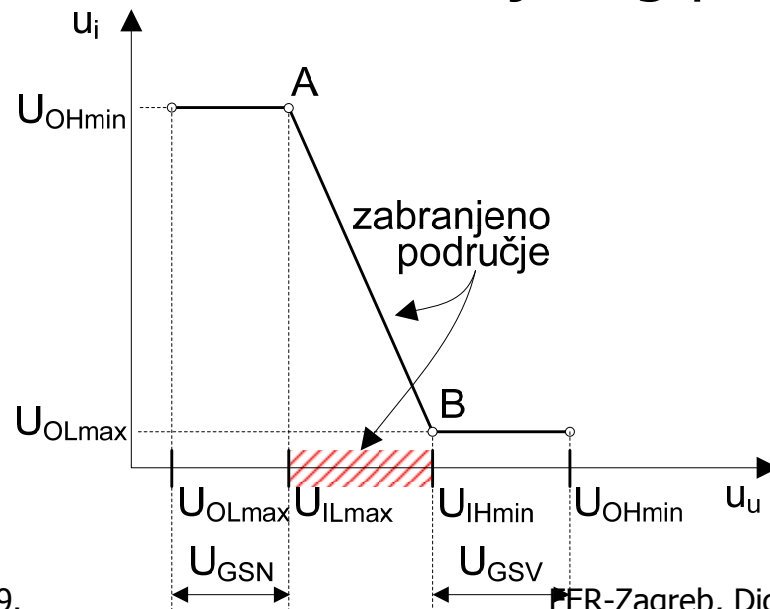
# Električka svojstva integriranih izvedbi

- naponska područja na ulazu i izlazu logičkog sklopa



# Električka svojstva integriranih izvedbi

- *prijenosna karakteristika*  
(engl. transfer characteristic):  $u_i = f(u_u)$ 
  - temeljni sklopovi pojedinih skupina logičkih sklopova  
~ *univerzalne funkcije* (NI, NILI)  
⇒ invertorska karakteristika
  - idealna karakteristika: oštri prijelaz  
~ *nema* zabranjenog područja!





# Električka svojstva integriranih izvedbi

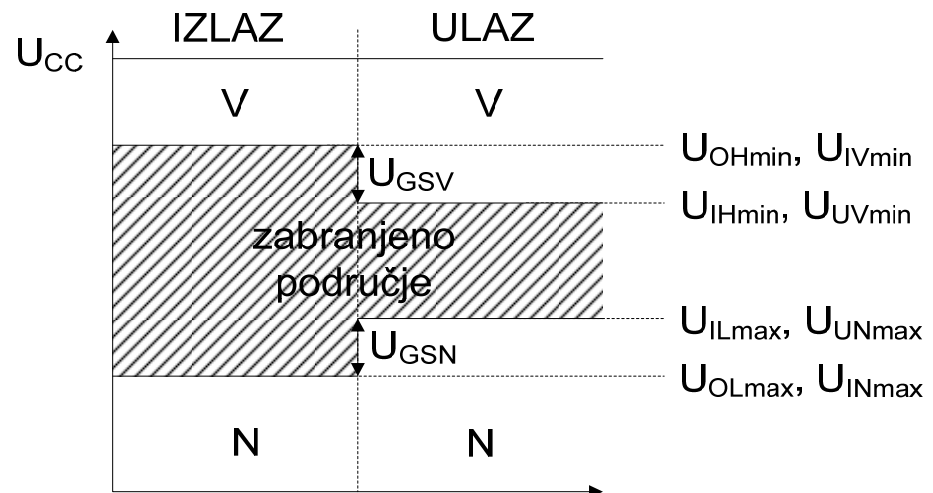
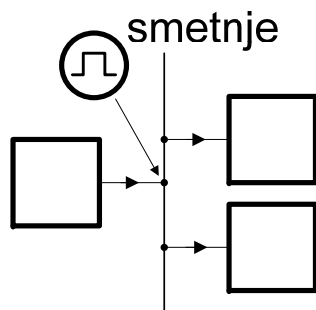
- *smetnje* (engl. noise)
  - ~ superponirani napon na ulazu logičkog sklopa, *može* dovesti do neželjene promjene stanja na njegovu izlazu
- definira se posebno za V, a posebno za N
- vrste smetnji:
  - vanjske:
    - indukcija (iskrenja, munje?)
  - unutarnje:
    - preslušavanje, refleksije,
    - parazitni induktivitet strujnih krugova signala,
    - strujni šiljci prebacivanja stanja izlaznog stupnja

# Električka svojstva integriranih izvedbi

- *granica istosmjerne smetnje* (engl. DC noise margin)  
~ iznos smetnji koji dovodi logički sklop  
na rub zabranjenog područja
- djeluje duže od  $t_d$  ~ "isto toliko dugo kao i signal"

$$\Delta "1" \equiv U_{GSV} = U_{OH\min} - U_{IH\min}$$

$$\Delta "0" \equiv U_{GSN} = U_{IL\max} - U_{OL\max}$$



# Električka svojstva integriranih izvedbi

*Primjer:*

$$U_{OLmax} = 1 \text{ V}; \quad U_{OHmin} = 4 \text{ V}$$

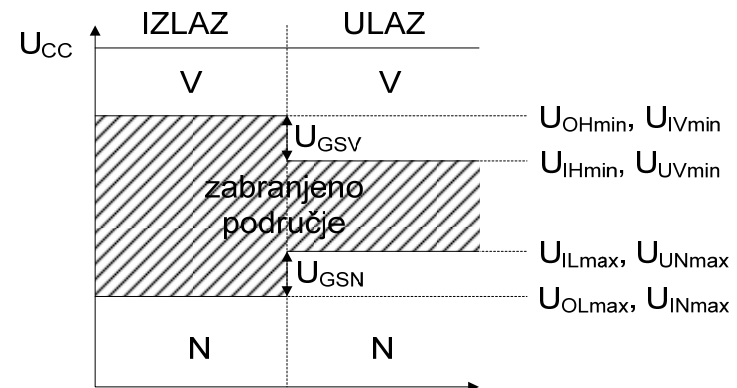
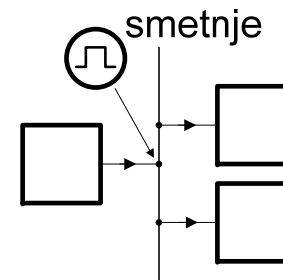
$$U_{ILmax} = 2,3 \text{ V}; \quad U_{IHmin} = 2,7 \text{ V}$$

$$\Delta "1" \equiv U_{GSV} = U_{OHmin} - U_{IHmin}$$

$$\Delta "0" \equiv U_{GSN} = U_{ILmax} - U_{OLmax}$$

$$U_{GSV} = 1,3 \text{ V}$$

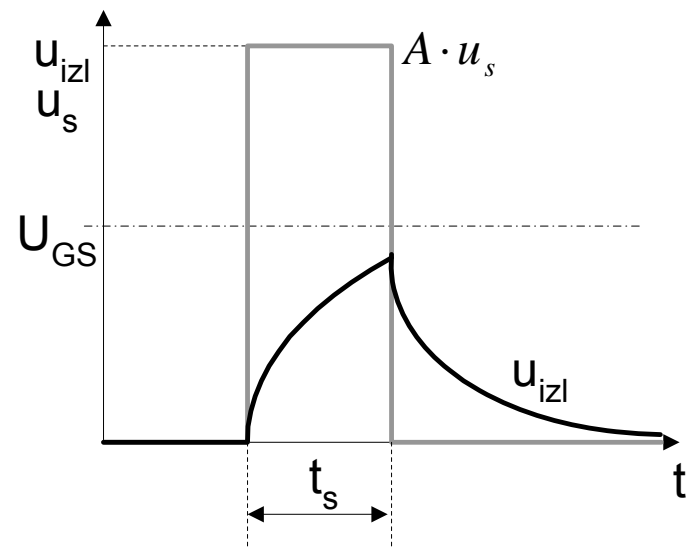
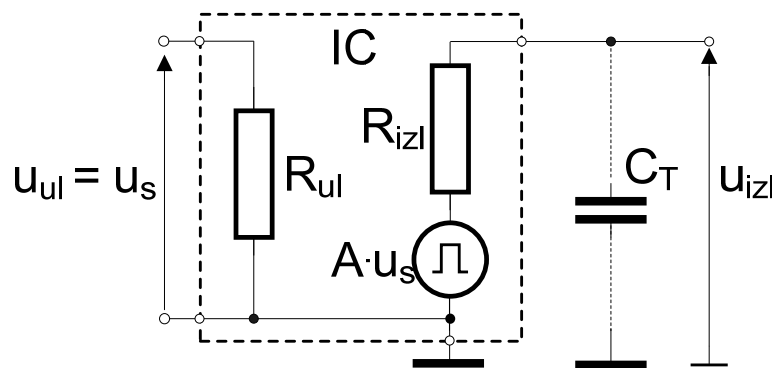
$$U_{GSN} = 1,3 \text{ V}$$



# Električka svojstva integriranih izvedbi

- *granica izmjenične smetnje* (engl. AC noise margin):
  - impuls smetnje kraći od  $t_p$
  - mehanizam nabijanja/izbijanja  $C_T$
  - vrlo kratke smetnje ne utječu!

$$U_{GS|AC} > U_{GS|DC}$$



# Električka svojstva integriranih izvedbi

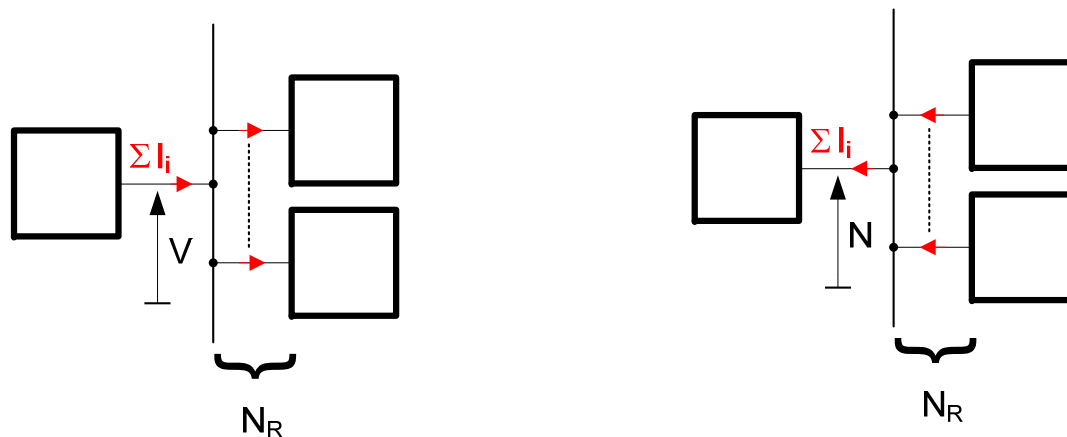
- *opterećenje* izlaza ulazima narednog stupnja  
~ promjena električkih/dinamičkih osobina signala
  - bipolarni sklopovi  
~ promjena naponske razine zbog pada napona na  $R_i$
  - MOSFET/CMOS sklopovi  
~ promjena dinamičkih svojstava zbog većeg  $C_T$
- mjera opterećenja  
~ *faktor grananja*
  - na izlazu (engl. fan-out)
  - na ulazu (engl. fan-in)

# Električka svojstva integriranih izvedbi

- faktor grananja *na izlazu* bipolarnog sklopa,  $N_R$ :

broj ulaza istovrsnih sklopova koje je moguće spojiti na izlaz logičkog sklopa, a da sklopovi sigurno rade u predviđenom režimu

- osigurano da  $u_i$  padne u odgovarajuća područja za V i N



# Električka svojstva integriranih izvedbi

*Primjer:*

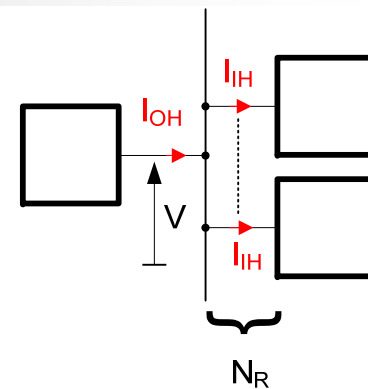
	$I_{OL}$ [mA]	$I_{IL}$ [ $\mu$ A]	$I_{OH}$ [ $\mu$ A]	$I_{IH}$ [ $\mu$ A]
74N	16	1600	400	40
74LS	8	400	400	20

74N pobuđuje 74N:  $N_R = 10$

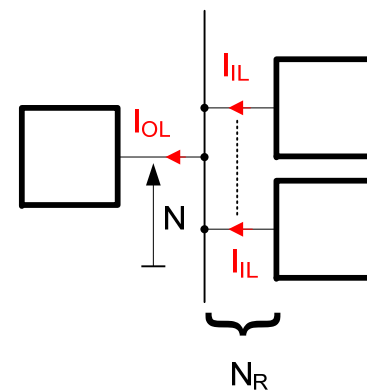
74LS pobuđuje 74LS:  $N_R = 20$

74N pobuđuje 74LS:  $N_R = ?$

74LS pobuđuje 74N:  $N_R = ?$



$$I_{OH} = \sum I_{IH}$$



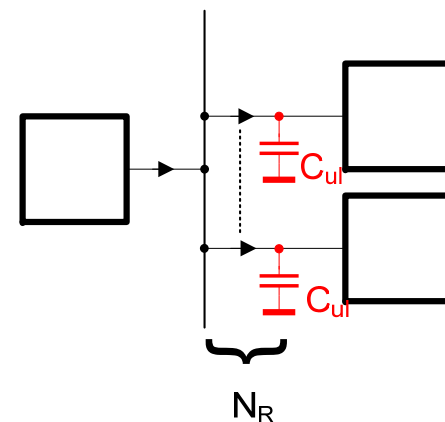
$$I_{OL} = \sum I_{IL}$$

# Električka svojstva integriranih izvedbi

- faktor grananja *na izlazu* MOSFET/CMOS sklopa,  $N_R$ : broj ulaza istovrsnih sklopova koje je moguće spojiti na izlaz logičkog sklopa, a da se previše ne pokvare dinamička svojstva:

$$C_T = N_R \cdot C_{ul} \rightarrow t_r, t_f \nearrow$$

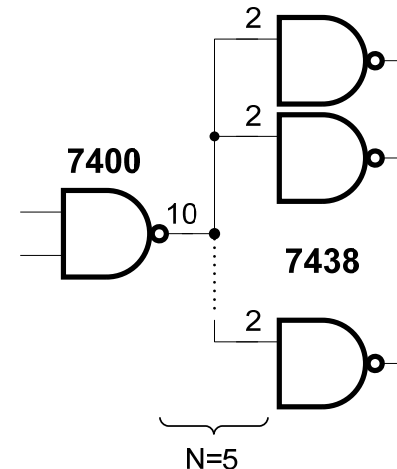
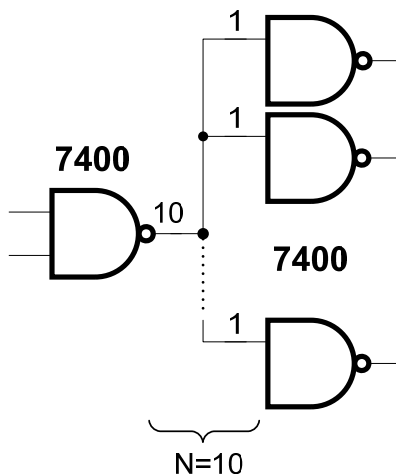
- kompenzacija djelovanja  $C_T$   
 $\sim$  *snažniji* pobudni MOSFET





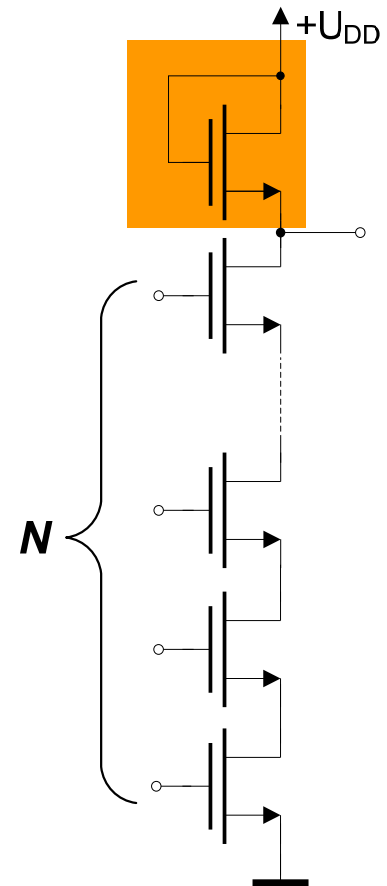
# Električka svojstva integriranih izvedbi

- faktor grananja *na ulazu* bipolarnog sklopa, N:  
koliko je puta veće opterećenje ulazom sklopa od *jediničnog*, za temeljni sklop skupine
- "jedinična ulazna struja":  
za temeljni sklop skupine,  
u odnosu na koju se računa faktor grananja



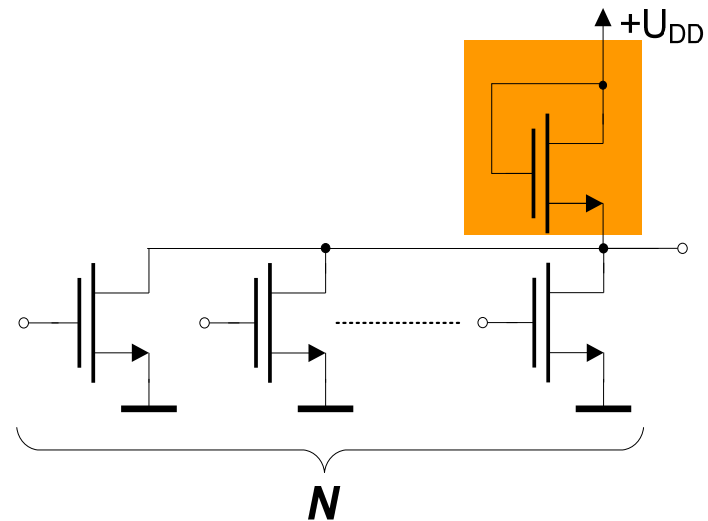
# Električka svojstva integriranih izvedbi

- faktor grananja *na ulazu* MOSFET/CMOS sklopa,  $N$ : broj ulaza nekog logičkog sklopa
- *serija* tranzistora (npr. NI):
  - serija MOSFET  
 $\rightarrow t'_p \approx N \cdot t_p$ ,
  - $U_{OL} = \sum U_{OLi}$  ↗
  - izbjegavati!
- CMOS: *uvijek serija NMOS ili PMOS*  
 $\sim$  zadržati  $N$  ↘



# Električka svojstva integriranih izvedbi

- *faktor grananja* na ulazu MOSFET/CMOS sklopa,  $N$ : broj ulaza nekog logičkog sklopa
- *paralela* tranzistora (npr. NILI):
  - paralela MOSFET  $\approx$  *jedan* (jači) MOSFET :
$$t'_p \approx t_p/N,$$
$$C'_{Pul} = N \cdot C_{Pul}$$
  - $N$  ne utječe na  $t_p$   
 $\sim$  *radije NILI*



# Električka svojstva integriranih izvedbi

- *statička disipacija* snage:
  - pretpostavka:  
sklop je u svakom od stanja 50% vremena

$$P_{st} = U_{napajanja} \cdot \frac{I_{napajanja}^V + I_{napajanja}^N}{2}$$

- ograničenje temperature  $T$  u logičkom sklopu  
~ ograničena mogućnost odvođenja topline
- ograničenje  $P_{st}$ :
  - ograničenje stupnja integracije
  - ograničenje  $N_R$
  - ograničenje smanjivanja  $t_d$   
(postoji  $C_T$ , a  $I_i$  je ograničena!)

# Električka svojstva integriranih izvedbi

- *dinamička disipacija snage*  
~ pri prebacivanju stanja!
- model: nabijanje/izbijanje  $C_T$ 
  - nabijanje  $C_T \sim i_{C1}$ :

$$dW = i_{C1} \cdot U \cdot dt; W = \int dW = U \cdot Q = C_T \cdot U^2$$

$$W_{C_T} = \frac{C_T \cdot U^2}{2} \quad \text{energija u } C_T$$

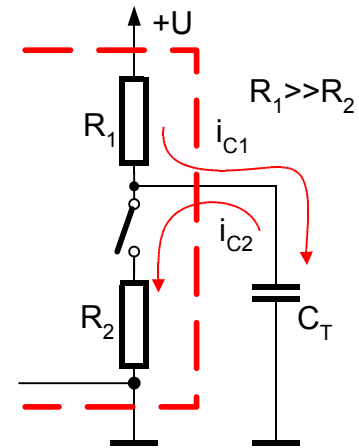
$$W_{R_1} = W_{C_T} = \frac{C_T \cdot U^2}{2} \quad \text{disipirana energija}$$

- izbijanje  $C_T \sim i_{C2}$ :

$$W_{R_2} = W_{C_T} = \frac{C_T \cdot U^2}{2}$$

- *ukupna* disipirana snaga:  $f$  uklj./isklj. [ $\text{sec}^{-1}$ ]

$$W_{\text{disipirano}} = W_{C_T} + W_{R_2} = C \cdot U^2; P_d = f \cdot C \cdot U^2$$



# Električka svojstva integriranih izvedbi

*Primjer:*

$$U_{\text{nap1}} = 5 \text{ V}; \quad f_1 = 100 \text{ MHz}$$

$$U_{\text{nap2}} = 3,3 \text{ V}; \quad f_2 = ? \text{ uz } P_d = \text{const.}$$

$$P_d = f \cdot C \cdot U^2$$

$$f_1 \cdot C \cdot U_1^2 = f_2 \cdot C \cdot U_2^2$$

$$f_2 = f_1 \cdot \frac{U_1^2}{U_2^2}$$

$$f_2 = 230 \text{ MHz}$$

$$U_{\text{nap3}} = 1,1 \text{ V}; \quad f_3 = ? \text{ uz } P_d = \text{const.}$$



# Sadržaj predavanja

---

- koncept integriranog sklopa
- električka svojstva integriranih izvedbi
- **dinamička svojstva integriranih izvedbi**
  - vrijeme kašnjenja
  - mjera dobrote integriranog sklopa
  - vrijeme porasta i vrijeme pada signala na izlazu sklopa
- skupine integriranih logičkih sklopova

# Dinamička svojstva integriranih izvedbi

- kašnjenje (odziva) logičkog sklopa  
~ promjena (naponske razine) signala na izlazu  
u odnosu na promjenu (naponske razine) signala  
na ulazu:
  - vrijeme kašnjenja logičkog sklopa,  $t_d$   
~ izvedeni parametar,  
iz vremene rasprostiranja
  - vrijeme rasprostiranja signala,  $t_p$   
~ za pojedine prijelaze
  - mjeri se za  $0,5 \cdot U$ , odnosno  $U_T$



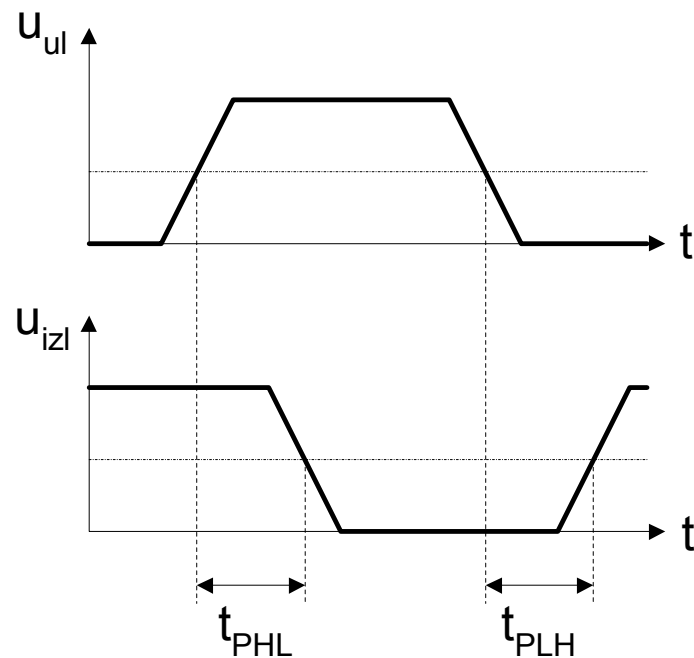
# Dinamička svojstva integriranih izvedbi

- *vrijeme rasprostiranja* (proleta, propagacije),  $t_p$  (engl. propagation time)  
~ različito za prijelaz  $V \rightarrow N$ , odnosno  $N \rightarrow V$

$$t_{PHL}(t_{DVN}) \neq t_{PLH}(t_{DNV})$$

- *vrijeme kašnjenja*,  $t_d$ :

$$t_d = \frac{t_{PHL} + t_{PLH}}{2}$$





# Dinamička svojstva integriranih izvedbi

- *produkt vremena kašnjenja i disipirane snage*  
~ mjera dobrote integriranog sklopa
  - usporedba skupina integriranih logičkih sklopova
  - dimenzija  $[\text{ns}] \times [\text{mW}] = [\text{pJ}]$
  - manji produkt ~ kvalitetniji integrirani sklopovi



# Dinamička svojstva integriranih izvedbi

- vremenski hazard kao posljedica konstrukcije sklopa  
~ *funkcijski hazard*:
  - električki i dinamički parametri sklopa  
~ kašnjenja stvarnih sklopova
  - konkretni dizajn složenijeg sklopa  
~ struktura sklopa izražena  
kombinacijom jednostavnijih sklopova
  - sinkronizam ulaza (signala)

# Dinamička svojstva integriranih izvedbi

- *vrijeme porasta* i *vrijeme pada* signala na izlazu logičkog sklopa  
~ utjecaj *izvedbe* izlaznog stupnja:

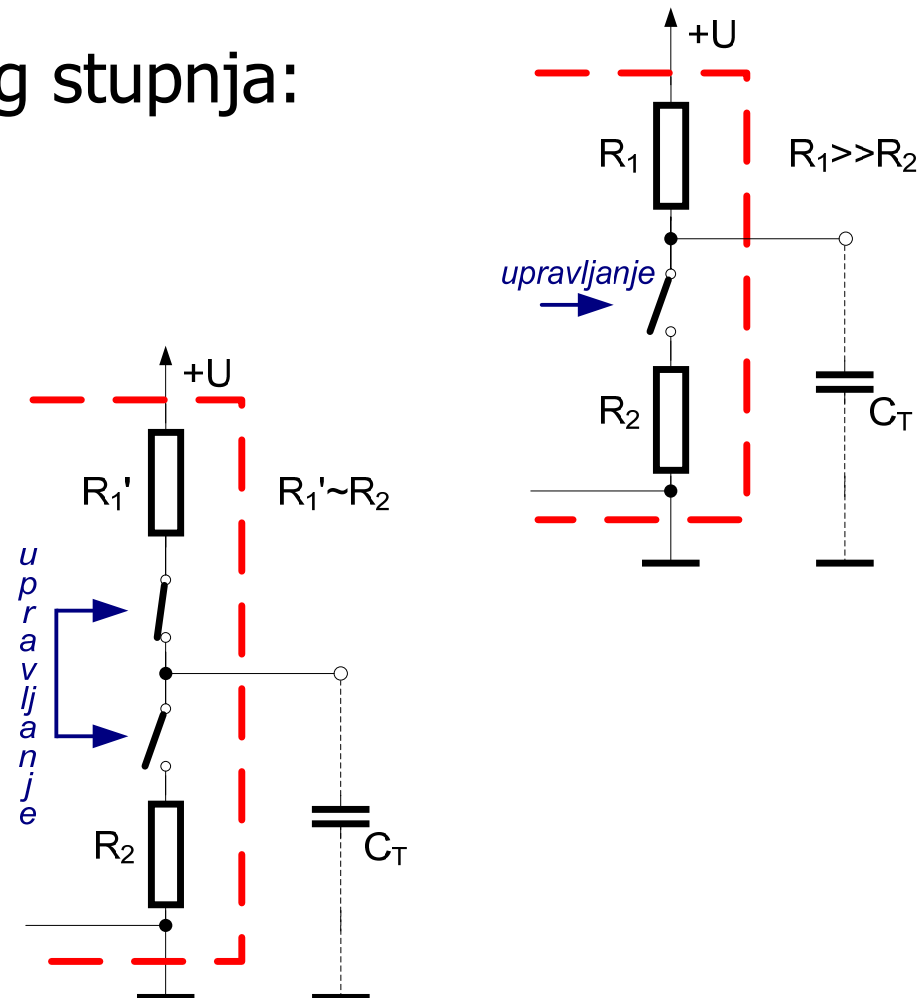
- "pasivno" opterećenje:

$$R_1 \gg R_2 \rightarrow t_r \gg t_f$$

- "aktivno" opterećenje:

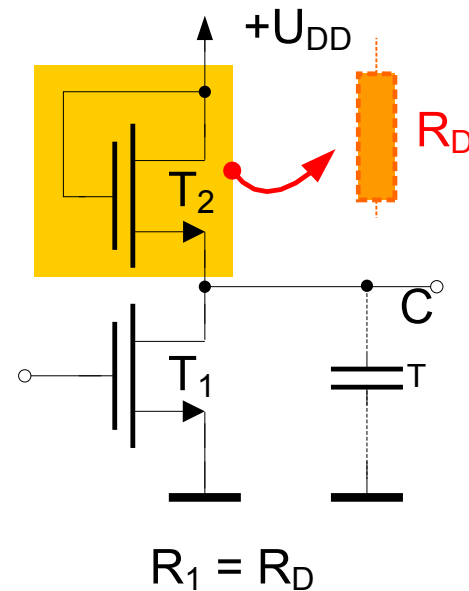
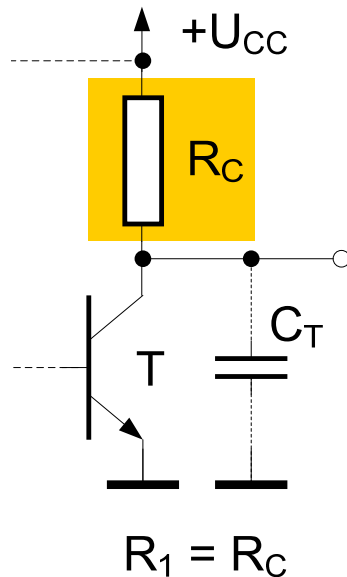
$$R_1' \sim R_2 \rightarrow t_r \sim t_f$$

~ brža izvedba!



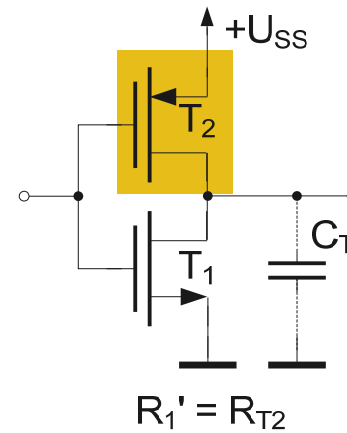
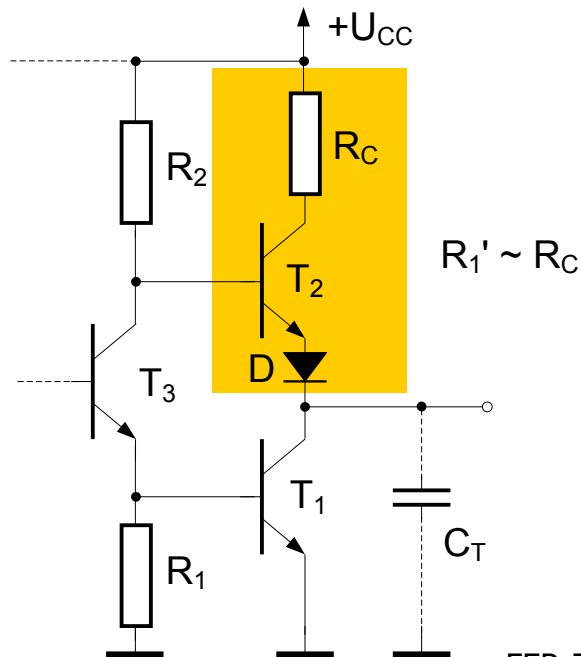
# Dinamička svojstva integriranih izvedbi

- izvedba izlaznog stupnja "pasivnim" opterećenjem:  
 $R_1 \gg R_2 = R_{T\text{zasićenje}} \rightarrow t_r \gg t_f$ 
  - pritezanje izlaza ka masi  
~ "izlazni" tranzistor
  - pritezanje izlaza ka napajanju  
~ (pasivni) otpornik



# Dinamička svojstva integriranih izvedbi

- izvedba izlaznog stupnja "aktivnim" opterećenjem:  
 $R_1' \sim R_2 = R_{Tzasićenje} \rightarrow t_r \sim t_f$ 
  - pritezanje izlaza ka masi  
~ "izlazni" tranzistor
  - pritezanje izlaza ka napajanju  
~ *također* tranzistor ( $R_C$  za ograničavanje  $I_{AC}$ )





# Sadržaj predavanja

---

- koncept integriranog sklopa
- električka svojstva integriranih izvedbi
- dinamička svojstva integriranih izvedbi
- **skupine integriranih logičkih sklopova**



# Integrirani logički sklopovi

- *klasifikacija* integriranih logičkih sklopova  
~ prema *stupnju integracije*  
= u odnosu na složenost sklopova na čipu:
  - *funkcijska*  
~ broj "osnovnih funkcija"  
(→ osnovnih logičkih sklopova) na čipu
  - *tehnoška*  
~ broj "komponenata" (*naprava*, engl. devices)  
ostvarenih na čipu;  
naprave: Tr, D, R, C (sve preko Tr!)



# Integrirani logički sklopovi

- klasifikacija integriranih logičkih sklopova prema *stupnju integracije*

		<b>tehnološka</b>	<b>funkcijska</b>
niski stupanj integracije	SSI	< 100	< 10
srednji stupanj integracije	MSI	100-1.000	10-100
visoki stupanj integracije	LSI	1.000-10.000	100-1.000
vrlo visoki stupanj integracije	VLSI	> 10.000	> 1.000
sustav na waferu	WSI		



# Integrirani logički sklopovi

---

- pregled *skupina* integriranih logičkih sklopova:
  - danas u primjeni:
    - CMOS, već 1960tih
    - TTL, 1962
    - ECL, 1963
  - povijesno zanimljive:
    - RTL, 1961  
~ prva skupina!
    - DTL/HTL, 1962
    - NMOS/PMOS, 1970te
    - I<sup>2</sup>L, 1972

# Integrirani logički sklopovi

- usporedba *osnovnih parametara* poznatih skupina integriranih logičkih sklopova:

skupina	serija	$t_d$ [ns]	P [mW]		$t_d \cdot P$ [pJ]	$N_R$	$U_{GSmin}$ [V]
			statička	dinamička (100 kHz)			
RTL		30	10		300	5	0,3
DTL		25	15		375	8	0,9
HTL		100	50		5000	10	7
TTL	74	9	10		90	8	0,4
	74S	3	20		60	10	0,3
	74LS	9,5	2		19	100	0,3
	74AS	1,7	8		13,6	10	0,3
	74ALS	4	1,2		4,8	100	0,4
ECL	10k	3	25		75	10	0,25
	100k	0,75	40		30	10	0,25
I <sup>2</sup> L		40	1		40	8	
NMOS		50	0,1		5	50	
CMOS	4000	50	0,001	0,1	5	> 100	1,5
	74C	30	<0,001			> 100	0,6
	74HC	8	0,02	0,17	1,4	> 100	0,9

- U. Peruško, V. Glavinić: *Digitalni sustavi*, Poglavlje 3: Osnove digitalne logike; Poglavlje 6: Elektroničke izvedbe logičkih sklopova.
- koncept integriranog sklopa: str. 199-204
  - električka svojstva integriranih izvedbi: str. 209-216
  - dinamička svojstva integriranih izvedbi: str. 217
  - integrirani logički sklopovi: str. 207-209, 245-246



# Zadaci za vježbu (1)

---

U. Peruško, V. Glavinić: *Digitalni sustavi*, Poglavlje 3: Osnove digitalne logike; Poglavlje 6: Elektroničke izvedbe logičkih sklopova.

- električka svojstva integriranih izvedbi: 6.4, 6.5
- dinamička svojstva integriranih izvedbi: 6.9



## Zadaci za vježbu (2)

---

- M. Čupić: *Digitalna elektronika i digitalna logika. Zbirka riješenih zadataka*, Cjelina 2: Osnovni logički sklopovi; Cjelina 14: Integrirani logički sklopovi.
- električka svojstva integriranih izvedbi:
    - riješeni zadaci: 2.11-2.14, 14.15
    - zadaci za vježbu: 5 (str.452-453)