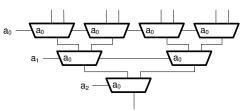


1



Zadatak 1 – skica rješenja

- multipleksorsko stablo 8/1 izvedeno s MUX 2/1:
 - *prva* razina stabla (ulazna!)
 - ~ 8 ulaza u stablo $\rightarrow 8 \div 2 = 4 \times MUX 2/1$
 - druga razina stabla
 - ~ 4 izlaza iz prve razine \rightarrow 4 \div 2 = 2 \times MUX 2/1
 - treća razina stabla (izlazna, očito)
 - ~ 2 izlaza iz druge razine $\rightarrow 1 \times MUX 2/1$
 - sveukupno 7 MUX 2/1 = 2^{broj_razina} 1



točno rješenje: d)

FER-Digitalna logika 2020/21

2



Zadatak 2

Mooreov stroj s konačnim brojem stanja ima 4 stanja i izgrađen je pomoću dva bistabila tipa T. Stanje S_i kodirano je binarnim zapisom broja i. Sklop ima jedan ulaz X i jedan izlaz Z. Ako je X=0, sklop iz stanja S_i, prelazi u stanje S_{i+1}, a ako je X=1 iz stanja S_i prelazi u stanje S_{i+2} (oboje u modulo 4 aritmetici - npr. ako se sklop nalazi u stanju S₃, za X=0 prijeći će u stanje S₀, a za X=1 u stanje S₁). Izlaz Z je 1 u stanju S₃, a u svim ostalim stanjima je 0. Kako glase logičke jednadžbe za ulaze T₁ i T₀ dvaju bistabila?

a)
$$T_1 = Q_1 + \overline{Q}_0$$
; $T_0 = X$

d)
$$T_1 = Q_0 \cdot \overline{X}; T_0 = T_1 + X$$

b)
$$T_1 = Q_0 + X; T_0 = \overline{X}$$

e)
$$T_1 = Q_0 \cdot \overline{Q}_1; T_0 = Q_1 \cdot X$$

c)
$$T_1 = \overline{Q}_1 + \overline{Q}_0$$
; $T_0 = 1$

FER-Digitalna logika 2020/21

3



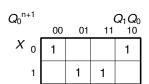
Zadatak 2 – skica rješenja

Mooreov automat

$$\begin{array}{c} \sim \ \mathcal{X} = 0 : \ \mathcal{S}_i \rightarrow \ \mathcal{S}_i + 1 \ \text{mod} \ 4 \\ \mathcal{X} = 1 : \ \mathcal{S}_i \rightarrow \ \mathcal{S}_i + 2 \ \text{mod} \ 4 \end{array}$$

	Sin	+1		
$\boldsymbol{S_{i}}^{n}$	X=0	X=1	z	
S ₀	S ₁	S ₂	0	
S ₀ S ₁ S ₂	S_2	S ₃	0	
S_2	S_3	S ₀	0	
S3	So	S ₁	1	

Q_1^{n+1}	00	01	11	Q₁ Q ₀ 10
X_0		1		1
1	1	1		



0

0 1

 $Q_1^{n+1} Q_0^{n+1}$

10

0 0

11

00

0 1

FER-Digitalna logika 2020/21

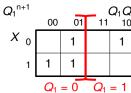
Л

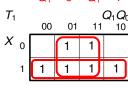


Zadatak 2 – skica rješenja

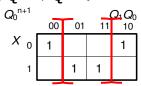
• bistabili tipa T

 \sim gledati promjenu stanja $Q^n \rightarrow Q^{n+1}$:

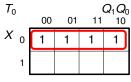




$$T_1 = Q_0 + X$$



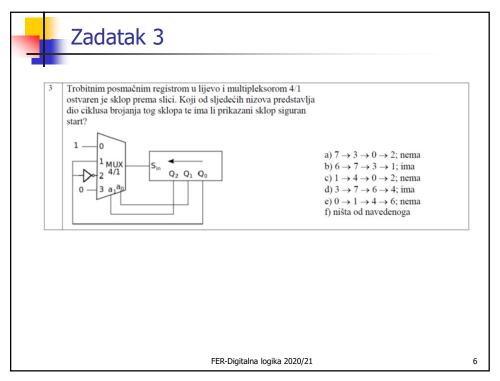


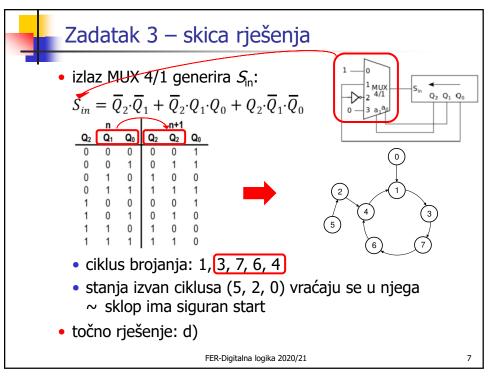


$$T_0 = \overline{X}$$

• točno rješenje: b)

FER-Digitalna logika 2020/21







Zadatak 4

Sekvencijski sklop s jednim ulazom X i bez dodatnih izlaza ostvaren je pomoću dva bistabila tipa JK, izravno prema jednadžbama: J₀ = \overline{Q}_1 + X; K₀ = Q₀; J₁ = \overline{X}; K₁ = Q₁ + \overline{Q}_0. Stanje S_i kodirano je kao binarno zapisani broj i. U koja je stanja moguće prijeći s X=1?

a) S₀ i S₁ b) S₁, S₂ i S₃ c) S₀ d) S₁ i S₃ e) sva četiri f) ništa od navedenoga

FER-Digitalna logika 2020/21

Q



Zadatak 4 – skica rješenja

• sekvencijski sklop izveden s dva JK-bistabila:

$$J_0 = \overline{Q}_1 + X; K_0 = Q_0$$

$$J_1 = \overline{X}; K_1 = Q_1 + \overline{Q}_0$$

n			l				n+1	
Q ₁	\mathbf{Q}_0	X	J ₁	K ₁	J ₀	K_0	Q_1	Q_0
0	0	0	1	1	1	0	1	1
0	0	1	0	1	1	0	0	1
0	1	0	1	0	1	1	1	0
0	1	1	0	0	1	1	0	0
1	0	0	1	1	0	0	0	0
1	0	1	0	1	1	0	0	1
1	1	0	1	1	0	1	0	0
1	1	1	0	1	1	1	0	0

 $\begin{array}{c}
00 \to S_0 \\
01 \to S_1 \\
10 \to S_2 \\
11 \to S_3
\end{array}$

 S_in +1

 S_in
 X=0
 X=1

 S0
 S3
 S1

 S1
 S2
 S0

 S2
 S0
 S1

 S0
 S0
 S1

 S0
 S0
 S0

 $X=1\to \{S_0,S_1$

FER-Digitalna logika 2020/21

• točno rješenje: a)

a



Zadatak 5

Razmatramo tri različite izvedbe 5-bitnog binarnog brojila unaprijed: asinkronu, sinkronu s paralelnim prijenosom te sinkronu sa serijskim prijenosom. Neka je f_A maksimalna frekvencija rada asinkronog brojila, f_P maksimalna frekvencija sinkronog brojila s paralelnim prijenosom, a f_S maksimalna frekvencija sinkronog brojila sa serijskim prijenosom. Ako je vrijeme kašnjenja bistabila t_{db} = 20 ns, a vremena kašnjenja logičkih sklopova, postavljanja bistabila i očitanja su jednaka te iznose t_{dls} = t_{setup} = t_{oč} = 10 ns, koji odnos vrijedi između maksimalnih frekvencija rada tih triju izvedbi?

a) $f_A > f_P > f_S$ b) $f_A > f_S > f_P$ c) $f_S > f_A > f_P$

e) f_P > f_S > f_A
 f) ništa od navedenoga

FER-Digitalna logika 2020/21

10

10



Zadatak 5 – skica rješenja

• odnos f_{max} :

$$f_A = \frac{1}{n \cdot t_{db} + t_{oč}} = \frac{1}{5 \cdot 20 + 10} = \frac{1}{110} = 9,1 MHz$$

$$f_P = \frac{1}{t_{setup} + t_{db} + t_{dls}} = \frac{1}{10 + 20 + 10} = \frac{1}{40} = 25 MHz$$

$$f_S = \frac{1}{t_{setup} + t_{db} + (n - 2) \cdot t_{dls}}$$

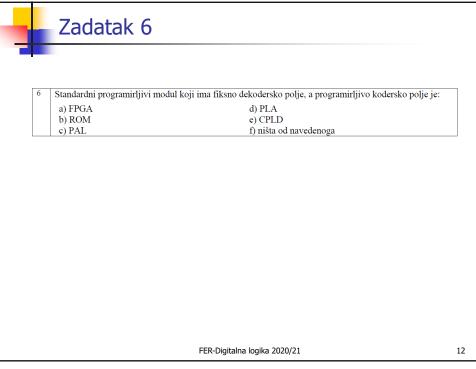
$$= \frac{1}{10 + 20 + 3 \cdot 10} = \frac{1}{60} = 16,7 MHz$$

$$\Rightarrow f_P > f_S > f_A$$

• točno rješenje: e)

FER-Digitalna logika 2020/21

11





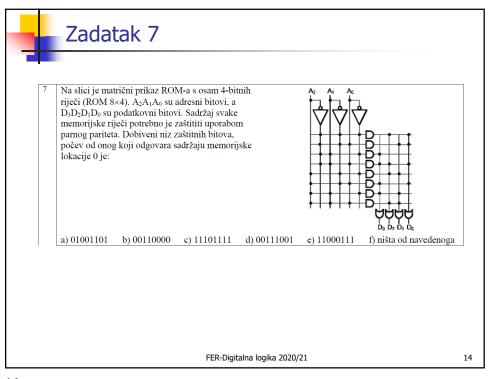
Zadatak 6 – skica rješenja

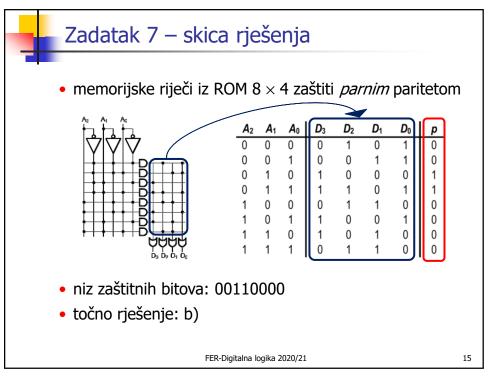
- jednostavni programirljivi moduli (SPLD)
 - ~ dva polja (koder, dekoder):
 - permanentna memorija (ROM)
 riksni dekoder, programirljivi koder
 - programirljivo logičko polje (PLA)
 programirljivi koder i dekoder
 - poluprogramirljvo logičko polje (PAL)
 programirljivi dekoder, fiksni koder
- točno rješenje: b)

FER-Digitalna logika 2020/21

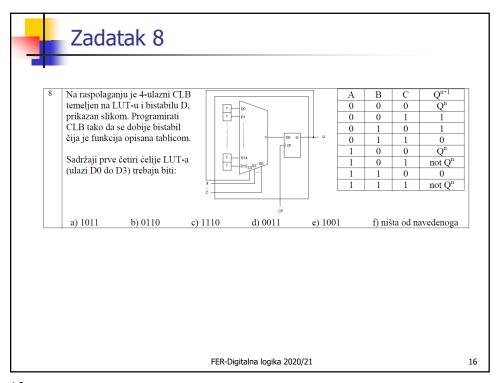
13

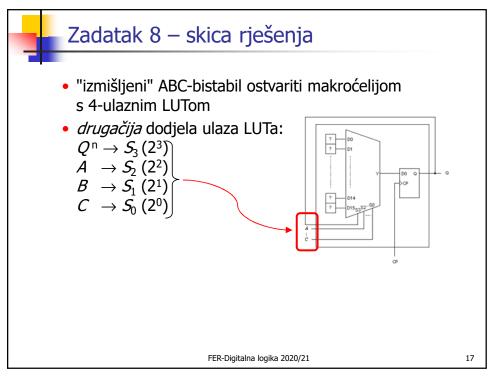
13



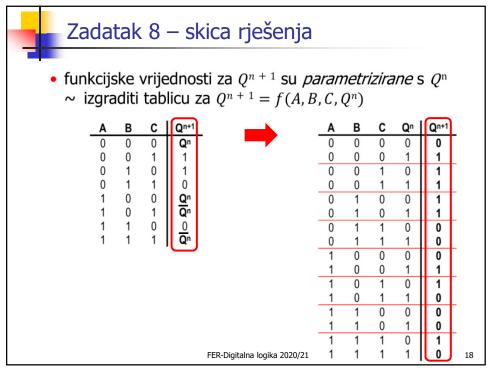


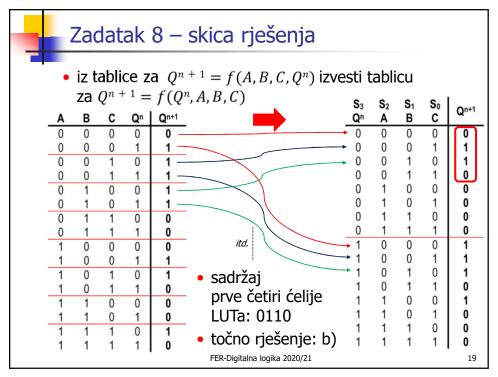
15



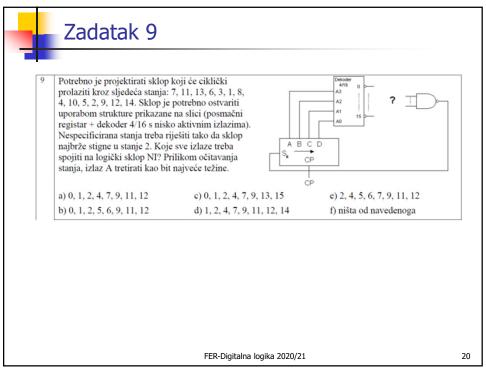


17





19

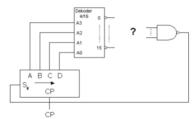




Zadatak 9 – skica rješenja

 ciklus brojanja sekvencijskog sklopa:

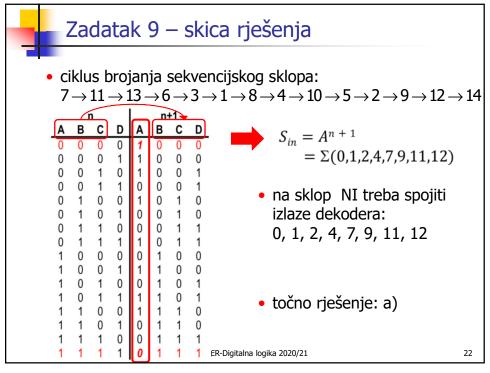
$$7 \rightarrow 11 \rightarrow 13 \rightarrow 6 \rightarrow 3 \rightarrow 1 \rightarrow 8 \rightarrow 4 \rightarrow 10 \rightarrow 5 \rightarrow 2 \rightarrow 9 \rightarrow 12 \rightarrow 14$$

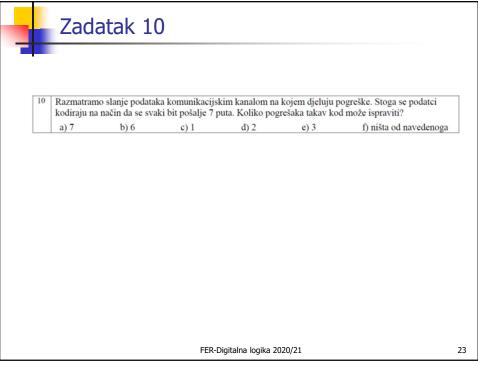


• izvedba $S_{in} = f(A, B, C, D)$ generatorom Boolevih funkcija s dekoderom \sim izraziti $S_{in} = \Sigma m_i$

FER-Digitalna logika 2020/21

21





23



Zadatak 10 – skica rješenja

- zaštitno kodiranje ponavljanjem bita 7 puta:
 - $0 \to 0000000$
 - $\bullet \quad 1 \rightarrow 11111111$

$$\Rightarrow d_{min} = 7$$

$$t_{otkrivania} = d_{min} - 1 = 7 - 1 = 6$$

$$t_{ispravljanja} = \frac{d_{min} - 1}{2} = \frac{7 - 1}{2} = \frac{6}{2} = 3$$

• točno rješenje: e)

FER-Digitalna logika 2020/21

24

24



Zadatak 11

| Koliko je minimalno potrebno p-kanalnih MOSFET-a kako bi u tehnologiji CMOS realizirali funkciju: $f=\sum m(0,1,2,3,6,7,10,11,14,15)$?

a) 3 b) 4 c) 5 d) 6 e) 7 f) ništa od navedenoga

FER-Digitalna logika 2020/21

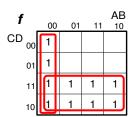
25

13



Zadatak 11 – skica rješenja

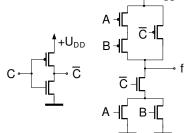
• minimalna izvedba funkcije $f = \Sigma m(0,1,2,3,6,7,10,11,14,15)$ u tehnologiji CMOS



$$f(A, B, C, D) = C + \overline{A} \cdot \overline{B} \sim PUN$$

$$\overline{f}(A, B, C, D) = \overline{C} \cdot (A + B) \sim PDN$$

potrebno je 3 + 1 = 4
 PMOS tranzistora



• točno rješenje: b)

FER-Digitalna logika 2020/21

26



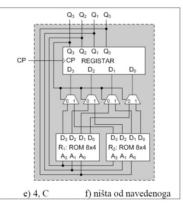
a) F, 7

Zadatak 12

Na raspolaganju je sklop prikazan na slici. Memorije R1 i R2 potrebno je programirati tako da se dobije brojilo koje broji u ciklusu 5 → 14 → 1 → 7 → 9 → 15 → 6 → 11 → 8 → 2 → 4 → 3 → 12 → 10 → 13 → 0 (prilikom očitavanja stanja, Q3 tretirati kao bit najveće težine). Koji će sadržaj biti upisan u memoriju R1 na lokaciju 0, a koji u memoriju R2 na lokaciju 7? U odgovorima su ponuđeni traženi podatci u heksadekadskom zapisu.

b) B, 3

c) 1, 0

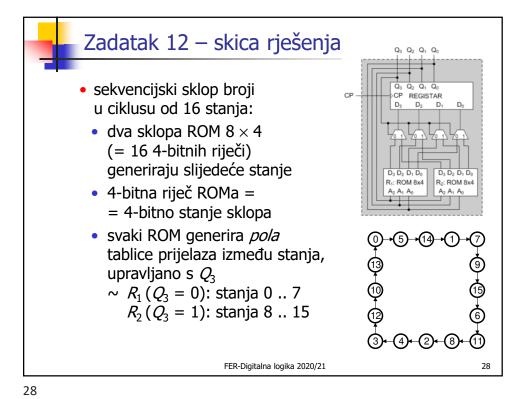


FER-Digitalna logika 2020/21

d) 5, 6

27

27



 R_2

0

0

0 2

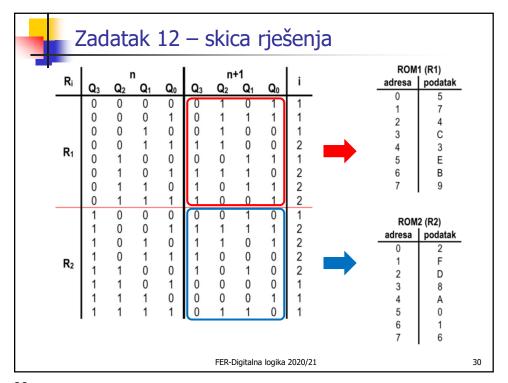
0 0 0

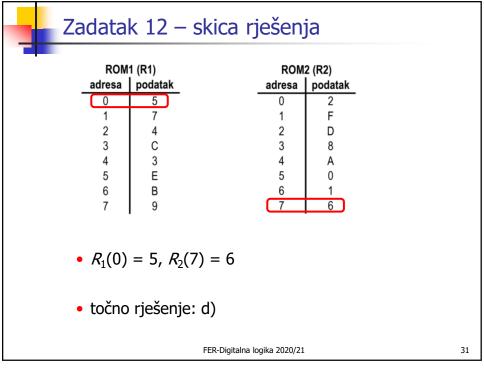
0

29

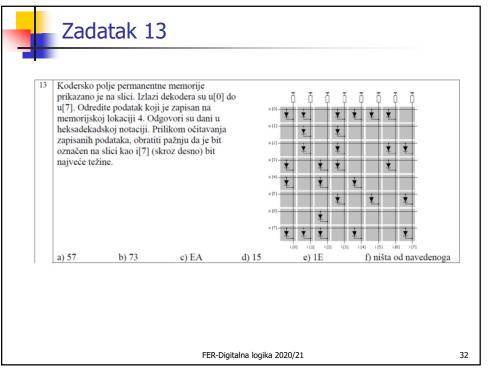
DL01 15

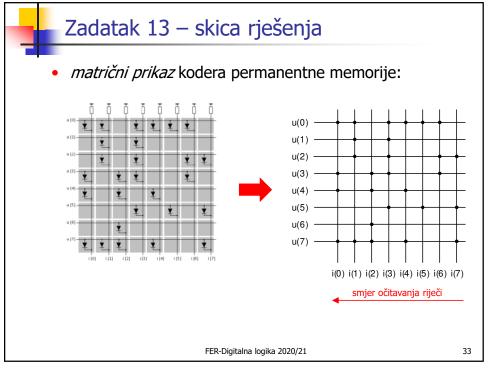
FER-Digitalna logika 2020/21



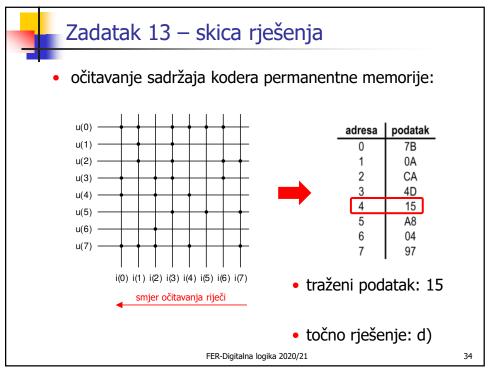


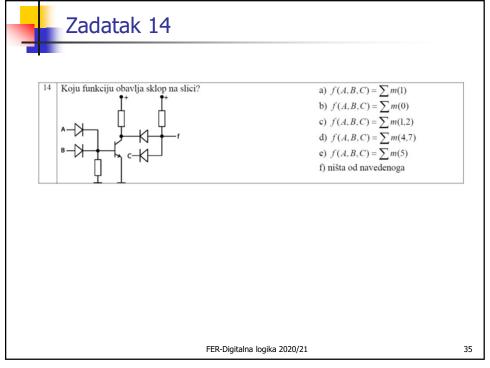
31



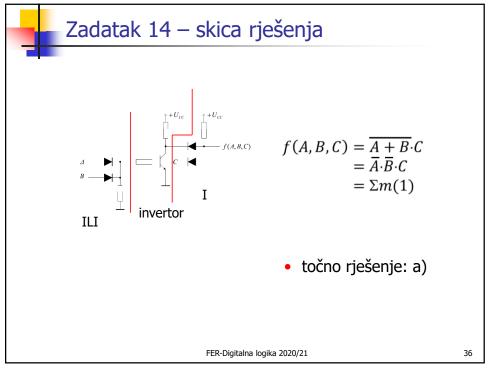


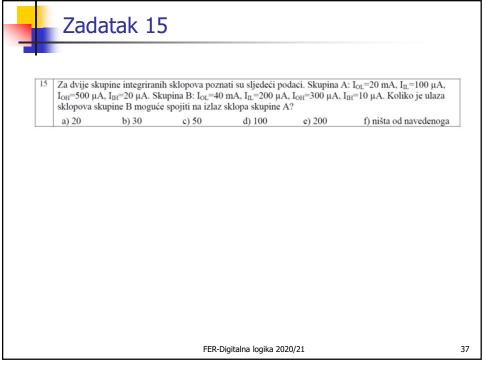
33





35

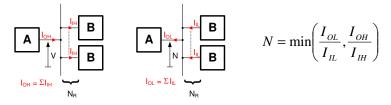




37



Zadatak 15 – skica rješenja



$$N = \min \left\{ \frac{I_{OLA}}{I_{ILB}} = \frac{20}{0.2} = 100; \quad \frac{I_{OHA}}{I_{IHB}} = \frac{500}{10} = 50 \right\}$$

= 50

• točno rješenje: c)

FER-Digitalna logika 2020/21

38

38



Zadatak 16

8-bitni AD pretvornik sa sukcesivnom aproksimacijom ulazni napon od 10V pretvara 40 μs. Procijenite koliko bi vremena 9-bitni pretvornik izveden istom tehnologijom uz isti signal takta i sve ostale relevantne parametre pretvarao ulazni napon od 20V?

a) 15 μs b) 80 μs c) 90 μs d) 40 μs e) 45 μs f) ništa od navedenoga

FER-Digitalna logika 2020/21

39

39



Zadatak 16 – skica rješenja

- ADC sa sukcesivnom aproksimacijom ~ vrijeme pretvorbe ovisi o rezoluciji (broju bitova):
 - 8-bitni ADC: *T* = 40 μs \sim vrijeme pretvorbe 1 bita = 40 μ s ÷ 8 = 5 μ s
 - 9-bitni ADC $\sim T = 9 \cdot 5 \,\mu s = 45 \,\mu s$
- točno rješenje: e)

FER-Digitalna logika 2020/21

40

40



Zadatak 17

Zadan je n-bitni DA pretvornik s težinskom otpornom mrežom, referentnim naponom od 5V, operacijskim pojačalom i otporom u povratnoj vezi operacijskog pojačala R_f. Najveći otpor u težinskoj otpornoj mreži je 4.5 puta veći od R_f. Koji napon se pojavljuje na izlazu prilikom pretvorbe broja 9?

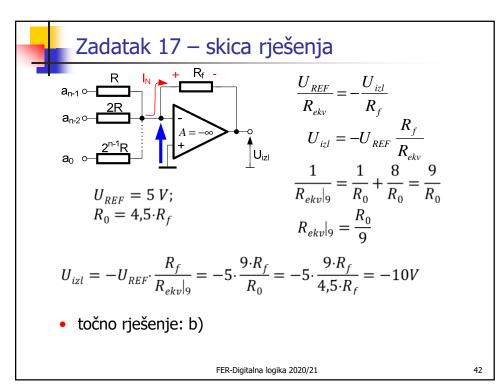
c) -4.5V d) -2.25V e) -9V

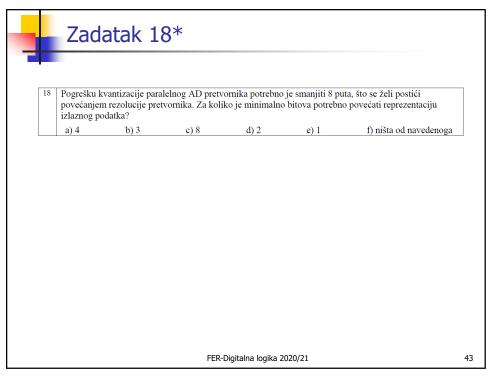
FER-Digitalna logika 2020/21

41

41

DL01 21





43



Zadatak 18* – skica rješenja

- Zadatak 10 iz Repetitorija uz NC 12
- smanjivanje ε_{κ} za 8 puta \sim dodati $ld(8) = ld(2^3) = 3$ bita
- točno rješenje: b)

FER-Digitalna logika 2020/21

44



Zadatak 19

Kapacitet memorije je 16K×8 bita. Ako je organizacija memorijskog polja 2½D, a duljina fizičke riječi 32 bita, koliko adresnih ulaza ima adresni dekoder?

b) 12 f) ništa od navedenoga c) 15

FER-Digitalna logika 2020/21

45

45

23 **DL01**



Zadatak 19 – skica rješenja

- modul RAM 16K × 8, organizacija 2½ D, fizička riječ duljine 32 bita:
 - 1 fizička riječ = 4 logičke riječi
 - MUX/DEMUX 2/4
 - ~ 2 adresne linije
 - $16K = 2^{14}$
 - ~ 14 (vanjskih) adresnih linija
 - 2 adresne linije MUX/DEMUX
 - = 12 adresnih linija dekodera retka
- točno rješenje: b)

FER-Digitalna logika 2020/21

46

46



Zadatak 20

20 Memorijski moduli imaju kapacitet 512×4 bita. Njihovom uporabom potrebno je ostvariti memoriju kapaciteta 4096×16 bita. Koliko će izlaza imati dodatni adresni dekođer koji aktivira memorijske module?

a) 3 b) 4 c) 5 d) 8 e) 10 f) ništa od navedenoga

FER-Digitalna logika 2020/21

47

47



Zadatak 20 – skica rješenja

- zadani moduli RAM $512 \times 4 = 2^9 \times 4$ bita
- projektiranje memorije 4096×8 bita = $4K \times 8$ bita = 2^{12} K \times 8 bita:
 - broj modula u jednom polju: $8 \div 4 = 2$
 - broj memorijskih polja: 4096 ÷ 512 = 8
 - ukupni broj modula RAM 512 \times 4: 8 \times 2= 16
- dimenzije dekodera memorijskih polja
 - ~ 8 izlaza za adresiranje svakog polja: dekoder 3/8 (8 izlaza)
- točno rješenje: d)

48

FER-Digitalna logika 2020/21

48



Zadatak 21

21 Kapacitet memorije je 64K×1 bit. Ako se koristi 3D organizacija memorijskog polja, koliko će dekoderi adresa imati ukupno izlaza?

a) 512 b) 1024 c) 32 d) 16 e) 4096 f) ništa od navedenoga

FER-Digitalna logika 2020/21

020/21

49



Zadatak 21 – skica rješenja

- zadani moduli RAM 64K \times 1, organizacija memorijskog polja 3D
 - ~ dva jednaka dekodera za koincidentno adresiranje: n/2
 - 64K = 2⁶ K = 2¹⁶ riječi
 16 adresnih linija
 - 2 adresna dekodera s po 8 adresnih linija
 dekoderi su 8/256 (256 izlaza)
 - sveukupno $2 \times 256 = 512$ izlaza iz dekodera
- točno rješenje: a)

FER-Digitalna logika 2020/21

50

50



Zadatak 22

- 22 Koja od sljedećih tvrdnji **ne vrijedi** za dinamičke memorije?
 - a) periodičko osvježavanje sadržaja
 b) jednotranzistorska ćelija
- d) memorijska ćelija se sastoji od bistabila e) velika gustoća pakiranja bitova
- c) mala površina ćelije
- f) ništa od navedenoga

FER-Digitalna logika 2020/21

51

51



Zadatak 22 – skica rješenja

- dinamičke memorije
 - \sim pohranjivanje bita podatka putem naboja na međuelektrodnom kapacitetu $C = C_{par}$
- memorijske ćelije *nisu* bistabili



• točno rješenje: d)

FER-Digitalna logika 2020/21

52

52



Zadatak 23

Zadatak 23. Riješiti na unutrašnjoj strani košuljice, lijevo.

Napišite ponašajni VHDL model bistabila JK okidanog padajućim bridom signala takta te s dodatnim asinkronim ulazom za brisanje koji se aktivira niskom razinom.

FER-Digitalna logika 2020/21

53

53

•

Zadatak 24

Zadatak 24. Riješiti na unutrašnjoj strani košuljice, desno.

Pretpostavite da na raspolaganju imate komponentu DFF (D-bistabil s dodatnim asinkronim ulazima za postavljanje S_d i brisanje C_d koji se aktiviraju visokom razinom). Uporabom te komponente napišite strukturni model 4-bitnog prstenastog brojila s dodatnim asinkronim ulazom reset koji će brojilo postaviti u stanje 1000.

FER-Digitalna logika 2020/21

54

54