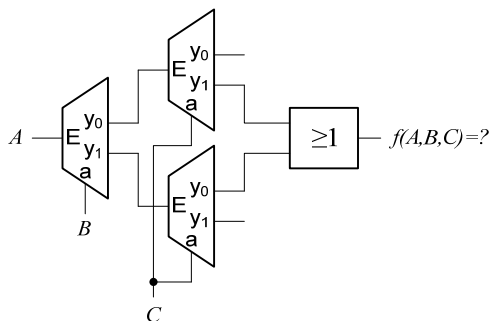


## 2. MEĐUISPIT IZ DIGITALNE LOGIKE

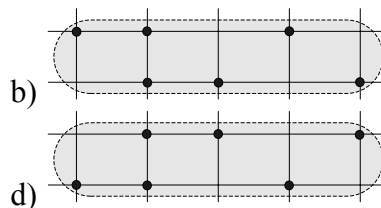
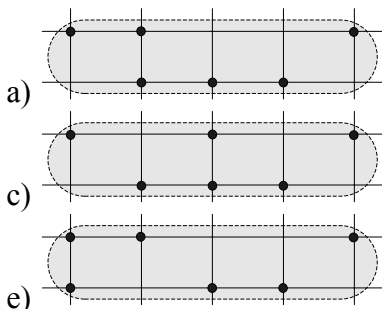
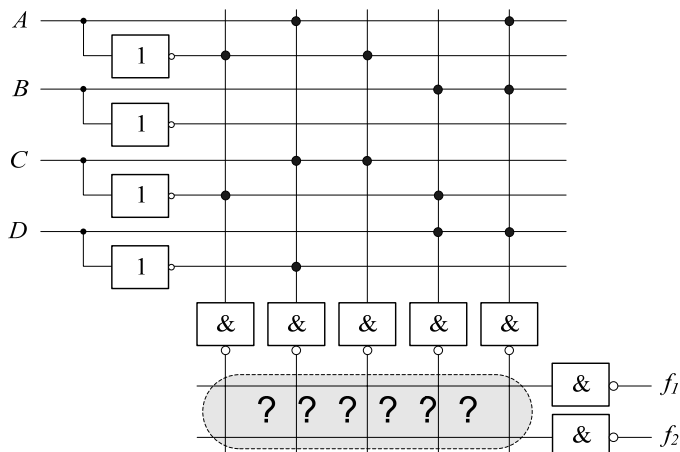
### Grupa C

1. Sklop s tri dekodera i jednim logičkim sklopom prikazan je na slici. Kako glasi zapis njegova izlaza  $f(A,B,C)$ ?



- a)  $A \cdot (B + \bar{C})$                       c)  $A \oplus (B \cdot C)$                       e)  $A \cdot \overline{B \oplus C}$   
 b)  $A \cdot (B \oplus C)$                       d)  $\bar{A} + B \cdot C$                       f) ništa od navedenoga

2. PLA sklop tipa NI-NI treba programirati tako da ostvaruje funkcije  $f_1 = \bar{A}\bar{C} + AC\bar{D} + ABD$  i  $f_2 = \bar{A}C + AC\bar{D} + B\bar{C}D$ . PLA sklop je prikazan slikom i već je djelomično programiran. Kako treba programirati njegovu drugu ravninu (zasivljeno područje)?

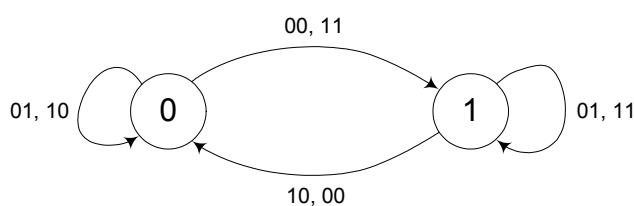


- f) ništa od navedenog

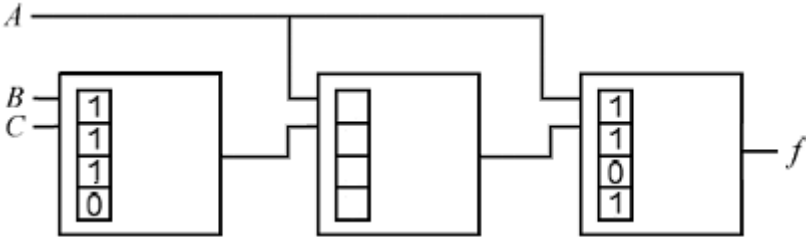
3. Sklopove PAL označavamo oznakom  $m \times k \cdot n \times n$ , pri čemu  $m$  predstavlja broj ulaza,  $n$  broj izlaza a  $k$  broj ulaza u pojedini izlazni sklop NILI. Takav sklop želimo programirati tako da na svojem ulazu dobije tri bita:  $a$ ,  $b$  i  $c$ . Sklop na svojim izlazima treba generirati sumu, prijenos, razliku i posudbu (dakle, PAL treba ostvariti funkciju potpunog zbrajala i potpunog oduzimala). PAL koji imamo na raspolaganju izveden je pomoću dvije razine NILI sklopova. Ako implementacija svih funkcija mora biti dvorazinska, koje su minimalne dimenzije sklopa PAL koji nam je potreban?

- a)  $3 \times 9 \times 3$                       c)  $3 \times 6 \times 3$                       e)  $3 \times 3 \times 3$   
 b)  $3 \times 15 \times 3$                       d)  $3 \times 12 \times 3$                       f) ništa od navedenoga

4.	Na 4-bitno binarno zbrajalo sa serijskim prijenosom izvedenim uporabom 4 potpuna zbrajala u trenutku $t = 0$ ns doveden je podatak $a=0000$ , $b=0000$ te $c_{in}=0$ . U trenutku $t = 200$ ns dovode se podaci $a=1001$ , $b=1100$ te $c_{in}=1$ . Izlaz $c_{out}$ potpunog zbrajala kasni 20 ns a izlaz bita rezultata kasni 30 ns. Od kojeg trenutka će i rezultat zbrajanja i konačni prijenos biti ispravni za <b>podatak i ulazni prijenos</b> doveden u $t=200$ ns? a) od $t=400$ ns b) od $t=320$ ns c) od 280 ns d) od 250 ns e) od 230 ns f) ništa od navedenoga
5.	Uporabom dvaju 4-bitnih binarnih zbrajala gradi se zbrajalo dviju dekadskih znamenaka zapisanih u kodu BCD (rezultat treba biti u istom kodu). Označimo izlaz prvog binarnog zbrajala $c_{out}r_3r_2r_1r_0$ . Na ulaze drugog binarnog zbrajala dovodi se izlaz prvog ( $r_3r_2r_1r_0$ ) te korekcija $k_3k_2k_1k_0$ . Vrijednost korekcije određena je pomoćnom funkcijom $h(c_{out}, r_3, r_2, r_1, r_0)$ . Ako je $h=1$ , korekcija iznosi 0110 a inače iznosi 0000. Kako glasi minimalni oblik funkcije $h$ uz koju će se na izlazu drugog binarnog zbrajala dobiti ispravan rezultat zapisan u kodu BCD? a) $c_{out}r_3 + \bar{r}_2$ b) $r_3$ c) $\bar{c}_{out}$ d) $r_3 + c_{out}\bar{r}_2$ e) $c_{out} + r_3 \cdot (r_2 + r_1)$ f) ništa od navedenoga
6.	Kvartarne znamenke kodiraju se pomoću 3 bita, pri čemu je znamenka $i$ kodirana kao binarno zapisana vrijednost $2i+1$ . Potrebno je projektirati sklop koji na svojem ulazu $a_2a_1a_0$ prima kod kvartarne znamenke a na svojem izlazu $r_2r_1r_0$ generira njezin 3-komplement (u istom kodu). Za ulaz koji ne predstavlja valjani kod znamenke izlaz nije bitan. Odredite minimalni zapis funkcije $r_2$ . a) $\bar{a}_2$ b) $\bar{a}_2 + \bar{a}_1a_0 + a_1\bar{a}_0$ c) $a_2 + \bar{a}_1a_0$ d) $a_2 + \bar{a}_1$ e) $a_2a_1 + \bar{a}_0$ f) ništa od navedenoga
7.	Zadan je bistabil s ulazima $A$ i $B$ , čiji je dijagram prijelaza stanja prikazan na slici desno (navedene pobude su oblika $AB$ ). Uporabom bistabila T potrebno je ostvariti ovaj bistabil. Odredite minimalni zapis funkcije ulaza bistabila T. a) $\bar{A}B + \bar{Q}A + AB\bar{Q}$ b) $A\bar{Q} + BQ$ c) $A\bar{B} + Q$ d) $A\bar{B} + \bar{Q}$ e) $Q\bar{B} + \bar{A}\bar{B} + AB\bar{Q}$ f) ništa od navedenoga
8.	Projektirati pretvornik koda koji na 4-bitnom ulazu $a_3a_2a_1a_0$ prima dekadsku znamenku u kodu BCD a na izlazu $r_3r_2r_1r_0$ generira Excess-3 kod znamenke s ulaza. Ako se na ulaz dovede podatak koji ne odgovara BCD kodu znamenke, izlaz nije bitan. Kako glasi minimalni oblik funkcije izlaza $r_2$ ? a) $a_2 + a_3\bar{a}_1a_0$ b) $\bar{a}_3\bar{a}_2 + \bar{a}_1a_0 + a_1\bar{a}_0$ c) $\bar{a}_2a_0 + \bar{a}_2a_1 + a_2\bar{a}_1\bar{a}_0$ d) $\bar{a}_3a_2 + \bar{a}_1a_0$ e) $\bar{a}_3 + a_2a_1 + \bar{a}_0$ f) ništa od navedenoga
9.	Uporabom sklopa PLA tipa NI-NI potrebno je ostvariti tri funkcije navedene u nastavku. Koje su minimalno potrebne dimenzije sklopa PLA? $f_1 = \bar{A}\bar{C} + \bar{A}\bar{B}CD + AC\bar{D}$ , $f_2(A, B, C, D) = \sum m(0,1,3,4,11,15)$ , $f_3(A, B, C, D) = \prod M(0,1,3,4,7,12,13,14,15)$ . Naputak: pristupite minimizaciji kao da se radi o minimizaciji višezlazne funkcije. a) $4 \times 8 \times 3$ b) $4 \times 7 \times 3$ c) $4 \times 10 \times 3$ d) $4 \times 9 \times 3$ e) $4 \times 6 \times 3$ f) ništa od navedenoga



10.	<p>Funkciju <math>f(A, B, C, D) = C(\overline{A} + \overline{D}) + \overline{A}(C + D)</math> potrebno je minimizirati. Potom je potrebno ukloniti sve hazarde (uz ograničenje da se u istom trenutku može promijeniti samo jedna ulazna varijabla). Koje sume treba još <b>dodati</b>? <i>Napomena:</i> u kojem obliku treba minimizirati funkciju?</p> <p>a) <math>\overline{B} + C + \overline{D}</math>                      c) <math>A + B + D</math>                      e) <math>\overline{A} + \overline{D}</math>  b) <math>B + \overline{C} + \overline{D}</math>                      d) <math>\overline{A} + C</math>                      f) ništa od navedenoga</p>
11.	<p>Arhitektura nekog sklopa opisanog jezikom VHDL sastoji se od 3 naredbe prikazane u nastavku. A, B, C i D su ulazi a X, Y i Z izlazi. U nekom trenutku na ulaze se dovede A=0, B=U, C=0, D=1. Što će biti postavljeno na izlaze sklopa?</p> <pre>X &lt;= (A AND NOT B) OR (A AND B); Y &lt;= (A OR B) AND (A OR C); Z &lt;= (B OR C) AND (C OR D);</pre> <p>a) X=U, Y=0, Z=1                      c) X=U, Y=0, Z=U                      e) X=U, Y=1, Z=1  b) X=0, Y=0, Z=U                      d) X=U, Y=1, Z=1                      f) ništa od navedenoga</p>
12.	<p>Kombinacijski sklop temeljen na PROM-u prikazan je na slici. Sadržaj PROM-a po lokacijama je redom: 2, 3, 1, 2. Kod PROM-a izlazni bit <math>d_1</math> te adresni bit <math>a_1</math> su bitovi veće težine. Taj sklop ostvaruje neku funkciju <math>f(A, B, C, D)</math>. O kojoj se funkciji radi?</p> <p>a) <math>\prod M(3,5,7,12)</math>                      c) <math>\sum m(1,2,6,11,14)</math>                      e) <math>\prod M(2,4,5)</math>  b) <math>\sum m(0,6,11,12,14)</math>                      d) <math>\sum m(3,4,6,15)</math>                      f) ništa od navedenoga</p>
13.	<p>Pomoću multipleksorskog stabla načinjenog od multipleksora 2/1 bez ulaza za omogućavanje ostvarujemo Booleovu funkciju od četiri varijable, <math>f(A, B, C, D)</math>. Na raspolaganju su nam varijable i komplementi varijabli (to su sve ulazi sklopa), pa funkciju ostvarujemo uporabom trivijalnih rezidualnih funkcija. Sklop koji ostvaruje funkciju <math>f</math> modeliramo strukturno u VHDL-u (multipleksore 2/1 koristimo kao gradivne blokove). Koliko je internih signala potrebno za modeliranje sklopa?</p> <p>a) 4                      b) 8                      c) 14                      d) 10                      e) 6                      f) ništa od navedenoga</p>
14.	<p>Broj <math>E5A6_H</math> prvo se posmiče udesno logičkim posmakom za 2 bita, a zatim se rezultat te operacije posmiče kružnim posmakom udesno za 5 bitova. Rezultat je:</p> <p>a) <math>490B_H</math>                      c) <math>4FCB_H</math>                      e) <math>49CB_H</math>  b) <math>D47B_H</math>                      d) <math>4F1B_H</math>                      f) ništa od navedenoga</p>
15.	<p>Što od sljedećega u jeziku VHDL vrijedi?</p> <p>a) u VHDL-u se može modelirati kašnjenje signala  b) interni signali se navode u sučelju sklopa  c) svaki sklop u VHDL-u treba opisati i ponašajno i strukturno  d) ponašajni opis sklopa prepoznamo po uporabi konstrukta <b>port map</b>  e) VHDL razlikuje velika i mala slova u nazivima signala  f) ništa od navedenoga ne vrijedi</p>

16	<p>U nastavku je dan strukturni VHDL-model nekog sklopa (sučelje modela je izostavljeno).</p> <pre> <b>architecture</b> strukturna <b>of</b> superskop <b>is</b>   <b>component</b> sklopNOT <b>is</b> <b>port</b> (x : <b>in</b> std_logic; y : <b>out</b> std_logic);   <b>component</b> sklopAND <b>is</b> <b>port</b> (x1,x2 : <b>in</b> std_logic; y : <b>out</b> std_logic);   <b>component</b> sklopOR <b>is</b> <b>port</b> (x1,x2 : <b>in</b> std_logic; y : <b>out</b> std_logic);   <b>signal</b> i : std_logic_vector(0 to 2);   <b>begin</b>     skop1: <b>entity</b> work.sklopNOT <b>port map</b> (b,i(0));     skop2: <b>entity</b> work.sklopAND <b>port map</b> (a,i(0),i(1));     skop3: <b>entity</b> work.sklopAND <b>port map</b> (y =&gt; i(2), x1 =&gt; c, x2 =&gt; i(0));     skop4: <b>entity</b> work.sklopOR <b>port map</b> (x2 =&gt; i(1), y =&gt; d, x1 =&gt; i(2));   <b>end</b> strukturna; </pre> <p>Kako izgleda naredba pridruživanja vrijednosti izlaznome signalu d kod ponašajnog modela koji je funkcijski ekvivalentan ovom zadanome?</p>	<p>a) <math>d \leq a \text{ and } (\text{not } b) \text{ and } c</math>  b) <math>d \leq b \text{ and } (\text{not } c)</math>  c) <math>d \leq (\text{not } a) \text{ or } (\text{not } b)</math>  d) <math>d \leq \text{not } b \text{ and } (a \text{ or } c)</math>  e) <math>d \leq a \text{ or } (\text{not } b) \text{ or } c</math>  f) ništa od navedenoga</p>
17	<p>Multipleksorom 4/1 potrebno je ostvariti funkciju <math>f(A,B,C) = \sum(1,4,5,7)</math>. Označimo s <math>D_0, D_1, D_2, D_3</math> podatkovne ulaze, te s <math>A_1 A_0</math> adresne ulaze (indeks 0 označava ulaz najmanje težine). Ako na <math>A_1</math> dovedemo A, a na <math>A_0</math> dovedemo B što treba dovesti na ulaze <math>D_0, D_1, D_2</math> te <math>D_3</math>:</p>	<p>a) <math>C, 0, 0, \overline{C}</math>                      c) <math>C, 0, 1, C</math>                      e) <math>\overline{C}, C, 0, C</math>  b) <math>\overline{C}, C, 0, C</math>                      d) <math>C, \overline{C}, 1, C</math>                      f) ništa od navedenoga</p>
18	<p>Da bismo pomoću multipleksora 4/1 izgradili multipleksor 16/1, koliko nam je potrebno multipleksora 4/1?</p>	<p>a) 5                      b) 4                      c) 2                      d) 7                      e) 3                      f) ništa od navedenoga</p>
19.	<p>Na raspolaganju je FPGA sklop kako je prikazano slikom. Što treba upisati u preostali logički sklop kako bi se na izlazu dobila funkcija <math>f(A,B,C) = \overline{A} + ABC</math>? Prvi (na slici viši) ulaz u CLB je ulaz veće težine. Ponuđena rješenja u CLB se upisuju odozgo prema dolje.</p> 	<p>a) 0100                      b) 0010                      c) 0110                      d) 0111                      e) 1001                      f) ništa od navedenoga</p>
20.	<p>Ako član <math>P_i</math> u formuli <math>C_i = G_i + P_i C_{i-1}</math>, koja čini temelj realizacije sklopa za izdvojeno generiranje prijenosa (<i>carry-look-ahead</i>), poprimi vrijednost 1, što možemo zaključiti? Napomena: <math>A_i, B_i</math> su pri tome ulazi odgovarajućeg potpunog zbrajala.</p>	<p>a) dogodila se pogreška kod generiranja prijenosa  b) oba pribrojnika (<math>A_i, B_i</math>) su jednaka 0  c) oba pribrojnika (<math>A_i, B_i</math>) su jednaka 1  d) <math>C_{i-1}</math> je jednak 0  e) barem jedan od pribrojnika (<math>A_i, B_i</math>) je jednak 1  f) ništa od navedenoga</p>