

3. izlazni test (1011Z)

1.

Relativni doprinos: 1.0/1.0 **Točno**

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    clk, A, B, C: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(Qint, clk, A, B)  
    begin  
        if A='0' then  
            Qint<= '0';  
        elsif B='1' then  
            Qint<= '0';  
        elsif rising_edge(clk) then  
            if C= '1' then  
                Qint<= not Qint;  
            end if;  
        end if;  
        Qout<= Qint;  
    end process;
```

end beh;

Označite sve ulaze bistabila koji djeluju asinkrono.

☒ A

☐ C

☒ B

2.

Relativni doprinos: 1.0/1.0 **Točno**

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    cp, X, Y, Z: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(...)  
        variable sel: std_logic_vector(1 downto 0);  
    begin  
        if X='1' then  
            Qint<= '1';  
        elsif falling_edge(cp) then  
            sel:=Y&Z;  
            case sel is  
                when "00"=> Qint<= Qint;  
                when "01"=> Qint<= '0';  
                when "10"=> Qint<= Qint;  
                when "11"=> Qint<= not Qint;
```

```

        when others=> null;
    end case;
end if;
end process;

Qout<= Qint;

```

end beh;

Označite sve signale koji čine minimalnu listu osjetljivosti.

- ☐ Z
- ☒ X
- ☐ Qint
- ☐ Y
- ☒ cp

3.

Relativni doprinos: 1.0/1.0 **Točno**

Minimalno vrijeme nakon aktivnog brida signala takta tijekom kojega ulazni signal mora ostati stabilan na ulazu sinkronog sklopa naziva se:

- ☐ vrijeme kašnjenja (engl. delay time)
- ☒ vrijeme zadržavanja (engl. hold time)
- ☐ vrijeme otpuštanja (engl. release time)
- ☐ vrijeme postavljanja (engl. setup time)

4.

Relativni doprinos: 1.0/1.0 **Točno**

Sklop Brojilo ostvaren je uporabom kojih bistabila?

- ☐ sadrži i sintff i asintff
- ☒ sintff
- ☐ asintff
- ☐ ništa od navedenoga

5.

Relativni doprinos: 1.0/1.0 **Točno**

Zadan je sljedeći VHDL kod:

```

entity Element is port(
    clk, L, M, N: in std_logic;
    Qout: out std_logic);
end Element;

```

```

architecture beh of Element is
    signal Qint: std_logic;
begin

```

```

    process(clk, L)
        variable sel: std_logic_vector(1 downto 0);
    begin

```

```

    if L='1' then
        Qint<= '0';
    elsif rising_edge(clk) then
        sel:=M&N;
        case sel is
            when "00"=> Qint<= not Qint;
            when "01"=> Qint<= '0';
            when "10"=> Qint<= Qint;
            when "11"=> Qint<= not Qint;
            when others=> null;
        end case;
    end if;
end process;

Qout<= Qint;

```

end beh;

Na što djeluje signal takta clk?

- ☒ na rastući brid
- ☐ na logičku razinu 1
- ☐ na logičku razinu 0
- ☐ na padajući brid

6.

Relativni doprinos: 1.0/1.0 **Točno**

Označimo s fs maksimalnu frekvenciju rada sinkronog binarnog brojila unaprijed sa serijskim prijenosom, a s fp maksimalnu frekvenciju rada sinkronog binarnog brojila unaprijed s paralelnim prijenosom. Ako promatramo fs i fp za 10-bitno brojilo, tada vrijedi:

- ☒ fs je strogo manji od fp
- ☐ fs može biti jednak fp, a ako nije jednak, onda je veći od fp
- ☐ fs može biti jednak fp, a ako nije jednak, onda je manji od fp
- ☐ fs je strogo veći od fp

7.

Relativni doprinos: 1.0/1.0 **Točno**

Označimo trenutno stanje JK bistabila sa Qn, a sljedeće sa Qn+1. Za kombinaciju J=0 i K=0, sljedeće stanje JK bistabila bit će jednako:

- ☐ NOT Qn
- ☒ Qn
- ☐ 0
- ☐ 1

8.

Relativni doprinos: 1.0/1.0 **Točno**

Kod kojeg/kojih je automata izlaz u potpunosti definiran stanjem (tj. ako znate samo stanje, onda odmah znate i izlaz)?

- ☒ samo kod Mooreovog

- ☐ i kod Mooreovog, i kod Mealyjevog
- ☐ samo kod Mealyjevog
- ☐ niti kod jednog od ova dva

9.

Relativni doprinos: 1.0/1.0 **Točno**

Kod kojeg/kojih se automata izlazi pišu na lukovima?

- ☐ samo kod Mooreovog
- ☒ samo kod Mealyjevog
- ☐ niti kod jednog od ova dva
- ☐ i kod Mooreovog, i kod Mealyjevog

10.

Relativni doprinos: 1.0/1.0 **Točno**

Zadan je sljedeći VHDL kod:

```
entity Element is port(  
    clk, Q, R, S: in std_logic;  
    Qout: out std_logic);  
end Element;  
  
architecture beh of Element is  
    signal Qint: std_logic;  
begin  
  
    process(Qint, clk, Q, R)  
    begin  
        if Q='0' then  
            Qint<= '1';  
        elsif R='1' then  
            Qint<= '1';  
        elsif rising_edge(clk) then  
            if S= '1' then  
                Qint<= not Qint;  
            end if;  
        end if;  
        Qout<= Qint;  
    end process;
```

end beh;

Označite asinkroni ulaz najvišeg prioriteta.

- ☐ S
- ☒ Q
- ☐ R

[Povratak](#)