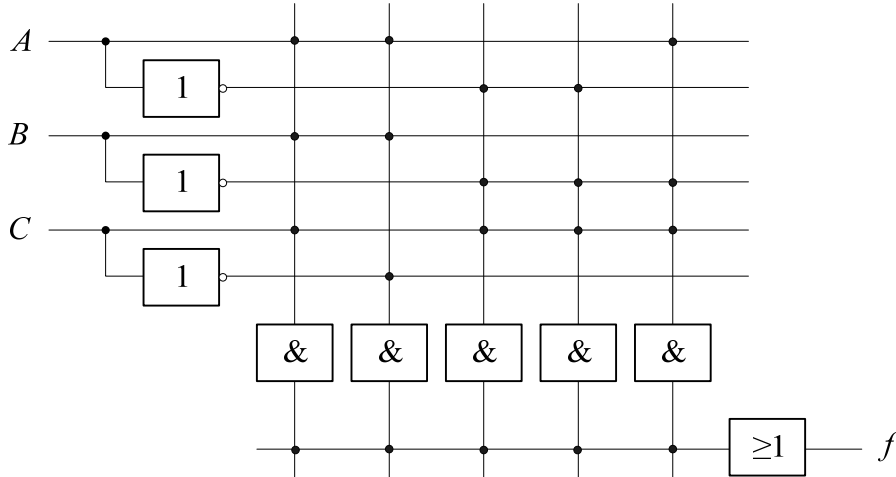


2. MEĐUISPIT IZ DIGITALNE LOGIKE

Grupa D

1.	<p>Funkcija $f(A, B, C, D) = \sum m(2, 4, 6, 10, 14, 15)$ ostvarena je multipleksorom 8/1. Na adresne ulaze spojeno je $a_2 a_1 a_0 = ABC$. Što je dovedeno na podatkovne ulaze multipleksora? U rješenjima su navedeni redom ulazi od d_0 do d_7.</p> <p>a) $1DD\bar{D}0D0D$ c) $0\bar{D}\bar{D}\bar{D}0\bar{D}01$ e) $1\bar{D}D\bar{D}0\bar{D}01$ b) $0\bar{A}\bar{A}\bar{A}0\bar{A}01$ d) $1AA\bar{A}0A0A$ f) ništa od navedenoga</p>
2.	<p>Odredite algebarski izraz funkcije $f(A, B, C, D)$.</p> <p>a) $A + \bar{B}CD$ b) $ABCD + \bar{A}\bar{B}CD + AB\bar{C}D + \bar{A}\bar{B}CD$ c) $\bar{A}\bar{B}\bar{C}\bar{D} + ABCD$ d) $ABCD$ e) $ABCD + \bar{A}\bar{B}CD$ f) ništa od navedenoga</p>
3.	<p>Ternarno poluzbrajalo koristi sljedeći kod: $0 \equiv 00$, $1 \equiv 11$, $2 \equiv 01$. Neka su ulazi sklopa označeni s $x_1 x_0$ (prva znamenka) i $y_1 y_0$ (druga znamenka) a izlazi $r_1 r_0$ (znamenka rezultata) i c_{out} (prijenos). Koja od ponuđenih funkcija predstavlja $r_0(x_1, x_0, y_1, y_0)$?</p> <p>a) $\sum m(1, 3, 4, 5, 12, 15) + \sum d(2, 6, 8, 9, 10, 11, 14)$ d) $\sum m(1, 4, 5, 7, 12, 15) + \sum d(2, 6, 8, 9, 10, 11, 14)$ b) $\sum m(2, 3, 8, 10, 12, 14) + \sum d(1, 4, 5, 6, 7, 9, 13)$ e) $\sum m(3, 5, 7, 11, 14) + \sum d(2, 4, 8, 9, 13, 15)$ c) $\sum m(1, 5, 8) + \sum d(3, 7, 13, 14, 15)$ f) ništa od navedenoga</p>
4.	<p>Zbrajalo na ulazu prima dekadске brojeve kodirane kôdom BCD. Rezultat zbrajanja kodira se kôdom Excess-3. Ako se na ulaze dovede 00010001 i 00100100, što će biti na izlazu zbrajala?</p> <p>a) 11001001 c) 00100011 e) 10011000 b) 10101100 d) 01101000 f) ništa od navedenoga</p>
5.	<p>Nad brojem $5432_{(16)}$ potrebno je izvršiti aritmetički posmak udesno za 5 bitova. Rezultat je:</p> <p>a) $F543_{(16)}$ c) $0543_{(16)}$ e) $F5A3_{(16)}$ b) $12A1_{(16)}$ d) $02A1_{(16)}$ f) ništa od navedenoga</p>
6.	<p>Funkciju $f(A, B, C, D) = \sum m(0, 6, 4, 9, 11, 13, 15)$ potrebno je ostvariti sklopom PLA koji implementira funkciju u obliku sume produkata.. Koliko je minimalno potrebno sklopova I i ILI, te za koliko se varijabli koristi inverter?</p> <p>a) $2 \times I$, $1 \times ILI$, $2 \times$inverter c) $2 \times I$, $1 \times ILI$, $3 \times$inverter e) $3 \times I$, $1 \times ILI$, $3 \times$inverter b) $1 \times I$, $2 \times ILI$, $2 \times$inverter d) $2 \times I$, $1 \times ILI$, $1 \times$inverter f) ništa od navedenoga</p>
7.	<p>Statički-1 hazard kod minimalnog zapisa funkcije $f(A, B, C) = \sum m(3, 4, 5, 7)$ u obliku sume produkata javlja se na prijelazu:</p> <p>a) $101 \rightarrow 111$ c) $111 \rightarrow 101$ e) $101 \rightarrow 001$ b) $101 \rightarrow 100$ d) $100 \rightarrow 101$ f) ništa od navedenoga</p>

8. Sklop PLA programiran je tako da ostvaruje funkciju f . Kako glasi minimalni zapis te funkcije?



- a) $\overline{A}\overline{B}\overline{C} + AC + \overline{A}\overline{B}C + ABC + \overline{A}\overline{B}\overline{C}$ d) $A + \overline{B}$
 b) $AB + \overline{B}C$ e) $\overline{A} + B$
 c) $\overline{A}\overline{B}C + \overline{A}\overline{B}\overline{C}$ f) ništa od navedenoga

9. Kako glasi minimalna lista osjetljivosti bloka process koji opisuje bistabil D okidan rastućim bridom signala takta? Bistabil još ima asinkrone ulaze za postavljanje i brisanje.

- a) D, clk c) clk e) D, clk, set
 b) clr, set d) clk, clr, set f) ništa od navedenoga

10. Prikazan je VHDL-model bistabila JK izgrađen pomoću bistabila SR i dvoulaznih sklopova I. Model nije potpun jer na mjestima označenima s **<A>** i **** nedostaje specifikacija povezivanja komponenti. Kako treba definirati ta povezivanja, a da bi se dobio ispravan model bistabila JK? Primjerak sklopa I na koji je spojen j nazovite i1.

```
ENTITY jkBistabil IS
  PORT (j, k : in std_logic; q, qn : out std_logic);
END jkBistabil;

ARCHITECTURE arch OF jkBistabil IS
  SIGNAL x : std_logic_vector (0 TO 3);
  COMPONENT srBistabil IS
    PORT (s, r : in std_logic; q, qn : out std_logic);
  END srBistabil;
  COMPONENT iSklop IS
    PORT (a, b : in std_logic; c : out std_logic);
  END iSklop;
BEGIN
  sr : srBistabil PORT MAP (x(0), x(1), x(2), x(3));
  i1 : iSklop PORT MAP (<A>;
  i2 : iSklop PORT MAP (<B>;
  q <= x(2);
  qn <= x(3);
END arch;
```

- a) **<A>** = "(x(3), j, x(0))", **** = "(c => x(1), a => k, b => x(2))"
 b) **<A>** = "(x(2), j, x(0))", **** = "(k, x(3), x(1))"
 c) **<A>** = "(x(3), j, x(1))", **** = "(k, x(2), x(0))"
 d) **<A>** = "(c => s, a => x(3), b => j)", **** = "(c => s, a => k, b => s(2))"
 e) **<A>** = "(x(3), j, s)", **** = "(k, x(2), s)"
 f) ništa od navedenoga

- | | |
|-----|---|
| 11. | Prikazan je ponašajni model nekog sklopa u jeziku VHDL. Strukturni model tog sklopa, izveden pomoću minimalnog broja dvoulaznih I-sklopova i dvoulaznih ILI-sklopova (invertori nisu na raspolaganju), ukupno sadržava: |
|-----|---|

```
ENTITY sklop IS
    PORT (a, b, c, d, e : IN std_logic; f : OUT std_logic);
END sklop;

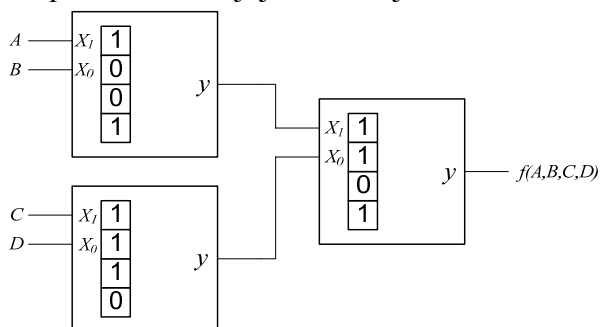
ARCHITECTURE beh of sklop IS
BEGIN
    f <= NOT ((NOT a OR NOT b OR NOT c) AND (NOT d AND NOT e));
END beh;
```

- a) dva I-sklopa, dva ILI-sklopa i tri unutarnja signala
- b) dva I-sklopa, dva ILI-sklopa i jednog unutarnjeg signala
- c) jednog I-sklopa, jednog ILI-sklopa i četiri unutarnja signala
- d) jednog I-sklopa, dva ILI-sklopa i dva unutarnja signala
- e) tri I-sklopa, dva ILI-sklopa i dva unutarnja signala
- f) ništa od navedenoga

- | | |
|-----|---|
| 12. | U jeziku VHDL strukturno modeliramo sklop S i pritom stvaramo (instanciramo) primjerak sklopa T. Pri tome definiramo: |
|-----|---|

- a) način spajanja unutarnjih signala sklopa T na unutarnje signale sklopa S
- b) način spajanja svih signala sklopa S na signale sklopa T
- c) način spajanja ulaznih i izlaznih signala sklopa T na signale sklopa S
- d) način spajanja izlaznih signala sklopa T na ulazne signale sklopa S
- e) ulazne i izlazne signale (sučelje) sklopa T
- f) ništa od navedenoga

- | | |
|-----|--|
| 13. | Uporabom dvoulaznih konfigurabilnih logičkih blokova temeljenih na multipleksoru i preglednoj tablici ostvarena je funkcija f , prema slici. Ulaz X_7 CLB-a dovodi se na adresni ulaz veće težine multipleksora. O kojoj se funkciji radi? |
|-----|--|



- a) $\overline{A}\overline{B} + AB + \overline{C}D$
b) $AB + \overline{A}CD$
c) $\overline{A}\overline{B} + AB + \overline{C} + \overline{D}$
d) $\overline{A}B + A\overline{B} + \overline{C} + \overline{D}$
e) $\overline{A}\overline{B} + \overline{B}CD$
f) ništa od navedenoga

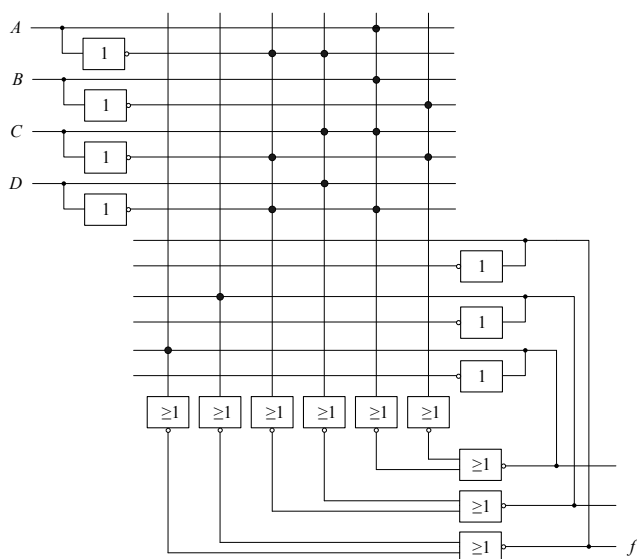
- | | |
|-----|--|
| 14. | Za neku porodicu logičkih sklopova poznati su sljedeći parametri: $U_{OHmin}=4,3V$, $U_{OLmax}=0,5V$, $U_{IHmin}=3,7V$ te $U_{ILmax}=1,2V$. Izračunati granicu istosmjerne smetnje. |
|-----|--|

- a) 2,7V c) 3,6V e) 0,5V
b) 0,6V d) 3,1V f) ništa od navedenoga

- | | |
|-----|---|
| 15. | <p>Na raspolaganju je trouglazni CLB temeljen na preglednoj tablici, multipleksoru i bistabilu D. Na ulaz CLB-a X_2 spojen je signal A, na X_1 spojen je signal B. Izlaz CLB-a izvana je spojen na ulaz X_0. Potrebno je konfigurirati CLB tako da on ostvari bistabil čija je jednačžba promjene stanja: $Q^{n+1} = \overline{A} \cdot \overline{Q}^n + B$. Napomena: ulaz X_2 za multipleksor predstavlja adresni ulaz najveće težine. Sadržaj LUT-a je:</p> |
|-----|---|

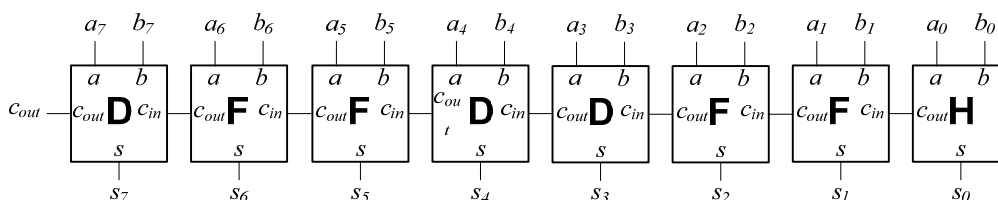
- a) 10110011 c) 01011100 e) 01110001
b) 11001100 d) 11000011 f) ništa od navedenoga

16. Funkcija $f(A,B,C,D)$ ostvarena je uporabom strukture PAL tipa NILI-NILI. Minimalni oblik te funkcije zapisan u obliku produkta suma ne sadrži sumu:



- a) $A + B + C + \bar{D}$
 b) $\bar{B} + \bar{C}$
 c) $\bar{A} + \bar{C} + \bar{D}$
 d) $\bar{A} + C + D$
 e) $\bar{A} + \bar{B} + \bar{C}$
 f) ništa od navedenoga

17. Projektant digitalnih sklopova želio je napraviti 8-bitno binarno zbrajalo. No, prilikom izrade sklopa, pogriješio je i umjesto potpunog zbrajala (F) na nekim je mjestima upotrijebio je potpuno oduzimalo (D), prema slici. Ako na ulaz takvog "zbrajala" dovedemo brojeve B5 i 9B, što će biti rezultat (s)?



- a) C1
 b) 50
 c) 5F
 d) 80
 e) A8
 f) ništa od navedenoga

18. Sklop za izdvojeno generiranje prijenosa generira bitove prijenosa c_0, c_1, c_2 i c_3 . Prema kojem algebarskom izraz se generira c_2 ?

- a) $g_2 + g_1p_2 + g_0p_2p_1$
 b) $g_2p_2 + g_1p_1$
 c) $g_2 + g_1p_2 + g_0p_2$
 d) $g_2p_3 + g_1p_2 + g_0p_2p_1$
 e) $g_2 + g_1p_1 + g_0p_2p_1$
 f) ništa od navedenoga

19. Na raspolaganju je ROM 4×4 i multiplexsor $4/1$. Na adresne ulaze ROM-a spojeno je: $a_1=A, a_0=B$. Podatkovni izlaz ROM-a $d_i, i \in \{0,1,2,3\}$ spojen je na podatkovni ulaz multiplexsora d_i . Adresni ulazi multiplexsora spojeni su na sljedeći način: $a_1=D, a_0=C$. ROM treba programirati tako da se na izlazu multiplexsora dobije funkcija $f(A,B,C,D) = \sum m(1,4,5,7,11,12,15)$. Izlaz ROM-a d_3 smatrati izlazom najveće težine. Sadržaj ROM-a je:

- a) 3,F,7,1
 b) D,D,7,1
 c) C,5,A,B
 d) 4,D,8,9
 e) 2,4,C,F
 f) ništa od navedenoga

20. Zadane su tri funkcije od A, B, C i D : $f_1 = \sum m(2,10,13,15)$, $f_2 = \sum m(5,6,7,14)$ i $f_3 = \sum m(2,5,6,7,10,13,14,15)$. Koje su minimalne dimenzije PLA sklopa tipa NI-NI kojim možemo ostvariti sve tri funkcije?

- a) $4 \times 6 \times 2$
 b) $3 \times 4 \times 2$
 c) $4 \times 6 \times 3$
 d) $4 \times 5 \times 3$
 e) $4 \times 4 \times 3$
 f) ništa od navedenoga