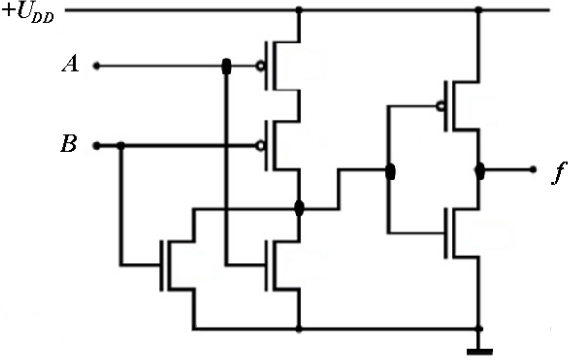
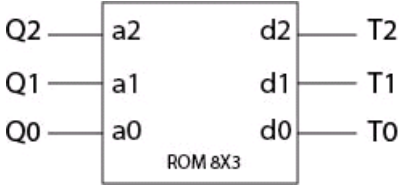


ZAVRŠNI ISPIT IZ DIGITALNE LOGIKE

Grupa D

1	<p>Potpuno zbrajalo za BCD znamenaka ostvareno je pomoću dva 4-bitna binarna zbrajala. Ako je rezultat binarnog zbrajanja takav da je potrebno napraviti korekciju, koji binarni broj je potrebno dovesti na ulaze dodatnog binarnog zbrajala koje služi za provedbu korekcije?</p> <p>a) 0111 b) 1010 c) 1100 d) 0110 e) 1001 f) ništa od navedenoga</p>
2	<p>Podatak $A9_{(16)}$ štiti se Hammingovim kodom s parnim paritetom uz uobičajeni raspored bitova te se tako zaštićen prenosi podatkovnom sabirnicom. Neka se u prijenosu dogode dvije pogreške: na četvrtom te na desetom bitu. Koji će sindrom tada utvrditi prijemnik? U ponuđenim odgovorima, najznačajniji bit sindroma je krajnje lijevi.</p> <p>a) 0110 b) 1001 c) 1011 d) 0111 e) 1110 f) ništa od navedenoga</p>
3	<p>Funkcija $f(A, B, C, D)$ sadrži 11 maksterma. Koliko minterma sadrži komplement te funkcije?</p> <p>a) 6 b) 2 c) 5 d) 11 e) 12 f) ništa od navedenoga</p>
4	<p>Koji od ponuđenih izraza predstavlja zapis funkcije $f(A, B, C, D) = (A \oplus B)C + CD$ u minimalnom obliku?</p> <p>a) $CD + \bar{A}\bar{B}C + ABC$ c) $(C + D)(\bar{A} + \bar{B} + C)(A + B + C)$ e) $C + \bar{A}\bar{B}D + \bar{A}BD$ b) $\bar{C}(\bar{A} + B + \bar{D})(A + \bar{B} + \bar{D})$ d) $C(A + B + D)(\bar{A} + \bar{B} + D)$ f) ništa od navedenoga</p>
5	<p>Koju funkciju obavlja sklop na slici?</p>  <p>a) AB b) $A + B$ c) $\overline{A + B}$ d) \overline{AB} e) $A \oplus B$ f) ništa od navedenoga</p>
6	<p>Zadana je funkcija $f(A, B, C, D) = \sum m(0, 3, 4, 6, 8, 10, 12, 15)$. Za njenu realizaciju na raspolaganju je multipleksor 4/1. Na adresni ulaz a_1 multipleksora dovodi se varijabla A, a na adresni ulaz a_0 varijabla B. Što se mora dovesti na ulaze multipleksora I_0 i I_3?</p> <p>a) $I_0 = \overline{CD}$, $I_3 = \overline{CD}$ c) $I_0 = \overline{C + D}$, $I_3 = \overline{C + D}$ e) $I_0 = \overline{C \oplus D}$, $I_3 = \overline{C \oplus D}$ b) $I_0 = CD$, $I_3 = CD$ d) $I_0 = C + D$, $I_3 = C + D$ f) ništa od navedenoga</p>
7	<p>Sklop za množenje 5-bitnog broja 4-bitnim brojem sastoji se od četiri posmaknuta peteroulazna zbrajala i potrebnog broja logičkih sklopova I. Koliko je potrebno logičkih sklopova I za ostvarivanje ovog množila?</p> <p>a) 30 b) 26 c) 15 d) 20 e) 16 f) ništa od navedenoga</p>
8	<p>Dva 8-bitna broja zbrajamo na dva načina: (a) pomoću osam potpunih zbrajala čije kašnjenje bita sume s_i i bit prijenosa c_i iznosi 40ns; (b) pomoću osam potpunih zbrajala kod kojih generirajući i propagirajući član kao i bit sume s_i i bit prijenosa c_i kasne 10ns, te sklopa za izdvojeno generiranje prijenosa čije je kašnjenje 20ns. Koliki je omjer kašnjenja zbrajanja ovih dviju izvedbi (a)/(b)?</p> <p>a) 1 b) 16 c) 8 d) 4 e) 0.25 f) ništa od navedenoga</p>

9	<p>Sklopom sa slike želimo ostvariti kružni posmak binarnog broja 0100 u desno za tri mjesta. Što je potrebno dovesti na podatkovne ulaze sklopa $DI_3DI_2DI_1DI_0$, a što na upravljačke A_1A_0?</p> <p>a) 0100, 01 d) 0100, 00 b) 1000, 01 e) 0100, 11 c) 0101, 10 f) ništa od navedenoga</p>	
10	<p>Na raspolaganju je FPGA s logičkim blokovima (CLB) temeljenim na preglednim tablicama (LUT) s 4 memorijske ćelije. Koliko je minimalno potrebno logičkih blokova da bi se ostvarila funkcija $f(A, B, C, D) = \prod M(0,1,2,3,6,8,9,10,11,14)$?</p> <p>a) 2 b) 1 c) 3 d) 4 e) 5 f) ništa od navedenoga</p>	
11	<p>Funkcije $f_1(A, B, C, D) = \sum m(1,3,4,11,12)$ i $f_2(A, B, C, D) = \sum m(2,5,9,13,15)$ potrebno je ostvariti strukturom PLA tipa NI-NI. Neka su s $n \times k \times m$ označene dimenzije sklopa PLA, pri čemu je n broj ulaza, k broj NI sklopova prve razine, a m broj izlaza. Kolike su minimalne dimenzije sklopa PLA potrebne za realizaciju navedenih funkcija?</p> <p>a) $3 \times 7 \times 2$ b) $4 \times 7 \times 2$ c) $4 \times 6 \times 2$ d) $4 \times 8 \times 2$ e) $4 \times 10 \times 2$ f) ništa od navedenoga</p>	
12	<p>Koju funkciju $f(A, B, C)$ ostvaruje sklop na slici?</p> <p>a) $\sum m(4,5,6,7)$ d) $\sum m(0,1,2,4,7)$ b) $\sum m(1,3,6)$ e) $\sum m(0,2,4,6)$ c) $\sum m(4,7)$ f) ništa od navedenoga</p>	
13	<p>EPROM je permanentna memorija za koju vrijedi:</p> <p>a) nije ju moguće programirati b) može se jednokratno programirati tijekom proizvodnog procesa c) može se višekratno programirati i brisati ultraljubičastim svjetlom d) može se jednokratno programirati od strane korisnika e) može se višekratno programirati i brisati električkim putem f) ništa od navedenoga</p>	
14	<p>Zadan je automat koji ima ulaz X, izlaz Z i čiji je sekvencijski dio izgrađen od četiri bistabila. Koji od ponuđenih izraza za izlaz Z jedini ne odgovara Mooreovom automatu?</p> <p>a) $Z = \overline{Q_3}Q_2X$ c) $Z = \overline{Q_3}Q_2Q_1$ e) $Z = \overline{Q_3}Q_1Q_0$ b) $Z = Q_3Q_2 + Q_1$ d) $Z = Q_2Q_1$ f) ništa od navedenoga</p>	
15	<p>Bistabil čiji su ulazi X i Y ima jednadžbu promjene stanja $Q^{n+1} = X + Q^n \cdot Y$. Bistabil opisane funkcionalnosti potrebno je ostvariti uporabom bistabila JK. Minimalni oblici funkcija za ulaze J i K tada će biti:</p> <p>a) $J = X + Y$; $K = X$ b) $J = X + Q^n$; $K = \overline{X + Y + Q^n}$ c) $J = X \cdot Y$; $K = \overline{X}$ d) $J = X$; $K = \overline{X + Y}$ e) $J = Q^n$; $K = \overline{X}$ f) ništa od navedenoga</p>	

16	<p>Zadan je sinkroni sekvencijski sklop (na slici) koji se sastoji od 3 bistabila T i ROM-a 8x3. Na ulaze ROM-a dovode se izlazi bistabila kako je prikazano, a na ulaze bistabila dovode se izlazi ROM-a. Kako treba programirati ROM, počevši od najniže memorijske lokacije, a da sklop prolazi kroz sljedeća stanja: 0→2→5→7→3→6. Potrebno je osigurati siguran start prelaskom u stanje 0. Bit d_2 smatrati bitom najveće težine.</p> <p>a) 1,2,7,5,4,2,6,4 c) 0,1,3,7,0,1,5,6 e) 1,1,0,5,2,2,7,3 b) 2,1,7,5,4,2,6,4 d) 0,0,1,2,3,5,0,1 f) ništa od navedenoga</p>	
17	<p>Sinkroni sekvencijski sklop sastoji se od dva bistabila (B_1 je tipa T, a B_0 tipa D). Na ulaze bistabila dovode se sljedeće funkcije: $T_1 = \overline{Q_1}\overline{Q_0} + Q_1Q_0$, $D_0 = Q_1 \oplus Q_0$. Ima li sklop siguran start? Ako su zadana sljedeća vremena: $t_{db}=10ns$, $t_{setup}=10ns$, $t_{hold}=10ns$, $t_{dLS}=10ns$ a sklop se ostvaruje samo uporabom bistabila te logičkih sklopova I, ILI i NE, kolika će biti maksimalna frekvencija signala takta uz koju će sklop i dalje raditi ispravno?</p> <p>a) Nema siguran start, $f=25$ MHz b) Ima siguran start, $f=14,3$ MHz c) Ima siguran start, $f=25$ MHz d) Nema siguran start, $f=14,3$ MHz e) Ima siguran start, $f=10$ MHz f) ništa od navedenoga</p>	
18	<p>Asinkrono binarno brojilo unaprijed ostvareno je uporabom bistabila T koji imaju dodatne ulaze za brisanje C_d. Dodatni ulazi su spojeni zajedno te se koriste za skraćivanje ciklusa brojila. Ako ciklus sadrži 20 stanja, a ulazi za brisanje se aktiviraju logičkom razinom 1, koju funkciju treba ostvarivati sklop koji upravlja tim ulazima?</p> <p>a) $Q_4\overline{Q_3}\overline{Q_2}Q_1\overline{Q_0}$ c) $\overline{Q_4}\overline{Q_3}\overline{Q_2}Q_1Q_0$ e) $Q_4\overline{Q_3}\overline{Q_2}Q_1Q_0$ b) $Q_4\overline{Q_3}Q_2\overline{Q_1}\overline{Q_0}$ d) $\overline{Q_4}Q_3Q_2Q_1\overline{Q_0}$ f) ništa od navedenoga</p>	
19	<p>Koliko iznosi maksimalna frekvencija rada 5-bitnog sinkronog binarnog brojila s paralelnim prijenosom? Parametri bistabila su: $t_{db}=25ns$, $t_{setup}=10ns$, $t_{hold}=10ns$. Logički sklopovi kasne 5ns.</p> <p>a) 25 MHz b) 20 MHz c) 10 MHz d) 40 MHz e) 50 MHz f) ništa od navedenoga</p>	
20	<p>Asinkrono binarno brojilo sastavljeno je od tri bistabila T. Brojilo treba svakih osam stanja generirati jedinicu, za što su na raspolaganju sklopovi I s potrebnim brojem ulaza. Ako je kašnjenje bistabila $t_{db}=30ns$, a kašnjenje sklopa I 10ns, kolika je maksimalna frekvencija rada takvog sklopa?</p> <p>a) 0,2 MHz b) 15 MHz c) 50 MHz d) 33,33 MHz e) 25 MHz f) ništa od navedenoga</p>	
21	<p>Koja je od sljedećih tvrdnji točna glede vremena razlučivanja ulaznih impulsa asinkronog brojila?</p> <p>a) vrijeme razlučivanja je svojstvo prvog bistabila b) vrijeme razlučivanja uvijek definira maksimalnu frekvenciju rada c) vrijeme razlučivanja je srednje vrijeme kašnjenja d) vrijeme razlučivanja je najduže vrijeme odziva svih bistabila e) vrijeme razlučivanja je svojstvo zadnjeg bistabila f) ništa od navedenoga</p>	
22	<p>Koincidentno adresiranje koristi se u:</p> <p>a) 2D organizaciji memorijskog polja b) 2D i 2½D organizaciji memorijskog polja c) 2½D organizaciji memorijskog polja d) 3D organizaciji memorijskog polja e) 3D i 2½D organizaciji memorijskog polja f) ništa od navedenoga</p>	
23	<p>Na raspolaganju je digitalno-analogni pretvornik s brojiлом i izvorom idealnog pilastog napona. Brojilo je 8-bitno i okida se na padajući brid signala CP. Signal CP se nalazi u stanju '1' 1ms, a u stanju '0' 2ms. Ako pilasti napon raste 0,2V/ms koliki će biti napon pretvorenog broja 25?</p> <p>a) 5V b) 15V c) 10V d) 1V e) 0.5V f) ništa od navedenoga</p>	

24	Analogno-digitalni pretvornik s postepenim približavanjem (tj. brojeći ADC) radi s taktom od 1kHz. Napon od 0V je ekvivalent broju 0, a napon od 7,6V broju 38. Koliko vremena treba pretvorniku da napon od 2,4V pretvori u broj? a) 24 ms b) 76 ms c) 38 ms d) 12 ms e) 6 ms f) ništa od navedenoga
25	Na raspolaganju je 2 ^{1/2} D memorija s 256 fizičkih riječi, pri čemu je duljina logičke riječi 4 bita. Ako se na pristupni MUX/DEMUX dovode 3 bita, koliki je kapacitet memorije (izražen u bitovima)? a) 2 ⁸ b) 2 ¹⁰ c) 2 ¹³ d) 2 ¹⁴ e) 2 ¹⁵ f) ništa od navedenoga

Zadatak 26 potrebno je riješiti na lijevoj, a zadatak 27 na desnoj strani unutrašnjosti košuljice. Oba zadatka ručno se pregledavaju i boduju te kod njih nema negativnih bodova.

26	<p>Troulazni konfigurabilni logički blok (CLB) sklopa FPGA temeljen na preglednoj tablici (LUT-u) i bistabilu tipa D u VHDL-u je modeliran sklopom <code>clb</code> čije je sučelje dano u nastavku.</p> <pre>ENTITY clb IS PORT (a: in std_logic_vector(2 downto 0); lut: in std_logic_vector(0 to 7); s, clk: in std_logic; q: out std_logic); END clb;</pre> <p>Pri tome, ako je $s=0$, na izlaz CLB-a se propušta izlaz LUT-a dok se za $s=1$ na izlaz propušta izlaz bistabila. Uporabom tih komponenti ostvaren je sklop <code>automat</code> čiji je model prikazan u nastavku.</p> <pre>ENTITY automat IS PORT (a, clk: in std_logic; o: out std_logic); END automat;</pre> <pre>ARCHITECTURE arch OF automat IS SIGNAL q: std_logic_vector(1 downto 0); SIGNAL x: std_logic_vector(2 downto 0); BEGIN x <= a & q(1) & q(0); clb0: ENTITY work.clb PORT MAP (x, "11000011", '1', clk, q(0)); clb1: ENTITY work.clb PORT MAP (x, "00000111", '1', clk, q(1)); clb2: ENTITY work.clb PORT MAP (x, "10101010", '0', clk, o); END arch;</pre> <p>Uz pretpostavku da je stanje S_i kodirano binarnom reprezentacijom od i, nacrtajte dijagram promjene stanja ovog automata.</p>
----	---

27	<p>Na raspolaganju je komponenta <code>binbr</code> (trobitno binarno brojilo koje broji unaprijed). Sučelje sadrži ulaz <code>clk</code> za signal takta te izlaz <code>q: std_logic_vector(2 downto 0)</code>, tim redoslijedom. Tom komponentom ostvaren je sklop <code>automat</code> čiji je VHDL opis dan u nastavku.</p> <pre>ENTITY automat IS PORT (clk: in std_logic; o: out std_logic_vector(2 downto 0)); END automat;</pre> <pre>ARCHITECTURE arch OF automat IS signal q: out std_logic_vector(2 downto 0); BEGIN au: ENTITY work.binbr PORT MAP (clk, q); o(2) <= (q(2) and not q(0)) or (not q(1) and q(0)); o(1) <= (not q(1) and not q(0)) or (q(2) and q(0)); o(0) <= (not q(1) and not q(0)) or (q(2) and not q(0)) or (not q(2) and q(1) and q(0)); END arch;</pre> <p>Projekirajte brojilo koje obavlja identičnu funkcionalnost uporabom tri bistabila T i minimalnog broja osnovnih logičkih sklopova (<i>pažnja</i>: izlazi bistabila moraju ujedno biti i izlazi čitavog brojila). Kao rješenje zadatka nacrtajte shemu projektiranog sklopa.</p>
----	---