

**LJETNI ISPITNI ROK IZ DIGITALNE LOGIKE – PISMENI ISPIT****Grupa C**

1	Sustav A sustavu B treba slati 8 različitih naredbi. U tu svrhu svaka je naredba predstavljena jednom porukom koja se sastoji od niza nula i jedinica. Pri tome se koristi minimalno potreban broj bitova. Kako bi se povećala otpornost na pogreške, poruke je potrebno zaštititi Hammingovim kodom koristeći neparni paritet. Koliko iznosi redundancija kodiranja? a) 3/5      b) 1/5      c) 3/4      d) 1/2      e) 1/4      f) ništa od navedenoga
2	Podatak 11011 potrebno je zaštititi uporabom Hammingovog kôda uz <b>parni</b> paritet. Kako glasi zaštićena kodna riječ ako se koristi uobičajeni razmještaj zaštitnih i podatkovnih bitova? a) 011010111      d) 001010111 b) 111010111      e) 111110111 c) 101010111      f) ništa od navedenog
3	Zadana je funkcija $f = \overline{A}B + \overline{A}C$ . Kako glasi dualna funkcija od komplementarne funkcije od $f$ ? a) $\overline{A}B + \overline{A}C$ c) $\overline{A}B + \overline{A}C$ e) $\overline{A}B + \overline{A}C$ b) $\overline{A} + BC$ d) $\overline{A}B + \overline{A}C$ f) ništa od navedenoga
4	Neka je funkcija $f(A,B,C,D) = \prod M(1,4,5,6,9,10,13,14)$ . Kako glasi minimalni oblik te funkcije u zapisu sume produkata? a) $AC\overline{D} + A\overline{C}\overline{D} + \overline{A}B\overline{D}$ c) $CD + A\overline{C}\overline{D} + \overline{A}B\overline{D}$ e) $CD + A\overline{C} + \overline{B}\overline{D}$ b) $C\overline{D} + \overline{A}B\overline{C}\overline{D}$ d) $C\overline{D} + A\overline{D} + \overline{A}B\overline{D}$ f) ništa od navedenoga
5	Neka je funkcija $f(A,B,C,D) = \sum m(3,4,5,9,14,15) + \sum d(0,7,13)$ . Kako glasi minimalni oblik te funkcije u zapisu sume produkata? a) $ABC + A\overline{C}D + \overline{A}B\overline{C}$ d) $ABC + A\overline{C}D + \overline{A}B\overline{C} + \overline{A}CD + BD$ b) $ABC + A\overline{C}D + \overline{A}B\overline{C} + \overline{A}CD$ e) $ABC + \overline{A}CD$ c) $A + B\overline{C}\overline{D}$ f) ništa od navedenog
6	Na raspolaganju je dekodler 3/8 s niskoaktivnim izlazima te jedan sklop NI. Označimo adresne ulaze dekodera s $a_2a_1a_0$ (gdje je $a_0$ ulaz najmanje težine) te njegove izlaze s $y_7 \dots y_0$ (gdje je $y_0$ izlaz najmanje težine). Ako je na adresne ulaze dekodera spojeno $a_2=A$ , $a_1=B$ te $a_0=C$ , koje je izlaze dekodera potrebno dovesti na ulaze sklopa NI kako bismo na njegovom izlazu ostvarili funkciju $f(A,B,C) = \overline{A} + BC$ ? a) $y_1, y_2, y_6, y_7$ c) $y_0, y_1, y_5$ e) $y_0, y_1, y_2, y_3, y_7$ b) $y_1, y_3, y_4, y_5$ d) $y_0, y_2, y_3, y_4, y_7$ f) ništa od navedenoga
7	Sučelje multipleksora 2/1 opisano je u nastavku jezikom VHDL. entity mux21 is port ( d0,d1,s: IN std_logic; y: OUT std_logic ); end mux21; Složeniji sklop čiji su ulazi $a, b$ i $c$ te izlaz $f$ strukturno je modeliran kako slijedi: c1: mux21 port map (A, B, t, f); c2: mux21 port map (B, C, C, t); gdje je $t$ interni signal. Odredite funkciju $f(A,B,C)$ kao produkt maksterma. a) $\prod M(0,2,3,5)$ c) $\prod M(0,1,5)$ e) $\prod M(1,2,3,5,7)$ b) $\prod M(1,3,6)$ d) $\prod M(0,6)$ f) ništa od navedenoga



18	<p>Na raspolaganju je 3-bitni registar s paralelnim ulazima (<math>d_2d_1d_0</math>) i paralelnim izlazima (<math>q_2q_1q_0</math>). Neka je <math>a_1a_0</math> dvobitni binarni broj koji očitavamo na izlazima <math>q_2q_1</math>. Neka je <math>C</math> upravljačka varijabla. Ako je <math>C=0</math>, na svaki padajući brid signala takta vrijednost broja <math>A</math> (čiji su bitovi <math>a_1a_0</math>) treba se povećati za 1 (modulo 4). Ako je <math>C=1</math>, na svaki padajući brid signala takta vrijednost broja <math>A</math> treba se umanjiti za 1 (modulo 4). Izlaz <math>q_0</math> treba uvijek poprimati vrijednost paritetnog bita za bitove od <math>A</math>, uz pretpostavku da se za izračun paritetnog bita koristi neparni paritet. Što je potrebno dovesti na podatkovni ulaz <math>d_1</math>?</p> <p>a) <math>\bar{q}_1</math>      b) <math>\bar{C} + q_2</math>      c) <math>\bar{C}q_0q_1</math>      d) <math>C + q_1</math>      e) <math>\bar{q}_2\bar{q}_1 + q_0</math>      f) ništa od navedenoga</p>
19	<p>Sinkroni digitalni sklop sastavljen je od dva T-bistabila: <math>B_0</math> i <math>B_1</math> čiji su ulazi <math>T_0</math> i <math>T_1</math> a izlazi <math>Q_0</math> i <math>Q_1</math>. Pri tome je spojeno: <math>T_0 = 1</math> i <math>T_1 = Q_0 \oplus Q_1</math>. Ako je za bistabile poznato <math>t_{db}=20\text{ns}</math>, <math>t_{setup}=15\text{ns}</math>, <math>t_{hold}=10\text{ns}</math> te ako je kašnjenje logičkog sklopa <math>t_{dls}=5\text{ns}</math>, koliko iznosi maksimalna frekvencija rada ovog sklopa?</p> <p>a) 66 MHz      b) 33 MHz      c) 20 MHz      d) 5 MHz      e) 25 MHz      f) ništa od navedenoga</p>
20	<p>Za sklop sličan onome iz prethodnog zadatka samo uz razliku <math>T_1 = Q_0 + Q_1</math> utvrdite koliko stanja ima njegov najkraći ciklus te ima li sklop siguran start.</p> <p>a) 3, nema      b) 2, nema      c) 3, ima      d) 2, ima      e) 1, nema      f) ništa od navedenoga</p>
21	<p>Asinkrono binarno brojilo treba brojati u ciklusu od 12 stanja. Brojilo je izvedeno bistabilima tipa T koji imaju asinkrone ulaze za postavljanje stanja i ti su ulazi za sve bistabile spojeni zajedno. Koje stanje treba dekodirati u svrhu prekidanja ciklusa? To je stanje u kojem je <math>q_3q_2q_1q_0=</math></p> <p>a) 0110      b) 1010      c) 1011      d) 0111      e) 1100      f) ništa od navedenoga</p>
22	<p>Organizacija memorije koja je nastala preslagivanjem više logičkih riječi u jednu fizičku zove se:</p> <p>a) 3D      b) EPROM      c) 2D      d) FAMOS      e) 2½D      f) ništa od navedenoga</p>
23	<p>Pretvornik sa sukcesivnom aproksimacijom ulazni napon od 1,4V pretvara 25 ns. Koliko će kod istog pretvornika trajati pretvorba ulaznog napona od 2,1V?</p> <p>a) 12,5 ns      b) 30 ns      c) 37,5 ns      d) 25 ns      e) 50 ns      f) ništa od navedenoga</p>
24	<p>Označimo s <math>U_{GS}</math> granicu istosmjerne smetnje a s <math>u_{gs}</math> granicu izmjenične smetnje. Što od sljedećega sigurno uvijek vrijedi?</p> <p>a) <math>u_{gs} \geq U_{GS}</math>      d) <math>2 \cdot \pi \cdot u_{gs} &lt; 4 \cdot U_{GS}</math>  b) <math>u_{gs} &gt; e^{U_{GS}}</math>      e) <math>u_{gs}/U_{GS} = 4\pi</math>  c) <math>u_{gs} \leq \pi \cdot U_{GS}</math>      f) ništa od navedenog</p>
25	<p>Na raspolaganju je CLB sklopa FPGA koji je temeljen na dvoulaznom LUT-u. Ulazi CLB-a su <math>a_1</math> i <math>a_0</math>. Zastavica <math>s</math> određuje hoće li se na izlaz CLB-a propustiti izlaz LUT-a (za <math>s=0</math>) ili izlaz D-bistabila (za <math>s=1</math>) kojim LUT upravlja. Ako se spoji <math>a_1=A</math> te <math>a_0=B</math>, što treba upisati u LUT a što u zastavicu <math>s</math> kako bi se na izlazu CLB-a dobila Booleova funkcija <math>A \oplus B</math>?</p> <p>a) 0110, <math>s=1</math>      d) 1001, <math>s=0</math>  b) 0110, <math>s=0</math>      e) 1001, <math>s=1</math>  c) 1010, <math>s=0</math>      f) ništa od navedenog</p>