VHDL Digitalna Logika

**Kombinacijski sklop** – za iste ulaze uvijek daje iste izlaze

**Sekvencijski sklop** – sprema u memoriju i u ovisnosti o memoriji i ulazima daje izlaz funkcije

Računalo – skevencijski skop

**VHDL** – (VHSIC)HDL

**HDL** – Hardware description language

**VHSIC** – Very high speed integrated circuit

Potreba za jezicima poput VHDLa je zbog rasta kompleksnosti novih dogitalnih sklopova

Zbog kašnjenja se pojavljuju hazardi

Kada pravimo sklopove zapravo radimo modele sklopova

Model je pojednostavljenje

Slika u bilježnici

a)klasični opis

b)ponašajni VHDL model

c)strukturni VHDL model

Model analiziram od funkcije prema ulazima

F ovisi o d i i2

A f=i2\*d

Onda i2=i1+C

Onda i1=a\*b

Iz toga f=(a\*b+c)\*d

U VHDLu + i \* imaju jednak prioritet. Ukoliko unesemo npr. A+B\*C dobit ćemo compiler error

Valjan izraz funkcije u VHDLu je f=((a\*b)+c)\*d – prioritet OBAVEZNO određujemo zagradama

DIKTIRANJE:

* Svaki se VHDL model sastoji od: deklaracije korištenih biblioteka i paketa, sučelja te arhitekture
* Sučelje opisuje ulaze i izlaze sklopa; Započinje ključnom riječi „ENTITY“, slijedi naziv sklopa, ključna riječ „IS PORT“ pa deklaracija portova
* Sve žice koje nisu dio sučelja predstavljaju INTERNE signale i definiraju se uporabom ključne riječi „SIGNAL“ pri deklaraciji arhitekture
* Arhitektura sklopa može biti definirana ponašajnim opisom ili strukturnim opisom
* Ponašajni opis za svaki izlaz definira program ili izraz kojim se opisuje kako se računa vrijednost tog izlaza, naprimjer – VHDL kod – „y<=(a nand b) nand c AFTER 10 ns;“
* <= se čita u „ „ stavi
* Strukturni opis definira kako treba povezati jednostavnije sklopove (i koje) kako bi se izračunao traženi izlaz
* Arhitektura započinje ključnom riječi „ARCHITECTURE“, slijedi naziv arhitekture, ključna riječ „OF“, naziv sklopa, ključna riječ „IS“ , deklaracije signala, pa blok „BEGIN-END“

Nekoliko naputaka o VHDLU:

* Nije osjetljiv na velika i mala slova
* Operatori AND i OR su istog prioriteta, pa treba koristiti zagrade
* Često korišteni operatori: „AND“, „OR“, „NOT“, „XOR“, „NAND“, „NOR“
* Komentari započinju sa - -

b) Ponašajni VHDL model sklopa iz bilježnice

library IEEE; \što koristimo

use IEEE.std\_logic\_1164.ALL; \kao #include u Cu

ENTITY sklop IS PORT( \

a: IN std\_logic; \žice tipa std\_logic

b,c,d: IN std\_logic \smije se deklaracija raditi tipom a,b,c,d ili svaki posebno

f: OUT std\_logic \Deklariramo izlaz f

);

END sklop; \Završava sučelje sklopa

ARCHITECTURE pon OF sklop IS \Deklaracija arhitekture „pon“ je ime arhitekture

BEGIN

F<=((a and b) or c) and d AFTER 10 ns;

END

Naziv „sklop“ koristimo u ponašajnom, „sklop2“ u strukturnom \proizvoljno samo na nebi bilo zabune u VHDLLabu

**Svaki primjerak sklopa mora imati jedinstveno ime**

c)Strukturni VHDL model

library IEEE;

use IEEE.std\_logic\_1164.ALL;

ENTITY sklop2 IS PORT(

a: IN std\_logic;

b,c,d: IN std\_logic

f: OUT std\_logic

);

END sklop;

ARCHITECTURE struct OF sklop2 IS

SIGNAL i1: std\_logic;

SIGNAL i2: std\_logic;

BEGIN C1: ENTITY work.sklopand PORT MAP(a,b,i1);

C2:ENTITY work.sklopor PORT MAP(a,b,i2);

C3:ENTITY work.sklopand PORT MAP(y=>f, x2=>d, x1=>i2);

END struct;

* Kod pozicijskog povezivanja signali se navode redosljedom kojim su deklarirani u sučelju korištene komponente
* Kod povezivanja putem imena redosljed nije bitan jer se navode izrazi oblika „**ime\_porta\_komponenta => naziv\_signala“**

Testbench je isto jedan strukturni model

O tipu std\_logic

* Std\_logic definira 9 vrijednosti za signale
* Ne pamtimo svih 9 vrijednosti, ali ćemo učiti prošireni skup 0,1,U
* U znači **„uninitialized“**

Tablica za **AND**

|  |  |  |  |
| --- | --- | --- | --- |
|  | 0 | 1 | U |
| U | 0 | 0 | 0 |
| 1 | 0 | 1 | U |
| U | 0 | U | U |

Tablica za **OR**

|  |  |  |  |
| --- | --- | --- | --- |
|  | 0 | 1 | U |
| 0 | **0** | **1** | **U** |
| 1 | **1** | **1** | **1** |
| U | **U** | **1** | **U** |

Tablica za **NOT**

|  |  |  |
| --- | --- | --- |
| 0 | 1 | U |
| 1 | 0 | U |

Primjer

Y<=A AND NOT A; == A\*NOTA

Domaća zadaća

2.1-2.4, 16.1-16.8 bez 16.5 - **Nije obavezna – preporuča se rješiti**