



**Министерство науки и высшего образования Российской Федерации**  
**Федеральное государственное бюджетное образовательное учреждение**  
**высшего образования**  
**Московский государственный технический университет**  
**имени Н.Э. Баумана**

Факультет: Информатика и системы управления  
Кафедра: Информационная безопасность

## **Аппаратные средства вычислительной техники**

### **Лабораторная работа №1**

Выполнил:  
Овсебян А. Н.  
Группа: ИУ8-63

Проверил:  
Рафиков А. Г.

**Цель работы** — изучение устройства МТ1804; изучение структуры, принципа действия и функций процессорного элемента КІ804ВСІ; программирование и выполнение линейных микропрограмм.

## ТЕОРЕТИЧЕСКАЯ ЧАСТЬ

Структурная схема процессора представлена на рис. 2. На схеме можно выделить четыре блока: внутренней памяти, арифметико-логический, регистра Q, управления. Блок внутренней памяти содержит: регистровое запоминающее устройство (РЗУ), имеющее шестнадцать 4-разрядных регистров общего назначения (РОН); сдвигатель данных (СДА), позволяющий записывать в РЗУ информацию без сдвига и со сдвигом вправо или влево на один разряд; два регистра  $P_2A$  и  $P_2B$  на выходе блока. Выбор регистров РЗУ как источников информации осуществляется по адресам на входах  $A$  и  $B$ . Информация из РОНов поступает на регистры  $P_2A$ ,  $P_2B$  по сигналу логической единицы (1) на тактовом входе  $T$ . При сигнале логического нуля (0) эти регистры находятся в режиме хранения. Запись информации в регистр РЗУ возможна только по адресу  $B$  и происходит при поступлении сигнала 0 на вход  $T$ .

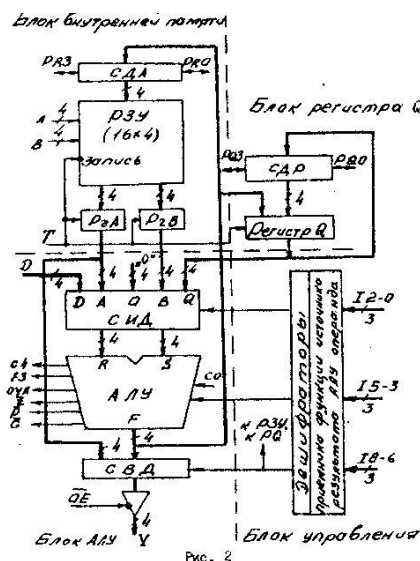


Рис. 1. Структурная схема процессора

Данные ( $F$ ) с выхода АЛУ загружаются в РОН без сдвига или со сдвигом влево или вправо в зависимости от кода управления на входах 18-6.

Арифметико-логический блок содержит арифметико-логическое устройство (АЛУ), выполняющее 8 операций над операндами  $R$  и  $S$  в зависимости от кода управления на входах 15-3. Арифметические операции в АЛУ выполняются с учётом значения сигнала входного переноса  $CO$  в дополнительном коде. На выходах АЛУ формируются 4 флага (признака) результата: перенос из старшего разряда  $C4$ , переполнение  $OVR=C4 \oplus C3$ , знак (или содержимое старшего разряда АЛУ)  $F3$  и признак нулевого результата  $z=1$ , если  $F=0$ .

Источниками операндов  $R$  и  $S$  могут быть регистры РЗУ, внешняя шина данных  $D$ , выделенный регистр  $Q$  и шина "0". Выбор источников по входам  $R$  и  $S$  проводится с помощью селектора источника данных (СИД), управляемого кодом 12-0. Результат операции ( $F$ ) из АЛУ поступает на селектор выходных данных (СВД), на сдвигатель СДА и регистр  $Q$ . Приемник результата (адресуемый по адресу  $B$  регистр общего назначения в РЗУ, регистр  $Q$  или выходная шина  $Y$ ) зависит от кода управления на входах 18-6 (табл. 1).

В устройстве МТ1801 применяются 32-разрядные микрокоманды. Формат микрокоманды показан в табл. 2.

I5-3	АЛУ(F)
000	$R+S+CO$
001	$S-R-1+CO$
010	$R-S-1+CO$
011	$R \vee S$
100	$R \wedge S$
101	$R \wedge S$
110	$R \ S$
111	$R \ S$

Таблица 1.

I2-0	R	S
000	РОН(A)	PQ
001	РОН(A)	РОН(B)
010	0	PQ
011	0	РОН(B)
100	0	РОН(A)
101	D	РОН(A)
110	D	PQ
111	D	0

Таблица 2.

I8-6	Тип загрузки	Выход Y
000	F->PQ	F
001	Нет загрузки	F
010	F->РОН(В)	A
011	F->РОН(В)	F
100	F/2->РОН(В), Q/2->PQ	F
101	F/2->РОН(В)	F
110	2F->РОН(В), 2Q->PQ	F
111	2F->РОН(В)	F

Таблица 5.

Таблица 6.

Номер тетрады	Номер бита	Назначение бита	Функция
0	0	<i>D0</i>	Данные для D-шины
	1	<i>D1</i>	
	2	<i>D2</i>	
	3	<i>D3</i>	
1	4	<i>B0</i>	Адрес РОН на входах В
	5	<i>B1</i>	
	6	<i>B2</i>	
	7	<i>B3</i>	
2	8	<i>A0</i>	Адрес РОН на входах А
	9	<i>A1</i>	
	10	<i>A2</i>	
	11	<i>A3</i>	
3	12	<i>I3</i>	Функция АЛУ
	13	<i>I4</i>	
	14	<i>I5</i>	
	15	<i>CO</i>	Значение входного переноса в АЛУ
4	16	<i>I0</i>	Указатель операндов в АЛУ
	17	<i>I1</i>	
	18	<i>I2</i>	
	19	<i>M0</i>	Нулевой бит управления мультиплексорами сдвига
5	20	<i>I6</i>	Определение приемника результата операции
	21	<i>I7</i>	
	22	<i>I8</i>	
	23	<i>M1</i>	Первый бит управления мультиплексорами сдвига
6	24	<i>CA0</i>	Управление выборкой

7	25	CA1	адреса следующей микрокоманды
	26	CA2	
	27	CA3	
	28	AR0	
7	29	AR1	Адрес перехода
	30	AR2	
	31	AR3	

## ПРАКТИЧЕСКАЯ ЧАСТЬ

3. Загрузить в память микропрограмму из табл. 7. Выполнить заданную последовательность МК, адресуя их с переключателей адреса в режиме ЗАГРУЗКА.

Таблица с командами для выполнения операций:

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	1	0	
	AR-CA	M1.I8-6	M0.I2-0	C0.I5-3	A	B	D	
0	0000	0010	0111	0011	0000	0000	0101	<b>Загрузка POH 0</b> $POH(B)=F=D\{RvS\}0$
1	0000	0001	0111	0011	0000	0000	0000	<b>Чтение POH 0</b> $Y=F=D\{RvS\}0$
2	0000	0000	0111	0011	0000	0000	1010	<b>Загрузка PQ</b> $PQ=F=D\{RvS\}0$
3	0000	0001	0011	0011	0000	0000	0000	<b>Чтение PQ</b> $Y=F=D\{RvS\}0$
4	0000	0000	0100	0100	0000	0000	0000	<b>Установка 0 в PQ</b> $PQ=F=D\{R*S\}0$
5	0000	0101	0111	0011	0000	0000	0000	<b>Сдвиг POH 0 вправо</b> $POH(B)=F/2=D\{RvS\}0$
6	0000	0111	0111	0011	0000	0000	0000	<b>Сдвиг POH 0 влево</b> $POH(B)=F*2=D\{RvS\}0$
7	0000	1110	0111	0011	0000	0000	0000	<b>Двойной сдвиг влево</b> $POH(B)=F*2, PQ=PQ*2=D\{RvS\}0$
8	0000	1100	0111	0011	0000	0000	0000	<b>Двойной сдвиг вправо</b> $POH(B)=F/2, PQ=PQ/2=D\{RvS\}0$
9	0000	1100	0111	0011	0000	0000	0000	<b>POH 0+1→POH 0</b> $POH(B)=F=D\{R+S+CO\}0$
10	0000	0010	0111	0011	0000	0000	0000	<b>POH 0-1→POH 0</b> $POH(B)=F=D\{S-R-1+CO\}0$
11	0000	0101	0111	0011	0000	0000	0000	<b>Сложение со сдвигом вправо</b> $POH(B)=F=D\{RvS\}0$
12	0000	0111	0111	0011	0000	0000	0000	<b>Сложение со сдвигом влево</b> $POH(B)=F=D\{RvS\}0$

Пуск по адресу	Вых. Y	Флаги			
		C4	OVR	F3	Z
0	0101	1	0	0	0
1	0101	1	1	0	0
2	0101	1	1	0	0
3	0101	1	1	0	0
4	0101	1	1	0	0
5	0000	0	0	0	1
6	0101	1	1	0	0
7	0101	1	1	0	1
8	0101	1	1	0	1
9	0101	0	0	0	0
10	0101	0	0	0	0
11	0101	0	0	1	0
12	0101	0	0	0	0
13	0101	0	0	0	0
14	0000	0	0	0	1
15	0000	0	0	0	1

5. Разработать и выполнить микропрограммы следующих операций:

а) очистка регистра  $POH_i$ :

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	1	0	
	AR-CA	M1.I8-6	M0.I2-0	C0.I5-3	A	B	D	
0	0000	0011	0111	0011	0000	0000	0101	<b>Загрузка <math>POH_0</math></b> $POH(B)=F=D\{RvS\}0$
1	0000	0011	0011	0100	0000	0000	0000	<b>Очистка <math>POH_0</math></b> $POH(B)=F=0\{R*S\}POH(B)$

Пуск по адресу	Вых. Y	Флаги			
		C4	OVR	F3	Z
0	0101	1	1	0	0
1	0000	0	0	0	1

б) обмен данными регистров  $POH_i$  и  $POH_j(PQ)$ :

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	1	0	
	AR-CA	M1.I8-6	M0.I2-0	C0.I5-3	A	B	D	
0	0000	0011	0111	0011	0000	0000	0101	<b>Загрузка <math>POH_0</math></b> $POH(B)=F=D\{RvS\}0$
1	0000	0011	0111	0011	0000	0001	1010	<b>Загрузка <math>POH_1</math></b> $POH(B)=F=D\{RvS\}0$
2	0000	0000	0011	0011	0000	0000	0000	<b>Загрузка PQ</b> $PQ=F=0\{RvS\}POH(B)$
3	0000	0011	0100	0011	0001	0000	0000	<b>Загрузка в <math>POH_0</math> из <math>POH_1</math></b> $POH(B)=F=0\{RvS\}POH(A)$
4	0000	0011	0010	0011	0000	0001	0000	<b>Загрузка в <math>POH_1</math> из PQ</b> $POH(B)=F=0\{RvS\}PQ$

Пуск по адресу	Вых. Y	Флаги			
		C4	OVR	F3	Z
0	0101	1	1	0	0
1	1010	1	1	1	0
2	0101	1	1	0	0
3	1010	1	1	1	0
4	0101	1	1	0	0

**в) сложение/вычитание в дополнительном коде:**

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	1	0	
	AR-CA	M1.I8-6	M0.I2-0	C0.I5-3	A	B	D	
0	0000	0000	0111	0011	0000	0000	0111	<b>Загрузка PQ</b> $PQ = F = D\{RvS\}0$
1	0000	0011	0111	0011	0000	0000	1010	<b>Загрузка POH 0</b> $POH(B) = F = D\{RvS\}0$
2	0000	0000	0011	0011	0000	0001	0101	<b>Загрузка POH 1</b> $POH(B) = F = D\{RvS\}0$
3	0000	0011	0100	0111	0000	0000	0000	<b>Инверсия POH 0</b> $POH(B) = F = D\{!R+S\}POH(A)$
4	0000	0011	0100	0111	0001	0001	0000	<b>Инверсия POH 1</b> $POH(B) = F = D\{!R+S\}POH(A)$
5	0000	0011	0101	0000	0000	0000	0001	<b>POH 0 + 1</b> $POH(B) = F = D\{R + S + C0\}POH(B)$
6	0000	0011	0101	0000	0001	0001	0001	<b>POH 1 + 1</b> $POH(B) = F = D\{R + S + C0\}POH(B)$
7	0000	0000	0000	0000	0000	0000	0000	<b>POH 0 + PQ</b> $PQ = F = POH(B)\{R + S + C0\}PQ$
8	0000	0000	0000	1001	0001	0000	0000	<b>PQ – POH 1</b> $PQ = F = POH(B)\{S - R - 1 + C0\}PQ$

Пуск по адресу	Вых. Y	Флаги			
		C4	OVR	F3	Z
0	0111	1	1	0	0
1	1010	1	1	1	0
2	0101	1	1	0	0
3	0101	1	1	0	0
4	1010	0	1	0	0
5	0110	0	0	0	0
6	1011	0	1	1	0

7	1101	0	1	1	0
8	0010	1	0	0	0

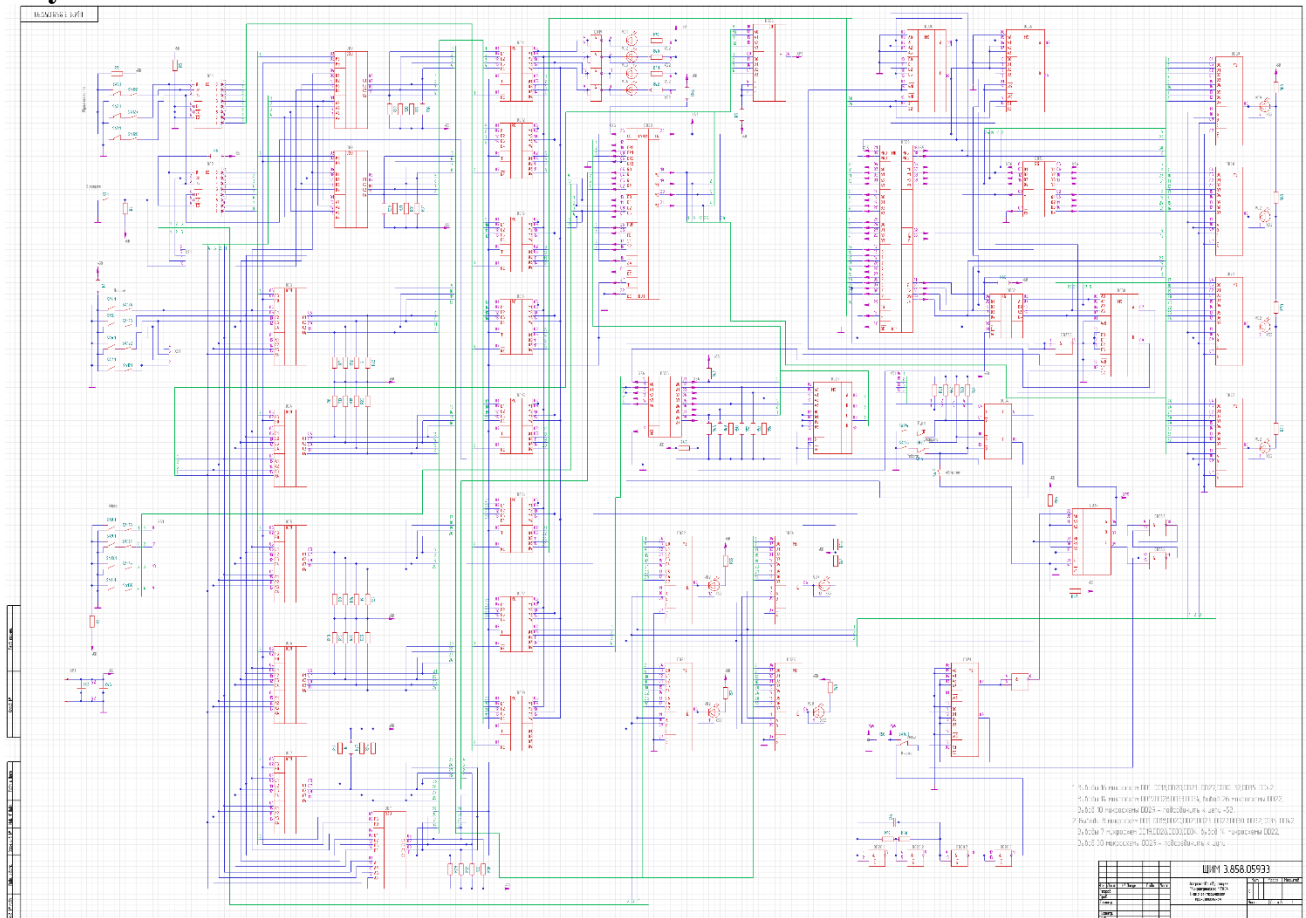
**г) изменение знака числа:**

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	1	0	
	AR-CA	M1.I8-6	M0.I2-0	C0.I5-3	A	B	D	
0	0000	0011	0111	0011	0000	0000	0100	<b>Загрузка РОН 0</b> $РОН(B)=F=D\{RvS\}0$
1	0000	0011	0100	1010	0000	0001	0000	<b>Изменение знака РОН 0</b> $РОН(B)=F=0\{R-S-1+C0\}РОН(A)$

Пуск по адресу	Вых. Y	Флаги			
		C4	OVR	F3	Z
0	0100	1	1	0	0
1	1100	0	0	1	0



## Изучение схемы МТ1804

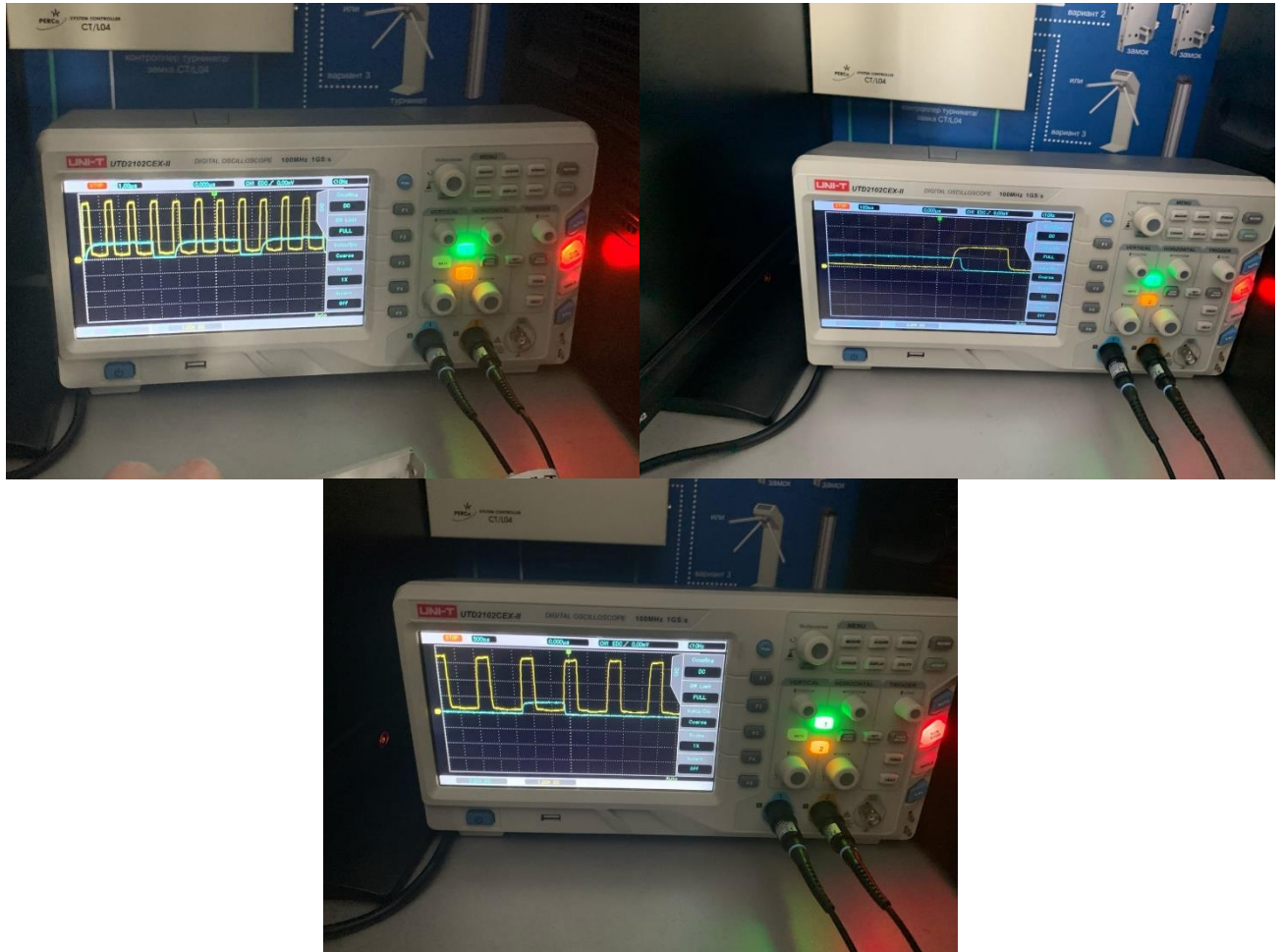


Для расчета быстродействия схемы необходимо рассчитать максимальное время задержки по всем возможным контурам, соединяющим тактируемые элементы схемы:

1. АЛУ  $\rightarrow$  DD30  $\rightarrow$  АЛУ =  $95 + 41 + 69 = 205$  мкс;
2. DD32  $\rightarrow$  DD38  $\rightarrow$  DD23  $\rightarrow$  DD27  $\rightarrow$  DD22 =  $21 + 41 + 65 + 41 + 50 = 212$  мкс;
3. DD22  $\rightarrow$  DD3  $\rightarrow$  DD11 =  $102 + 105 + 21 = 228$  мкс;
4. DD11  $\rightarrow$  DD32.2  $\rightarrow$  DD38  $\rightarrow$  DD23  $\rightarrow$  DD27  $\rightarrow$  DD22 =  $21 + 22 + 41 + 65 + 41 + 50 = 240$  мкс.
5. DD22  $\rightarrow$  DD8  $\rightarrow$  DD22 =  $102 + 105 + 50 = 257$  мкс;
6. DD11  $\rightarrow$  DD30  $\rightarrow$  АЛУ  $\rightarrow$  DD35 =  $27 + 41 + 60 + 41 = 172$  мкс

Время задержки для 5-го контура наибольшее, поэтому быстродействие схемы определяется им.

## Измерение тактовой частоты с помощью осциллографа



Тактовая частота работы устройства МТ1804 составляет примерно 871,3кГц

### Вывод

В данной лабораторной работе был изучен принцип действия процессорного элемента К1804ВС1; были разработаны и выполнены микропрограммы операций, указанных в задании.