

МГТУ им.Н.Э.Баумана

Хартов В.Я.

Микропроцессоры с микропрограммным управлением.

Методические указания к лабораторным работам
по курсу "Теория и проектирование ЭВМ"

Электронная обработка – В. Кузмичев

Москва 1999

Данный практикум предназначен для изучения секционных процессорных элементов, блоков микропрограммного управления, микропрограммирования операций в микропроцессорных системах с разрядно – модульной архитектурой.

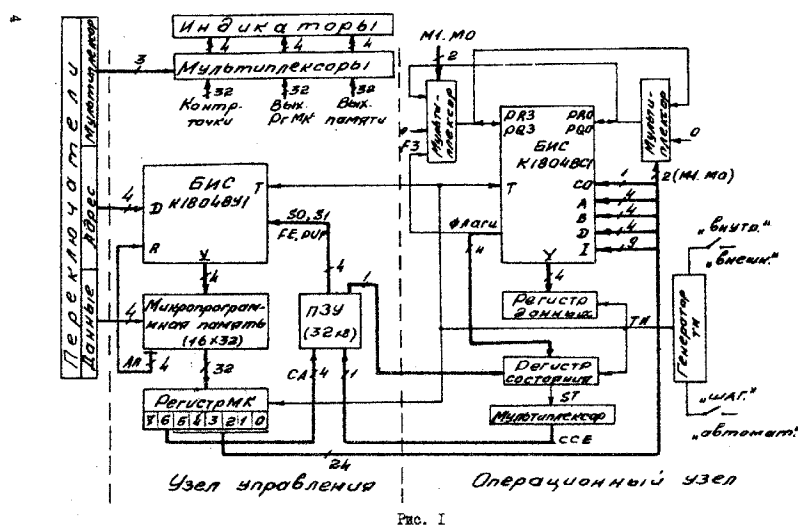
КРАТКОЕ ОПИСАНИЕ УСТРОЙСТВА «МИКРОТРЕНАЖЕР МТ1804» (МТ1804)

Назначение и структура

Устройство МТ1804 предназначено для изучения архитектуры, основ микропрограммирования и применения МПК серии К1804. Для работы устройства необходим источник питания постоянного тока напряжением $+5\text{ В} \pm 5\%$ и максимальным током нагрузки не менее 2,5 А.

Структурная схема МТ1804 приведена на рис.1. Функционально устройство делится на узел управления и операционный узел. Узел управления содержит: БИС управления адресом микрокоманды К1804ВУ1, микропрограммную память объемом шестнадцать 32-разрядных слов на микросхемах К155РУ2, 32-разрядный регистр микрокоманд (МК) на микросхемах К1804ИР1, ПЗУ для управления выборкой следующего адреса объемом тридцать два байта на микросхеме К155РЕ3, внутренний тактовый генератор с частотой 1 МГц. Операционный узел содержит: БИС центрального процессора К1804ВС1, мультиплексоры сдвига, регистр выходных данных, регистр состояния и мультиплексор флагов состояния.

Регистр МК, данных и регистр состояния имеют общую линию синхронизации от тактовых импульсов (ТИ). Запись информации в эти регистры происходит по положительному фронту (0/1) ТИ, т.е. в регистры записывается информация, представленная на входах этих регистров к моменту поступления ТИ. По этой причине установка признаков (флагов) в регистре состояния для последующего использования происходит на такт позже по сравнению с моментом их появления на выходах процессора. Выходные данные процессора Y записываются в выходной регистр данных также с задержкой на один такт.



Взаимодействие оператора с устройством осуществляется через органы управления и индикации. Устройство имеет переключатели режимов работы **ЗАГРУЗКА - РАБОТА**, **ШАГ - АВТОМАТ**, генератора тактовых импульсов **ВНУТРЕННИЙ - ВНЕШНИЙ**; переключатели для задания адреса ячейки микропрограммной памяти (**АДРЕС**), записываемого кода данных (**ДАННЫЕ**), для управления мультиплексорами (**МУЛЬТИПЛЕКСОР**); кнопки **ПУСК** и **ЗАГРУЗКА**.

Для контроля информации в МТ1804 установлено 12 светодиодных индикаторов (3 секции по 4 индикатора в каждой): правая секция - для индикации содержимого адресуемой ячейки микропрограммной памяти, средняя - регистра МК, левая - для индикации данных на основных шинах устройства. Подключение выходов памяти, регистра МК и контрольных точек (шин) к светодиодам осуществляется потетрадно через мультиплексоры. В зависимости от номера, устанавливаемого на переключателях **МУЛЬТИПЛЕКСОР**, к индикаторам подключается определенная группа разрядов памяти, регистра МК (табл. I) или контрольных точек (табл. 2).

Таблица 1

Номер тетрады	7	6	5	4	3	2	1	0
Номера разрядов	31-28	27-24	23-20	19-16	15-12	11-8	7-4	3-0

Таблица 2

Код	Индикаторы данных				Функция
	3	2	1	0	
000	Y3	Y2	Y1	Y0	Выходы K1804BY1
001	Y3	Y2	Y1	Y0	Выходы K1804BCI
010	C4	OVR	F3	Z	Флаги K1804BCI
011	C4*	CCE	/P	/G	*)
100	ST3	ST2	ST1	ST0	Выходы регистра состояния
101	PQ3	PQ0	PR3	PR0	Входы/выходы сдвига K1804BCI
110	Y3'	Y2'	Y1'	Y0'	Выходы регистра выходных данных
III	Y3	Y2	Y1	Y0	То же

C4 – выходной перенос счетчика МК K1804BY1;

CCE – выход мультиплексора флагов состояния;

/P, /G – инверсные сигналы генерации ускоренного переноса K1804BCI.

2. Основные режимы работы МТ1804

Устройство МТ1804 может работать в режиме **ЗАГРУЗКА** для программирования микропрограммной памяти и в режиме **РАБОТА** для выполнения микропрограммы.

2.1 Для выполнения режима **ЗАГРУЗКА** необходимо:

- переключатель режима установить в положение **ЗАГРУЗКА**,
- переключателями **АДРЕС** набрать код адреса ячейки,
- переключателями **МУЛЬТИПЛЕКСОР** установить двоичный номер тетрады,
- переключателями **ДАнные** набрать код, записываемый в указанную тетраду ячейки,
- нажав кнопку **ЗАГРУЗКА**, произвести запись,
- для загрузки 32-разрядной ячейки памяти действия в)-д) повторить 8 раз.

Контроль записываемой информации осуществляется по показаниям светодиодов памяти.

2.2. Для запуска программы на микропрограммном уровне необходимо произвести начальную установку регистра МК (инициализацию), т.е. ввести в регистр **МК** микрокоманду со стартовым адресом программы. Для этого после загрузки всей программы на переключателях **АДРЕС** нужно установить значение стартового адреса и нажать кнопку **ПУСК**. При этом из памяти по указанному адресу будет выбрана микрокоманда, помещаемая в регистр **МК**, в чем можно убедиться с помощью индикаторов регистра **МК**.

2.3. Для дальнейшего выполнения программы переключатель режима следует перевести в положение **РАБОТА**. В шаговом режиме при однократном нажатии кнопки **ПУСК** выполняется одна микрокоманда, в автоматическом режиме - вся программа.

Работа № I. ИССЛЕДОВАНИЕ ФУНКЦИЙ ПРОЦЕССОРА

Цель работы - изучение устройства МТ1804; изучение структуры, принципа действия и функций процессорного элемента К1804ВС1; программирование и выполнение линейных микропрограмм.

Теоретическая часть

Функционирование процессора рассмотрим по структурной схеме (рис. 2). На схеме можно выделить четыре блока: внутренней памяти, арифметико - логический, регистра Q, управления. Блок внутренней памяти содержит: регистровое запоминающее устройство (РЗУ), имеющее шестнадцать 4-разрядных регистров общего назначения (РОН); сдвигатель данных (СДА), позволяющий записывать в РЗУ информацию без сдвига и со сдвигом вправо или влево на один разряд; два регистра P_2A и P_2B на выходе блока. Выбор регистров РЗУ как источников информации осуществляется по адресам на входах A и B . Информация из РОНов поступает на регистры P_2A , P_2B по сигналу логической единицы (1) на тактовом входе T . При сигнале логического нуля (0) эти регистры находятся в режиме хранения. Запись информации в регистр РЗУ возможна только по адресу B и происходит при поступлении сигнала 0 на вход T .

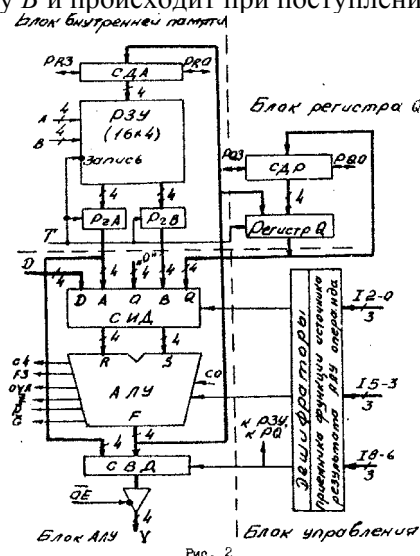


Рис. 2

Данные (F) с выхода АЛУ загружаются в РОН без сдвига или со сдвигом влево или вправо по схеме (рис. 3) в зависимости от кода управления на входах $I8-6$.

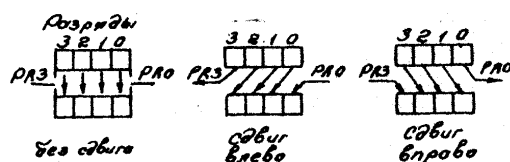


Рис. 3

Арифметико-логический блок содержит арифметико-логическое устройство (АЛУ), выполняющее 8 операций над операндами R и S в зависимости от кода управления на входах I5-3 (табл. 3). Арифметические операции в АЛУ выполняются с учетом значения сигнала входного переноса CO в дополнительном коде. На выходах АЛУ формируются 4 флага (признака) результата: перенос из старшего разряда $C4$, переполнение $OVR=C4 \oplus C3$, знак (или содержимое старшего разряда АЛУ) $F3$ и признак нулевого результата $z=1$, если $F=0$. При выполнении логических операций $C4$ и OVR вычисляются иначе /см. [1]/. Кроме того, формируются сигналы генерации \bar{G} и распространения \bar{P} переноса из АЛУ, необходимые для организации ускоренного переноса в многоразрядной схеме, построенной из нескольких секций процессора.

Таблица 3

I5-3	Функция АЛУ (F)
000	$R+S+CO$
001	$S-R-I+CO$
010	$R-S-I+CO$
011	$R \vee S$
100	$R \cdot S$
101	$\bar{R} \cdot S$
110	$R \oplus S$
111	$\bar{R} \oplus \bar{S}$

Источниками операндов R и S могут быть регистры РЗУ, внешняя шина данных D , выделенный регистр Q и шина "0". Выбор источников по входам R и S проводится с помощью селектора источника данных (СИД), управляемого кодом I2-0 (табл. 4). Результат операции (F) из АЛУ поступает на селектор выходных данных (СВД), на сдвигатель СДА и регистр Q . Приемник результата (адресуемый по адресу B регистр общего назначения в РЗУ, регистр Q или выходная шина Y) зависит от кода управления на входах I8-6 (табл. 5).

Таблица 4

I2-0	Источники операндов	
	R	S
000	$POH(A)$	PQ
001	$POH(A)$	$POH(B)$
010	0	PO
011	0	$POH(R)$
100	0	$POH(A)$
101	D	$POH(A)$
110	D	PO
111	D	0

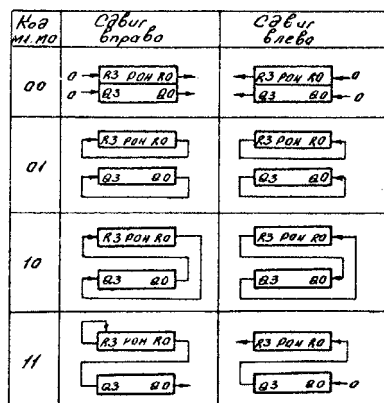
Таблица 5

I8-6	Тип загрузки	Выход Y
000	$F \rightarrow PO$	F
001	Нет загрузки	F
010	$F \rightarrow POH(R)$	A
011	$F \rightarrow POH(R)$	F
100	$F/2 \rightarrow POH(R)$	F
101	$F/2 \rightarrow POH(R)$	F
110	$2F \rightarrow POH(B)$ $2O \rightarrow PO$	F
111	$2F \rightarrow POH(B)$	F'

Раздельное управление операциями в АЛУ и приемником результата позволяет реализовать в одной микрокоманде комбинированные операции: сложения-вычитания со сдвигом влево или вправо, логические операции со сдвигом влево или вправо и др. Для организации логического, циклического или арифметического сдвигов влево или вправо при одинарной или двойной длине операндов (рис. 4) необходимо управлять входами/выходами PR0, PR3, PQ0, PQ3 процессора. Это осуществляется путем соответствующей коммутации входов/выходов и линий сигналов логического 0 и F3. Для этой цели в схеме (см. рис. 1) используются мультиплексоры, установленные в цепи сдвигов. Управление мультиплексорами осуществляется 2-разрядным кодом (M1, M0) микрокоманды, определяющим тип сдвига, и кодом I8-6, определяющим направление сдвига.

Блок регистра Q состоит из Q - регистра (PQ) и сдвигателя регистра (СДР), который осуществляет сдвиг содержимого PQ вправо или влево на один разряд.

Блок управления вырабатывает управляющие сигналы на остальные блоки процессора в зависимости от кода I8-0 на входах.



00 - логический сдвиг, 01 - циклический сдвиг,
10 - циклический сдвиг двойной длины,
11 - арифметический сдвиг двойной длины

Рис. 4

В устройстве МТ1801 применяются 32-разрядные микрокоманды. Формат микрокоманды показан в табл. 6. В табл. 7 приведены примеры программирования некоторых операций процессора К1804ВС1. Незаполненные поля в микрокомандах обозначают несуществующее значение их для данной операции. XXXX - исходные данные на шине D процессора, устанавливаемые через тетраду 0 регистра МК.

Порядок прохождения микропрограммы в устройстве рассмотрим на примере выполнения последовательности микрокоманд МК0, МК5, МК5, размещенных в памяти по адресам 0, 5 (табл. 7). В табл. 8 представлен процесс обработки микрокоманд, учитывающий действия оператора и свойства процессора. В таблице использованы следующие обозначения: значения тактового импульса ТИ, принимаемые в течение одного такта работы (0/1 - переход из 0 в 1, 1 - уровень логической единицы, 0 - уровень логического нуля); \rightarrow - операция пересылки; (РОНО) - содержимое регистра общего назначения. В табл. 9 приведены наблюдаемые состояния шин после выполнения каждой микрокоманды.

Таблица 6

Номер тетрады	Номер бита	Назначение бита	Функция
0	0	<i>D0</i>	Данные для D-шины
	1	<i>D1</i>	
	2	<i>D2</i>	
	3	<i>D3</i>	
1	4	<i>B0</i>	Адрес РОН на входах В
	5	<i>B1</i>	
	6	<i>B2</i>	
	7	<i>B3</i>	
2	8	<i>A0</i>	Адрес РОН на входах А
	9	<i>A1</i>	
	10	<i>A2</i>	
	11	<i>A3</i>	
3	12	<i>I3</i>	Функция АЛУ
	13	<i>I4</i>	
	14	<i>I5</i>	
	15	<i>CO</i>	Значение входного переноса в АЛУ
4	16	<i>I0</i>	Указатель операндов в АЛУ
	17	<i>I1</i>	
	18	<i>I2</i>	
	19	<i>M0</i>	Нулевой бит управления мультиплексорами сдвига
5	20	<i>I6</i>	Определение приемника результата операции
	21	<i>I7</i>	
	22	<i>I8</i>	
	23	<i>M1</i>	Первый бит управления мультиплексорами сдвига
6	24	<i>CA0</i>	Управление выборкой адреса следующей микрокоманды
	25	<i>CA1</i>	
	26	<i>CA2</i>	
	27	<i>CA3</i>	
7	28	<i>AR0</i>	Адрес перехода
	29	<i>AR1</i>	
	30	<i>AR2</i>	
	31	<i>AR3</i>	

Таблица 7

Адрес памяти	Номер тетрады							Операции
	7-6	5	4	3	2	I	0	
	AR-CA	M1.I8-6	M0.I2-0	CO.I5-3	A	B	D	
0		011	111	011		0000	XXXX	Загрузка $POH\ 0$
1		001	011	011		0000		Чтение $POH\ 0$
2		???	???	???				Загрузка PQ
3		???	???	???				Чтение PQ
4		???	???	???				Установка 0 в PQ
5		0 101	0 011	011		0000		Сдвиг $POH\ 0$ вправо
6		? ???	? ???	???		????		Сдвиг $POH\ 0$ влево
7		1 110	0 011	011		0000		Двойной сдвиг влево
8		? ???	? ???	???		????		Двойной сдвиг вправо
9		011	011	1 000		0000		$POH\ 0+1 \rightarrow POH\ 0$
10		???	???	? ???		????		$POH\ 0-1 \rightarrow POH\ 0$
11		0 101	0 011	1 000		0000		Сложение со сдвигом вправо
12		? ???	? ???	? ???		????		Сложение со сдвигом влево

Таблица 8

Пуск по адресу	ТИ	Выполняемая операция
АО	0/1 1 0	$MK0 \rightarrow P_2MK$ (занесение $MK0$ в регистр MK) $F = D \rightarrow Y$ (на выходе МП значение D) $F = D \rightarrow POH\ 0$ (загрузка D в $POH\ 0$)
A5	0/1 1 0	$MK5 \rightarrow P_2MK$ $F = (POH\ 0) \rightarrow Y$ $F/2 = D/2 \rightarrow POH\ 0$
A5	0/1 1 0	$MK5 \rightarrow P_2MK$ $F = (POH\ 0) \rightarrow Y$ $F/2 = D/4 \rightarrow POH\ 0$

Таблица 9

Пуск по адресу	Вых. Y K1804BCI	Флаги	Вых. P_2 данных	Вых. P_2 сост.
		$C4\ OVR\ F3\ Z$		
A0	0110	?? 00	XXXX	-
A5	0110	?? 00	0110	-
A5	0011	?? 00	0110	-
A5	0001	?? 00	0011	-

Задание для самостоятельной подготовки

1. Ознакомьтесь с описанием и основными режимами работы устройства МТ1804, способами контроля информации в МТ1804. Изучите структуру микропроцессора K1804BC1 и выполняемые им функции.
2. Запрограммируйте неопределенные поля микрокоманд в табл.7 для выполнения всех указанных

операций. Подготовьте в форме табл.8,9 описание заданной преподавателем последовательности операций.

3. Составьте микропрограммы для решения заданий п. 5 (см. порядок выполнения работы).

Порядок выполнения работы

1. Изучить конструкцию устройства. Найти основные блоки узла управления и операционного узла.

2. Подключить к клеммам *XPI* источник питания напряжением +5 В и нагрузочной способностью не менее 2,5 А. Установить переключатель генератора тактовых импульсов в положение **ВНУТРЕННИЙ**, переключатели режима в положение **ЗАГРУЗКА** и **ШАГ**.

Внимание! При выключении источника питания содержимое микропрограммной памяти не сохраняется.

3. Загрузить в память микропрограмму из табл. 7. Выполнить заданную последовательность МК, адресуя их с переключателей адреса в режиме **ЗАГРУЗКА**. После выполнения каждой МК наблюдать на индикаторах состояния выходов *Y* и флаги процессора, выходов регистров данных и состояния. Результаты записать в виде табл. 9, сравнивая их с ожидаемыми. Объяснить полученные результаты.

4. Проверить при многократном исполнении действие остальных микрокоманд из табл. 7, предварительно очистив регистр *Q*.

5. Разработать и выполнить микропрограммы следующих операций:

а) очистка регистра *POH_i*;

б) обмен данными регистров *POH_i* и *POH_j(PQ)*;

в) алгебраическое сложение/вычитание в дополнительном коде. Изменяя операнды, получить наибольшее количество возможных комбинаций флагов *Z*, *C4*, *OVR*, *F3*. Запротоколировать результаты наблюдений;

г) изменение знака числа;

д) алгебраическое сложение/вычитание чисел в обратном коде;

Содержание отчета

В отчет должны входить: структурная схема и таблицы функций управления процессорного элемента; описание выполнения заданной последовательности микрокоманд; микропрограммы и результаты наблюдений в виде таблиц.

Работа № 2. БЛОК МИКРОПРОГРАММНОГО УПРАВЛЕНИЯ (БМУ). ПЕРЕХОДЫ В МИКРОПРОГРАММАХ С ИСПОЛЬЗОВАНИЕМ СТЕКА

Цель работы - изучение структуры и функций БМУ K1804BY1, способа управления узлами БМУ с помощью микрокоманды; исследование функций перехода с использованием стека.

Теоретическая часть

Управление выборкой следующей микрокоманды из микропрограммной памяти осуществляется с помощью блока микропрограммного управления, который на схеме (см. рис. 1) представлен узлами:

БИС управления адресом микрокоманды K1804BY1, микропрограммная память, регистр микрокоманды, ПЗУ для управления выборкой следующего адреса. В составе микрокоманды, выбираемой из памяти на регистр МК, имеются два поля *AR* (тетрада 7) и *CA* (тетрада 6), используемые для управления БИС K1804BY1. 4-разрядный код функции перехода *CA* и сигнал с выхода мультиплексора флагов состояния поступают на адресные входы ПЗУ. На выходах ПЗУ вырабатываются сигналы управления БИС K1804BY1, необходимые для реализации заданной функции перехода. Код адреса перехода *AR* из памяти поступает непосредственно на *R* -входы БИС K1804BY1. Чтобы уяснить значения сигналов на выходах ПЗУ, необходимых для управления БИС K1804BY1, обратимся к структурной схеме БИС (рис. 5), Схема содержит: регистр адреса (*P2A*), на входы которого *R* поступает адрес с выходов памяти; счетчик микрокоманд (СМК), состоящий из схемы приращения - инкрементатора - и регистра (*P2* СМК); стек, состоящий из 4 регистров накопителя, указателя стека и схема записи/считывания; мультиплексор, с помощью которого выбирается источник адреса следующей микрокоманды. Источником адреса могут быть регистр адреса, счетчик микрокоманд, стек или *Q* -шина адреса, подключенная в устройстве МТ1804 к переключателям адреса (см. рис. 1). Выбор источника адреса осуществляется в зависимости от значений управляющих сигналов на входах мультиплексора *SO*, *SI* (табл. 10). Выходы мультиплексора соединены с

УС до/после операции PUSH	0/1	1/2	2/3	3/0
УС до/после операции POP	0/3	1/0	2/1	3/2

Здесь 0, 1, 2, 3 - номера ячеек накопителя стека. При сигнале $\overline{FE} = 1$ изменения содержимого УС не происходит, считывание информации осуществляется из верхней ячейки стека.

Основное назначение стека - сохранение адреса основной программы при переходе к подпрограмме. Автоматическое запоминание и восстановление адреса основной программы происходит благодаря программированию в ПЗУ операций **PUSH** и **POP** соответственно при переходе и возврате из подпрограммы, а также программированию сигналов на управляющих входах $S0, S1$. В табл. 12 приведены коды, программируемые в ПЗУ в зависимости от функций перехода. Кроме кодов управления, подаваемых на входы БИС К1804ВУ1, на выходе ПЗУ вырабатывается бит управления регистром состояния (флагов), запрещающий запись флагов в регистр при значении 1.

Автоматическое сохранение и восстановление адреса при обращении и выхода из подпрограммы позволяют сделать подпрограммы вложенными, т.е. осуществить вызов одной подпрограммы из другой. Уровень вложенности микропрограмм определяется размером стека (для БИС К1804ВУ1 не превышает 4). Функция "условный переход к подпрограмме" (в табл. 12 код $CA = 0100$) позволяет перейти к подпрограмме по значению разряда Z регистра состояния (по $F \neq 0$).

В устройстве МТ1804 стек может быть использован для организации циклического выполнения участка программы. Для этого перед началом цикла в один из внутренних регистров процессора загружается число повторений k . После выполнения циклической части программы это число уменьшается на единицу и затем осуществляется проверка конца цикла с помощью микрокоманды "окончить цикл и вытолкнуть из стека, если $F=0$ ".

Таблица 12

Функция перехода	Входы ПЗУ		Выходной код ПЗУ					Операции в БМУ
	Код CA	Флаг	$S1$	$S0$	\overline{FE}	PUP	$P_2 ST$	
Переход на следующий адрес (продолжить)	0010	X	0	0	1	X	0	$CMK \rightarrow Y$
Безусловный переход на адрес	0001	X	0	1	1	X	0	$P_2A \rightarrow Y$
Переход на адрес из PгМК, если $F=0$ *)	1100	0	0	0	1	X	1	$CMK \rightarrow Y$
	1100	1	0	1	1	X	1	$P_2A \rightarrow Y$
Переход на адрес из PгМК, если $F \neq 0$	0000	0	0	1	1	X	1	$P_2A \rightarrow Y$
	0000	1	0	0	1	X	1	$CMK \rightarrow Y$
Загрузить в стек (и продолжить)	1001	X	0	0	0	1	0	$CMK \leftarrow Y, PUSH$
Вытолкнуть в стек (и продолжить)	1010	X	0	0	0	0	0	$CMK \rightarrow Y, POP$
Переход по стеку	0111	X	1	0	1	X	0	$СТЕК \rightarrow Y$
Окончить цикл и вытолкнуть из стека, если $F=0$ **)	1000 1000	0	1	0	1	X	1	$СТЕК \rightarrow Y$
		1	0	0	0	0	1	$CMK \rightarrow Y, POP$
Переход по адресу вектора (на переключателях адреса)	0011	X	1	1	1	X	0	$D \rightarrow Y$
Переход к подпрограмме	0101	X	0	1	0	1	0	$P_2A \rightarrow Y, PUSH$
Переход к подпрограмме, если $F \neq 0$	0100	0	0	1	0	1	1	$P_2A \rightarrow Y, PUSH$
	0100	1	0	0	1	X	1	$CMK \rightarrow Y$
Возврат из подпрограммы	0110	X	1	0	0	0	0	$СТЕК \rightarrow Y, POP$

*) Аналогичные операции перехода по адресу из Pг.МК, если $F3=1$ ($CA=1101$), $OVR=1$ ($CA=1110$), $C4=1$ ($CA=1111$)

**) Аналогичная операция по условию $C4=1$ ($CA = 1011$).

Если $F \neq 0$, через стек происходит возврат к началу циклического участка программы, в противном случае выбирается следующий адрес из счетчика микрокоманд.

Наряду с описанными функциями перехода в табл. 12 приведены коды функций перехода по условиям и др. В табл. 13 приведены две программы переходов с использованием стека: программа 1 реализует цикл с бесконечным числом повторений, программа 2 - работу с обращением к подпрограмме, размещенной в ячейках 12, 13. Рассмотрим подробнее работу БМУ при выполнении программы 2. В табл. 14 приведена диаграмма состояний регистров БМУ и сигналов управления на входах и выходах БИС K1804BY1. В такте Т0 выполняется микрокоманда МК0 с адресом $0:S0=S1=0$, поэтому на выход Y БИС из счетчика микрокоманд поступает адрес 1 и из памяти извлекается микрокоманда "переход к подпрограмме" (JSR12), адресная часть которой AR = 12 поступает на входы R. В такте Т1 эта команда принимается в РгМК, а адрес 12 - в РгА. На входах БИС устанавливаются сигналы для выполнения перехода и сохранения адреса возврата в стеке. Адрес 12 передается из РгА на выход Y и по нему выбирается первая микрокоманда подпрограммы МК12. В такте Т2 МК12 загружается в РгМК, адрес возврата 2 - в стек, а адрес $(12+1) = 13$ - в СМК. Из СМК под действием сигналов $SO=S/=0$ адрес 13 поступает по шине Y на вход памяти, из которой считывается микрокоманда "возврат из подпрограммы" (RTS). В такте Т3 на входах БИС устанавливаются сигналы для выполнения возврата из подпрограммы. Из стека на выход Y поступает адрес возврата 2, и из памяти выбирается МК2 основной программы. В такте Т4 микрокоманда МК2 заносится в РгМК, происходит циклический сдвиг содержимого стека, в результате чего адрес 2 выталкивается. а адрес 3 записывается в СМК. Содержимое СМК поступает на выход Y, и из памяти выбирается микрокоманда безусловного перехода по адресу 0 (JP0). Адрес 0 поступает на R-входы. В такте Т5 "JP0" записывается в РгМК, адрес 0-в РгА и под действием сигналов $SO=I, S1=0$ содержимое РгА передается на выход Y для выборки микрокоманды МК0. Далее цикл работы БМУ повторяется.

Таблица 13

Адрес памяти	Тетрада 7 (AR)	Тетрада 6 (CA)	Выход Y	Примечания
0		0010	0001	<u>Программа 1</u>
1		1001	?	Продолжить
2		0010	?	Загрузить стек
3		0010	?	Продолжить
4		0111	?	"
				Переход по стеку
0		0010	?	<u>Программа 2</u>
1	1100	0101	?	Продолжить
2		0010	?	Переход к подпрограмме 12
3	0000	0001	?	Продолжить
...				Переход на 0
12		0010	?	Продолжить
13		0110	?	Возврат

Таблица 14

Выполняемый такт	T0	T1	T2	T3	T4	T5
Входы K1804BY1:						
$S0, S1$	00	10	00	01	00	10
FF, PUP	1X*)	01	1X	00	1X	1X
R	12	X	X	X	0	X
Содержимое регистров:						
СМК	1	2	13	14	3	4
Стек 0	-	-	2	2	-	-
Стек 1,2,3	-	-	-	-	-	-
РгА	X	12	X	X	X	0
Выход K1804BY1	1	12	13	2	3	0
Выход памяти	JSR12	МК12	RTS	МК2	JP0	МК0
Содержимое РгМК	МК0	JSR12	МК12	RTS	МК2	JP0

*) X - состояние безразлично.

Задание для самостоятельной подготовки

1. Изучите структуру БМУ, назначение его узлов и сигналов управления.
2. По табл. 12 изучите функции переходов в БМУ МТ1804.
3. Разработайте программу с обращением к подпрограмме из подпрограммы. Постройте диаграмму состояний БМУ в форме табл. 14, приняв уровень вложенности подпрограмм, равным 2.
4. Изучите программу, представленную в символической записи функций перехода на рис. 6, где числами обозначены адреса ячеек. Составьте диаграмму состояний стека при работе программы. Подготовьте программу для выполнения в МТ1804.

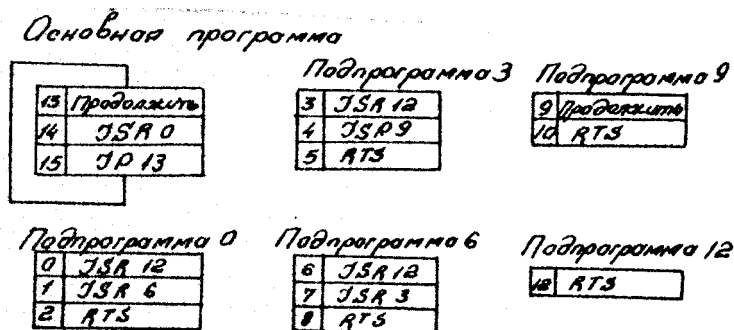


рис. 6

Порядок выполнения работы

1. Загрузить в память (в тетрады 6, 7) программу, обеспечивающую выполнение 3 групп микрокоманд по адресам A_0, A_1 , (A_4, A_5), (A_{14}, A_{15}) с остановом по адресу A_{15} . Выполнить начальную установку регистра МК. Перевести переключатель режима в положение РАБОТА. Установить переключатели МУЛЬТИПЛЕКСОР в положение 0 для индикации выходной шины адреса Y БИС К1804ВУ1. Нажимая кнопку ПУСК, проверить последовательность адресов, выводимых на шину Y.

2. Проверить работу программы I из табл. 13, фиксируя последовательность адресов на шине Y. Изменить программу, обеспечив выход из цикла по условию.

3. Загрузить и выполнить программу условного перехода по адресу A_j , в которой проверяются 2 заданных признака, вырабатываемых в результате выполнения арифметической операции (из совокупности признаков F3, C4, OVR, $F=0$, $F \neq 0$). Обратить внимание на значение второго признака на выходе процессорного элемента после выполнения команды условного перехода по первому признаку. Объяснить, каким значением второго признака (первоначальным или изменившимся) обусловлен второй переход, и почему.

4. Выполнить программы, разработанные по пп. 3,4 задания для самостоятельной подготовки, сравнивая наблюдаемые результаты с ожидаемыми.

Содержание отчета

В отчет должны входить: структурная схема БМУ; таблица функций перехода; диаграмма состояний БМУ при выполнении вложенных подпрограмм; таблицы с разработанными программами; результаты наблюдений в виде табл. 13.

Работа № 3. ЛОГИЧЕСКАЯ ОБРАБОТКА ДАННЫХ И ОРГАНИЗАЦИЯ УСЛОВНЫХ ПЕРЕХОДОВ В МИКРОПРОГРАММАХ

Цель работы - изучение логических функций микропроцессора, программных способов маскирования данных и условных переходов в микропрограммах.

Теоретическая часть

Процессор KI804BCI позволяет выполнить 5 логических операций над 4-разрядными операндами (см. табл. 3): "логическое умножение" ($R \cdot S$), "логическое сложение" ($R \vee S$), "исключающее ИЛИ" ($R \oplus S$), "равнозначность" ($\overline{R \oplus S}$), "запрет R" ($\overline{R} \cdot S$). Разряды операндов, участвующих в логических операциях, обрабатываются независимо друг от друга. Это позволяет программным путем проверять или изменять (маскировать) содержимое одного или нескольких разрядов в слове данных, сравнивать коды двух операндов, инвертировать содержимое регистров, осуществлять перестановку полей в слове данных и т.д.

Логическое умножение операнда и маски, содержащей 0 в i -м разряде, позволяет очистить i -й разряд операнда. Разряды операнда сохраняются без изменений, если в соответствующих им разрядах маски записана 1.

Логическое сложение операнда и маски позволяет установить в разрядах операнда 1, если в соответствующих разрядах маски записана 1. Если разряды маски содержат 0, то соответствующие им разряды операнда сохраняются без изменений.

Операция "исключающее ИЛИ" позволяет инвертировать операнд, если разряды маски содержат 1; в противном случае операнд сохраняется без изменений.

Операция "равнозначность" позволяет установить 1 в разряды операнда, значение которых совпадает со значением соответствующих разрядов маски; в остальных разрядах устанавливается 0.

Примеры логических операций приведены в табл. 15. В табл. 16 по адресам 0...2 приведена микропрограмма логического умножения операнда из регистра РОН1 и маски D . Результат помещается в регистр РОН2.

Таблица 15

Операции	Операнд	Маска	Результат	Комментарий
$R \cdot S$	III0 1010 1010	0III 0000 0011	0II0 0000 0010	Очистка разряда 3 КОД "0" на выход Разряды 0,1 на выход
$R \vee S$	0I0I 0I0I 0100	1111 1000 0000	1111 II0I 0100	Код "15" на выход Установка разряда 3 Операнд на выход
$R \oplus S$	0I0I 0III 0III	1111 0000 0III	1010 0III 0000	Инверсия операнда Операнд на выход Код "0" на выход
$\overline{R \oplus S}$	0I0I 0II0 1001	0000 0II0 0II0	1010 III 0000	Инверсия операнда Коды равны Код "0" на выход

Организация условных переходов в микропрограммах осуществляется по признакам регистра состояния. Регистр состояния MT1804 имеет 4 разряда, каждый из которых устанавливается в зависимости от результата последней операции: 1 - Бит нулевого результата Z ; 2 - бит старшего (знакового) разряда $F3$; 3 - бит выходного переноса $C4$; 4 - бит переполнения OVR . Так как флаги состояния процессора записываются в регистр состояния с задержкой на один такт, то переход по флагу производится в следующей микрокоманде. Если проверяемое условие выполнено, то осуществляется переход по заданному адресу, в противном случае выполняется следующая по порядку микрокоманда. Таким образом, микрокоманды условных переходов позволяют реализовать ветвящиеся алгоритмы, т.е. в зависимости от текущего признака результата перейти на тот или иной участок микропрограммы.

Таблица 16

Адрес памяти	Номер тетрады								Комментарий
	7	6	5	4	3	2	1	0	
	AR	CA	MI.18-6	MO. 12-0	CO.I5-3	A	B	D	
0		0010	011	111	011		0001	XXXX*	Загрузка операнда в РОН 1
I		0010	011	101	100	0001	0010		РОН1 ← РОН2
2	0001	0001	001						Переход на 1
3		0010	011	111	011		0001	1000	Загрузка маски
4		0010	001	101	100	0001			Проверка разряда D3
5	0100	1100	001						Переход на 4, если D3 = 0
6	0110	0001	001						Конец программы

*) XXXX - код данных

Таблица 17

Адрес памяти	Номер тетрады								Комментарий
	7	6	5	4	3	2	I	0	
	AR	CA	MI.18-6	MO. 12-0	CO.15-3	A	B	D	
0		0010	000	111	011			1111	Установка I5 в PQ
I		0010	011	111	011		0000	1000	Загрузка маски I в РОН 0
2		0010	011	111	011		0001	0001	Загрузка маски 2 в РОН 1
3		0010	001	101	100	0000		XXXX	Проверка D3
4	0011	1100	001	010	100				Переход за 3, если D3 = 0
5		0010	001	010	011				PQ на выход(включение светодиодов)
6		0010	001	101	100	0001		XXXX	Проверка D0
7	0110	1100	001	010	011				Переход на 6, если DO=0
8		0010	001	010	111				PQ на выход (выключение светодиодов)
9	0011	0001							Повторить с адреса 3

В микрокоманде устройства МТ1804 проверяемое условие задается в поле CA микрокоманды; адрес, на который происходит переход при выполнении условия, находится в поле AR. Коды управления CA, обеспечивающие переход по условиям F≠0, F=0 F3, C4, OVR приведены в табл. 12.

В табл. 16 по адресам 3...6 приведена микропрограмма проверки значения разряда данных D3 из ячейки 4, в которой использован условный переход по флагу Z (если F= 0). Микропрограмма переходит в режим ожидания до появления I в разряде D3. В табл. 17 приведена микропрограмма, которая в зависимости от значения D3 из ячейки 3 (DO из ячейки 6) осуществляет вывод на выходной регистр кода 15 (0), что подтверждается включением (выключением) светодиодов, подключенных к выходной шине Y

Выполнение условия $D3 = I$ сопровождается включением светодиодов, условия $D0 = I$ - гашением светодиодов.

Задание для самостоятельной подготовки

1. Определите значения флагов при выполнении логических операций по табл. 15.
2. Изучите микропрограммы из табл. 16, 17.
3. Разработайте микропрограммы контрольных заданий из приложения. Номера заданий получите у преподавателя.

Порядок выполнения работы

1. Загрузить в память микропрограмму по адресам 0, 1, 2 из табл. 16. Проверить работу микропрограммы при различных значениях операнда и маски, фиксируя в таблице результаты на индикаторах данных. Указать в таблице значения флагов на выходе процессора.

2. Изменяя микрокоманду по адресу 1, проверить выполнение операций "логическое сложение", "исключающее ИЛИ", "запрет R" при различных значениях операнда и маски. Результаты наблюдений записать в таблице.

3. Загрузить в память микропрограмму по адресам 3...6 из табл. 16. Выполнить микропрограмму в шаговом режиме и убедиться, что при ее выполнении устройство реагирует лишь на те коды, которые содержат 1 в разряде $D3$. Изменить программу так, чтобы устройство реагировало на 0 в 3-м разряде при 1 во всех остальных разрядах.

4. Загрузить в память тестовую микропрограмму из табл. 17.

Выполнить микропрограмму в шаговом режиме и убедиться, что только при значении $D3 = 1$ в ячейке 3 включаются все светодиоды индикатора данных и процессор переходит в режим ожидания, если в ячейке 6 разряд $D0 = 0$. Загрузив по адресу 6 $D0 = 1$, убедиться, что светодиоды индикатора данных выключаются и процессор переходит к проверке разряда $D3$.

5. Исследовать самостоятельно разработанные микропрограммы по заданию из приложения.

Содержание отчета

Отчет должен содержать: таблицы результатов наблюдений по всем логическим операциям; схемы алгоритмов и тексты разработанных и проверенных микропрограмм.

Литература

1. Проектирование цифровых систем на комплектах микропрограммируемых БИС. /Под ред. В.Г. Колесникова. - М.: Радио и связь, 1984. - С. 6-12, 108-118.

2. Дж.Мик, Дх.Брик. Проектирование микропроцессорных устройств с разрядно-модульной организацией. - М.: Мир, 1984. - Т. I. - 253 с.

Задания для самостоятельного программирования

В заданиях 1-4 разработать микропрограмму, которая выполняет обмен значениями разрядов:

- 1) (0, 1) регистра POH_i и (2, 3) регистра POH_j ;
- 2) (0) и (3) регистра POH_i ;
- 3) (N) регистра POH_i и (N) регистра POH_j ;
- 4) (1, 3) и (0, 2) Q -регистра.

В заданиях 5-8 разработать микропрограмму, которая после загрузки регистра POH_i изменяет его содержимое:

- 5) перемещая все 1 вправо и вытесняя нули влево;
- 6) перемещая все 0 влево и вытесняя единицы вправо;
- 7) сохраняя в коде одну 1;
- 8) сохраняя в коде два 0.

Разработать микропрограмму преобразования:

- 9) 4-разрядного двоичного числа без знака в двоично-десятичное;

10) 2-разрядного двоичного кода в унитарный код.

Разработать микропрограмму вычисления логической функции:

$$\begin{aligned} \text{I1)} \quad F &= \begin{cases} A\bar{B}, & \text{если } D > 0 \\ 0, & \text{если } D \leq 0 \end{cases} & \text{I2)} \quad F &= \begin{cases} A \vee \bar{B}, & \text{если } C \leq D \\ 0, & \text{если } C > D \end{cases} \\ \text{I3)} \quad F &= \begin{cases} \bar{A}\bar{B}, & \text{если } D > 2 \\ A \vee \bar{C}, & \text{если } D \leq 2 \end{cases} & \text{I4)} \quad F &= \begin{cases} \bar{A} \vee \bar{B}, & \text{если } |D| > 6 \\ A \oplus \bar{B}, & \text{если } |D| \leq 6 \end{cases} \end{aligned}$$

Разработать микропрограмму, которая определяет:

- 15) сумму трех чисел;
 - 16) сумму ряда нечетных чисел;
 - 17) сумму модулей 2-разрядных двоично-десятичных чисел A и B ;
 - 18) разность модулей 2-разрядных двоично-десятичных чисел A и B ;
 - 19) произведение $\Pi = |N| \cdot 2^m$, $m > 4$;
 - 20) частное $C = |N| / 2^m$, $m > 4$;
 - 21) наибольшее из трех чисел;
 - 22) значение разряда 3 на входной шине данных D процессора;
 - 23) значение разряда 2 в РОНі;
 - 24) истинность отношения $-D \geq N$;
 - 25) истинность отношения $|D| \leq 6$;
 - 26) истинность D при четном количестве единиц в D -коде (контроль паритета);
 - 27) истинность отношения $|A| > |B|$, где A и B - числа со знаком в дополнительном коде.
- Разработать микропрограмму, выполняющую сдвиг 4-разрядного кода на число разрядов, равных количеству:
- 26) единиц в коде;
 - 29) нулей в коде.
- Разработать микропрограмму моделирования:
- 30) 8-разрядного суммирующего счетчика;
 - 31) 8-разрядного вычитающего счетчика;
 - 32) операции "логический сдвиг" 12-разрядного операнда;
 - 33) операции "циклический сдвиг" 12-разрядного операнда;
 - 34) операции "арифметический сдвиг" 12-разрядного операнда.

Вопросы для самопроверки

1. Какие микрокоманды (одно-, двух-, трехадресные) можно реализовать в процессоре KI804BCI? Приведите примеры.
2. Почему выход флага Z микросхемы KI804BCI выполнен по схеме с открытым коллектором?
3. Как осуществить наращивание количества разрядов процессора?
4. Чем объяснить присутствие "-1" в записи операции вычитания в табл. 3?
5. Охарактеризуйте используемый в MT1804 способ управления выборкой адреса микрокоманды.
6. Как увеличить объем микропрограммной памяти?
7. Объясните работу указателя стека при операциях *PUSH* и *POP*. Как при этом изменяется содержимое ячеек накопителя стека?
8. В каком режиме работает регистр состояния устройства при выполнении микрокоманд условного перехода? Чем это обусловлено? Как это влияет на микропрограммирование?
9. Приведите пример использования функции перехода по адресу вектора.