



Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет
имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ _____ Информатика и системы управления
КАФЕДРА _____ Информационная безопасность (ИУ8)

РАСЧЕТНО-ПОЯСНИТЕЛЬНАЯ ЗАПИСКА

К КУРСОВОЙ РАБОТЕ

НА ТЕМУ:

***Разработка модуля операционного блока АЛУ
для операций умножения, сложения и вычитания***

Студент _____
ИУ8-63
(Группа)

(Подпись, дата)

А.Н. Овсепян
(И.О.Фамилия)

Руководитель курсовой работы

(Подпись, дата)

А.Е. Усанов
(И.О.Фамилия)

Консультант

(Подпись, дата)

(И.О.Фамилия)

2021 г.

**Министерство науки и высшего образования Российской Федерации
Федеральное государственное бюджетное образовательное учреждение
высшего образования
«Московский государственный технический университет имени Н.Э. Баумана
(национальный исследовательский университет)»
(МГТУ им. Н.Э. Баумана)**

УТВЕРЖДАЮ
Заведующий кафедрой ИУ-8
(Индекс)
М.А.Басараб
(И.О.Фамилия)
« ____ » февраля 2021 г.

**З А Д А Н И Е
на выполнение курсовой работы**

по дисциплине Электроника и схемотехника

Студент группы ИУ8-63

Овсебян Ара Нерсесович

(Фамилия, имя, отчество)

Тема курсовой работы Разработка модуля операционного блока АЛУ для операций умножения, сложения и вычитания

Направленность КР (учебная, исследовательская, практическая, производственная, др.)
учебная

Источник тематики (кафедра, предприятие, НИР) кафедра

График выполнения работы: 25% к 4 нед., 50% к 7 нед., 75% к 10 нед., 100% к 14 нед.

Задание Создание цифровой схемы модуля операционного блока АЛУ для операций умножения, сложения и вычитания со следующими параметрами: разрядность аргумента – 15 разрядов; аргумент представлен целыми числами, со знаком, с плавающей запятой; разрядность порядка – 6 разрядов; элементная база - микросхемы ТТЛШ; напряжение источника питания - $U_{пит}=5В$

Оформление курсовой работы:

Расчетно-пояснительная записка на 11 листах формата А4.

Перечень графического (иллюстративного) материала (чертежи, плакаты, слайды и т.п.)

1.Схема электрическая структурная

2.Схема электрическая принципиальная

Дата выдачи задания « 08 » февраля 2020 г.

Руководитель курсовой работы

(Подпись, дата)

А.Е. Усанов

(И.О.Фамилия)

Студент

(Подпись, дата)

А.Н. Овсебян

(И.О.Фамилия)

Примечание: Задание оформляется в двух экземплярах: один выдается студенту, второй хранится на кафедре.

ОГЛАВЛЕНИЕ

ВВЕДЕНИЕ	4
Основная часть.....	6
1. Выбор и обоснование схемы электрической структурной модуля операционного блока АЛУ для операций умножения, сложения и вычитания 6	
2. Выбор и обоснование схемы электрической принципиальной модуля операционного блока для операций умножения, сложения и вычитания	
Ошибка! Закладка не определена.	
ЗАКЛЮЧЕНИЕ.....	9

ВВЕДЕНИЕ

В настоящее время находят применение микросхемы разной сложности: СБИС, БИС, СИС и МИС. Аппаратура, построенная на микросхемах повышенной сложности, обладает технико-экономическими преимуществами, поэтому внедрение БИС и СБИС - одно из главных направлений развития современной радиоэлектроники.

Применение высокопроизводительных вычислительных машин позволяет резко повысить уровень научных исследований и технического проектирования. Развитие таких отраслей современной науки и техники, как атомная энергетика и реактивная техника, было бы невозможно без современных цифровых машин.

Стимулирующей развитие вычислительной техники, является потребность обработки больших объёмов информации для учёта, планирования народного хозяйства, управления производством. Именно эти потребности вызвали к жизни ещё в начале текущего столетия счётно-аналитические или перфорационные машины.

Составной частью любого процессора является арифметическо-логическое устройство (АЛУ) (англ. arithmetic and logic unit, ALU) — блок процессора, который служит для выполнения арифметических и логических преобразований над словами, называемыми в этом случае операндами.

Современные ЭВМ общего назначения обычно реализуют операции всех приведенных выше групп, а малые и микроЭВМ, микропроцессоры и специализированные ЭВМ часто не имеют аппаратуры арифметики чисел с плавающей точкой, десятичной арифметики и операций над алфавитно-цифровыми полями. В этом случае эти операции выполняются специальными подпрограммами. К арифметическим операциям относятся сложение, вычитание, вычитание модулей («короткие операции») и умножение и деление («длинные операции»). Группу логических операций составляют операции дизъюнкция (логическое ИЛИ) и конъюнкция (логическое И) над многоразрядными двоичными словами, сравнение кодов на равенство. Специальные арифметические операции включают в себя нормализацию, арифметический сдвиг (сдвигаются только цифровые разряды, знаковый разряд остается на месте), логический сдвиг (знаковый разряд сдвигается вместе с цифровыми разрядами). Обширна группа операций редактирования алфавитно-цифровой информации.

Арифметико-логическое устройство функционально можно разделить на две части:

а) микропрограммное устройство (устройство управления), задающее последовательность микрокоманд (команд);

б) операционное устройство (АЛУ), в котором реализуется заданная последовательность микрокоманд (команд).

Сложность логической структуры АЛУ в определенной степени можно охарактеризовать количеством отличающихся друг от друга микроопераций, необходимых для выполнения всего комплекса задач, поставленных перед АЛУ. На входе каждого регистра собраны соответствующие логические схемы, обеспечивающие такие связи между регистрами, что позволяют реализовать заданный набор микроопераций.

Выполнение операций над словами сводится к выполнению последовательности микрокоманд, которые управляют передачей слов в АЛУ и действиями по преобразованию слов. Порядок выполнения микрокоманд определяется алгоритмом выполнения операций. Следовательно, связи между регистрами АЛУ и функции, которые должны выполнять регистры, зависят в основном от принятой методики выполнения операций: арифметических, логических и специальной арифметики.

Перечень операций, выполняемых в АЛУ, зависит от назначения цифровой вычислительной машины и от функций, выполняемых АЛУ при обеспечении работы остальных устройств машины. При представлении операций в виде последовательностей микроопераций АЛУ должно состоять из элементов; реализующих эти микрооперации.

Таким образом, структура АЛУ определяется набором микроопераций, необходимых для выполнения заданных арифметических, логических и специальных операций, а задачу построения АЛУ можно свести к задаче

ОСНОВНАЯ ЧАСТЬ

1. Выбор и обоснование электрической схемы модуля операционного блока АЛУ для операций умножения, сложения и вычитания

Цифровая схема модуля операционного блока АЛУ для операций умножения, сложения и вычитания представляет из себя два отдельных модуля - для умножения и сложения. Операция вычитание происходит как сложение, но второе число подается в виде дополнительного кода.

Операция умножения для двоичных чисел выполняется также как и для десятичных кодов: множимое умножается на каждый разряд множителя и результаты складываются со сдвигом.

Числа со знаком умножаются в прямом коде, а знак определяется как сумма по модулю 2 знаковых разрядов.

Умножение двоичных чисел А и В сводится к вычислению произведения их модулей и присвоения ему знака. Произведение двух n-разрядных операндов содержит 2n-1 цифровых разрядов и один знаковый.

Операция сложения для двоичных чисел выполняется также, как и для десятичных кодов, но отрицательные числа складываются в прямом, обратном или дополнительном коде.

В прямом коде число записывается, как и обычно, но в старший разряд записывается 1 если число отрицательное и 0 если число положительное.

В дополнительном коде каждый разряд числа инвертируется и добавляется 1 к младшему разряду.

В обратном коде также каждый разряд числа инвертируется, но 1 добавляется в процессе сложения к младшему разряду только когда при сложении 1 появляется в старшем разряде.

Десятичное число	Прямой код	Обратный код	Дополнительный код
20	00000000 00010100 ₂		
-30	00000000 00011110 ₂	11111111 11100001 ₂	11111111 11100001 ₂ + 00000000 00000001 ₂ 11111111 11100010 ₂

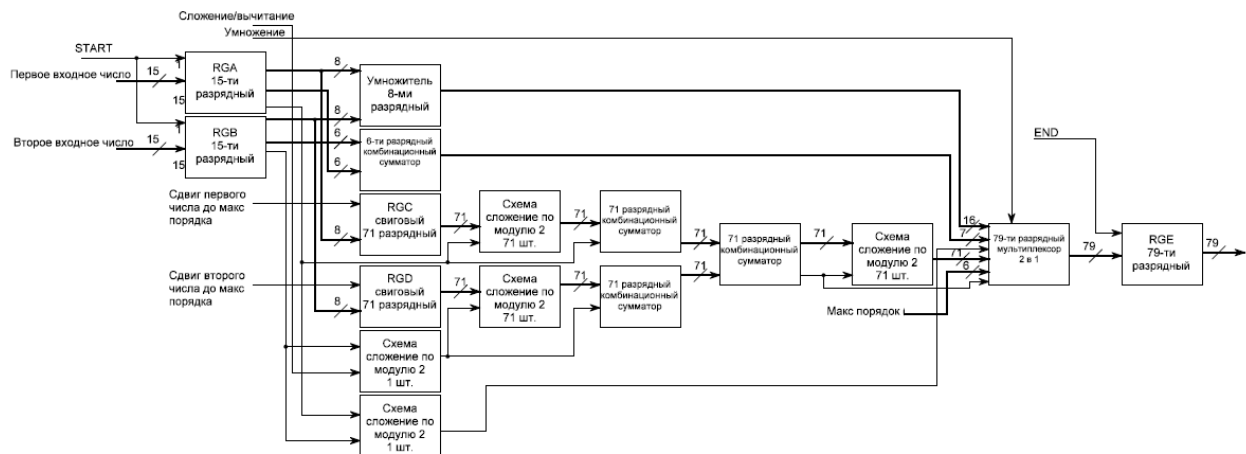


Рис. 2. Структурная схема модуля операционного блока для операций умножения, сложения и вычитания.

Структурная схема АЛУ операций умножения, сложения и вычитания содержит:

- Входные регистры RGA и RGB – для размещения операндов;
- Регистры RGC и RGD для сдвига мантиссы чисел на максимальный порядок
- Регистр RGE для результата
- Сумматоры
- Схемы “И”
- Схемы “XOR”
- Мультиплексоры 2 в 1

Исходные числа записываются в регистры RGA и RGB. Регистры RGC, RGD, RGE обнуляются.

Далее записывается в специальные выходы команда, где 10/11 – умножение, 00 – сложение, 01 – вычитание. Определяется это как если первый разряд команды 1, то через мультиплексоры подается 1 и выводится результат умножения, если первый разряд 0, то выводится результат сложения/вычитания. Второй разряд команды определяет знак второго числа, если 0, то просто подается второе число с исходным знаком, если 1, то берется обратный знак исходного числа, и выполняется также сложение, т.к. $x - (-y) = x + y$.

При умножении чисел мантиссы умножаются, а порядки складываются. Умножение происходит как побитовая конъюнкция мантисс, после чего происходит сложение частичных произведений со сдвигом, порядки складываются, а знак результата умножения вычисляется как сложение по модулю 2 знаков исходных чисел. При операции сложения числа выравниваются по порядкам, т.е. сдвигаются в регистрах, чтобы были одинаковые порядки. В данной схеме происходит сдвиг на максимальный

порядок чтобы не надо было искать разницу между порядками чисел. Количество сдвигов происходит $q = p - 63$, где p – порядок числа, а 63 – максимальный порядок, т.к. $111111_2 = 63_{10}$

Вычитание и сложение с отрицательными числами происходит в дополнительном коде, т.е. если у исходного числа отрицательный знак, то число инвертируется, к нему прибавляется 1, а затем складывается. Если в результате старший разряд равен 1, то результат сложения отрицательный и число также инвертируется и к нему прибавляется 1, после чего подается в выходные регистры.

Результатом вычислений является 80-и разрядное число, где первый бит – знак числа, следующие 7 – порядок результата, затем 72 бита – мантисса результата.

ЗАКЛЮЧЕНИЕ

В ходе выполнения курсовой работы были получены необходимые навыки, заключающиеся в разработке и построении схемы модуля операционного блока для операций умножения, сложения и вычитания.

Можно отметить, что в данной схеме происходит сначала подсчёт, после чего выбор команды, что позволяет переключаться между результатами вычислений быстрее.

Также можно отметить, что из-за 6-разрядного порядка схема результат вычисления получился слишком большой, но другого решения поставленной задачи не придумал.

Список используемых источников

1. Распоряжение правительства РФ от 28 июля 2017 г. № 1632-р
2. Лекции по электронике и схемотехнике за 5 - 6 семестр
3. Каган Б. М. Электронные вычислительные машины и системы: Учеб. пособие для вузов.— 3-е изд., перераб. и доп.— М.: Энергоатомиздат, 1991.— 592 с.: ил.

