

# Pràctica 2

**Assignatura**: Introducció als Ordinadors **Data Entrega**: 14 de gener de 2024

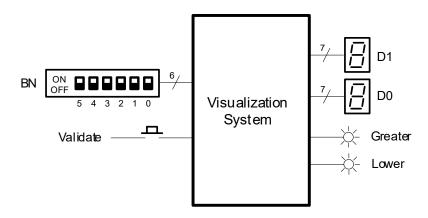
**P2** 

Curs: 2023/2024

Dissenyar un sistema digital que permeti visualitzar mitjançant els *displays seven-segments* i leds del kit **DE10-Lite**, un número decimal introduït mitjançant una combinació binària de 6 bits

El disseny s'ha de fer de dues maneres diferents:

- En esquemàtic, podent utilitzar portes lògiques i blocs funcionals combinacionals de la sèrie 74XX.
- A VHDL, podent definir amb llibertat els blocs funcionals a utilitzar.



#### Entrades:

- **BN[5..0]:** entrada de 6 bits en binari natural corresponent al número que s'introduirà al sistema, a través dels interruptors del kit, per ser visualitzat.
- Validate: entrada d'1 bit per la qual, en activar-se mitjançant pressionar un polsador del kit, farà que s'activin les sortides i visualitzi el número introduït als *displays seven-segments* i s'encenguin els leds segons calgui. Si Validate està inactiu totes les sortides han de romandre inactives (*displays* i leds apagats).

## Sortides:

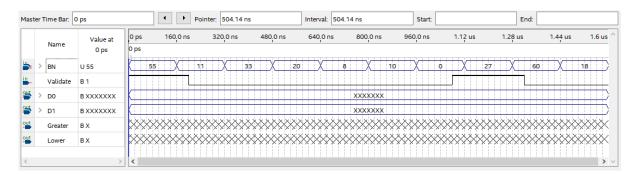
- **D1[6..0], D0[6..0]:** sortides de 7 bits que contindran la codificació corresponent per a cadascun dels dos *displays seven-segments* per visualitzar el valor decimal d'entrada, sent 'D1' el dígit de més pes, i 'D0' el de menys pes.
- Greater: sortida d'1 bit que s'activarà quan el valor introduït sigui més gran que 25 (es visualitzarà mitjançant un dels leds del kit).
- Lower: sortida de 1 bit que s'activarà quan el valor introduït sigui menor que 15 (es visualitzarà mitjançant un dels leds del kit).

Nota: La solució del disseny teòric es pot trobar a la solució de l'exercici EX2.

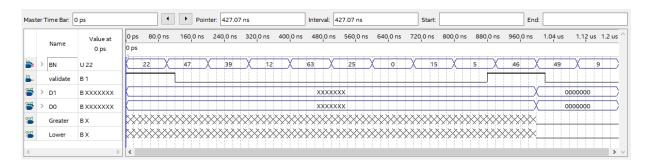
#### Es demana:

a) En un primer projecte de Quartus Prime, implementa en esquemàtic el sistema de visualització descrit, usant blocs funcionals de la sèrie 74XX i portes lògiques (els dos blocs anteriors, "Conversor de Binari Natural a BCD 2 Dígits" i "Conversor de BCD a 7-segments", s'han d'implementar amb blocs existents de la sèrie 74XX i portes lògiques). Realitza una simulació

que permeti verificar-ne el funcionament correcte, generant diferents valors d'entrada que provoquin l'activació de les sortides en tots els casos possibles de funcionament (activació o no de les diferents sortides del sistema). Utilitza un fitxer de simulació de formes d'ona com el subministrat a continuació:



b) En un segon projecte de Quartus Prime, implementa a VHDL el sistema de visualització descrit, descomponent-lo en diverses entitats en fitxers independents (components) i instanciant-les en una entitat de més alt nivell usant en aquesta una descripció o nivell d'abstracció "structural". L'arquitectura de cada bloc individual es pot realitzar en nivells d'abstracció "dataflow" o "behavioral", tenint en compte que cal utilitzar almenys una sentència d'assignació de valors tipus "conditional" o tipus "selected", i com a mínim un procés amb una sentència "IF" o una sentència "CASE". Realitza una simulació que permeti verificar-ne el funcionament correcte, generant diferents valors d'entrada que provoquin l'activació de les sortides en tots els casos possibles de funcionament (activació o no de les diferents sortides del sistema). Utilitza un fitxer de simulació de formes d'ona com el subministrat a continuació:



- c) Comprova el funcionament del disseny realitzat a VHDL sobre el maquinari del kit DE10-Lite. Les entrades i sortides del sistema han de ser assignades als següents perifèrics del kit:
  - $\circ$  BN  $\rightarrow$  SW[5..0]
  - $\circ$  Validate  $\rightarrow$  KEY[0]
  - o D1, D0  $\rightarrow$  HEX2, HEX1
  - Greater → LEDR[0]
  - Lower  $\rightarrow$  LEDR[9]

Nota: <u>Vigileu la lògica dels polsadors (KEY) i la lògica i l'ordre dels bits associats als segments dels displays seven-segments (HEX) del kit.</u>

d) Enregistra un vídeo on s'observi com canvien les sortides del sistema per a diferents valors d'entrada, en nombre suficient per verificar el funcionament correcte de totes les funcionalitats del sistema (Validate, Greater, Lower...).

#### Entrega:

S'haurà de lliurar al pou "Lliurament P2" que trobareu a l'eStudy, un únic arxiu **ZIP** anomenat "**P2\_CLASSE\_Nom1Cognom1\_ Nom2Cognom2.zip**", on **CLASSE** és la classe a què pertanyen els alumnes (A, B, C, D, E, F, G, ICE o DICE) i **NomXCognomX** són el nom i primer cognom dels integrants del grup de pràctiques. Aquest fitxer ha de contenir tres fitxers:

- 1) Un informe PDF amb nom igual que l'arxiu ZIP, **P2\_CLASE\_Nom1Cognom1\_ Nom2Cognom2.pdf**, amb els apartats següents:
  - Portades.
    - o Les portades que teniu penjades a la carpeta de l'assignatura a l'eStudy.
  - Índex.
    - o L'index conté els apartats de la memòria i les pàgines de cada apartat.
  - Objectiu de la pràctica.
    - o Breu explicació de l'enunciat d'aquesta pràctica.
  - Solució al disseny teòric.
    - o Copiar la solució teòrica proporcionada pel EX2.
  - Del projecte en esquemàtic:
    - o Esquemàtic a nivell de components del disseny sobre el Quartus Prime.
      - Captures de pantalla del sistema implementat al Quartus Prime a nivell d'esquemàtic, així com de cada part o bloc en què s'hagi descompost el disseny (en cas que s'hagi descompost en blocs).
    - Simulacions de verificació del correcte funcionament del sistema implementat en esquemàtic i el seu comentari respectiu.
      - Captures de pantalla de les simulacions realitzades sobre cada part o bloc en què s'hagi descompost el disseny (en cas que aquest s'hagi descompost en blocs), juntament amb explicacions de què s'esperava i si realment el bloc fa la funció esperada o no. A les simulacions s'han de veure TOTES les possibles combinacions que siguin rellevants de les entrades.
      - Captura de pantalla de la simulació del sistema complet i una defensa d'aquesta simulació demostrant que es compleixen les especificacions de funcionament demanades.

### - Del projecte a VHDL:

- o Codi VHDL del disseny sobre el Quartus Prime.
  - Captures de pantalla del codi VHDL del sistema implementat al Quartus Prime, tant de l'entitat de més alt nivell com de les entitats o blocs en què s'hagi descompost el disseny.
- Simulacions de verificació del correcte funcionament del sistema implementat a VHDL i el seu comentari respectiu.
  - Captures de pantalla de les simulacions realitzades sobre cada part o bloc on s'hagi descompost el disseny, juntament amb explicacions de què s'esperava i si realment el bloc realitza la funció esperada o no. A les simulacions s'han de veure TOTES les possibles combinacions que siguin rellevants de les entrades.

Captura de pantalla de la simulació del sistema complet i una defensa d'aquesta simulació demostrant que es compleixen les especificacions de funcionament demanades.

## - Enllaç públic a un vídeo de demostració.

- Enllaç públic a un vídeo on s'observi el funcionament correcte del sistema sobre el kit DE10-Lite. Al començament del vídeo s'ha de veure la cara de tots els integrants del grup.
- 2) Un fitxer **ZIP** amb nom **P2\_SCH\_CLASSE\_Nom1Cognom1\_Nom2Cognom2**, que contingui la carpeta del projecte complet en esquemàtic realitzat amb el Quartus Prime. Aquest projecte ha de tenir el mateix nom que la carpeta.
- 3) Un fitxer **ZIP** amb nom **P2\_VHDL\_CLASSE\_Nom1Cognom1\_Nom2Cognom2**, que contingui la carpeta del projecte complet a VHDL realitzat al Quartus Prime. Aquest projecte ha de tenir el mateix nom que la carpeta.