

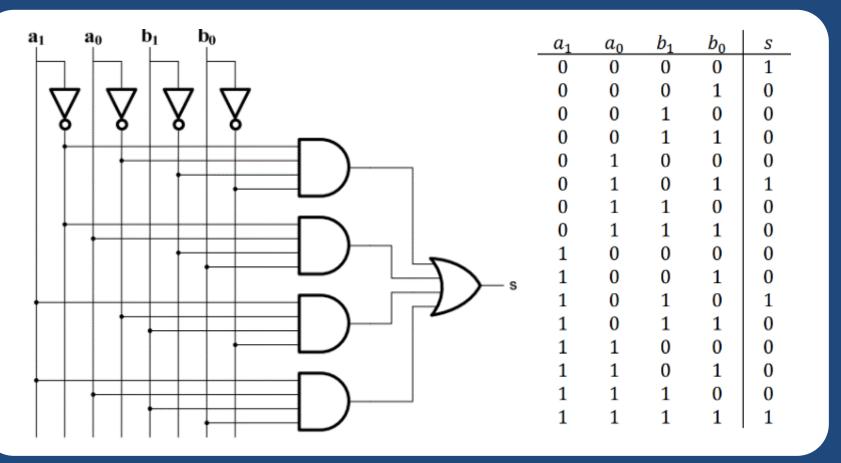
GRUP A - Sessió 15-16

Tema 2. Àlgebra booleana i portes lògiques (II)



EXERICI QUARTUS: Disseny en esquemàtic + simulació del següent circuit (A Entregar)

Entregar tot el contingut de dins la carpeta del projecte en un zip. Exemple: c:\projectes\EX02\ → ZIP





Aspecte d'una carpeta de projecte del QUARTUS

Nombre	Fecha de modificación	Tipo	Tamaño
db	13/10/2021 12:59	Carpeta de archivos	
incremental_db	07/10/2020 9:00	Carpeta de archivos	
output_files	06/10/2021 9:31	Carpeta de archivos	
simulation	07/10/2020 9:12	Carpeta de archivos	
c5_pin_model_dump.txt	07/10/2020 9:01	Documento de te	5 KB
PR01.bdf	06/10/2021 9:21	Archivo BDF	4 KB
PR01.bsf	05/10/2021 21:29	Archivo BSF	2 KB
PR01.qpf	07/10/2020 8:59	Archivo QPF	2 KB
PR01.qsf	06/10/2021 9:45	Archivo QSF	3 KB
PR01.qws	13/10/2021 12:59	Archivo QWS	1 KB
Waveform.vwf	07/10/2020 9:12	Archivo VWF	5 KB
Waveform1.vwf	05/10/2021 21:39	Archivo VWF	5 KB
Waveform2.vwf	06/10/2021 9:31	Archivo VWF	5 KB

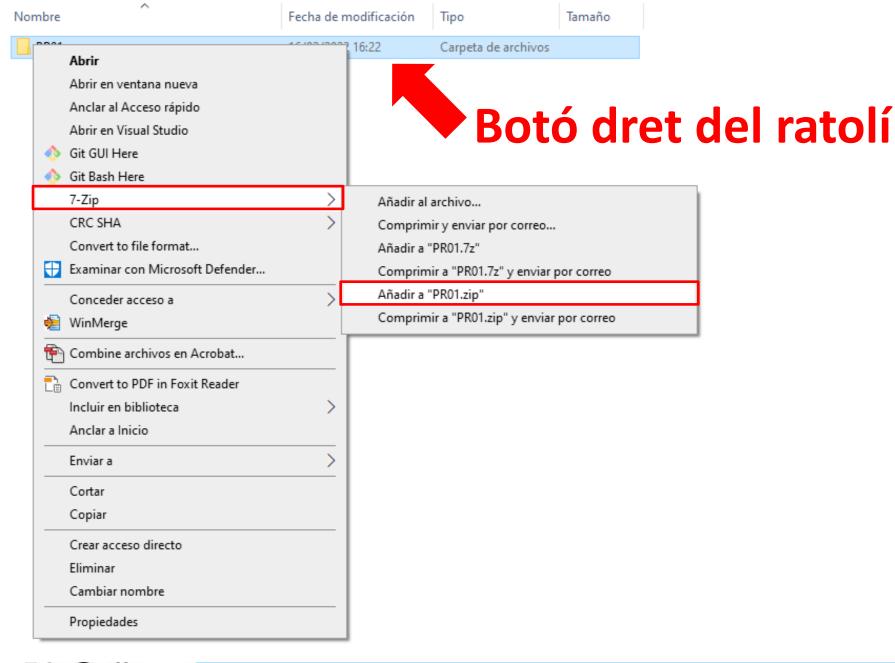


Introducció als ordinadors

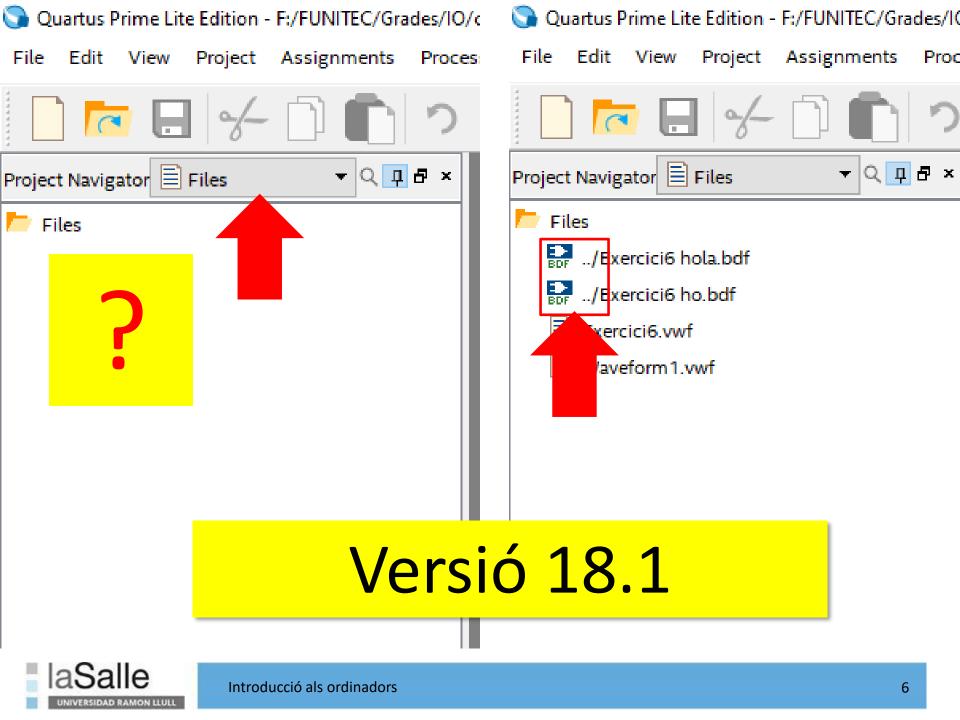
Aspecte d'una carpeta de projecte del QUARTUS

Nombre	Fecha de modificación	Tipo	Tamaño
db	13/10/2021 12:59	Carpeta de archi	
incremental_db	07/10/2020 9:00	Carpeta de arc	
output_files	06/10/2021 9:31	Carpeta de a	ZIP
simulation	07/10/2020 9:12	Carpeta de	
c5_pin_model_dump.txt	07/10/2020 9:01	Docume e	5 KB
PR01.bdf	06/10/2021 9:21	Archiv	4 KB
PR01.bsf	05/10/2021 21:29	Arch	2 KB
PR01.qpf	07/10/2020 8:59	Ar F	2 KB
PR01.qsf	06/10/2021 9:45	QSF	3 KB
PR01.qws	13/10/2021 12:59	6 QWS	1 KB
Waveform.vwf	07/10/2020 9:12	ivo VWF	5 KB
Waveform1.vwf	05/10/2021 21:39	chivo VWF	5 KB
Waveform2.vwf	06/10/2021 9:31	Archivo VWF	5 KB

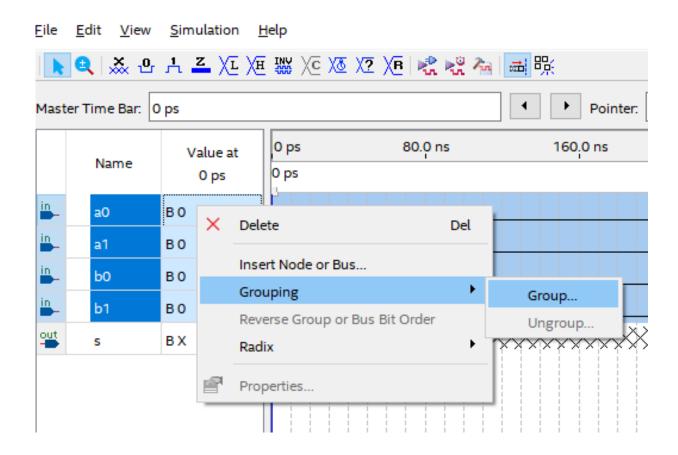






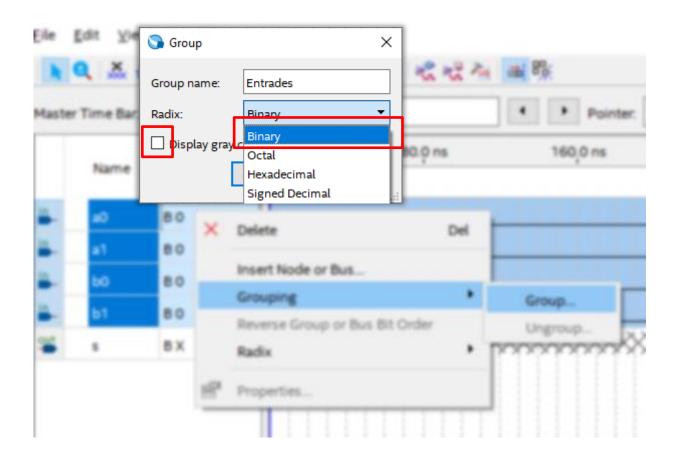


Un cop inclosos tots els senyals d'entrada (a0, a1, b0, b1) i de sortida (s) en Waveform, agrupar les entrades creant un grup tal i com es mostra en la següent captura (per fer-ho, clicar botó dret sobre dels senyals un cop seleccionats)



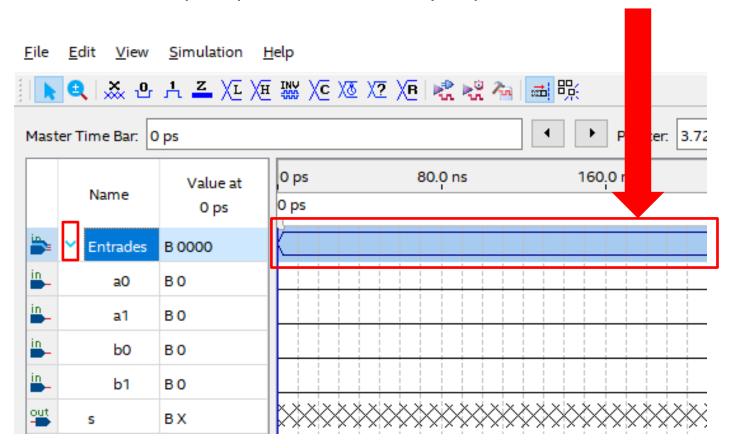


Quan s'obri el menú desplegable, seleccionar la opció Binary, i després seleccionar també la caixeta CheckBox que posa "Display gray code count as binary count"



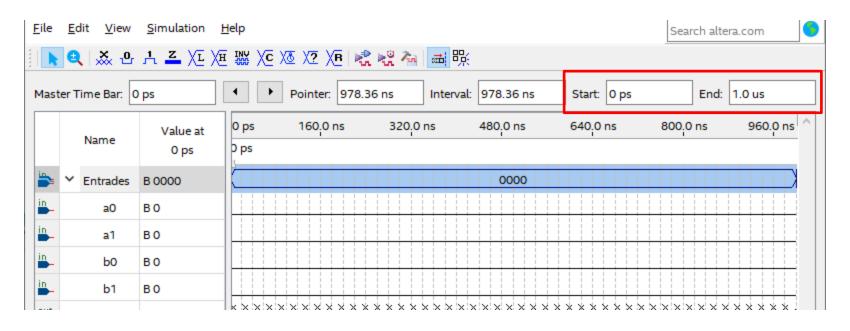


Clicant a la fletxa que apareix es despleguen tots els senyals del grup. A dalt observarem que apareix un nou senyal que és la codificació dels 4.



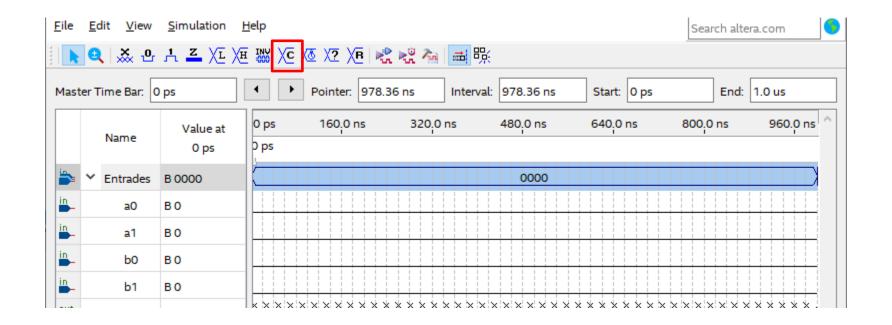


- El següent pas es generar les 16 combinacions, per això hem de saber primer a on acaba el nostre cronograma (quina durada té).
- Hem de mirar els caixetins que posar Start i End. En aquest exemple el senyal va de 0 a 1 us (microsegon), o sigui 1000 ns (nanosegons).
- Per tant, si hem de visualitzar 16 combinacions cadascuna haurà de tenir una durada de 1000/16 = 62 ns aproximadament.



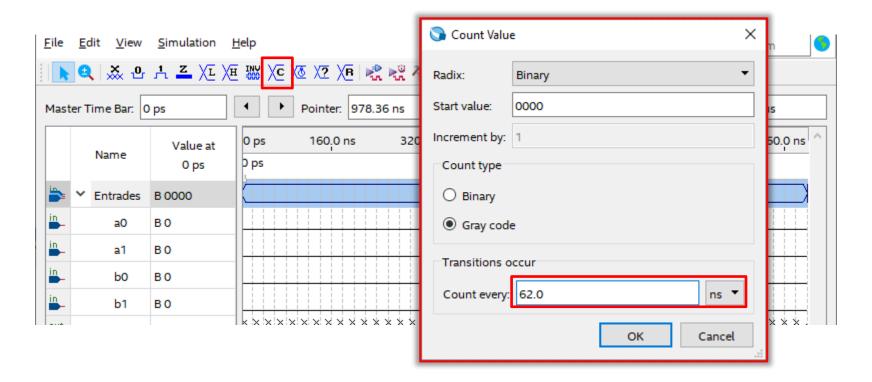


 Tenint en compte que cada combinació ha de durar 62 ns, el següent pas és generar totes les combinacions de forma automàtica. Per fer-ho tenim la eina de COUNT VALUE.



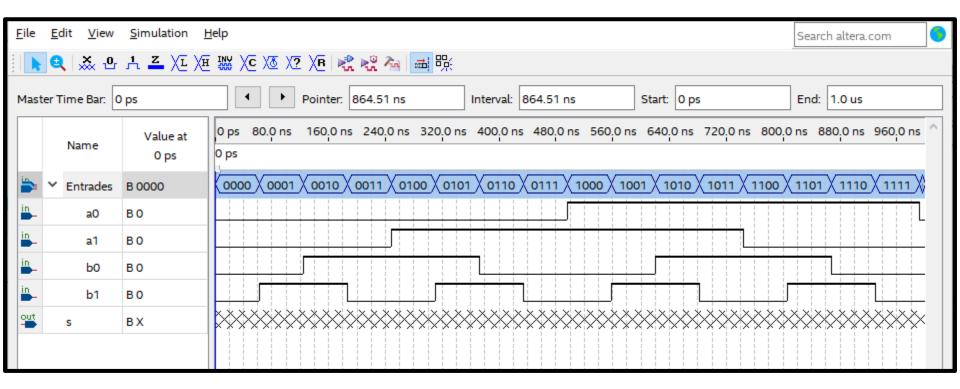


 Tenint en compte que cada combinació ha de durar 62 ns, el següent pas és generar totes les combinacions de forma automàtica. Per fer-ho tenim la eina de COUNT VALUE.





 Tenint en compte que cada combinació ha de durar 62 ns, el següent pas és generar totes les combinacions de forma automàtica. Per fer-ho tenim la eina de COUNT VALUE.



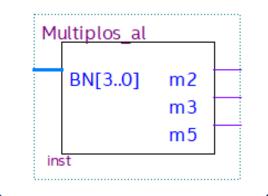
Sistema a dissenyar:

- Entrada (1): número del 0 al 15 codificat a BN amb 4 bits (BN[3..0])
- Sortides (3): m2, m3 i m5, s'activen quan el valor d'entrada és múltiple de 2, 3 o 5 respectivament (considerarem que el zero no és múltiple de cap número).

Es demana:

- Dissenyar les tres funcions de sortida en esquemàtic en tres fitxers independents
- 2. Simular cada un dels tres fitxers per separat.
- 3. Instanciar cada un dels blocs en un esquemàtic general (sistema Multiplos_al) i simular el sistema final.

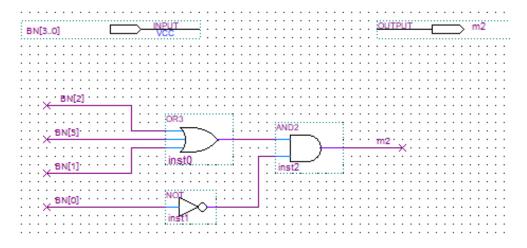




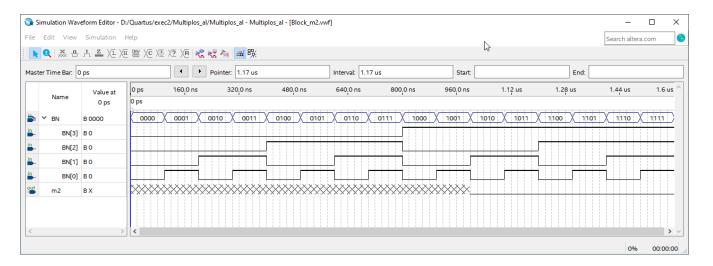


BLOC m2:

Es facilita complet:



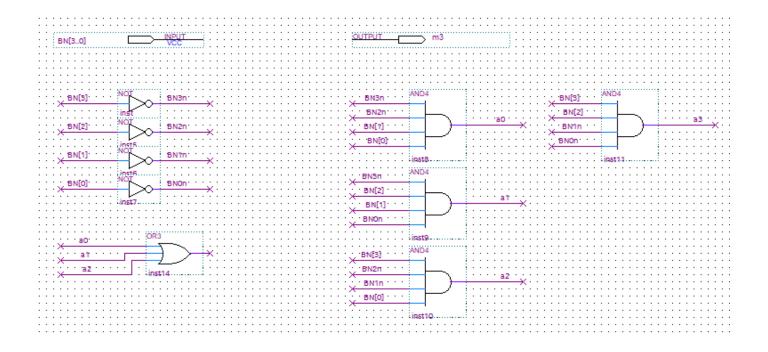
• I també un fitxer de formes d'ona per a la simulació:





BLOC m3:

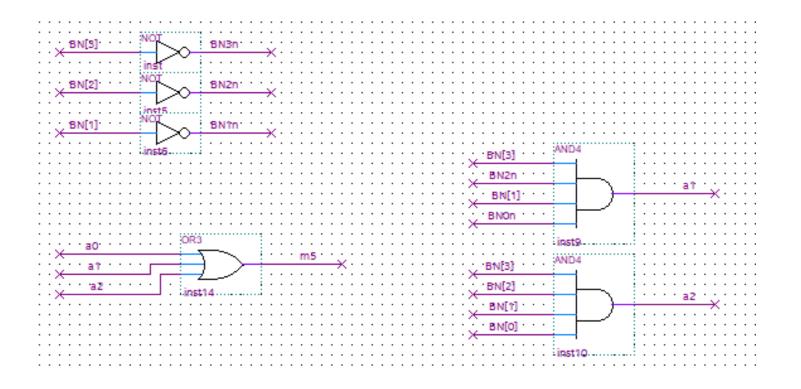
• Es facilita incomplet: cal completar-ho (a4, m3) i simular-ho



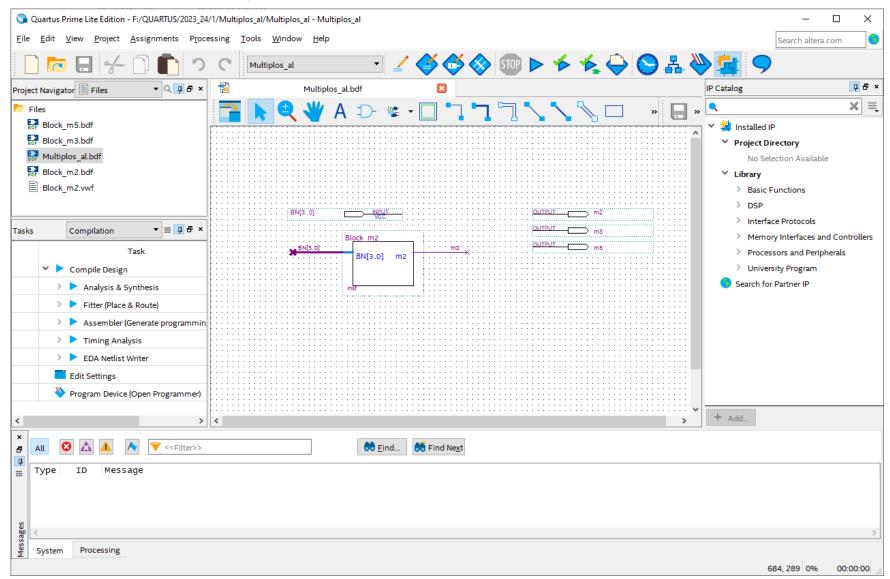


BLOC m5:

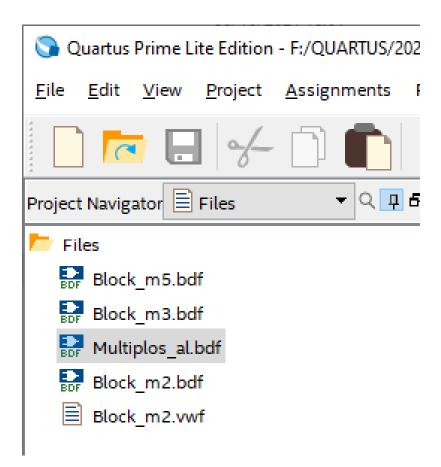
• Es facilita incomplet: cal completar-ho (BNOn, a0, inputs i output) i simular-ho







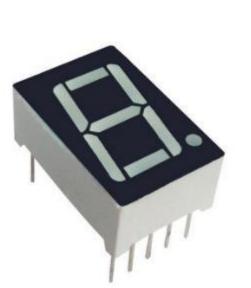


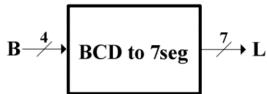


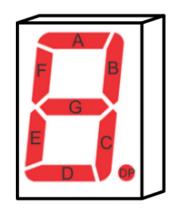


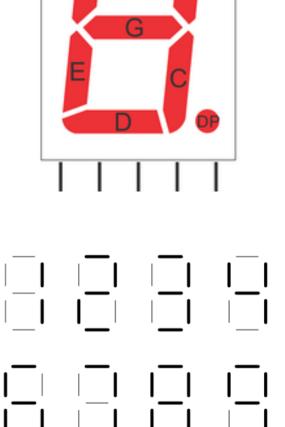
CONVERSOR SEVEN SEGMENTS

- Una manera pràctica de visualitzar números en format decimal és a través de visualitzadors de 7 segments.
- Són dispositius que contenen 7 LEDs que s'encenen per visualitzar números decimals.









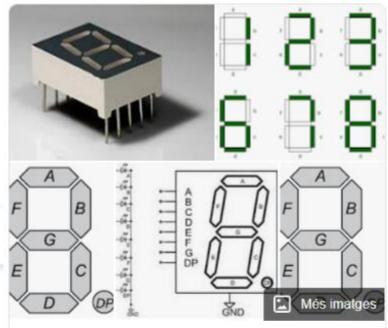


CONVERSOR SEVEN SEGMENTS

Google / Wikipedia



Aproximadament 243.000.000 resultats (0,51 segons)



Visualitzador de set segments (Seven-segment display)

El visualitzador de set segments és un dispositiu que serveix per a representar xifres en equips electrònics. Està compost de set segments que es poden encendre o apagar individualment. Cada segment té la forma d'una petita línia. Es podria comparar a escriure dígits amb llumins o fòsfors de fusta. Viquipèdia

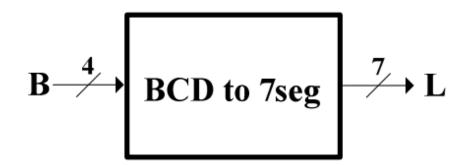
Introducció als ordinadors

21

CONVERSOR SEVEN SEGMENTS



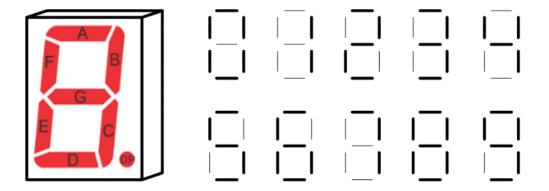
- Activar LED → 1 lògic , 0 per la resta
- Per facilitar l'activació d'aquestes entrades hi ha circuits convertidors de BCD (Natural) a 7 segments que presenten com a entrades un bus de 4 bits (valors decimals en BCD).
- Per dissenyar aquest convertidor hem de partir de la taula de veritat corresponent per cada un dels LEDs.





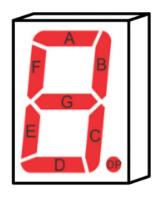
Tema 2. Àlgebra booleana i portes lògiques

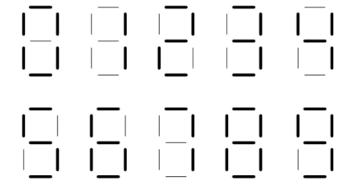
	B_3	B_2	B_1	B_{0}
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1



Solució

	B_3	B_2	B_1	B_0	a	b	С	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1

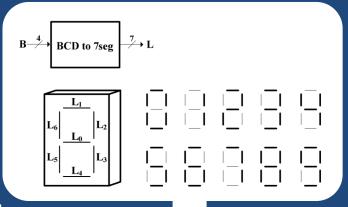




EXERCICI 6

Convertidor a seven segments (7S)

- "a" -> Forma canònica abreujada de Minterms
- "b" → Forma canònica de **Maxterms**.
- "c" → Forma canònica abreujada de **Maxterms.**
- "d" → Forma canònica de Minterms.
- "e" → Forma algebraica simplificada.
- "f" -> Forma algebraica per implementar amb NANDs de <u>2 entrades</u>.
- "g" → Forma algebraica per implementar amb NORs de <u>2 entrades</u>.
- * En el cas de "f" i "g" no cal fer els diagrames.



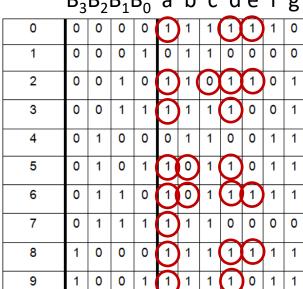
				ا	L ₁	L ₂	L ₃	L ₄	L ₅	L_6	L_0
	B_3	B_2	B_1	B_0	a	b	С	d	e	f	g
0	0	0	0	0	1	1	1	1	1	1	0
1	0	0	0	1	0	1	1	0	0	0	0
2	0	0	1	0	1	1	0	1	1	0	1
3	0	0	1	1	1	1	1	1	0	0	1
4	0	1	0	0	0	1	1	0	0	1	1
5	0	1	0	1	1	0	1	1	0	1	1
6	0	1	1	0	1	0	1	1	1	1	1
7	0	1	1	1	1	1	1	0	0	0	0
8	1	0	0	0	1	1	1	1	1	1	1
9	1	0	0	1	1	1	1	1	0	1	1



Solució



 $B_3B_2B_1B_0$ a b c de f g



"a" → Forma canònica abreujada de Minterms:

a
$$(B_3B_2B_1B_0) = \sum_4 (0.2,3,5,6,7,8,9)$$

"b" → Forma canònica de **Maxterms**:

b
$$(B_3B_2B_1B_0) = (B_3 + \overline{B_2} + B_1 + \overline{B_0}) \times (B_3 + \overline{B_2} + \overline{B_1} + B_0)$$

"c" → Forma canònica abreujada de Maxterms:

c
$$(B_3B_2B_1B_0) = \prod_4(2)$$

"d" > Forma canònica de Minterms:

$$d (B_3B_2B_1B_0) = (\overline{B_3}\overline{B_2}\overline{B_1}\overline{B_0}) + (\overline{B_3}\overline{B_2}B_1\overline{B_0}) + (\overline{B_3}\overline{B_2}B_1B_0) + (\overline{B_3}B_2\overline{B_1}B_0) + (\overline{B_3}B_2\overline{B_1$$

"e" → Forma algebraica simplificada :

Optem per Minterms:

$$e (B_3 B_2 B_1 B_0) = (\overline{B_3} \overline{B_2} \overline{B_1} \overline{B_0}) + (\overline{B_3} \overline{B_2} B_1 \overline{B_0}) + (\overline{B_3} B_2 B_1 \overline{B_0}) + (\overline{B_3} B_2 B_1 \overline{B_0}) + (\overline{B_3} \overline{B_2} \overline{B_1} \overline{B_0}) + (\overline{B_3} \overline{B_1} \overline{B_1} \overline{B_0}) + (\overline{B_3} \overline{B_1} \overline{B_1} \overline{B_0}) + (\overline{B_3} \overline{B_1} \overline{B_1} \overline{B_1}) + (\overline{B_3} \overline{B_1} \overline{B$$

