



UNIVERSITAT  
POLITÈCNICA  
DE VALÈNCIA

UNIVERSIDAD POLITÉCNICA DE  
VALENCIA

ESCUELA TÉCNICA SUPERIOR DE INGENIERÍA DE  
TELECOMUNICACIÓN

Máster Universitario en Ingeniería de  
Telecomunicación

---

## Tarea 3 Diseño y Verificación de un acelerador IP

*CHS*

Autor:

**Andrés Ruz Nieto**  
**Gerardo Arias Martínez**

*VALENCIA, 2021*

— **TELECOM**  
**UPV VLC**

# CAPÍTULO 1

---

## TÉCNICAS EMPLEADAS

### 1.1. Técnica 0

Para la Técnica 0 se ha empleado el hardware de referencia realizado en las prácticas anteriores, eliminando los elementos no necesarios. Quedando finalmente un sistema con los siguientes elementos:

- NIOS II
- JTAG UART
- Timer
- Controladora de SDRAM
- Relojes (sistema y SDRAM)
- Performance counter

Realizando un análisis de la frecuencia máxima de reloj (forzando el hardware a 125MHz), se obtienen los siguientes valores.

Clocks Summary						
	Clock Name	Type	Period	Frequency	Rise	Fall
1	altera_reserved_tck	Base	1.000	1000.0 MHz	0.000	0.500
2	CLOCK_50	Base	20.000	50.0 MHz	0.000	10.000
3	u0 sys_sdram_...d pll1 clk[0]	Generated	8.000	125.0 MHz	0.000	4.000
4	u0 sys_sdram_...d pll1 clk[1]	Generated	20.000	50.0 MHz	-3.000	7.000

Figura 1.1: Frecuencia de reloj a 125MHz

Slow 1200mV 85C Model			
	Fmax	Restricted Fmax	Clock Name
1	120.11 MHz	120.11 MHz	u0 sys_sdram_pll sys_pll PLL_for_DE_Series_Boards auto_generated pll1 clk[0]
2	190.84 MHz	190.84 MHz	altera_reserved_tck

Figura 1.2: Frecuencia de reloj máxima en la Técnica 0

Se obtiene una frecuencia máxima de reloj de 120.11MHz.

En el algoritmo de entrenamiento de redes neuronales (Backpropagation) se obtiene el siguiente *performance counter*

```
--Performance Counter Report--
Total Time: 68.4267 seconds (3421333491 clock-cycles)
+-----+-----+-----+-----+-----+
| Section      | %    | Time (sec) | Time (clocks) | Occurrences |
+-----+-----+-----+-----+-----+
| INICIAR      | 0.113| 0.07718   | 3858771       | 1           |
+-----+-----+-----+-----+-----+
| FASE FORWARD | 38.2 | 26.11379  | 1305689604    | 804         |
+-----+-----+-----+-----+-----+
| FASE BACKWARD| 8    | 5.47134   | 273567104     | 804         |
+-----+-----+-----+-----+-----+
| FASE UPDATE  | 15.2 | 10.39222  | 519610826     | 804         |
+-----+-----+-----+-----+-----+
| CALCULO ERROR| 38.3 | 26.22901  | 1311450483    | 201         |
+-----+-----+-----+-----+-----+
| TEST FINAL   | 0.196| 0.13378   | 6688852       | 1           |
+-----+-----+-----+-----+-----+
```

Figura 1.3: Performance Counter de la Técnica 0

1.2. Técnica 1

En este técnica se introducen instrucciones para realizar cálculos con coma flotante. Aquí se obtiene una frecuencia máxima de 102.44MHz

Slow 1200mV 85C Model			
	Fmax	Restricted Fmax	Clock Name
1	102.44 MHz	102.44 MHz	u0 sys_sdram_pll sys_pll PLL_for_DE_Series_Boards auto_generated pll1 clk[0]
2	184.03 MHz	184.03 MHz	altera_reserved_tck

Figura 1.4: Frecuencia de reloj máxima en la Técnica 1

Tanto en la Técnica 0 como la 1 el "path" crítico está en la CPU

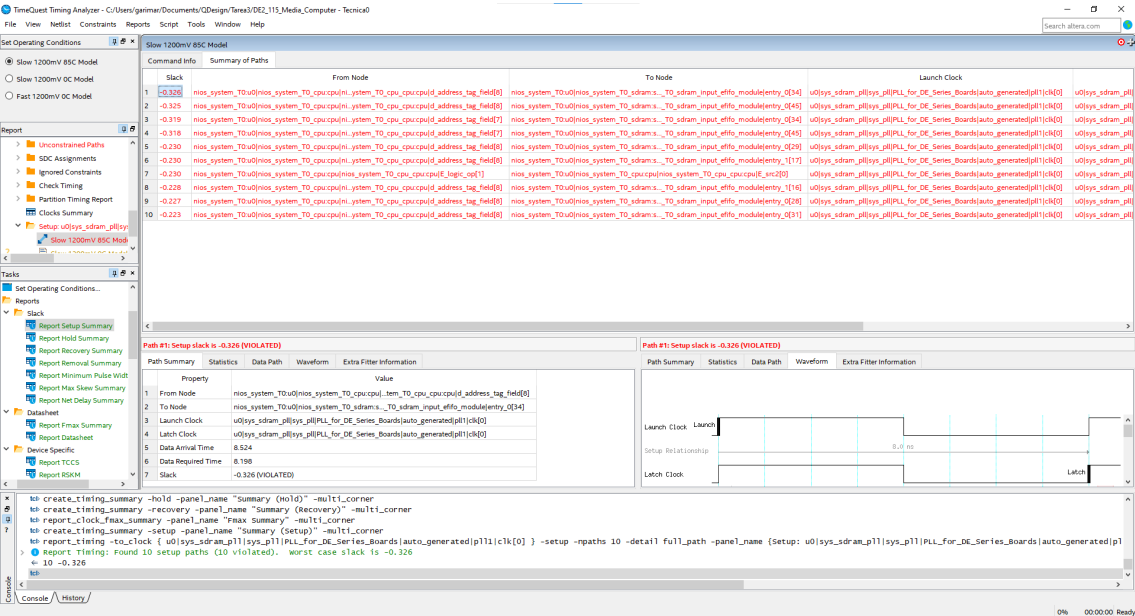


Figura 1.5: Path crítico para Técnica 0 y 1

En Backpropagation se obtiene el siguiente *performance counter*

```
--Performance Counter Report--
Total Time: 39.8142 seconds (1990708095 clock-cycles)
```

Section	%	Time (sec)	Time (clocks)	Occurrences
INICIAR	0.154	0.06118	3059126	1
FASE FORWARD	44.4	17.68847	884423563	804
FASE BACKWARD	2.73	1.08744	54372140	804
FASE UPDATE	7.65	3.04488	152244247	804
CALCULO ERROR	44.8	17.83132	891566056	201
TEST FINAL	0.23	0.09174	4587172	1

Figura 1.6: Performance Counter de la Técnica 1

## 1.3. Técnica 2

En esta técnica se añade sobre la Técnica 1 un componente encargado de calcular la tangente hiperbólica y su derivada. Se obtiene una frecuencia máxima de operación de 100.84MHz

Slow 1200mV 85C Model			
	Fmax	Restricted Fmax	Clock Name
1	100.84 MHz	100.84 MHz	u0 sys_sdrn_pll sys_pll PLL_for_DE_Series_Boards auto_generated pll1 clk[0]
2	186.71 MHz	186.71 MHz	altera_reserved_tck

Figura 1.7: Frecuencia de reloj máxima en la Técnica 2

En Backpropagation se obtiene el siguiente *performance counter*

```
--Performance Counter Report--
Total Time: 7.98889 seconds (399444303 clock-cycles)
+-----+-----+-----+-----+-----+
| Section      | %    | Time (sec)| Time (clocks)|Occurrences|
+-----+-----+-----+-----+-----+
| INICIAR      | 10.686| 0.05482| 2741074| 1|
+-----+-----+-----+-----+-----+
| FASE FORWARD | 25.8| 2.06206| 103103205| 804|
+-----+-----+-----+-----+-----+
| FASE BACKWARD | 13.5| 1.08173| 54086384| 804|
+-----+-----+-----+-----+-----+
| FASE UPDATE   | 37.9| 3.03118| 151558879| 804|
+-----+-----+-----+-----+-----+
| CALCULO ERROR | 21.8| 1.74058| 87028874| 201|
+-----+-----+-----+-----+-----+
| TEST FINAL    | 10.139| 0.01110| 555136| 1|
+-----+-----+-----+-----+-----+
```

Figura 1.8: Performance Counter de la Técnica 2

## 1.4. Técnica 3

En esta técnica se agrega una nueva instrucción capaz de devolver la tangente hiperbólica y su derivada a partir de unos valores guardados en una memoria ROM que contiene el periférico. Se obtiene una frecuencia máxima de operación de 100.84MHz

Slow 1200mV 85C Model			
	Fmax	Restricted Fmax	Clock Name
1	100.35 MHz	100.35 MHz	u0 sys_sdram_pll sys_pll PLL_for_DE_Series_Boards auto_generated pll1 clk[0]
2	194.48 MHz	194.48 MHz	altera_reserved_tck

Figura 1.9: Frecuencia de reloj máxima en la Técnica 3

En Backpropagation se obtiene el siguiente *performance counter*

```
--Performance Counter Report--
Total Time: 7.31945 seconds (365972555 clock-cycles)
+-----+-----+-----+-----+-----+
| Section      | %   | Time (sec)| Time (clocks)|Occurrences|
+-----+-----+-----+-----+-----+
| INICIAR      | 0.752| 0.05501| 2750556| 1|
+-----+-----+-----+-----+-----+
| FASE FORWARD | 20.9| 1.52779| 76389569| 804|
+-----+-----+-----+-----+-----+
| FASE BACKWARD | 14.6| 1.06583| 53291595| 804|
+-----+-----+-----+-----+-----+
| FASE UPDATE  | 41.3| 3.02608| 151304125| 804|
+-----+-----+-----+-----+-----+
| CALCULO ERROR | 22.2| 1.62644| 81321759| 201|
+-----+-----+-----+-----+-----+
| TEST FINAL   | 0.142| 0.01039| 519668| 1|
+-----+-----+-----+-----+-----+
```

Figura 1.10: Performance Counter de la Técnica 3

En estas dos últimas técnicas el "path" crítico está en las instrucciones para realizar cálculos en coma flotante

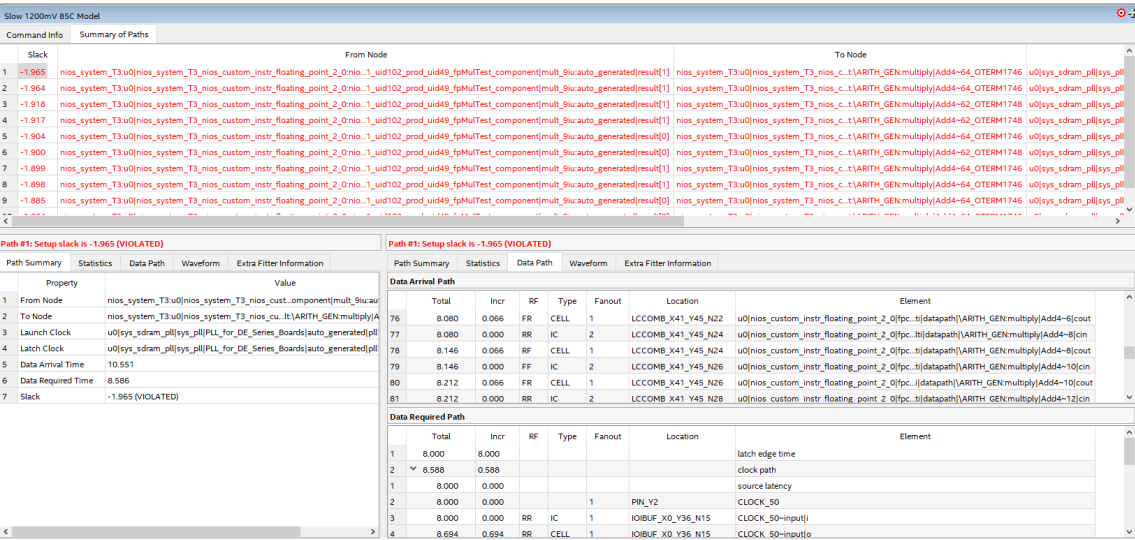


Figura 1.11: Path crítico para Técnica 2 y 3

A continuación se pueden ver dos imágenes de la verificación IP una en QuestaSIM (tangente hiperbólica) y otra de la simulación obtenida en Simulink (derivada)

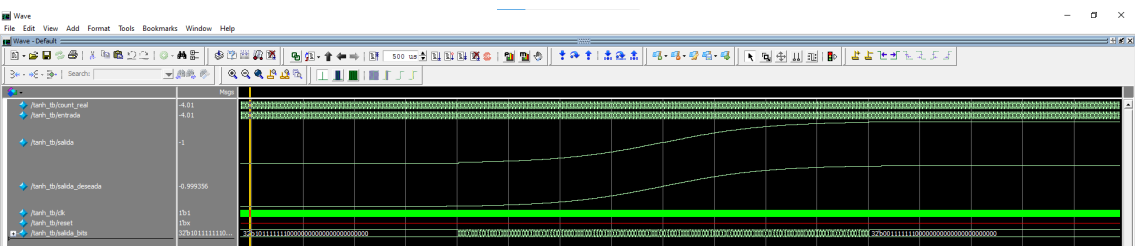


Figura 1.12: Verificación de Tangente Hiperbólica en QuestaSIM



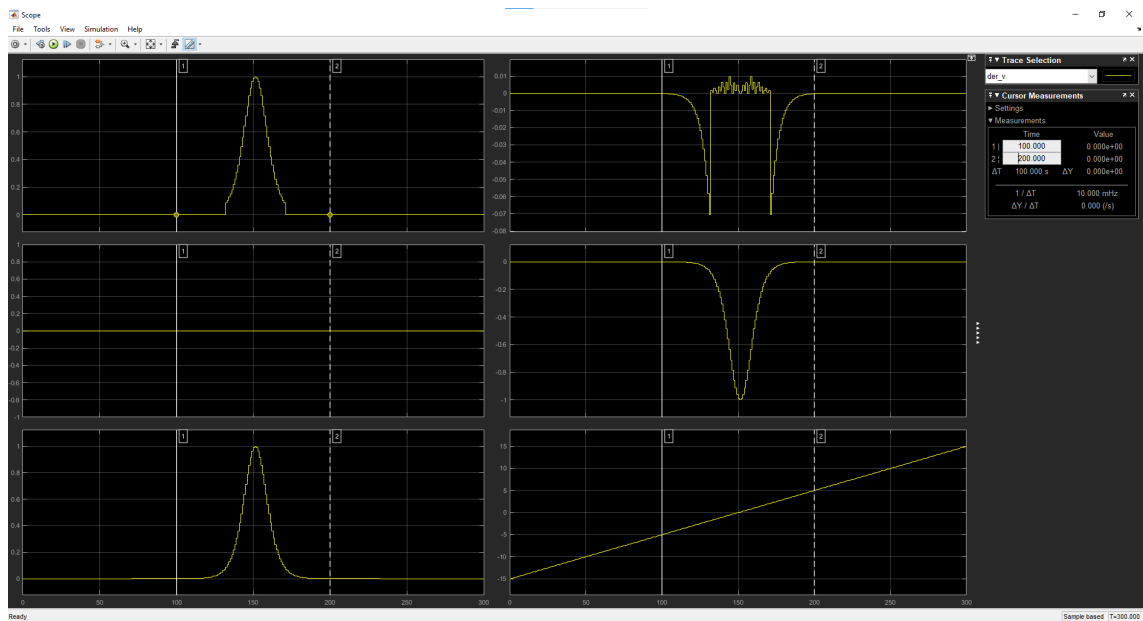


Figura 1.13: Verificación de Derivada de Tangente Hiperbólica en Simulink

1.5. Resumen

Técnica	Performance Counter	Frecuencia máxima	Path crítico
0	68.4267	120.11	CPU
1	39.8142	102.44	CPU
2	7.98889	100.84	NIOS_CUSTOM_INSTR_FLOATING_POINT_2
3	7.31945	100.35	NIOS_CUSTOM_INSTR_FLOATING_POINT_2

Tabla 1.1: Tabla resumen de Técnicas

Como se puede observar, conforme se avanza en las técnicas se reduce el tiempo. Entre la técnica 0 y 1 hay una diferencia de casi 30 segundos simplemente añadiendo instrucciones para realizar cálculos con números en coma flotante, posteriormente en las técnicas 2 y 3 se reduce casi otros 30 segundos añadiendo un periférico que almacena los resultados de la tangente y su derivada. Aunque la frecuencia máxima de operación sea menor (pasando de 120.11MHz a 100.35MHz), se obtienen mejores resultados temporales.