Work report from 8.18 to 9.21 send to Han & Shao qing copy to xuegong

Work report

1. Hio online course (2020/08/26 ~2020/08/28): UVM, SOC Arch, testplan, Feature list etc.
2. Verification training (UVM, System Verilog, VCS)
3. Lab1.a cordic environment supplement; (2020/08/31 ~2020/09/11)
4. Lab1.b cordic environment modify the clock frequency, add the case to verify reset function and data flow analysis; (2020/08/31 ~ 2020/09/11)
5. Lab2.a FFT feature list and design architecture (2020/09/14 ~ 2020/09/18)
6. Extra work: Vsp\_cmd Function coverage (2020/09/18 ~ on going): code has been attached below

The attachment includes the wave forms of Cordic module, data flow analysis Visio and code of vsp\_cmd function coverage version 1.0.

This week is going to have a presentation about verification training and thinking.

Everything in plan is working successfully.

Interface：少用logic，容易接反in&out，但不报错。

Factory 机制：在工厂中注册，将对象注册在注册表中，方便查找，等于告诉调度中心，有这个对象。

创建对象都在同一个env class中，new或者工厂注册

Scoreboard port 使用new，无法create，因为不是component

Sequence 启动方式两种，一种start，一种default sequence，还有一种uvm do

Get next item & item done

Exercise B

make vcs\_verdi打开verdi

add wave

从文件中把case数据IQ读取进来，在哪里转为transaction？数据怎么发送到driver？reciver接收到后如何保存到文件中？

UVM P45

Presentation 草稿

1. 验证流程
2. 对UVM的理解
3. 环境结构（cordic结构，data flow）
4. 验证心得（验证：结构复用，测试点&test plan，功能点覆盖；设计算法：算法验证的不同）
5. 综合总结

验证方法

1. 动态仿真（dynamic simulation）
2. 静态检查（formal check）
3. 虚拟模型（virtual prototype）
4. 硬件加速（hardware acceleration）
5. 电源功耗（power consumption）
6. 性能评估（performance evaluation）

动态仿真：通过sequence and stimulation

需要仿真器，在线or线下比对结果，仿真波形，判断测试用例是否通过

包含：

定向测试 directed test

随机测试 random test

参考模型检查 reference model check

断言检查 assertion check

静态检查：不需要仿真，激励，只需要工具辅助

包括：

语法检查（syntax check）仿真编译器：不同仿真工具的标准存在偏差

语义检查（linting check）在设计可行性上深入检查 常见设计错误；覆盖率收敛；有助于完善设计代码

跨时钟域检查 （CDC, Cross-clock Domain Check）：早期RTL阶段检测跨时域信号是否有合适的同步处理，概率性发现

形式验证 (formal verification)：

等价检查（equivalence check）:保证两个电路的行为等价，不同抽象级电路是否一致，如RTL级and网表

属性检查（property check / model check）：电路的行为通过验证语言来描述其属性，随后通过静态方式来证明在所有状态空间下都满足该条件，否则举出反例（counter example）来证明其设计行为不符合属性描述（property description）。

Phase 机制

Build 函数 自顶向下：创建和配置测试平台的结构， 创建组件和寄存器模型，设置或者获取配置

Connect 函数 自底向上：建立组件之间的连接 连接TLM/TLM2 的端口，连接寄存器模型和adapter

Run 任务 自底向上：激励设计 提供激励，采集数据和数据比较，与OVM兼容

Report 函数 自底向上：报告测试结果 报告测试结果将结果写入到文件中